

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 11 月 27 日(27.11.2014)



(10) 国際公開番号

WO 2014/188570 A1

- (51) 国際特許分類:
H01L 29/12 (2006.01) H01L 29/739 (2006.01)
H01L 27/04 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2013/064411
- (22) 国際出願日: 2013 年 5 月 23 日(23.05.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): トヨタ自動車株式会社 (TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 Aichi (JP).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 安田 佳史(YASUDA Yoshifumi) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP). 亀山 悟(KAMEYAMA Satoru) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP).
- (74) 代理人: 特許業務法人 快友国際特許事務所 (KAI-U PATENT LAW FIRM); 〒4516009 愛知県名古屋

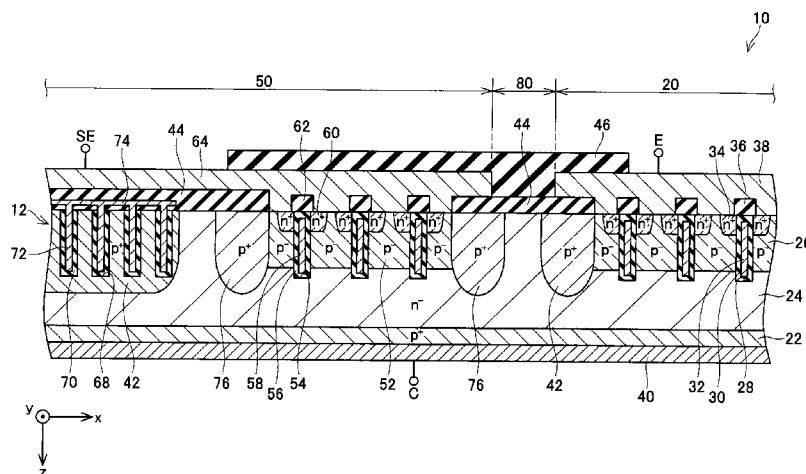
古屋市西区牛島町 6 番 1 号 名古屋ルーセントタワー 9 階 Aichi (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device has a semiconductor substrate that is provided with a main region, and a sense region for detecting a current flowing in the main region. The main region and the sense region of the semiconductor substrate have a same element structure. Furthermore, the sense region of the semiconductor substrate has: a conductive first region electrically connected to a first portion of the semiconductor device; a conductive second region electrically connected to a second portion of the semiconductor device, said second portion being different from the first portion; and an insulating film, which is disposed between the first region and the second region, and which separates the second region from the first region.

(57) 要約: 半導体装置は、メイン領域と、メイン領域に流れる電流を検知するためのセンス領域とを備える半導体基板を有している。半導体基板のメイン領域とセンス領域は、同一の素子構造を有している。半導体基板のセンス領域は、さらに、半導体装置の第 1 の部位と電氣的に接続される導電性の第 1 領域と、半導体装置の第 1 の部位とは異なる第 2 の部位と電氣的に接続される導電性の第 2 領域と、第 1 領域と第 2 領域との間に配置され、第 1 領域から第 2 領域を隔離する絶縁膜とを有している。



WO 2014/188570 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称 : 半導体装置

技術分野

[0001] 本明細書に開示の技術は、同一の半導体基板にメイン領域とセンス領域とが形成された半導体装置に関する。

背景技術

[0002] 半導体装置に過電流が流れることを防止するために、半導体装置を流れる電流を検知するためのセンス領域が設けられた半導体装置が開発されている。日本国特許公開公報平 1 0 - 3 2 6 8 9 7 号には、同一の半導体基板にメイン領域とセンス領域とが形成された半導体装置が開示されている。この半導体装置では、メイン領域とセンス領域に I G B T が作り込まれている。この半導体装置では、センス領域を流れる電流を検知することで、メイン領域を流れる電流を検知することができる。

発明の概要

発明が解決しようとする課題

[0003] この種の半導体装置では、メイン領域と比較してセンス領域の面積が極めて小さい。このため、センス領域の静電耐量はメイン領域の静電耐量より小さく、半導体装置の静電耐量は、センス領域の静電耐量で決まることとなる。その結果、センス領域を備えていない半導体装置と比較して、半導体装置の静電耐量が低くなる。

[0004] 本明細書は、同一の半導体基板にメイン領域とセンス領域とが形成された半導体装置において、半導体装置の静電耐量を向上することができる技術を開示する。

課題を解決するための手段

[0005] 本明細書が開示する半導体装置は、メイン領域と、メイン領域に流れる電流を検知するためのセンス領域とを備える半導体基板を有している。半導体基板のメイン領域とセンス領域のそれぞれは、同一の素子構造を有している

。半導体基板のセンス領域は、前記素子構造に加えてさらに、導電性の第1領域と、導電性の第2領域と、絶縁膜を有している。第1領域は、半導体装置の第1の部位と電氣的に接続されている。第2領域は、半導体装置の第1の部位とは異なる第2の部位と電氣的に接続されている。絶縁膜は、第1領域と第2領域との間に配置され、第1領域から第2領域を隔離する。

[0006] この半導体装置では、導電性の第1領域と、導電性の第2領域と、絶縁膜とがセンス領域に形成され、これらによってキャパシタが構成されている。第1領域と第2領域とは半導体装置の異なる部位と電氣的に接続されており、異なる電位が印加可能となっている。このため、第1領域と第2領域に異なる電位が印加されると、第1領域と第2領域と絶縁膜によって構成されるキャパシタに電荷が蓄えられる。したがって、センス領域の容量を増大することが可能となり、半導体装置の静電耐量を向上することができ得る。

図面の簡単な説明

[0007] [図1]第1実施例の半導体装置の一部を示す平面図。

[図2]図1に示す半導体装置のⅠⅠ－ⅠⅠ線断面図。

[図3]図1に示す半導体装置と等価な回路を示す図。

[図4]第1実施例の変形例に係る半導体装置の断面図。

[図5]第1実施例の他の変形例に係る半導体装置の断面図。

[図6]第1実施例の他の変形例に係る半導体装置の断面図。

[図7]図6のⅤⅠⅠ－ⅤⅠⅠ線断面図。

[図8]第2実施例の半導体装置の断面図。

[図9]図8に示す半導体装置と等価な回路を示す図。

[図10]第2実施例の変形例に係る半導体装置の断面図。

発明を実施するための形態

[0008] 本明細書に開示する半導体装置では、半導体基板の上面のうちメイン領域上に配置されるメイン電極と、半導体基板の上面のうちセンス領域上に配置されるセンス電極と、をさらに有していてもよい。第1領域及び第2領域の少なくとも一部は、センス電極の下方に位置していてもよい。このような構

成によると、センス電極の下方に第1領域及び第2領域の一部を形成することで、半導体基板を有効に活用することができる。これによって、半導体装置が大型化することを抑制することができる。

[0009] 本明細書に開示する半導体装置では、第1領域は、半導体基板の上面に露出している半導体層としてもよい。この場合、第1領域には、半導体基板の上面から下方に伸びる少なくとも1つのトレンチが形成されていてもよい。第2領域は、トレンチ内に配置されている導電体としてもよい。絶縁膜は、トレンチの壁面と第2領域の間に配置されていてもよい。このような構成によると、第1領域に形成されたトレンチ内に導電体（第2領域）と絶縁膜を配置することで、第1領域と第2領域と絶縁膜で構成されるキャパシタの容量を効率的に増大することができる。

[0010] 本明細書に開示する半導体装置では、メイン領域の素子構造は、第1導電型のメインドリフト領域と、メインドリフト領域と接している第2導電型のメインボディ領域と、メインボディ領域と接しており、メインボディ領域によってメインドリフト領域と分離されている第1導電型のメインコンタクト領域と、メインコンタクト領域とメインドリフト領域とを分離している範囲のメインボディ領域とゲート絶縁膜を介して対向しているメインゲート電極と、を有していてもよい。また、センス領域の素子構造は、第1導電型のセンスドリフト領域と、センスドリフト領域と接している第2導電型のセンスボディ領域と、センスボディ領域と接しており、センスボディ領域によってセンスドリフト領域と分離されている第1導電型のセンスコンタクト領域と、センスコンタクト領域とセンスドリフト領域とを分離している範囲のセンスボディ領域とゲート絶縁膜を介して対向しているセンスゲート電極と、を有していてもよい。半導体基板の上面のうちメイン領域上には、メインコンタクト領域と接触するメイン電極が配置されていてもよい。半導体基板の上面のうちセンス領域上には、センスコンタクト領域と接するセンス電極が配置されていてもよい。この半導体装置では、メイン領域とセンス領域にスイッチング素子が形成され、センス領域を流れる電流によってメイン領域を流

れる電流を検知することができる。

[0011] 上記の半導体装置では、第1領域がメイン電極と電氣的に接続され、第2領域がセンス電極と電氣的に接続されていてもよい。このような構成によると、センス電極とメイン電極とがキャパシタにより接続される。このため、センス電極に静電気放電が生じたとしても、センス電極に過電圧が印加されることを抑制することができる。その結果、センスゲート電極を被覆するゲート絶縁膜に過電圧が印加されることが抑制され、このゲート絶縁膜を保護することができる。

[0012] あるいは、上記の半導体装置では、第1領域がセンス電極と電氣的に接続され、第2領域がメインゲート電極又はセンスゲート電極と電氣的に接続されていてもよい。このような構成によると、センス電極とセンスゲート電極とがキャパシタにより接続される。このため、センス電極に静電気放電が生じたとしても、センス電極に過電圧が印加されることを抑制することができる。その結果、センスゲート電極を被覆するゲート絶縁膜に過電圧が印加されることが抑制され、このゲート絶縁膜を保護することができる。

実施例

[0013] (第1実施例) 以下、第1実施例の半導体装置10について、図面を参照して説明する。図1, 2に示すように、半導体装置10は、半導体基板12と、半導体基板12の上面に形成された絶縁膜36, 44, 46, 62及び電極38, 64と、半導体基板12の下面に形成された電極40を備えている。半導体基板12は、メイン領域20とセンス領域50と分離領域80を有している。すなわち、メイン領域20とセンス領域50は、同一の半導体基板12に形成されている。分離領域80は、メイン領域20とセンス領域50との間に配置されている。図1から明らかなように、センス領域50は、メイン領域20と比較して小さい。なお、半導体基板12には、公知の基板(例えば、シリコン基板(Si基板), 炭化シリコン基板(SiC基板)等)を用いることができる。また、本明細書では、メインエミッタ電極38(後述)が形成されている領域をメイン領域20といい、センスエミッタ電

極 6 4（後述）が形成されている領域をセンス領域 5 0 という。

[0014]（メイン領域 2 0）

まず、メイン領域 2 0 について説明する。図 2 に示すように、半導体基板 1 2 のメイン領域 2 0 には、エミッタ領域 3 4 と、ボディ領域 2 6 と、ドリフト領域 2 4 と、コレクタ領域 2 2 が形成されている。エミッタ領域 3 4 は、 n^+ 型の半導体領域であり、半導体基板 1 2 の上面に臨む範囲に形成されている。エミッタ領域 3 4 は、 x 方向に間隔を空けて複数形成されている。各エミッタ領域 3 4 は、 y 方向に伸びる島状に形成されている。

[0015] ボディ領域 2 6 は、 p^- 型の半導体領域であり、エミッタ領域 3 4 の下方に形成されている。ボディ領域 2 6 は、エミッタ領域 3 4 の下面及び側面に接している。ボディ領域 2 6 の一部は、隣接するエミッタ領域 3 4 の間に位置し、半導体基板 1 2 の上面に露出している。

[0016] ドリフト領域 2 4 は、 n^- 型の半導体領域であり、ボディ領域 2 6 の下方に形成されている。ドリフト領域 2 4 は、ボディ領域 2 6 の下面に接している。ドリフト領域 2 4 は、ボディ領域 2 6 によってエミッタ領域 3 4 から分離されている。ドリフト領域 2 4 は、半導体基板 1 2 の全面に形成されている。したがって、ドリフト領域 2 4 は、センス領域 5 0 及び分離領域 8 0 にも形成されている。

[0017] コレクタ領域 2 2 は、 p^+ 型の半導体領域であり、半導体基板 1 2 の下面に臨む範囲に形成されている。コレクタ領域 2 2 は、ドリフト領域 2 4 の下面に接している。コレクタ領域 2 2 は、ドリフト領域 2 4 によってボディ領域 2 6 から分離されている。コレクタ領域 2 2 は、半導体基板 1 2 の全面に形成されている。したがって、コレクタ領域 2 2 は、センス領域 5 0 及び分離領域 8 0 にも形成されている。

[0018] 上述したメイン領域 2 0 には、複数のゲートトレンチ 2 8 が形成されている。ゲートトレンチ 2 8 は、 y 方向に伸びており、 x 方向に間隔を空けて配列されている。ゲートトレンチ 2 8 は、エミッタ領域 3 4 及びボディ領域 2 6 を貫通し、その下端がドリフト領域 2 4 まで伸びている。ゲートトレンチ

28内には、ゲート電極32が形成されている。ゲート電極32は、その下端がボディ領域26の下面よりわずかに深くなるように形成されている。ゲート電極32の材料には、例えば、ポリシリコン等を用いることができる。ゲートトレンチ28の壁面とゲート電極32の間には絶縁膜30が充填されている。このため、ゲート電極32は、絶縁膜30を介してボディ領域26及びエミッタ領域24に対向している。ゲート電極32の上部には絶縁膜36が形成されている。絶縁膜36によって、ゲート電極32は、メインエミッタ電極38から絶縁されている。

[0019] 半導体基板12の下面には、コレクタ電極40が形成されている。コレクタ電極40は、コレクタ領域22とオーミック接触している。コレクタ電極40は、半導体基板12の全面に形成されている。したがって、コレクタ電極40は、メイン領域20だけではなく、センス領域50及び分離領域80にも形成されている。

[0020] 半導体基板12の上面には、メインエミッタ電極38が形成されている。メインエミッタ電極38は、絶縁膜36を覆うように形成されており、ゲート電極32から絶縁されている。メインエミッタ電極38は、エミッタ領域34、ボディ領域26とオーミック接触している。メインエミッタ電極38は、半導体基板12のメイン領域20上に形成されている。

[0021] 上述したことから明らかなように、半導体基板12のメイン領域20には縦型のIGBT (Insulated Gate Bipolar Transistor) が形成されている。メイン領域20に形成されたIGBTは、拡散層42によって囲まれている。拡散層42は、p+型の半導体領域であり、半導体基板12の上面に臨む範囲に形成されている。拡散層42は、ボディ領域26及びドリフト領域24と接しており、ボディ領域26の周囲を取囲んでいる。拡散層42は、ゲートトレンチ28の下端よりも深い位置まで形成されている。図1に示すように、拡散層42は、その一部がメイン領域20（メインエミッタ電極38の下方）に位置すると共に、分離領域80及びセンス領域50（すなわち、センスエミッタ電極64の下方）にも位置している。なお、拡散層42の上

面には絶縁膜 44 が形成されている。これにより、拡散層 42 がメインエミッタ電極 38 及びセンスエミッタ電極 64 と直接接触することが防止されている。

[0022] (センス領域 50)

次に、センス領域 50 について説明する。センス領域 50 にも、メイン領域 20 と同一構造の IGBT が形成されている。すなわち、半導体基板 12 のセンス領域 50 には、 n^+ 型のエミッタ領域 60 と、 p^- 型のボディ領域 52 と、 n^- 型のドリフト領域 24 と、 p^+ 型のコレクタ領域 22 が形成されている。また、センス領域 50 にも複数のゲートトレンチ 54 が形成され、ゲートトレンチ 54 内にはゲート電極 58 及び絶縁膜 56 が形成されている。エミッタ領域 60、ボディ領域 52、ドリフト領域 24、コレクタ領域 22、ゲート電極 58 及び絶縁膜 56 によって IGBT が形成されている。図 1 から明らかなように、センス領域 50 に形成される IGBT の面積は、メイン領域 20 に形成される IGBT の面積よりも格段に小さい。

[0023] センス領域 50 においても、半導体基板 12 の下面にはコレクタ電極 40 が形成されている。一方、センス領域 50 においては、半導体基板 12 の上面にセンスエミッタ電極 64 が形成されている。センスエミッタ電極 64 は、絶縁膜 62、44 を覆うように形成されており、ゲート電極 58 から絶縁されている。センスエミッタ電極 64 は、エミッタ領域 60 及びボディ領域 52 とオーミック接触している。

[0024] センス領域 50 に形成された IGBT は、拡散層 76 によって囲まれている。拡散層 76 は、 p^+ 型の半導体領域であり、半導体基板 12 の上面に臨む範囲に形成されている。拡散層 76 は、ボディ領域 52 及びドリフト領域 24 と接しており、ゲートトレンチ 54 (すなわち、メイン領域 20 のゲートトレンチ 28) の下端よりも深い位置まで形成されている。図 1 に示すように、拡散層 76 は、ボディ領域 52 を取囲んでいる。拡散層 76 と拡散層 42 の間にはドリフト領域 24 が配置されており、拡散層 76 はドリフト領域 24 によって囲まれている。これによって、拡散層 76 は、拡散層 42 か

ら分離されている。拡散層 7 6 の上面にも絶縁膜 4 4 が形成されている。絶縁膜 4 4 は、拡散層 7 6 と拡散層 4 2 を分離する範囲のドリフト領域 2 4 の上面にも形成されている。

[0025] 半導体基板 1 2 のセンス領域 5 0 には、さらに拡散層 4 2 が形成されている。すなわち、メイン領域 2 0 の I G B T を取囲む拡散層 4 2 は、センスエミッタ電極 6 4 の下方にまで形成されている。図 2 から明らかなように、センス領域 5 0 においては、拡散層 4 2 に複数のトレンチ 6 8 が形成されている。複数のトレンチ 6 8 は、拡散層 4 2 のうち、センス電極 6 4 の下方に位置する部分の全体に形成されている。すなわち、トレンチ 6 8 は、センス電極 6 4 の y 方向の一端から他端まで伸び（図 1 参照）、また、ドリフト領域 2 4 と拡散層 4 2 の境界からセンス電極の x 方向の一端（図 1 の下端）までの全体に、x 方向に間隔を空けて配列されている。なお、隣り合うトレンチ 6 8 の間隔は、ゲートトレンチ 5 4、2 8 の間隔よりも狭くされている。各トレンチ 6 8 は、半導体基板 1 2 の上面から下方に伸び、その下端は拡散層 4 2 内に位置している。すなわち、トレンチ 6 8 の下端はドリフト領域 2 4 にまで達していない。トレンチ 6 8 の深さは、ゲートトレンチ 5 4、2 8 の深さと同一となっている。トレンチ 6 8 内には導電体 7 2 が形成されている。導電体 7 2 の材料には、例えば、ポリシリコン等を用いることができる。トレンチ 6 8 の壁面と導電体 7 2 の間には絶縁膜 7 0 が充填されている。このため、導電体 7 2 は、絶縁膜 7 0 を介して拡散層 4 2 に対向している。

[0026] 各トレンチ 6 8 内の導電体 7 2 の上端は、導電層 7 4 に接続されている。導電層 7 4 は、絶縁膜 4 4 内に配置されている。絶縁膜 4 4 には、図示しない位置で開口が形成されており、この開口を介して導電層 7 4 とセンスエミッタ電極 6 4 とが接続されている。

[0027] （分離領域 8 0）

次に、分離領域 8 0 について説明する。図 1 に示すように、分離領域 8 0 は、メイン領域 2 0 とセンス領域 5 0 とを分離する領域であり、センス領域 5 0 を取囲むように形成されている。図 2 に示すように、分離領域 8 0 にお

いて、半導体基板 12 の上面に臨む範囲には、拡散層 42 とドリフト領域 24 と拡散層 76 が形成されている（図 2 参照）。ドリフト領域 24 の上面には、絶縁膜 44 及び絶縁膜 46 が形成されている。絶縁膜 46 は、メインエミッタ電極 38 及びセンスエミッタ電極 64 上まで形成されている。なお、分離領域 80 においても、ドリフト領域 24 の下方にはコレクタ領域 22 が形成されている。

[0028] 次に、半導体装置 10 の動作について説明する。メインエミッタ電極 38 及びセンスエミッタ電極 64 をグランド電位に接続し、コレクタ電極 12 を電源電位に接続した状態で、ゲート電極 32, 58 にオン電位（チャンネルが形成されるのに必要な電位以上の電位）を印加すると、半導体装置 10 がオンする。すなわち、ゲート電極 32, 58 へのオン電位の印加により、絶縁膜 30, 56 に接する範囲のボディ領域 26、52 にチャンネルが形成される。すると、メイン領域 20 では、コレクタ電極 40 からメインエミッタ電極 38 に電流が流れ、センス領域 50 では、コレクタ電極 40 からセンスエミッタ電極 64 に電流が流れる。ここで、メイン領域 20 を流れる電流と、センス領域 50 を流れる電流の比（いわゆるセンス比）は、メイン領域 20 とセンス領域 50 の面積比で決まり、略一定の値となる。このため、センス領域 50 に流れる電流を検知することで、その検知した電流値とセンス比からメイン領域 20 を流れる電流値を算出することができる。

[0029] また、本実施例の半導体装置 10 では、センス領域 50 の拡散層 42 にトレンチ 68 が形成され、そのトレンチ 68 内に導電体 72 及び絶縁膜 70 が配置されている。そして、拡散層 42 は、ボディ領域 26 を介してメインエミッタ電極 38 に電氣的に接続され、また、導電体 72 は、導電層 74 を介してセンスエミッタ電極 64 に電氣的に接続されている。すなわち、拡散層 42 には、メインエミッタ電極 38 に印加される電位と同一の電位が印加され、導電体 72 には、センスエミッタ電極 64 に印加される電位と同一の電位が印加される。したがって、本実施例の半導体装置 10 では、図 3 に示すように、拡散層 42 と絶縁膜 70 と導電体 72 によってキャパシタ 76 が構

成され、このキャパシタ 7 6 の一端がメインエミッタ電極 3 8 に接続される一方、キャパシタ 7 6 の他端がセンスエミッタ電極 6 4 に接続されていることとなる。したがって、センスエミッタ電極 6 4 に静電気放電が生じたとしても、センスエミッタ電極 6 4 とメインエミッタ電極 3 8 の間のキャパシタ 7 6 と、センスエミッタ電極 6 4 とゲート電極 5 8 の間のキャパシタ（ゲート電極 5 8 と絶縁膜 5 6 とボディ領域 5 2 によって構成されるキャパシタ）に電荷が蓄えられる。その結果、絶縁膜 5 6 に過大な電圧が印加されることが抑制され、センス領域 5 0 の静電耐量を向上することができる。

[0030] また、本実施例の半導体装置 1 0 では、センスエミッタ電極 6 4 とメインエミッタ電極 3 8 の間にキャパシタ 7 6 を形成するだけであるため、静電気放電による電荷を逃がすための電流経路を必要としない。このため、電流経路に起因するリーク電流が発生することはない。また、電流経路の寄生抵抗を下げて電荷を速やかに逃すことを考慮する必要もない。

[0031] また、本実施例の半導体装置 1 0 では、キャパシタ 7 6 はセンスエミッタ電極 6 4 の下方の半導体基板 1 2 に形成される。したがって、キャパシタ 7 6 を形成することによって半導体基板 1 2 が大型化することはない。また、センスエミッタ電極 6 4 の全体（I G B T が形成された領域を除く）にトレンチ 6 8 が形成され、トレンチ 6 8 の間隔もゲートトレンチ 2 8、5 4 の間隔よりも短くされている。したがって、キャパシタ 7 6 の容量を効果的に増大することができ、センス領域 5 0 の静電耐量を効果的に増大することができる。さらに、絶縁膜 4 4 内に導電層 7 4 を配置することで、導電層 7 4 と絶縁膜 4 4 と拡散層 4 2 によってもキャパシタが構成される。これによっても、センス領域 5 0 の容量成分を増大し、静電耐量の増大が図られている。

[0032] また、本実施例の半導体装置 1 0 では、センス領域 5 0 内の拡散層 4 2 は、ドリフト領域 2 4 及び拡散層 7 6 によって、ボディ領域 5 2 から分離されている。このため、コレクタ電極 4 0 からのホールが拡散層 4 2 を介してセンスエミッタ電極 6 4 に流れることが抑制される。このため、センス領域 5

0を流れるセンス電流の精度（センス比の精度）が向上し、メイン領域20を流れる電流を精度よく検出することができる。

[0033] なお、上述した第1実施例の半導体装置10では、導電層74が絶縁膜44に形成された開口においてセンスエミッタ電極64と電氣的に接続されていた。しかしながら、導電層とセンスエミッタ電極とを電氣的に接続する構造は、このような形態に限られない。例えば、図4に示す半導体装置10aのように、導電体72に接続された導電層74aの上面が絶縁膜44aに覆われておらず、導電層74aの上面の全体がセンスエミッタ電極64aに接触していてもよい。このような構成によっても、導電体72をセンスエミッタ電極64aに電氣的に接続することができ、第1実施例と同様の作用効果を奏することができる。なお、図4に示す半導体装置10aにおいて、図1, 2に示す半導体装置10と同一の構成を備える部分については同一の符号を付している。（図5～7の半導体装置においても同様に、図1, 2に示す半導体装置10と同一の構成を備える部分については同一の符号を付している。）

[0034] また、上述した第1実施例の半導体装置10では、センスエミッタ電極64の下方に p^+ 型の拡散層42を形成し、その拡散層42にトレンチ68等を形成した。しかしながら、図5に示す半導体装置10bのように、センスエミッタ電極64の下方に p^- 型の拡散領域78を形成してもよい。この場合、拡散領域78は、拡散領域42と接触し、拡散領域42及びボディ領域26を介してメインエミッタ電極38と電氣的に接続される。このような構成によっても、第1実施例の半導体装置10と同様の作用効果を奏することができる。なお、拡散領域78の深さ及び濃度がボディ領域26, 52のそれらと同一とすると、ボディ領域26, 52と拡散領域78を同一のプロセスで形成することができる。また、拡散領域78がボディ領域26, 52と同一の深さとなると、トレンチ68は、拡散領域78を貫通し、その下端がドリフト領域24に達することとなる。

[0035] また、上述した第1実施例の半導体装置10では、導電体72がトレンチ

68内から上方に突出し、絶縁膜44内で導電膜74に接続していた。しかしながら、図6に示す半導体装置10cのように、ゲート電極32, 58と同様、導電体72aはトレンチ68内にのみ配置されていてもよい。この場合、図7に示すように、導電体72aの長手方向の端部において絶縁膜44に開口45を形成し、その開口45を介して導電体72aとセンスエミッタ電極64とを電氣的に接続してもよい。このような構成によっても、第1実施例の半導体装置10と同様の作用効果を奏することができる。なお、ゲート電極32, 58と導電体72aとは同一のプロセスで形成することができる。

[0036] (第2実施例) 第2実施例の半導体装置100では、第1実施例の半導体装置10と異なり、センスエミッタ電極64とゲート電極32, 58との間にキャパシタが形成される点で異なる。ただし、その他の構成については、第1実施例の半導体装置10と同様の構成を備えるため、その説明を省略する。なお、第1実施例の半導体装置10と同様の構成となる部位には、同一の符号が付されている。

[0037] 図8に示す半導体装置100では、センス領域120において、ボディ領域52とp⁺型の拡散層102とが接触し、拡散層102がボディ領域52を介してセンスエミッタ電極64と電氣的に接続されている。これによって、拡散層102にセンスエミッタ電極64と同一の電位が印加される。また、拡散層102は、ボディ領域52の周囲を取り囲んでおり、拡散層102と拡散層42とはドリフト領域24で分離されている。このため、拡散層102が拡散層42及びボディ領域26を介してメインエミッタ電極38と電氣的に接続されることはない。

[0038] 拡散層102は、半導体基板12の上面に臨む範囲に形成されており、ゲートトレンチ54の下端よりも深い位置まで形成されている。拡散層102は、センスエミッタ電極64の下方の全体に形成されている。すなわち、平面視したときに、拡散層102は、センスエミッタ電極64の全体に形成されている。拡散層102には、複数のトレンチ104が形成されている。複

数のトレンチ１０４は、拡散層１０２の全体に形成されている。複数のトレンチ１０４は、ｙ方向に伸び、ｘ方向に間隔を空けて配列されている。トレンチ１０４は、第１実施例のトレンチ６８と同様に形成されており、その内部に導電体１０８と絶縁膜１０６が形成されている。このため、導電体１０８は、絶縁膜１０６を介して拡散層１０２に対向している。

[0039] 各トレンチ１０４内の導電体１０８の上端は、導電層１１０に接続されている。導電層１１０は、絶縁膜４４内に配置されている。絶縁膜４４には、図示しない位置で開口が形成されており、この開口を介して導電層１１０がゲート配線（図示しない）と電氣的に接続されている。このため、導電体１０８は、導電層１１０を介してゲート配線と電氣的に接続されており、ゲート電極３２，５８と同一の電位が印加されるようになっている。

[0040] 本実施例の半導体装置１００では、センス領域１２０の拡散層１０２にトレンチ１０４が形成され、そのトレンチ１０４内に導電体１０８及び絶縁膜１０６が配される。そして、拡散層１０２は、ボディ領域５２を介してセンスエミッタ電極６４に電氣的に接続され、導電体１０８は、導電層１１０を介してゲート電極３２，５８に電氣的に接続されている。すなわち、拡散層１０２には、センスエミッタ電極６４に印加される電位と同一の電位が印加され、導電体１０８には、ゲート電極３２，５８に印加される電位と同一の電位が印加される。したがって、本実施例の半導体装置１００では、図９に示すように、拡散層１０２と絶縁膜１０６と導電体１０８によってキャパシタ１１２が構成され、このキャパシタ１１２の一端がセンスエミッタ電極６４に接続される一方、キャパシタ１１２の他端がゲート電極３２，５８に接続されていることとなる。したがって、センスエミッタ電極６４に静電気放電が生じたとしても、センスエミッタ電極６４とゲート電極３２，５８の間のキャパシタ１１２と、センスエミッタ電極６４とゲート電極５８の間のキャパシタ（ゲート電極５８と絶縁膜５６とボディ領域５２によって構成されるキャパシタ）に電荷が蓄えられる。その結果、絶縁膜５６に過大な電圧が印加されることが抑制され、センス領域５０の静電耐量を向上することがで

きる。

[0041] また、半導体装置 100 では、トレンチ 104 と絶縁膜 106 と導電体 108 の構成を、ゲートトレンチ 54 と絶縁膜 56 とゲート電極 58 の構成と略同一とすることができる。このため、これらを同一のプロセスで形成することができ、半導体装置 100 を容易に製造することができる。

[0042] なお、上述した第 2 実施例では、拡散層 102 をボディ領域 52 と接触させ、この拡散層 102 にトレンチ 104、導電体 108 及び絶縁膜 106 を形成した。しかしながら、センス領域 120 に形成されるキャパシタ 112 の構成は、このような構成に限られない。例えば、図 1 に示す第 1 実施例の半導体装置 10 のように、トレンチ 104、導電体 108 及び絶縁膜 106 が形成される拡散層をドリフト領域 24 によってボディ領域 52 から分離してもよい。なお、このような構成を採る場合、拡散層の上面に形成された絶縁膜に開口を形成し、開口を介してこの拡散層とセンスエミッタ電極 64 とを電氣的に接続すればよい。

[0043] また、トレンチ 104 内に配置される導電体 108 は、図 6 に示す半導体装置 10c のように、トレンチ 104 内に導電体 108 を埋め込むような構成としてもよい。さらには、図 10 に示す半導体装置 100a のように、センス領域 120a のボディ領域 52a にゲートトレンチ 54 とは別にトレンチ 104 を形成し、このトレンチ 104 内に導電体 108 及び絶縁膜 106 を形成するようにしてもよい。このような構成によっても、センス領域 120a のキャパシタ成分を増大することができ、静電耐量を向上することができる。なお、半導体装置 100a では、IGBT として機能するゲートトレンチ 54（エミッタ領域 60 と接するゲートトレンチ）に隣接する 2 つのトレンチ 104a の上端を絶縁膜 44c で塞ぎ、この絶縁膜 44c には、隣接するトレンチ 104a の間に開口が形成されていない。これによって、ホールが素子部以外を通してセンスエミッタ電極 64b に流れることが抑制され、センス電流の精度（センス比の精度）の向上が図られている。

[0044] 以上、本発明の実施例について詳細に説明したが、これらは例示に過ぎず

、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

[0045] 例えば、上述した各実施例では、センス領域50、120にキャパシタ（トレンチ、導電体、絶縁膜）を形成したが、メイン領域20にキャパシタ（トレンチ、導電体、絶縁膜）を形成してもよい。このような構成によっても、センス領域50、120の容量成分を増大することができ、静電耐量を向上することができる。

[0046] また、上述した各実施例では、半導体基板12に縦型の半導体素子（具体的にはIGBT）を形成した例であったが、半導体基板12には横型の半導体素子を形成してもよい。また、半導体基板12に形成される半導体素子もIGBTに限られず、他の半導体素子（例えば、MOS）であってもよい。

[0047] 本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

請求の範囲

[請求項1]

半導体装置であって、

メイン領域と、メイン領域に流れる電流を検知するためのセンス領域とを備える半導体基板を有しており、

半導体基板のメイン領域とセンス領域は、同一の素子構造を有しており、

半導体基板のセンス領域は、前記素子構造に加えてさらに、

半導体装置の第1の部位と電氣的に接続される導電性の第1領域と、

半導体装置の第1の部位とは異なる第2の部位と電氣的に接続される導電性の第2領域と、

第1領域と第2領域との間に配置され、第1領域から第2領域を隔離する絶縁膜と、を有する、半導体装置

[請求項2]

半導体基板の上面のうちメイン領域上に配置されるメイン電極と、

半導体基板の上面のうちセンス領域上に配置されるセンス電極と、

をさらに有しており、

第1領域及び第2領域の少なくとも一部は、センス電極の下方に位置している、請求項1に記載の半導体装置。

[請求項3]

第1領域は、半導体基板の上面に露出している半導体層であり、

第1領域には、半導体基板の上面から下方に伸びる少なくとも1つのトレンチが形成されており、

第2領域は、トレンチ内に配置されている導電体であり、

絶縁膜は、トレンチの壁面と第2領域の間に配置されている、請求項1又は2に記載の半導体装置。

[請求項4]

メイン領域の素子構造は、

第1導電型のメインドリフト領域と、

メインドリフト領域と接している第2導電型のメインボディ領域と、

、

メインボディ領域と接しており、メインボディ領域によってメインドリフト領域と分離されている第1導電型のメインコンタクト領域と

、
メインコンタクト領域とメインドリフト領域とを分離している範囲のメインボディ領域とゲート絶縁膜を介して対向しているメインゲート電極と、を有しており、

センス領域の素子構造は、

第1導電型のセンスドリフト領域と、

センスドリフト領域と接している第2導電型のセンスボディ領域と

、
センスボディ領域と接しており、センスボディ領域によってセンスドリフト領域と分離されている第1導電型のセンスコンタクト領域と

、
センスコンタクト領域とセンスドリフト領域とを分離している範囲のセンスボディ領域とゲート絶縁膜を介して対向しているセンスゲート電極とを有しており、

半導体基板の上面のうちメイン領域上に配置され、メインコンタクト領域と接触するメイン電極と、

半導体基板の上面のうちセンス領域上に配置され、センスコンタクト領域と接するセンス電極と、をさらに有している、請求項1～3のいずれか一項に記載の半導体装置。

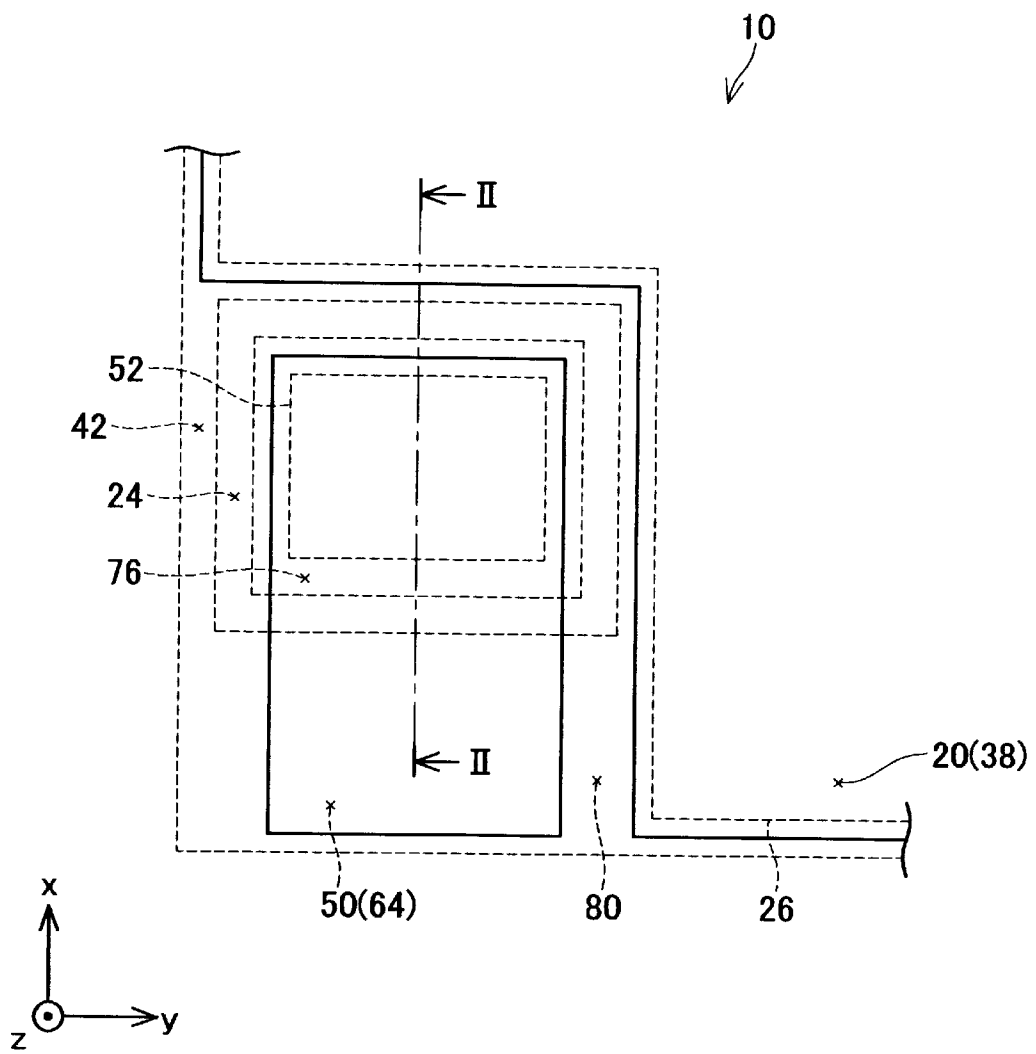
[請求項5] 第1領域は、メイン電極と電氣的に接続されており、

第2領域は、センス電極と電氣的に接続されている、請求項4に記載の半導体装置。

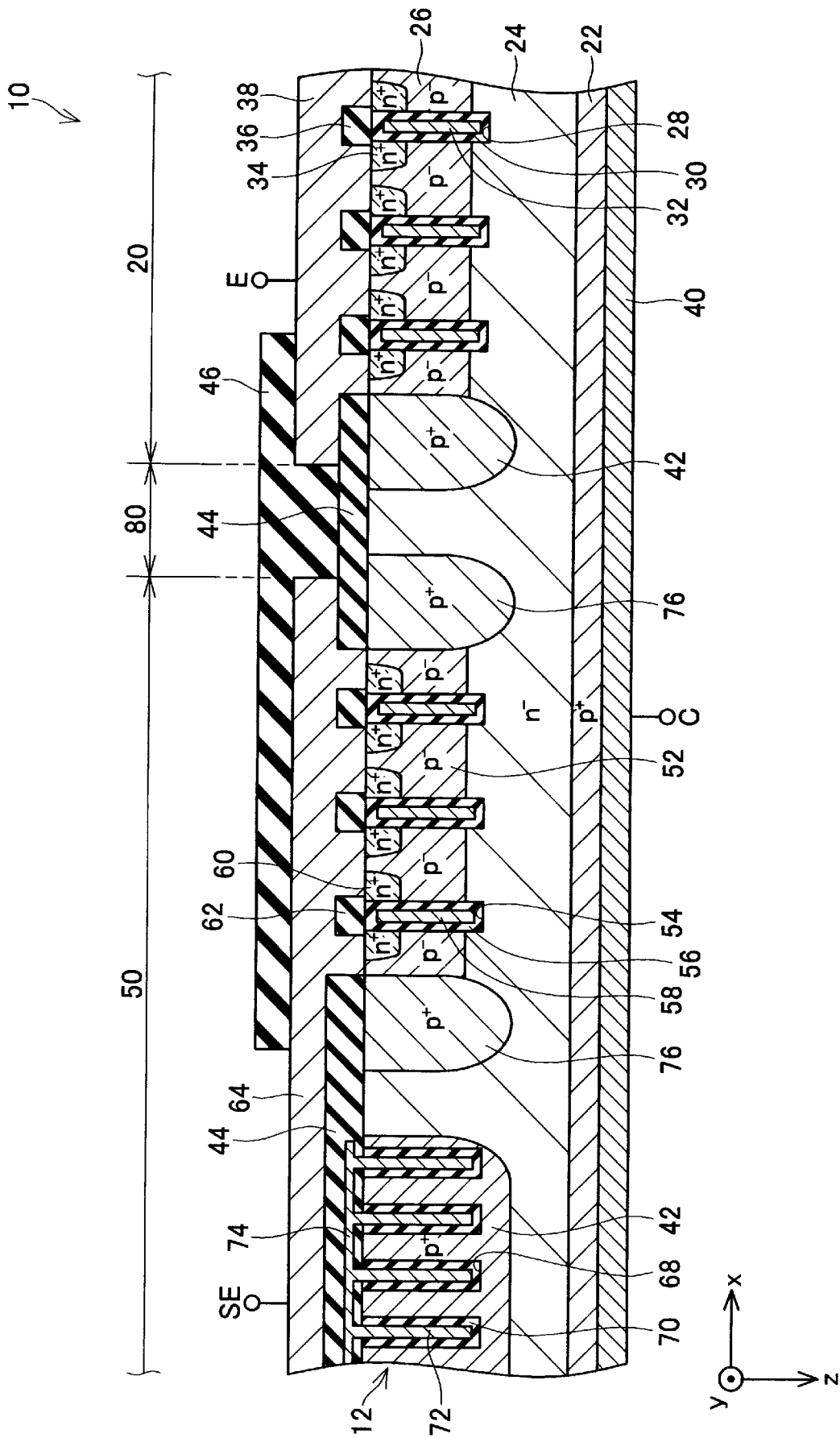
[請求項6] 第1領域は、センス電極と電氣的に接続されており、

第2領域は、メインゲート電極又はセンスゲート電極と電氣的に接続されている、請求項4に記載の半導体装置。

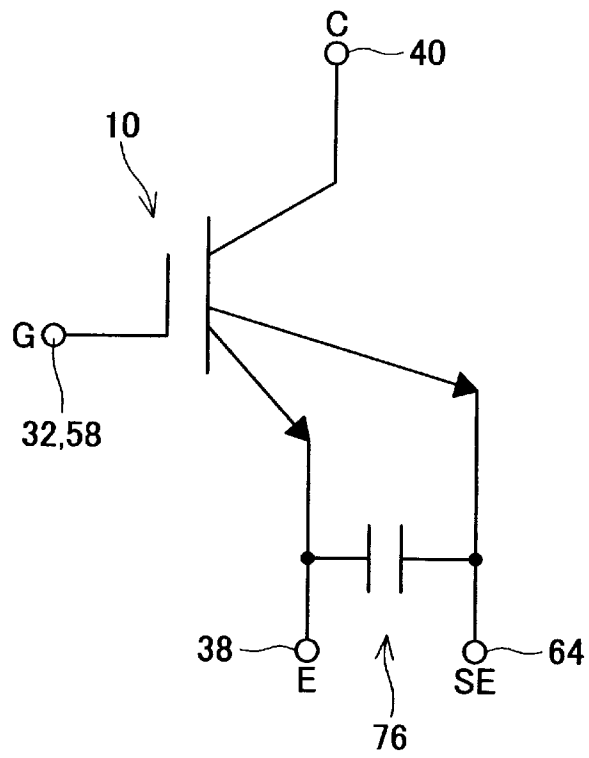
[図1]



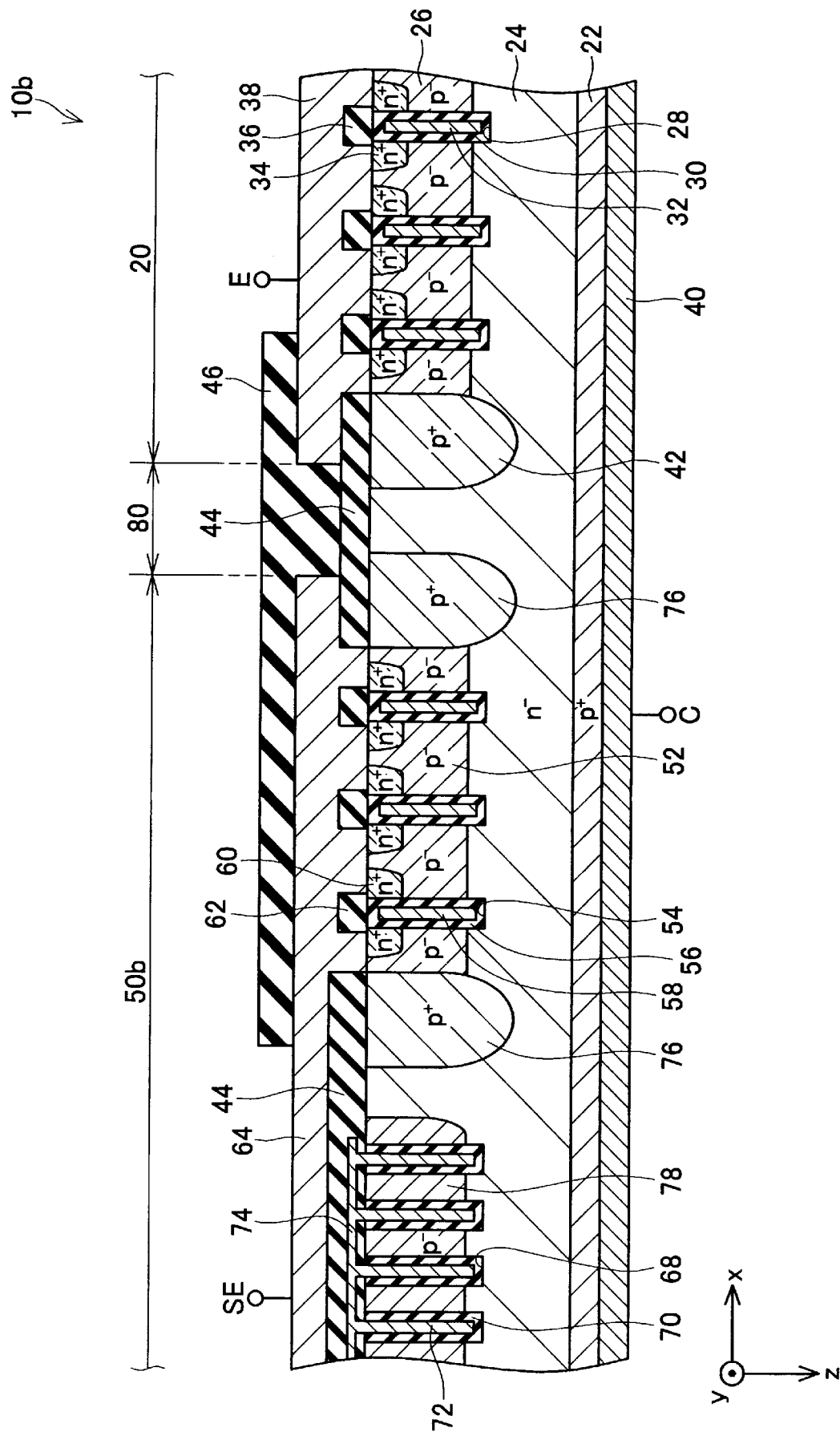
[図2]



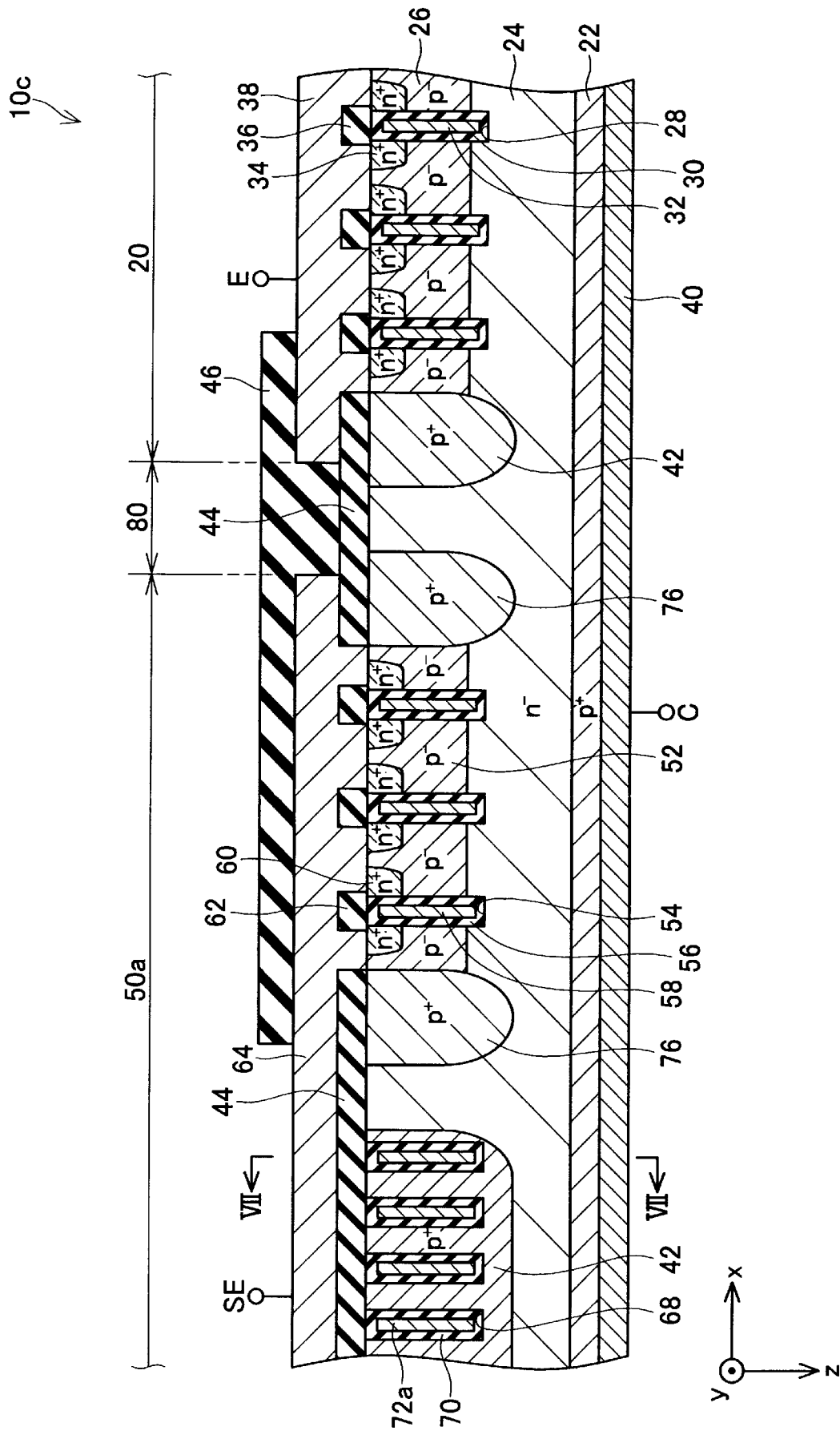
[図3]



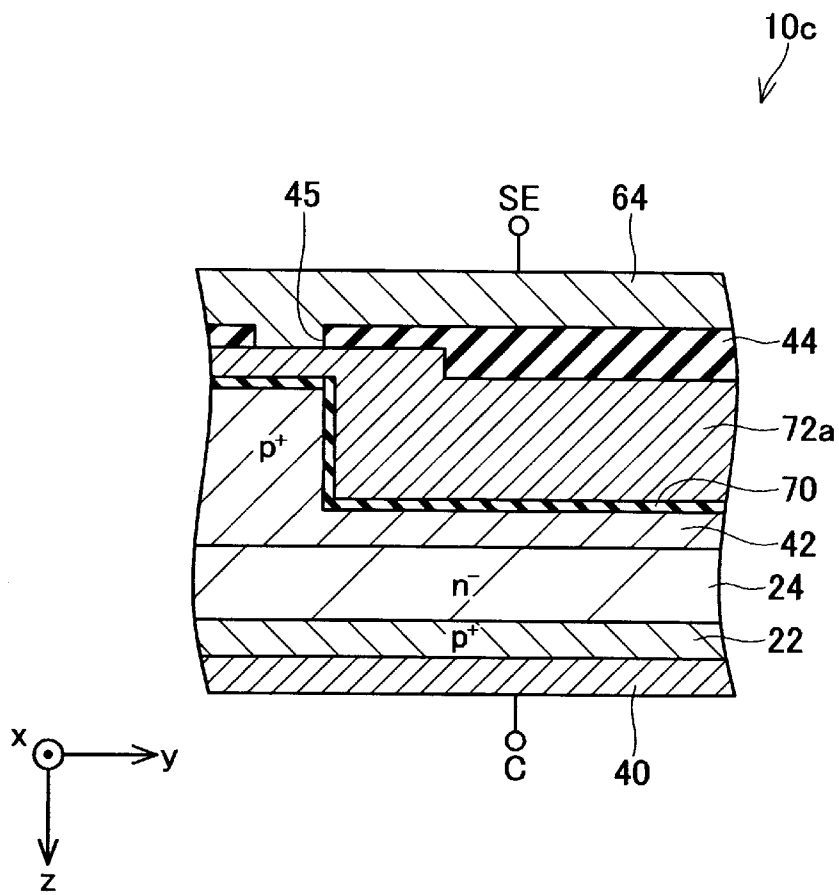
[図5]



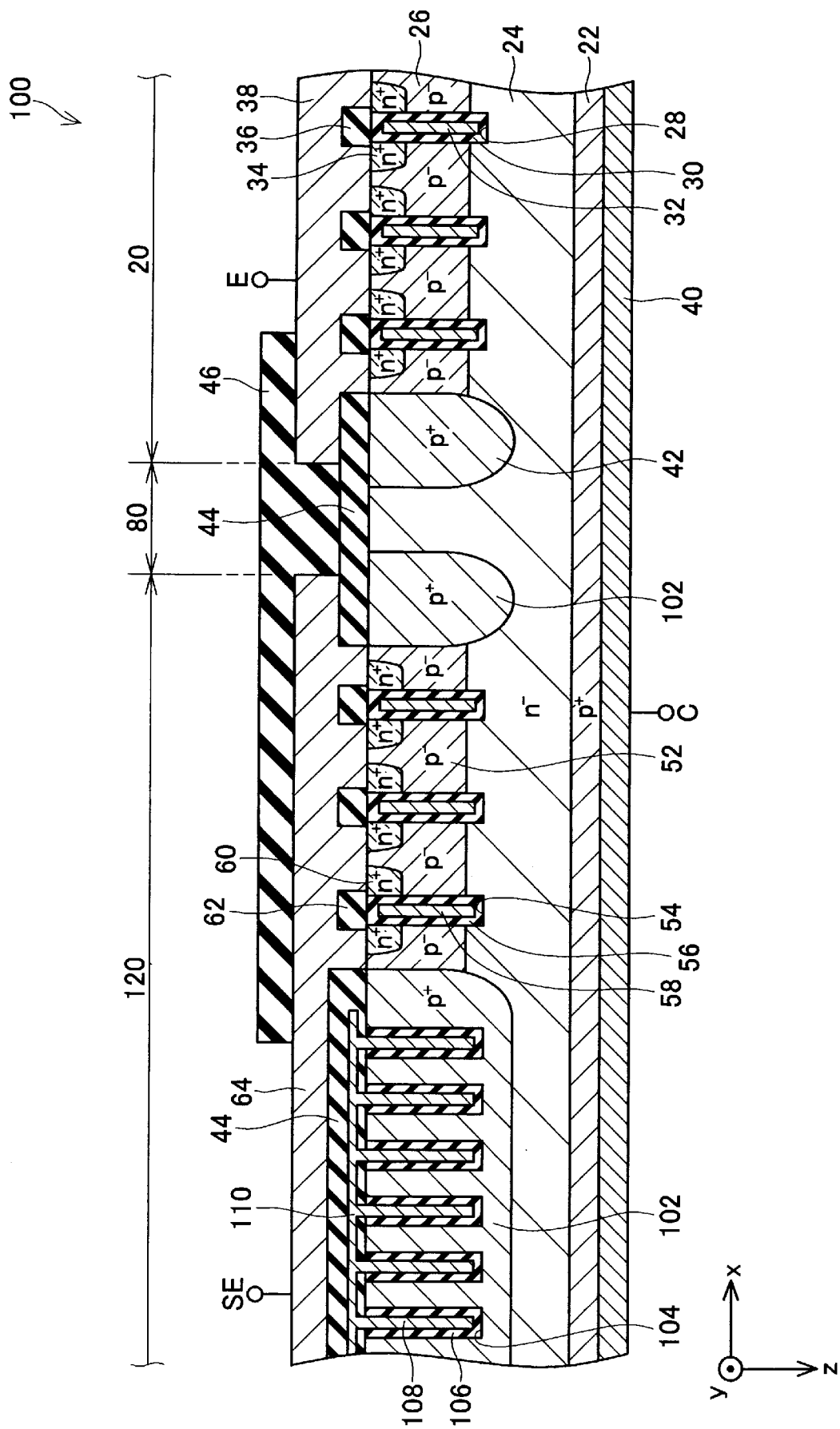
[図6]



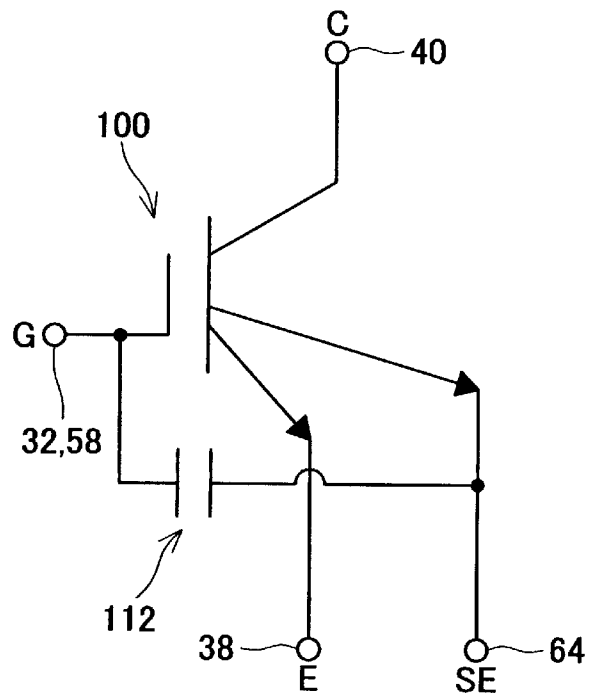
[図7]



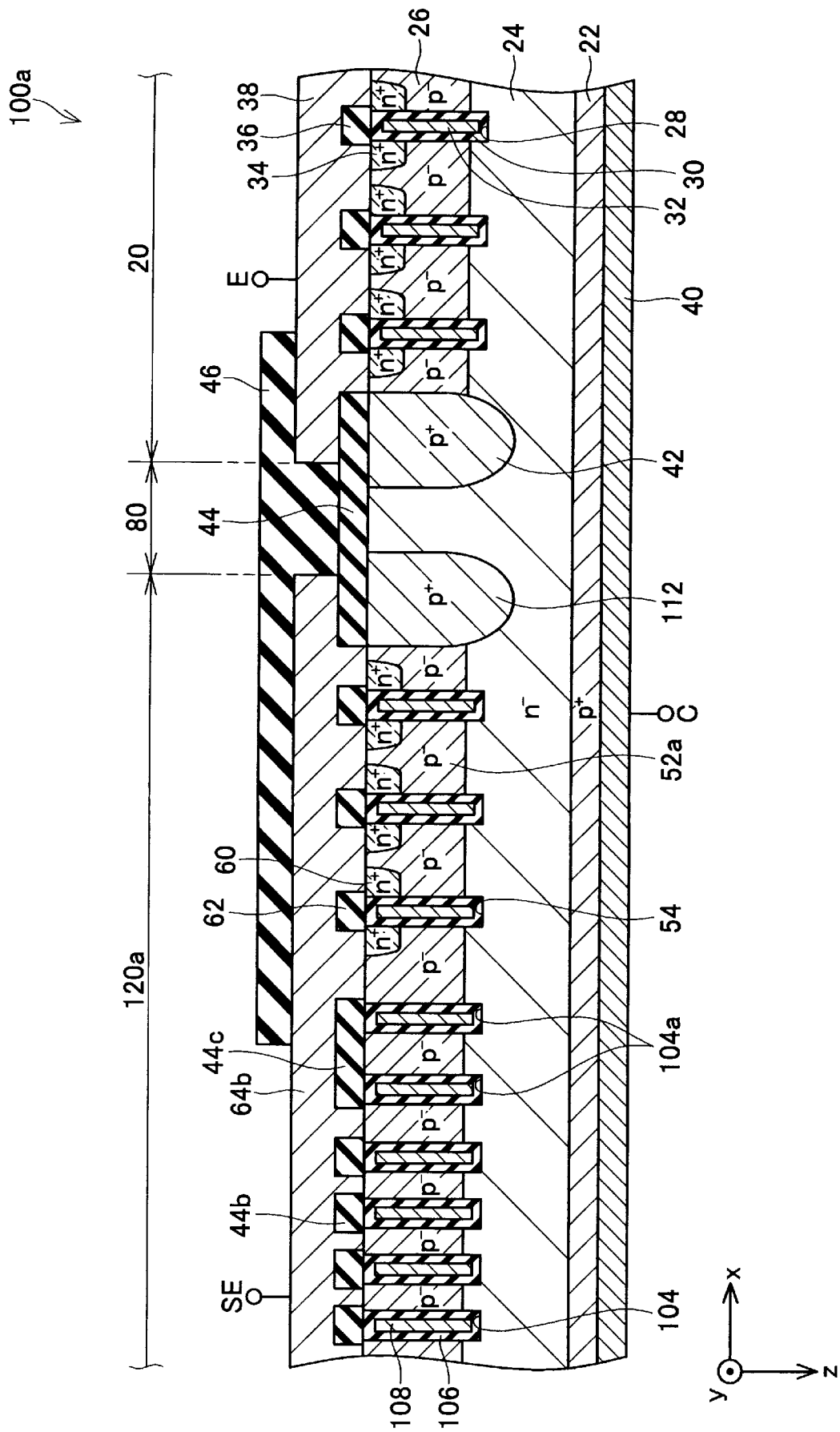
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/064411

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/12(2006.01)i, H01L27/04(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/12, H01L27/04, H01L29/739, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2009/096412 A1 (Fuji Electric Systems Co., Ltd.), 06 August 2009 (06.08.2009), paragraphs [0002] to [0014]; fig. 38, 39 & US 2011/0012195 A1 & DE 11 2009 000 253 T5 & CN 103022115 A	1-6
Y	JP 2011-192822 A (Fuji Electric Co., Ltd.), 29 September 2011 (29.09.2011), paragraphs [0023] to [0046]; fig. 1 to 3 (Family: none)	1-6
A	JP 10-326897 A (Hitachi, Ltd.), 08 December 1998 (08.12.1998), entire text; all drawings & US 6180966 B1	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 August, 2013 (16.08.13)

Date of mailing of the international search report
27 August, 2013 (27.08.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/12(2006.01)i, H01L27/04(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/12, H01L27/04, H01L29/739, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2 0 0 9 / 0 9 6 4 1 2 A 1 (富士電機システムズ株式会社) 2 0 0 9 . 0 8 . 0 6、段落【0 0 0 2】-【0 0 1 4】 図 3 8、3 9 & US 2 0 1 1 / 0 0 1 2 1 9 5 A 1 & DE 1 1 2 0 0 9 0 0 0 2 5 3 T 5 & CN 1 0 3 0 2 2 1 1 5 A	1 - 6
Y	JP 2 0 1 1 - 1 9 2 8 2 2 A (富士電機株式会社) 2 0 1 1 . 0 9 . 2 9、段落【0 0 2 3】-【0 0 4 6】図 1 - 3 (フ	1 - 6

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 0 8 . 2 0 1 3

国際調査報告の発送日

2 7 . 0 8 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

工藤 一光

5 F

9 2 7 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	アミリーなし) J P 10-326897 A (株式会社日立製作所) 1998. 12. 08、全文全図 & US 6180966 B1	1-6