

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月30日(30.08.2012)



(10) 国際公開番号

WO 2012/115267 A1

- (51) 国際特許分類:
H01L 31/04 (2006.01)
- (21) 国際出願番号: PCT/JP2012/054771
- (22) 国際出願日: 2012年2月27日(27.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-040261 2011年2月25日(25.02.2011) JP
特願 2011-164178 2011年7月27日(27.07.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 京セラ株式会社(KYOCERA CORPORATION) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 荒浪 順次(ARANAMI, Junji) [JP/JP]; 〒5278555 滋賀県東近江市蛇溝町1166-6 京セラ株式会社滋賀八日市工場内 Shiga (JP). 横田 裕子(YOKOTA, Yuuko) [JP/JP]; 〒5278555 滋賀県東近江市蛇溝町1166-6 京セラ株式会社滋賀八日市工場

内 Shiga (JP). 佐野 浩孝(SANO, Hirotaka) [JP/JP]; 〒5278555 滋賀県東近江市蛇溝町1166-6 京セラ株式会社滋賀八日市工場内 Shiga (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: PHOTOELECTRIC CONVERSION ELEMENT AND PHOTOELECTRIC CONVERSION DEVICE

(54) 発明の名称: 光電変換素子および光電変換装置

[図2]

1: 光電変換素子

8: グリッド電極
7: 上部電極層
5: 半導体層
4: 光吸収層
3: 下部電極層
2: 基板

- 1 Photoelectric conversion element
- 2 Substrate
- 3 Lower electrode layer
- 4 Light-absorbing layer
- 5 Semiconductor layer
- 7 Upper electrode layer
- 8 Grid electrode

(57) Abstract: [Problem] When many electrons existing in a transparent electrode are close to holes in a light-absorbing layer, defects on a PN joint interface may increase over time. [Solution] A photoelectric conversion element is provided with: a lower electrode layer; a light-absorbing layer that is provided on the lower electrode layer and includes a compound semiconductor capable of photoelectric conversion; a semiconductor layer that is provided on the light-absorbing layer; and an upper electrode layer that is provided on the semiconductor layer and has lower electric resistivity than the semiconductor layer. The semiconductor layer includes a porous layer region having many pores on the upper electrode layer side thereof.

(57) 要約: 【課題】透明電極に存在する多数の電子が、光吸収層のホールに近いと、経年変化でpn接合界面での欠陥が増加する場合があった。【解決手段】下部電極層と、この下部電極層上に設けられた、光電変換可能な化合物半導体を含む光吸収層と、この光吸収層上に設けられた半導体層と、この半導体層上に設けられた、この半導体層よりも抵抗率が低い上部電極層とを有する光電変換素子であって、前記半導体層は、前記上部電極層側に、多数の空孔を有する多孔質層領域を有する。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：光電変換素子および光電変換装置

技術分野

[0001] 本発明は光電変換素子および光電変換装置に関する。

背景技術

[0002] 太陽光発電などに使用される光電変換装置としては、光吸収係数が高いCIGSなどのカルコパイライト系のI-III-VI族化合物半導体によって光吸収層が形成されたものがある。CIGSは光吸収係数が高く、光電変換装置の薄膜化や大面積化や低コスト化に適しており、これを用いた次世代太陽電池の研究開発が進められている。

[0003] その光電変換素子は、ガラスなどの基板上に、金属電極などの下部電極と、光吸収層やバッファ層を含む半導体層である光電変換層と、透明電極や金属電極などの上部電極とが、この順に積層されて構成される。そして、複数の光電変換素子は、隣り合う一方の光電変換素子の上部電極と他方の光電変換素子の下部電極とが、接続導体によって電氣的に接続されることで、電氣的に直列に接続されている。

[0004] このような光電変換素子は、例えば、光吸収層上に化学析出法によりCdSを厚さ10nmに析出させて、バッファ層を形成し、このバッファ層上にZnOターゲットとMgOターゲットの二元ターゲットを用いたスパッタリング法により、 $Zn_{0.85}Mg_{0.15}O$ から成る1.2μmの膜厚の上部電極層を形成することによって作製されることが知られている（例えば特許文献1参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開2004-214300号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献 1 に開示された光電変換素子では、光吸収層等へスパッタリング粒子が打ち込まれることによってダメージを受け、光電変換効率を十分に高めることが困難であった。

[0007] また、透明電極に存在する多数の電子が、光吸収層のホールに近いと、電子とホールが再結合し易くなる傾向があり、光電変換効率を十分に高めることが困難であった。

[0008] よって本発明は、光電変換素子および光電変換装置の光電変換効率を高めることを目的とする。

課題を解決するための手段

[0009] 上記に鑑みて本発明の一実施形態に係る光電変換素子は、下部電極層と、該下部電極層上に設けられた、光電変換可能な化合物半導体を含む光吸収層と、該光吸収層上に設けられた半導体層と、該半導体層上に設けられた、該半導体層よりも抵抗率が低い上部電極層とを有する光電変換素子であって、前記半導体層は、前記上部電極層側に、多数の空孔を有する多孔質層領域を有する。

[0010] また、本発明の他の一実施形態に係る光電変換素子は、下部電極層と、該下部電極層上に設けられた、光電変換可能な化合物半導体を含む光吸収層と、該光吸収層上に設けられた第 1 半導体層と、該第 1 半導体層上に設けられた第 2 半導体層と、該第 2 半導体層上に設けられた、該第 2 半導体層よりも抵抗率が低い上部電極層とを有する光電変換素子であって、前記第 1 半導体層は、前記第 2 半導体層側に、多数の空孔を有する第 1 多孔質層領域を有する。

[0011] また、本発明の他の一実施形態に係る光電変換装置は、前記光電変換素子を用いたものである。

発明の効果

[0012] 本発明の光電変換素子および光電変換装置によれば、光吸収層等へスパッタリング粒子が打ち込まれることによるダメージを低減し、光電変換効率を高めることができる。

[0013] また、上部電極に存在する多数の電子を、半導体層に空孔を有する分だけ、光吸収層のホールから遠ざけることができるので、電子とホールとの再結合を低減して光電変換効率を高めることができる。

図面の簡単な説明

[0014] [図1]本各実施形態に係る光電変換装置の概略模式図である。

[図2]第1実施形態に係る光電変換素子の概略模式図である。

[図3]第1実施形態に係る光電変換素子の製造過程の断面模式図である。

[図4]第1実施形態に係る光電変換素子の製造過程の断面模式図である。

[図5]第1実施形態に係る光電変換素子の製造過程の断面模式図である。

[図6]第1実施形態に係る光電変換素子の製造過程の断面模式図である。

[図7]第1実施形態に係る光電変換素子の製造過程の断面模式図である。

[図8]第1実施形態に係る光電変換素子の断面の写真代用図である。

[図9]図8の点線内の拡大写真代用図である。

[図10]第2実施形態に係る光電変換素子の概略模式図である。

[図11]第2実施形態に係る光電変換素子の製造過程の断面模式図である。

[図12]第2実施形態に係る光電変換素子の製造過程の断面模式図である。

[図13]第2実施形態に係る光電変換素子の製造過程の断面模式図である。

[図14]第2実施形態に係る光電変換素子の製造過程の断面模式図である。

[図15]第2実施形態に係る光電変換素子の製造過程の断面模式図である。

[図16]第2実施形態に係る光電変換素子の製造過程の断面模式図である。

[図17]第2実施形態に係る光電変換素子の断面の写真代用図である。

[図18]図17の点線内の拡大写真代用図である。

発明を実施するための形態

[0015] 以下、本発明の一実施形態を図面に基づいて説明する。

[0016] <第1実施形態に係る光電変換素子>

図2において光電変換素子1は、基板2上に下部電極層3と、光吸収層4と、半導体層5と、上部電極層7と、グリッド電極8とを主として備えている。

- [0017] 基板2に用いられる材料としては、ガラス、セラミックス、樹脂および金属などが挙げられる。ここでは、基板2として、厚さ1～3mm程度の青板ガラス（ソーダライムガラス）が用いられている。
- [0018] 下部電極層3は、基板2の一主面上に設けられた、Mo、Al、Ti、TaまたはAuなどの金属、あるいはこれらの金属の積層構造体からなる導体である。下部電極層2は、スパッタリング法または蒸着法などの公知の薄膜形成方法を用いて、0.2～1μm程度の厚みに形成される。
- [0019] 光吸収層4は、下部電極層3の上に設けられた、例えばカルコパイライト系（以下CIS系とも言う）のI-III-VI族化合物を含む、p型の導電型を有する半導体層であることが好ましい。この光吸収層4は、1～3μm程度の厚みを有している。ここで、I-III-VI族化合物とは、I-B族元素と、III-B族元素とVI-B族元素（換言すれば、11族元素、13族元素、16族元素ともいう）との化合物であり、本実施形態としては、Cu(In,Ga)Se₂（以下、CIGSとも言う）などが挙げられるが、これらに限定されるものではない。このような光吸収層4については、スパッタリング法、蒸着法などのいわゆる真空プロセスによって形成可能であるほか、光吸収層4の構成元素を含む溶液を下部電極層3の上に塗布し、その後、乾燥・熱処理を行う、いわゆる塗布法あるいは印刷法と称されるプロセスによって形成することもできる。
- [0020] 半導体層5は、光吸収層4の上に設けられた、該光吸収層4の導電型とは異なるn型の導電型を有する半導体層である。半導体層5は光吸収層4上に設けられたII-B族元素、III-B族元素の少なくとも1つを含む化合物半導体を有する半導体層によって構成される場合に、光吸収層4とヘテロ接合する態様で設けられる。光電変換素子1では、このヘテロ接合を構成する光吸収層4と半導体層5とにおいて光電変換が生じることから、光吸収層4と半導体層5とが光電変換層となっている。また、半導体層5はCBD法（ケミカルバス成膜法）によって、例えば、In₂S₃系、ZnS系、CdS系等の組成で構成され、1～30nmの厚みに形成されることが好ましいが、可能

であれば薄膜法、メッキ法などの他の手段によって形成されても構わない。

[0021] 上部電極層 7 は、半導体層 5 の上に設けられた、n 型の導電性を有する透明導電膜である。上部電極層 7 は、光電変換層において生じた電荷を取り出す電極として設けられている。また、上部電極層 7 は、半導体層 5 よりも低い抵抗率を有する物質、例えば錫を含んだ酸化インジウム (ITO) などによって構成されるものであり、上部電極層 7 は、スパッタリング法、蒸着法などによって形成される。

[0022] なお、半導体層 5、上部電極層 7 は、光吸収層 4 が吸収する光の波長領域に対して光透過性を有する物質によって構成されることが好ましく、また、半導体層 5、上部電極層 7 は、絶対屈折率が略同一であることが好ましい。これにより、光吸収層 4 までの光の吸収効率の低下が抑制される。

[0023] そして、図 1 に示されるような、Ag などの金属からなる集電部 8 a と連結部 8 b とからなるグリッド電極 8 は、光電変換素子 1 において発生した電荷を上部電極層 7 から取り出して集電する役割を担うものであり、これにより上部電極層 7 の薄層化が可能となる。グリッド電極 8 は、導電性と、光吸収層 4 への光透過性との両立を考慮すると、50~400 μm の幅を有することが好ましい。

[0024] 上記半導体層 5 について詳細に説明する。

[0025] 第 1 実施形態において、半導体層 5 は、上部電極層 7 側に、多数の空孔を有する多孔質層領域を有する。

[0026] 例えば、図 6 および図 7 に示されるように、光吸収層 4 と、光吸収層 4 上に設けられた半導体層 5 と、半導体層 5 上に設けられた上部電極層 7 とを有しており、半導体層 5 は、上部電極層 7 側に、多数の空孔 5 b を有する多孔質層領域 5 a を有する。

[0027] これによって、上部電極 7 に存在する多数の電子を、半導体層 5 に空孔 5 b を有する分だけ、光吸収層 4 のホールから遠ざけることができるので、電子とホールとの再結合を低減して光電変換効率を高めることができる。

[0028] さらに、上部電極層 7 をスパッタリング法で形成する際に、スパッタリン

グ粒子のピンニング（打ち込み）を空孔 5 b でトラップして防いで、光吸収層 4 へのダメージを低減することができる。

[0029] ここで多孔質層領域 5 a とは、半導体層 5 で囲まれた空孔 5 b が多数存在する層領域であること、すなわち閉気孔である空孔 5 b が多数、上部電極層 7 側に分布していることが、ピンニングされたスパッタリング粒子を捕捉し易い点で好ましい。

[0030] またここで、多孔質層領域 5 a の空孔 5 b とは、例えば、図 8 および図 9 の TEM 分析写真において、黒く見える部分である。

[0031] 本実施形態では、半導体層 5 は硫黄元素および酸素元素を含み、半導体層 5 に含まれる硫黄元素の原子%を S、酸素元素の原子%を O としたとき、 $S / (S + O)$ が光吸収層 4 側ほど大きいことが好ましい。

[0032] さらに、多孔質層領域 5 a において、 $S / (S + O)$ が 0.6 ~ 0.79 であることが好ましい。

[0033] 各原子%は半導体層 5 の各部位において TEM の EDS 分析で測定可能であり、半導体層 5 における光吸収層 4 との界面付近において、この範囲を満足することが好ましい。

[0034] これにより、pn 接合付近では酸素を少なく、硫黄を多くできるので、pn 接合を良好に保つことができる。

[0035] 本実施形態は、光吸収層が I-B 族元素、III-B 族元素および VI-B 族元素を含み、半導体層が III-B 族元素および VI-B 族元素を含む。

[0036] これにより、上部電極層 7 のスパッタリング粒子が光吸収層 4 へダメージを与えることを低減することができる。

[0037] 本実施形態では、多孔質層領域 5 a における空孔率は、面積比で 10 ~ 80 % であることが好ましい。

[0038] これにより、半導体層 5 の多孔質領域 5 a と上部電極層 7 との密着性を維持しつつ、上部電極層 7 をスパッタリング法で形成する際に、スパッタリング粒子のピンニング（打ち込み）を空孔 5 b でトラップして防いで、光吸収層 4 へのダメージを低減することができる。

[0039] ここで空孔率は、多孔質領域 5 a における空孔 5 b と、空孔 5 b が無い部分とに、画像処理解析装置を使用して 2 値化処理し、それぞれの面積を測定、演算することによって求めることができる。

[0040] また、上部電極層 7 に存在する多数の電子を、半導体層 5 に空孔 5 b を有する分だけ、光吸収層 4 のホールから遠ざけることができるので、光電変換効率を高めることができる。

[0041] <第 2 実施形態に係る光電変換素子>

第 2 実施形態において、図 10 に示すように、下部電極層 13 と、下部電極層 13 上に設けられた、光電変換可能な化合物半導体を含む光吸収層 14 と、光吸収層 14 上に設けられた第 1 半導体層 15 と、第 1 半導体層 15 上に設けられた第 2 半導体層 16 と、第 2 半導体層 16 上に設けられた、第 2 半導体層 16 よりも抵抗率が低い上部電極層 17 とを有する光電変換素子 11 であって、第 1 半導体層 15 は、第 2 半導体層 16 側に、多数の空孔 15 b を有する第 1 多孔質層領域 15 a を有する。

[0042] すなわち、図 17、図 18 に示されるように、光吸収層 14 と、光吸収層 14 上に設けられた第 1 半導体層 15 と、第 1 半導体層 15 上に設けられた第 2 半導体層 16 とを有しており、第 1 半導体層 15 は、第 2 半導体層 16 側に、多数の空孔 15 b を有する第 1 多孔質層領域 15 a を有する。

[0043] これによって、上部電極層 17 に存在する多数の電子を、第 1 半導体層 15 に空孔 15 b を有する分だけ、光吸収層 14 のホールから遠ざけることができるので、電子とホールとの再結合を低減して光電変換効率を高めることができる。

[0044] さらに、第 2 半導体層 16 をスパッタリング法で形成する際に、スパッタリング粒子のピンニング（打ち込み）を空孔 15 b でトラップして防いで、光吸収層 14 へのダメージを低減することができる。ここで第 1 多孔質層領域 15 a は、第 1 半導体層 15 で囲まれた空孔 15 b が多数存在する層領域であること、すなわち閉気孔である空孔 5 b が多数、第 2 半導体層 16 側に分布していることが、ピンニングされたスパッタリング粒子を捕捉し易い点

で好ましい。

[0045] さらに、本実施形態は、第1半導体層15は硫黄元素および酸素元素を含み、第1半導体層15に含まれる硫黄元素の原子%をS、酸素元素の原子%をOとしたとき、 $S / (S + O)$ が光吸収層側ほど大きい構成であることが好ましい。

[0046] さらに、多孔質層領域15aにおいて、 $S / (S + O)$ が0.5～0.69であることが好ましい。

[0047] これにより、pn接合付近では酸素を少なく、硫黄を多くできるので、pn接合を良好に保つことができる。

[0048] さらに、本実施形態は、光吸収層14がI-B族元素、III-B族元素およびVI-B族元素を含み、第1半導体層15がIII-B族元素およびVI-B族元素を含み、第2半導体層16がII-B族元素およびVI-B族元素を含んでもよい。

[0049] より好ましくは、第1半導体層15は In_2S_3 を含み、第2半導体層16はZnOを含む。

[0050] これにより、第2半導体層16の例えばZnOのスputtering粒子が光吸収層14へダメージを与えることを低減することができ、さらに、ZnOのZnが第1半導体層15を介して光吸収層14に経年変化によって拡散していき、pn接合を良好に行うことができる。

[0051] さらに、本実施形態は、多孔質領域15aにおける空孔率は、面積比で10～80%であることが好ましい。

[0052] これによって、上部電極層17に存在する多数の電子を、半導体層15に空孔15bを有する分だけ、光吸収層14のホールから遠ざけることができるので、電子とホールとの再結合をより低減して、光電変換効率を高めることができる。

[0053] ここで空孔率は、多孔質領域15aにおける空孔15bと、空孔15bが無い部分とに、画像処理解析装置を使用して2値化処理し、それぞれの面積を測定、演算することによって求めることができる。

[0054] さらに、第2半導体層16をスパッタリング法で形成する際に、スパッタリング粒子のピンニング（打ち込み）を空孔15bでトラップして防いで、光吸収層14へのダメージをより低減することができる。

[0055] さらに、本実施形態は、多孔質層領域15aの厚さが5～70nmである。

[0056] 空孔15bにより、上部電極層17および第2半導体層16に存在する多数の電子を、光吸収層14と第1半導体層15とのpn接合付近に存在するp型層のホールから遠ざけておくことが容易にできる。

[0057] また、第2半導体層16をスパッタリング法で形成する際に、スパッタリング粒子のピンニング（打ち込み）を空孔15bで捕捉して、光吸収層14へのダメージを適切に低減することができる。

[0058] ＜光電変換装置＞

本実施形態は、光電変換素子を用いた光電変換装置を提供するものである。

[0059] 図1に示す例のように、光電変換装置10は、上部電極層7、17およびグリッド電極8（8aは集電部、8bは接続部）が設けられた側の主面が受光面側となっており、それぞれの光電変換素子1、11が直列あるいは並列接続されて光電変換装置10となっている。

[0060] 上記した光電変換素子1、11を光電変換装置10に用いて、さらに高い光電変換効率を提供することが容易になる。

[0061] なお、本発明の光電変換装置10は上記のような一実施形態に限られたものではない。

[0062] ＜光電変換素子の製造方法＞

以下において、光電変換素子の第1実施形態の製造方法、および第2実施形態の製造方法の説明をそれぞれ説明する。

[0063] （第1実施形態の光電変換素子の製造方法）

I－III－VI族化合物半導体からなる光吸収層4（例えば、Cu、In、GaおよびSeを含むCIGS等）が塗布法を用いて形成され、さらに、半導

体層 5 以降が形成される場合を例として説明する。

[0064] まず、図 3 のように、洗浄された基板 2 の略全面に、Mo からなる下部電極層 3 がスパッタリング法で形成され、下部電極層 3 上に I-III-VI 族化合物半導体からなる光吸収層 4（例えば、Cu、In、Ga および Se を含む CIGS 等）が塗布法を用いて形成される。

[0065] ここで、光吸収層 4 を形成するための溶液が下部電極層 3 の表面に塗布され、乾燥によって被膜が形成された後、この被膜が熱処理されることで、光吸収層 4 が形成される。光吸収層 4 を形成するための溶液は、カルコゲン元素含有有機化合物と塩基性有機溶剤とを含む溶媒に、I-B 族金属および III-B 族金属を直接溶解することで作製され、I-B 族金属および III-B 族金属の合計濃度が 10 質量%以上の溶液とされる。なお、溶液の塗布にはスピナー、スクリーン印刷、ディッピング、スプレー、ダイコーターなど様々な方法の適用が可能である。カルコゲン元素含有有機化合物とは、カルコゲン元素を含む有機化合物である。カルコゲン元素としては、VI-B 族元素のうちの S、Se、Te をいう。カルコゲン元素含有有機化合物としては、例えば、チオール、スルフィド、セレンール、テルロール等が挙げられる。金属を混合溶媒に直接溶解させるというのは、単体金属または合金の地金を、直接、混合溶媒に混入し、溶解させることをいう。乾燥は、還元雰囲気下で行われることが望ましい。乾燥温度は、例えば 50～300℃である。熱処理は、酸化防止のために水素雰囲気や窒素雰囲気などの還元雰囲気下で行われることが望ましい。熱処理温度は、例えば 400～600℃である。

[0066] 光吸収層 4 が形成された後、半導体層 5 は CBD 法（ケミカルバス成膜法）によって形成される（図 4 を参照）。

[0067] ここで本実施形態の製造方法は、下部電極層上に、I-B 族元素、III-B 族元素および VI-B 族元素を含む光吸収層を形成する第 1 工程と、光吸収層上に、III-B 族元素および VI-B 族元素を含む第 1 半導体層を CBD 法で形成するとともに、CBD 法における成膜用溶液の In の原子% C_{In} と硫黄の原子% C_S とが、 $C_{In} : C_S = 1 : 1 \sim 9$ （好ましくは 2）となるように制御

する第2工程とを有することが好ましい。

[0068] そしてこの第2工程では、半導体層5のエピタキシャル成長中に、成膜用溶液の循環流量と、そのバブリング用窒素の流量とを制御し、成膜用溶液中の凝集物の平均粒径を300nm以上500nm未満、成膜用溶液の成膜温度を65℃以上70℃未満、pH2.4以上pH2.6未満の範囲となるように管理する。

[0069] そして、成膜用溶液中の凝集物の平均粒径を3μm以上、成膜用溶液をpH2.6以上2.8未満に切り替えることによって、エピタキシャル成長後に針状結晶を個別に成長させつつ、その成長過程で針状結晶を面内方向に成長させて融合させ、上部電極層7側に多数の空孔5bを有する多孔質層領域5aを成長させる（図5を参照）。

[0070] これにより、周囲が第1半導体層5のみで囲まれた空孔5bを得ることができる。

[0071] ここで、pHは塩酸、酢酸、硝酸の少なくともいずれかの酸もしくはアンモニア水を添加することによって制御することができる。

[0072] また、平均粒度は、成膜用溶液を遠心分離法で分粒することによって、粒度分布を管理することができる。

[0073] そして、上部電極層7をスパッタリング法で形成する際に、多孔質層領域5aによってスパッタリング粒子のピンニングを捕捉することができる（図6を参照）。

[0074] そして、上部電極層7として錫を含んだ酸化インジウム（ITO）などが、スパッタリング法、蒸着法で形成される（図7、図8および図9を参照）。

[0075] （第2実施形態の光電変換素子の製造方法）

ここでは光吸収層14までの形成は、上記第1実施形態と同様である。

[0076] 光吸収層14が形成された後、第1半導体層15はCBD法（ケミカルバス成膜法）によって形成されるが、後工程で第2半導体層16をスパッタリング法で形成する場合には、光吸収層14をダメージから保護できる厚みであることが好ましい（図12を参照）。

[0077] ここで、本実施形態の製造方法は、下部電極層 13 上に、I-B 族元素、II-B 族元素およびVI-B 族元素を含む光吸収層 14 を形成する第 1 工程と、光吸収層 14 上に、III-B 族元素およびVI-B 族元素を含む第 1 半導体層 15 を C B D 法で形成するとともに、C B D 法における成膜用溶液の In の原子% C_{In} と硫黄の原子% C_S とが、 $C_{In} : C_S = 1 : 1 \sim 9$ (好ましくは 2) となるように制御する第 2 工程とを有することが好ましい。

[0078] そしてこの第 2 工程では、第 1 半導体層 15 のエピタキシャル成長中に、成膜用溶液の循環流量と、そのバブリング用窒素の流量とを制御し、成膜用溶液中の凝集物の平均粒径を 300 nm 以上 500 nm 未満、成膜用溶液の成膜温度を 65℃ 以上 70℃ 未満、pH 2.4 以上 pH 2.6 未満の範囲となるように管理する。

[0079] そして、成膜用溶液中の凝集物の平均粒径を 3 μ m 以上、成膜用溶液を pH 2.6 以上 2.8 未満に切り替えることによって、エピタキシャル成長後に針状結晶を個別に成長させつつ、その成長過程で針状結晶を面内方向に成長させて融合させ、上部電極層 17 側に多数の空孔 5b を有する第 1 多孔質層領域 15a を成長させる (図 13 を参照)。

[0080] これにより、周囲が第 1 半導体層 15 のみで囲まれた空孔 15b を得ることができる。

[0081] ここで、pH は塩酸、酢酸、硝酸の少なくともいずれかの酸もしくはアンモニア水を添加することによって制御することができる。

[0082] また、平均粒度は成膜用溶液を遠心分離法で分粒することによって、粒度分布を管理することができる。

[0083] そして、第 2 半導体層 16 をスパッタリング法で形成する際に、第 1 多孔質層領域 15a においてピンニングされたスパッタリング粒子を捕捉することができる (図 14 および図 15 を参照)。

[0084] そして、上部電極層 17 として錫を含んだ酸化インジウム (ITO) などが、スパッタリング法、蒸着法で形成される (図 16、図 17 および図 18 を参照)。

実施例

[0085] (実施例 1) 第 1 実施形態の光電変換素子

(試料作製)

本実施例 1 は、半導体層が単層構造である場合に関するものである。

[0086] 洗浄されたガラス基板 2 の略全面に、Mo からなる下部電極層 3 をスパッタリング法で形成し、下部電極層 3 上に光吸収層 4 (Cu、In、Ga および Se を含む CIGS) を塗布法を用いて形成した。

[0087] 光吸収層 4 を形成するための溶液の濃度は 10 質量%とし、スピncォーターで塗布して、乾燥温度は 50℃で 1 時間、熱処理は窒素雰囲気下で 400℃で 1 時間とした。

[0088] 光吸収層 4 が形成された後、半導体層 5 は CBD 法 (ケミカルバス成膜法) によって形成し、後工程で上部電極層 7 をスパッタリング法で形成した。

[0089] そして、半導体層 5 のエピタキシャル成長中に、成膜用溶液の循環流量と、そのバブリング用窒素の流量を制御し、成膜用溶液中の凝集物の平均粒径を 300 nm、成膜用溶液の成膜温度を 65℃、pH 2.4 となるように管理した。そして、成膜用溶液中の凝集物の平均粒径を 3 μm、成膜用溶液を pH 2.6 に切り替えることによって、エピタキシャル成長後に針状結晶を個別に成長させつつ、その成長過程で針状結晶を面内方向に成長させて融合させ、半導体層 5 全体としては 100 nm 厚とした。そして、上部電極層 7 側に多数の空孔 5b を有する多孔質層領域 5a を成長させ、上部電極層 7 として酸化インジウム (ITO) をスパッタリング法で形成した。

[0090] 比較例 1 として、半導体層 5 のエピタキシャル成長中に、成膜用溶液の循環流量と、そのバブリング用窒素の流量とを制御し、成膜用溶液中の凝集物の平均粒径を 300 nm、成膜用溶液の成膜温度を 65℃、pH 2.4 となるように管理した後に、針状結晶が発生する前に成膜を止めて、上部電極層 7 として酸化インジウム (ITO) をスパッタリング法で形成したことで、多孔質層領域 5a を有さない試料 1 とした。

[0091] 以下、結果を表 1 に示す。なお多孔質層領域 5a の空孔率は、多孔質層領

域 5 a の成膜速度で、多孔質層領域 5 a の厚さは、多孔質層領域 5 a の成膜時間でそれぞれ制御した。

[0092] [表1]

	試料番号	空孔率	多孔質層領域厚さ	変換効率
		%	nm	%
*	1	0	—	8
	2	5	35	11
	3	10	35	14
	4	40	35	15
	5	80	35	14
	6	90	35	11
	7	40	4	11
	8	40	5	13
	9	40	35	15
	10	40	70	13
	11	40	80	11

* は比較例

[0093] 比較例である試料 1 では、上部電極層 7 をスパッタリング法で形成したとき、スパッタリング粒子のピンニング（打ち込み）によるダメージによって、半導体層 5 が壊れて光吸収層 4 との p n 接合界面に欠陥が生じていたため、光電変換効率が低かった。

[0094] 試料 2 ～ 6 において、特に試料 3 ～ 5 では良好な光電変換効率を示した。

[0095] また試料 7 ～ 11 において、特に試料 8 ～ 10 では良好な光電変換効率を示し、多孔質層領域 5 a の厚さは 5 ～ 70 nm である場合に、好適範囲を示すことがわかった。

[0096] なお、本実施例である試料 2 ～ 11 の断面を TEM で観察すれば、半導体層 5 の上部電極層 7 側に空孔 5 b が多く分布していた。

[0097] （実施例 2）第 2 実施形態の光電変換素子

(試料作製)

本実施例 2 は、半導体層が 2 層構造である場合に関するものである。

[0098] 光吸収層 14 を形成するまでは実施例 1 と同様である。

[0099] そして、第 1 半導体層 15 のエピタキシャル成長中に、成膜用溶液の循環流量と、そのバブリング用窒素の流量とを制御し、成膜用溶液中の凝集物の平均粒径を 300 nm、成膜用溶液の成膜温度を 65℃、pH 2.4 となるように管理した。

[0100] そして、成膜用溶液中の凝集物の平均粒径を 3 μm、成膜用溶液を pH 2.6 に切り替えることによって、エピタキシャル成長後に針状結晶を個別に成長させつつ、その成長過程で針状結晶を面内方向に成長させて融合させ、第 2 半導体層 16 側に多数の空孔 15b を有する多孔質層領域 15a を成長させ、半導体層 5 全体としては 100 nm 厚とした。

[0101] そして、第 2 半導体層 16 として高抵抗な酸化亜鉛 (i-ZnO) を、上部電極層 17 として酸化インジウム (ITO) をスパッタリング法で形成した。

[0102] 比較例 1 として、第 1 半導体層 15 のエピタキシャル成長中に、成膜用溶液の循環流量と、そのバブリング用窒素の流量とを制御し、成膜用溶液中の凝集物の平均粒径を 300 nm、成膜用溶液の成膜温度を 65℃、pH 2.4 となるように管理した後に、針状結晶が発生する前に成膜を止めて、第 2 半導体層 16 として高抵抗な酸化亜鉛 (i-ZnO) を、上部電極層 7 として酸化インジウム (ITO) をスパッタリング法で形成したことで、多孔質層領域 15a を有さない試料 12 とした。

[0103] 以下、結果を表 2 に示す。なお第 1 多孔質層領域 15a の空孔率は、第 1 多孔質層領域 15a の成膜速度で、第 1 多孔質層領域 15a の厚さは、第 1 多孔質層領域 15a の成膜時間でそれぞれ制御した。

[0104]

[表2]

	試料番号	空孔率	多孔質層領域厚さ	変換効率
		%	nm	%
*	12	0	—	8
	13	5	35	11
	14	10	35	14
	15	40	35	15
	16	80	35	14
	17	90	35	11
	18	40	4	11
	19	40	5	13
	20	40	35	15
	21	40	70	13
	22	40	80	11

* は比較例

[0105] 比較例である試料12では、第2半導体層16をスパッタリング法で形成したとき、スパッタリング粒子のピンニング（打ち込み）によるダメージによって、第1半導体層15が壊れて光吸収層14とのpn接合界面に欠陥が生じていたため、光電変換効率が低かった。

[0106] 試料13～17において、特に試料14～16では良好な光電変換効率を示した。

[0107] また試料18～22において、特に試料19～21では良好な光電変換効率を示し、多孔質層領域5aの厚さは、5～70nmである場合に、好適範囲であることがわかった。

[0108] なお、本実施例である試料13～22の断面をTEMで観察したところ、第1半導体層5の第2半導体層6側に空孔5bが多く分布していた。

符号の説明

- [0109] 1、1 1 : 光電変換素子
- 2、1 2 : 基板
- 3、1 3 : 下部電極層
- 4、1 4 : 光吸収層
- 5 : 半導体層
- 5 a : 多孔質層領域
- 5 b : 空孔
- 1 5 : 第1半導体層
- 1 5 a : 第1多孔質層領域
- 1 5 b : 空孔
- 1 6 : 第2半導体層
- 7、1 7 : 上部電極層
- 8 : グリッド電極

請求の範囲

- [請求項1] 下部電極層と、該下部電極層上に設けられた、光電変換可能な化合物半導体を含む光吸収層と、該光吸収層上に設けられた半導体層と、該半導体層上に設けられた、該半導体層よりも電気抵抗率が低い上部電極層とを有する光電変換素子であって、
前記半導体層は、前記上部電極層側に、多数の空孔を有する多孔質層領域を有する光電変換素子。
- [請求項2] 前記半導体層は硫黄元素および酸素元素を含み、前記半導体層に含まれる硫黄元素の原子%をS、酸素元素の原子%をOとしたとき、 $S / (S + O)$ が前記光吸収層側ほど大きい、請求項1に記載の光電変換素子。
- [請求項3] 前記光吸収層がI-B族元素、III-B族元素およびVI-B族元素を含み、前記半導体層がIII-B族元素およびVI-B族元素を含む、請求項1または2に記載の光電変換素子。
- [請求項4] 前記多孔質層領域における空孔率は、面積比で10～80%である、請求項1～3のいずれかに記載の光電変換素子。
- [請求項5] 下部電極層と、該下部電極層上に設けられた、光電変換可能な化合物半導体を含む光吸収層と、該光吸収層上に設けられた第1半導体層と、該第1半導体層上に設けられた第2半導体層と、該第2半導体層上に設けられた、該第2半導体層よりも抵抗率が低い上部電極層とを有する光電変換素子であって、
前記第1半導体層は、前記第2半導体層側に、多数の空孔を有する第1多孔質層領域を有する、光電変換素子。
- [請求項6] 前記第1半導体層は硫黄元素および酸素元素を含み、前記第1半導体層に含まれる硫黄元素の原子%をS、酸素元素の原子%をOとしたとき、 $S / (S + O)$ が前記光吸収層側ほど大きい、請求項5に記載の光電変換素子。
- [請求項7] 前記光吸収層がI-B族元素、III-B族元素およびVI-B族元素

を含み、前記第 1 半導体層が III-B 族元素および VI-B 族元素を含み、前記第 2 半導体層上が II-B 族元素および VI-B 族元素を含む、請求項 5 または 6 に記載の光電変換素子。

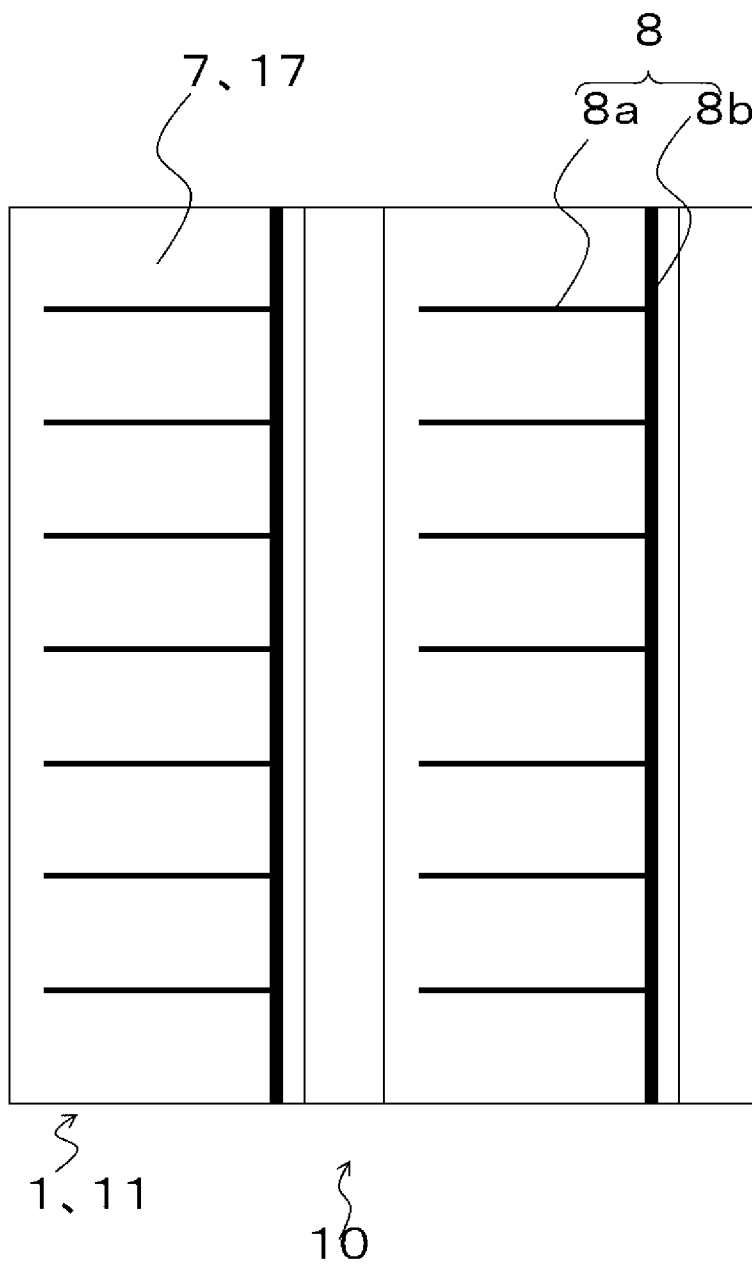
[請求項 8] 前記第 1 半導体層は In_2S_3 を含み、前記第 2 半導体層は ZnO を含む、請求項 5 ～ 7 のいずれかに記載の光電変換素子。

[請求項 9] 前記第 1 多孔質領域における空孔率は、面積比で 10 ～ 80 % である、請求項 5 ～ 8 のいずれかに記載の光電変換素子。

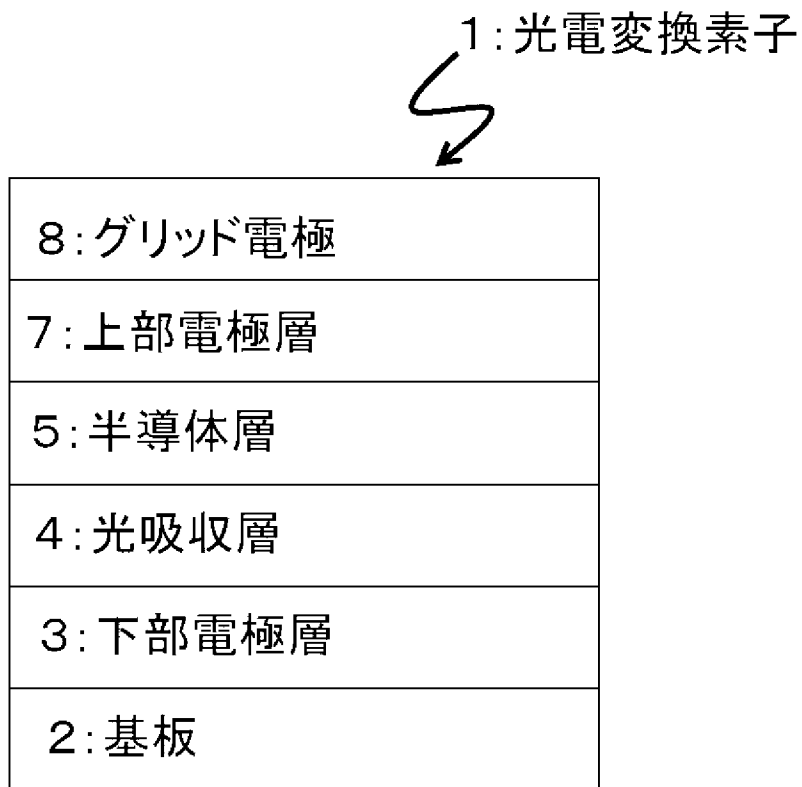
[請求項 10] 前記多孔質層領域の厚さは 5 ～ 70 nm である、請求項 1 ～ 9 のいずれかに記載の光電変換素子。

[請求項 11] 請求項 1 ～ 10 のいずれかに記載の光電変換素子を用いた光電変換装置。

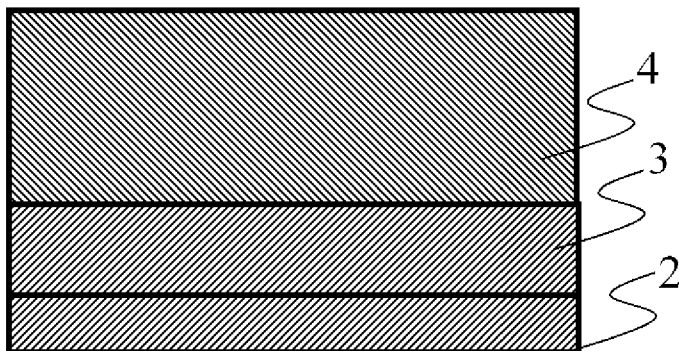
[図1]



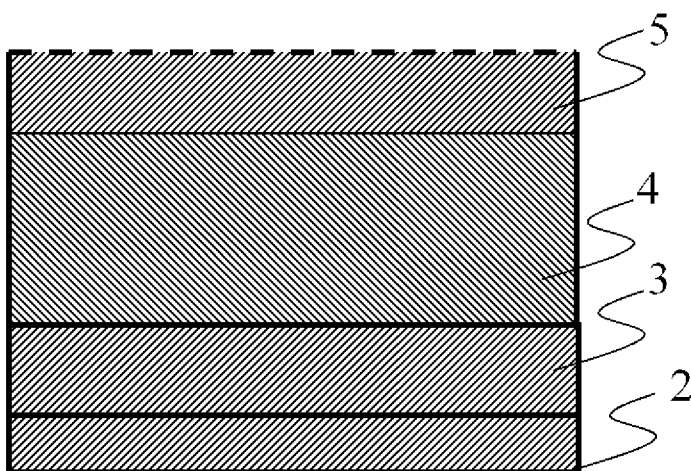
[図2]



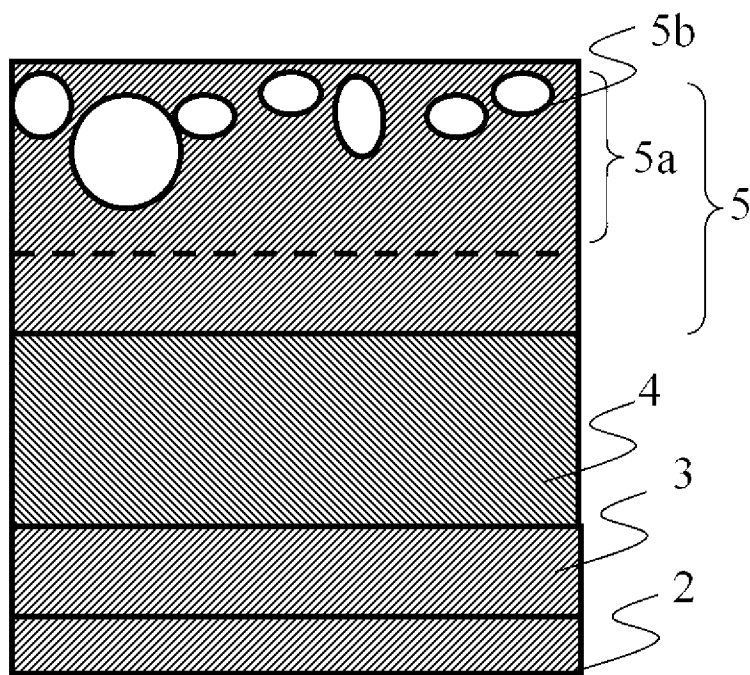
[図3]



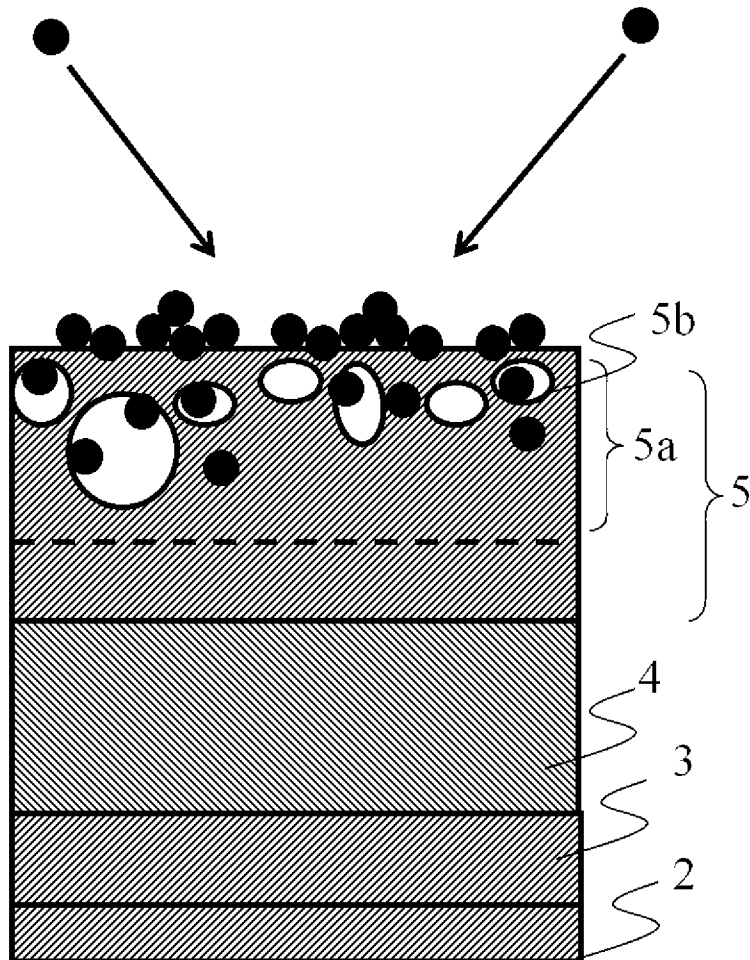
[図4]



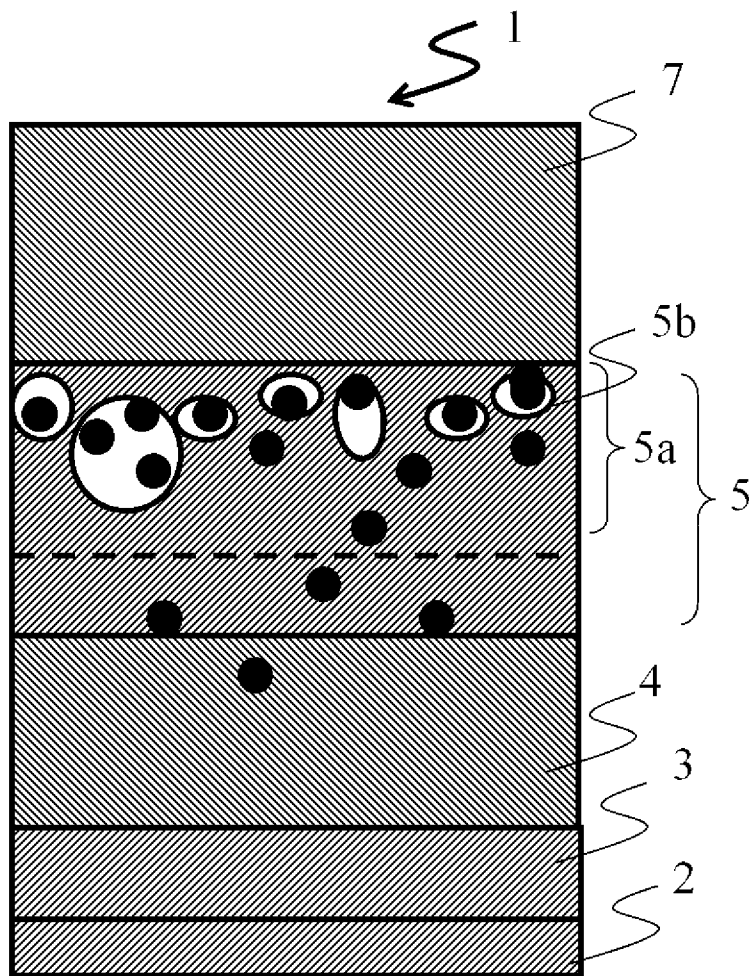
[図5]



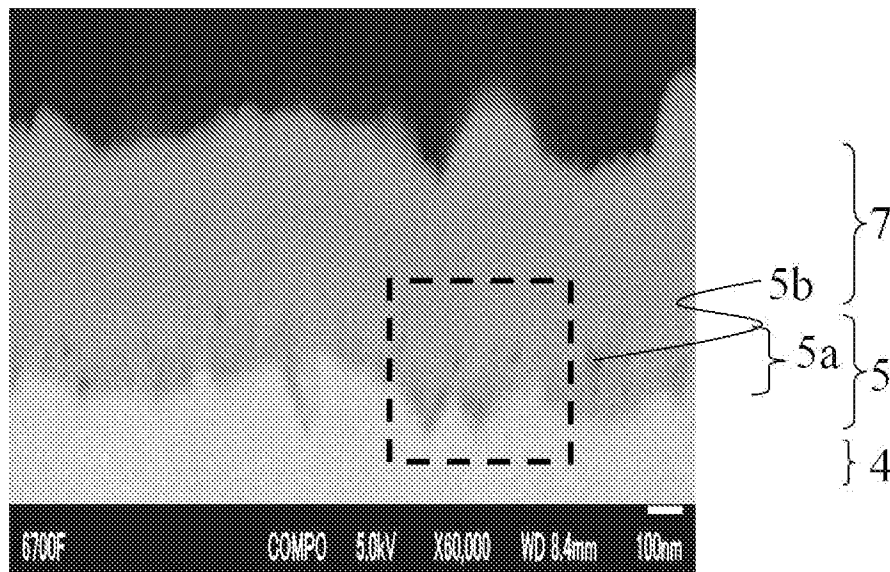
[図6]



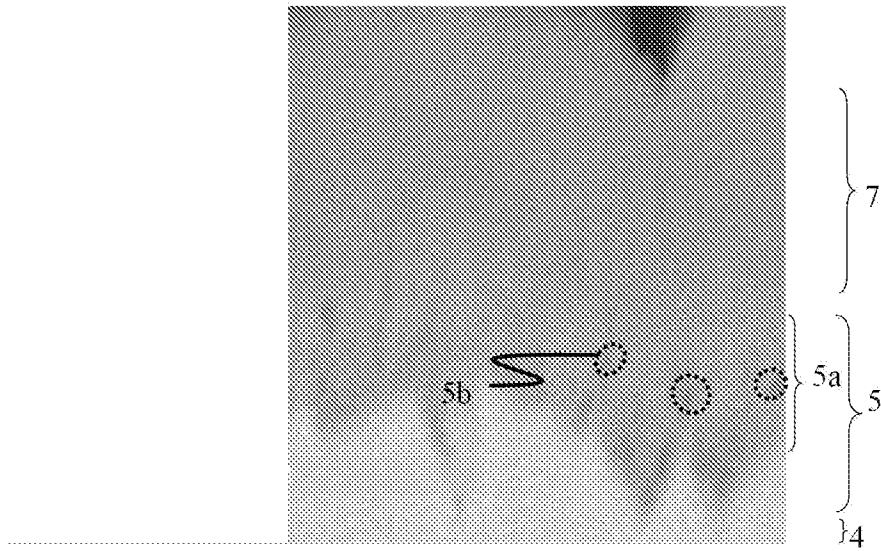
[図7]



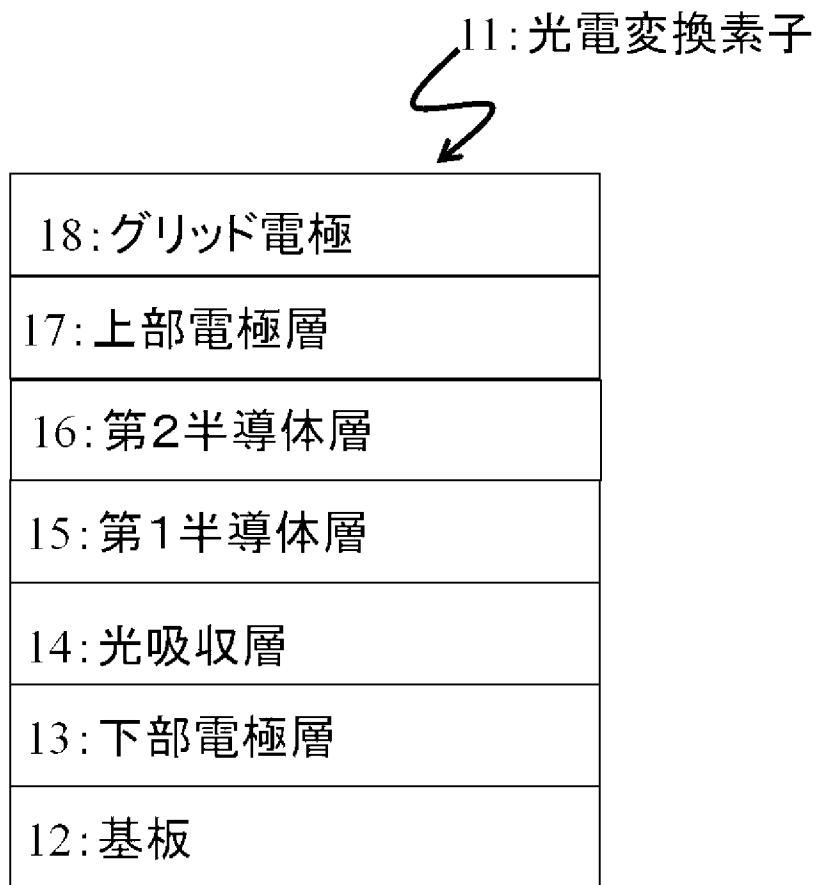
[図8]



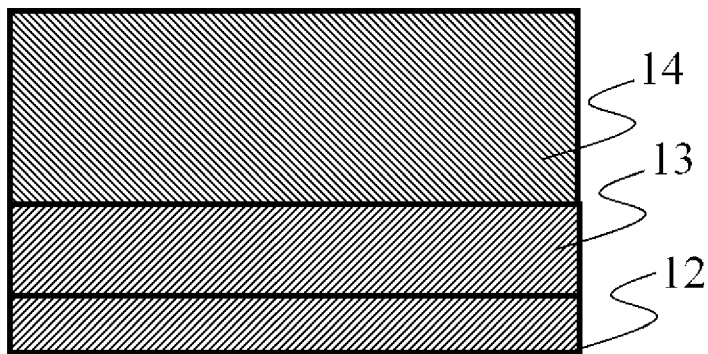
[図9]



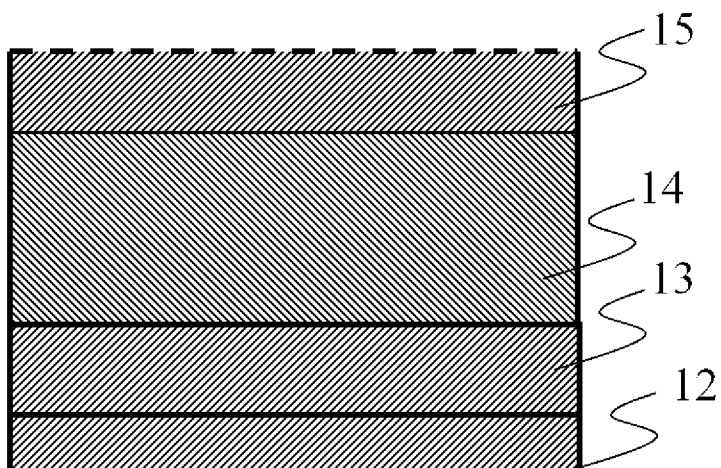
[図10]



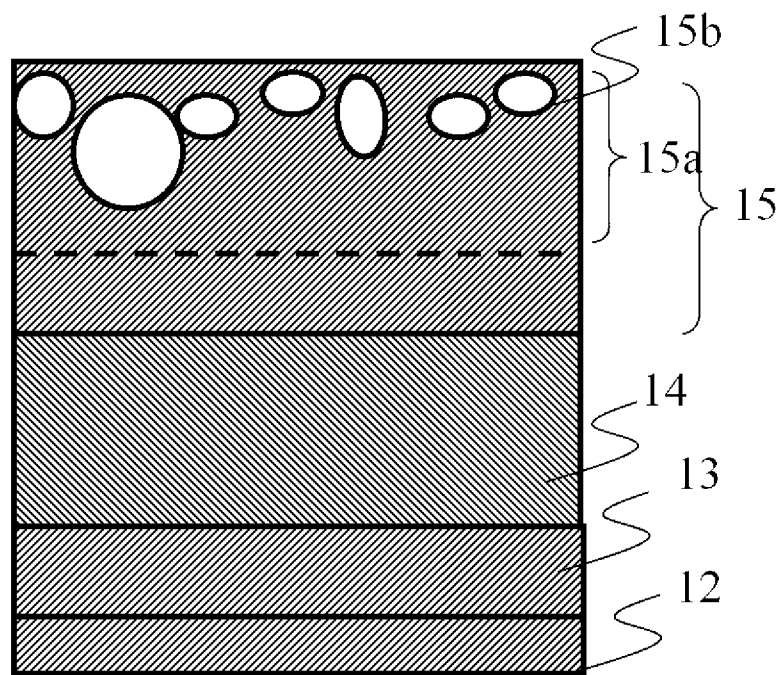
[図11]



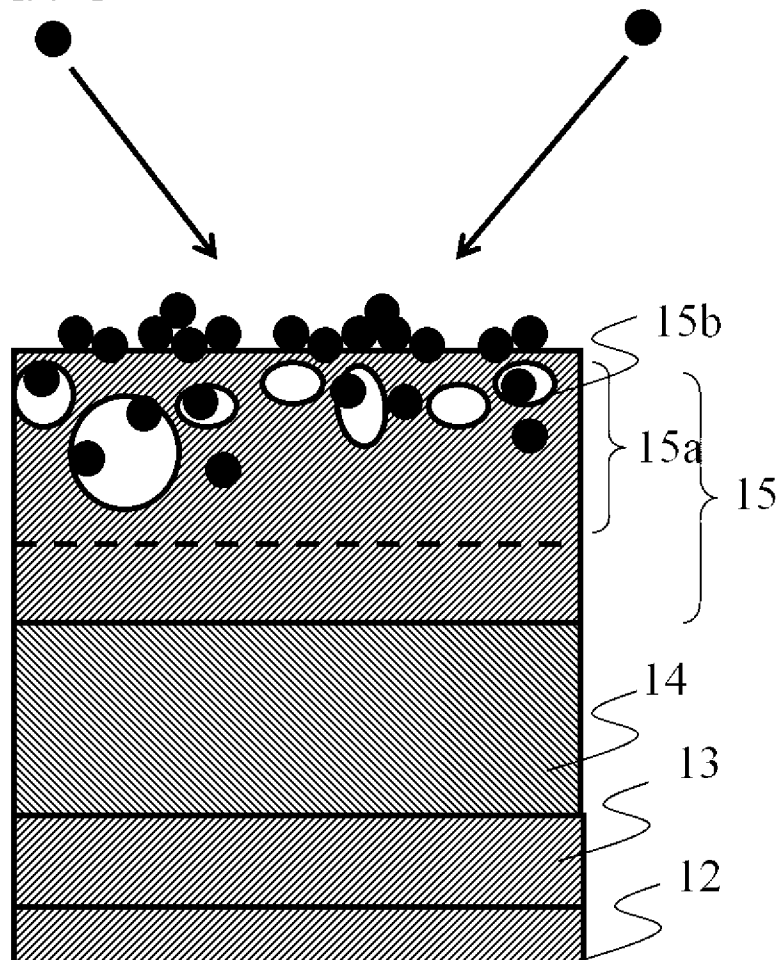
[図12]



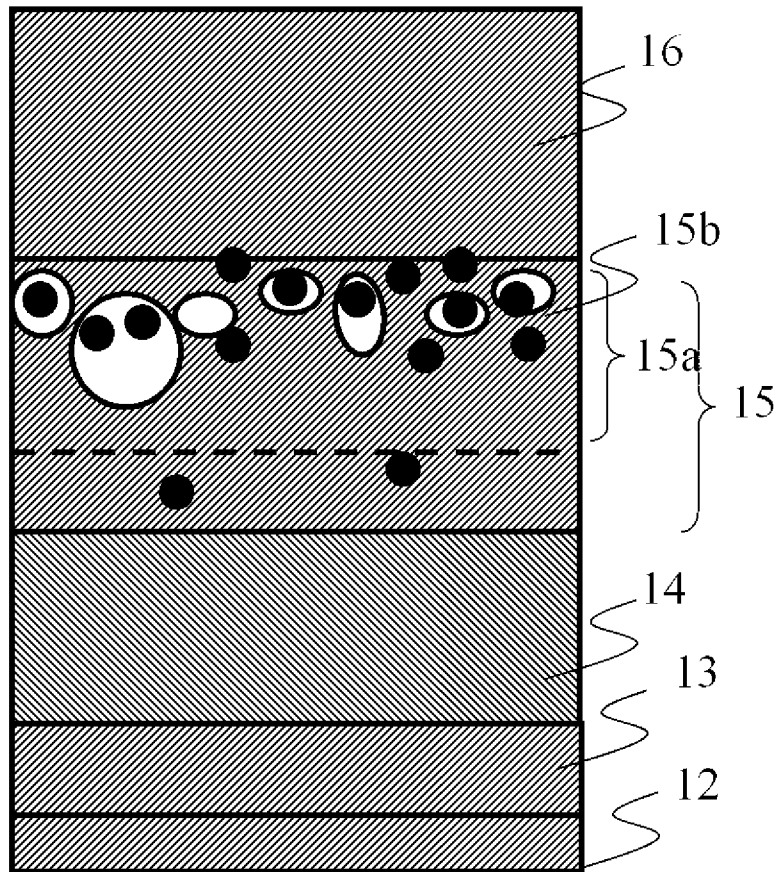
[図13]



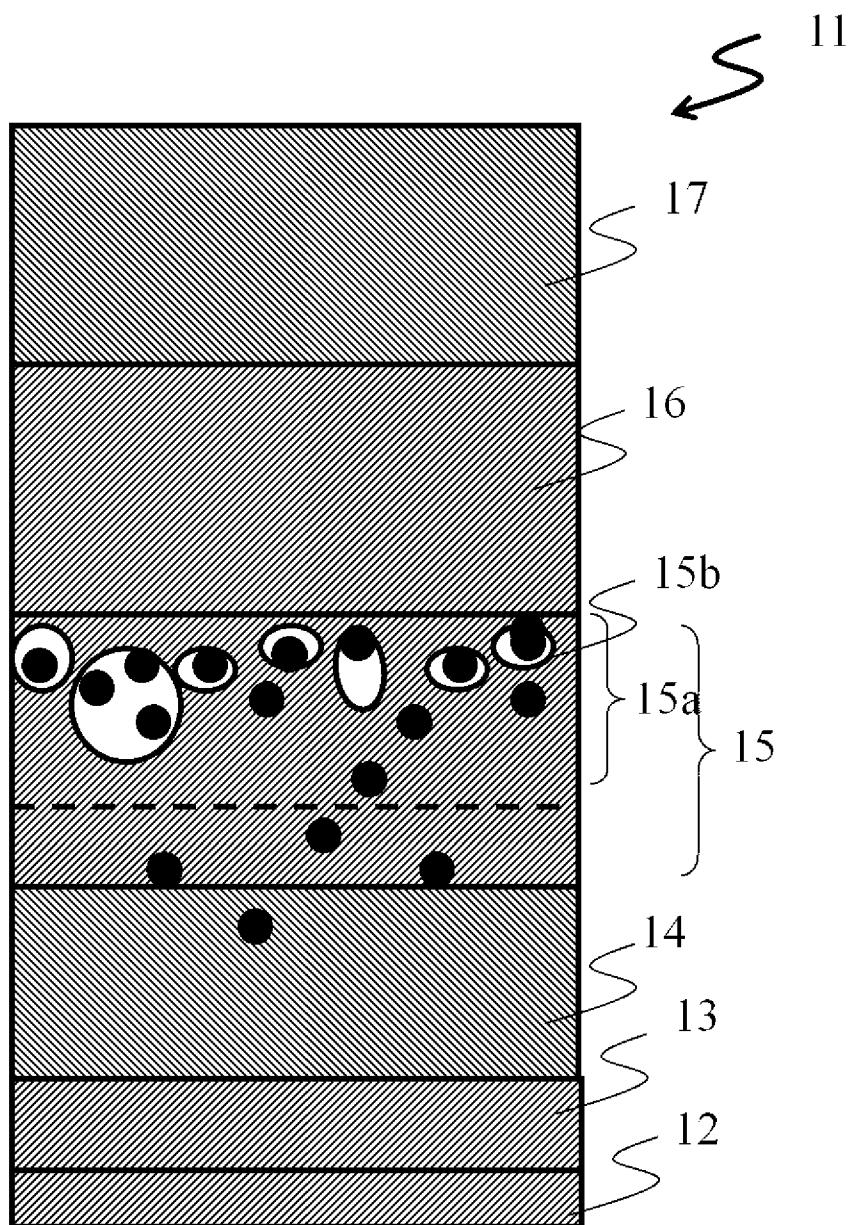
[図14]



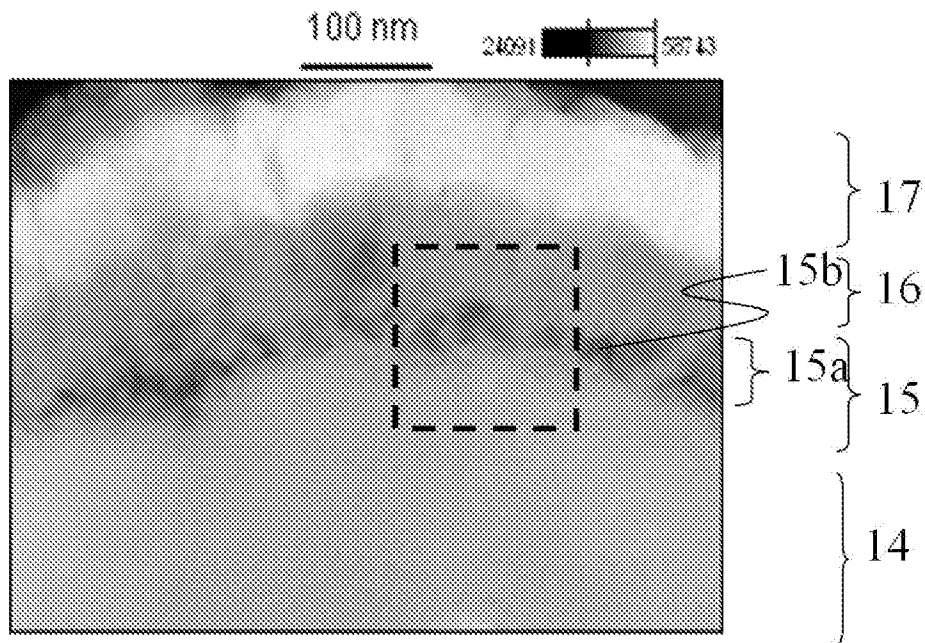
[図15]



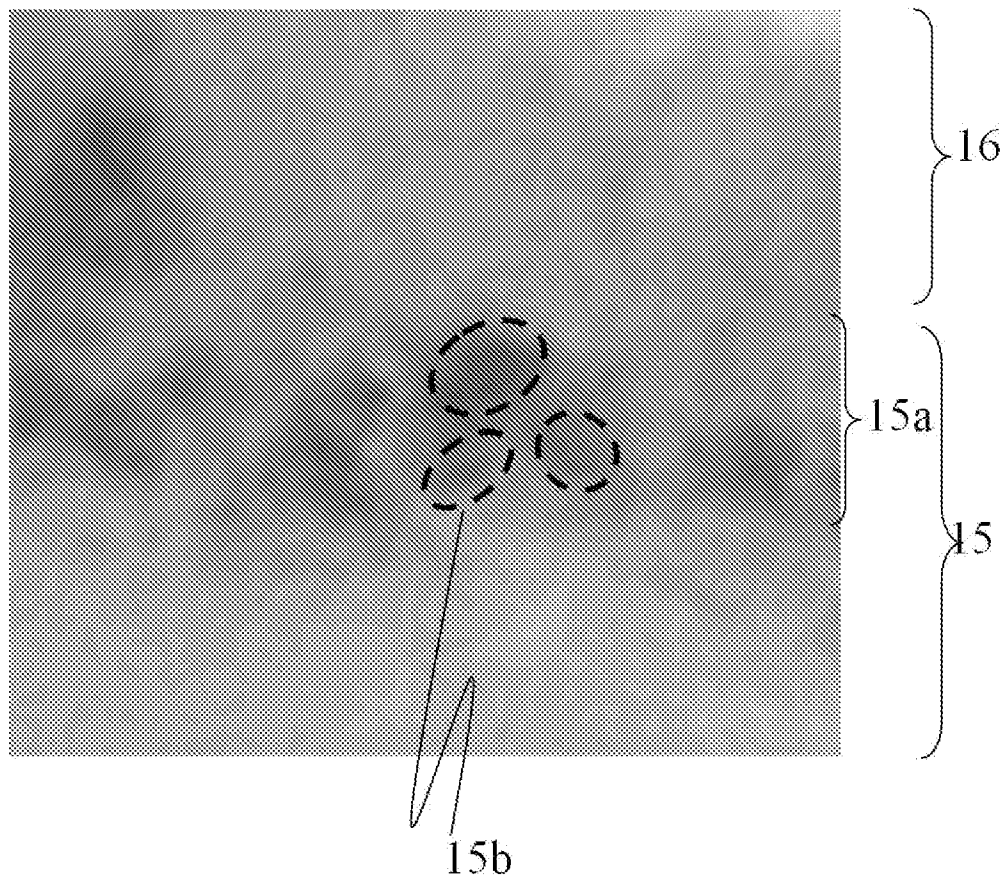
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/054771

A. CLASSIFICATION OF SUBJECT MATTER

H01L31/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/04-31/078, 51/42

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-525671 A (Solibro AB.), 09 November 2006 (09.11.2006), claim 1; paragraph [0028]; fig. 2, 3 & US 2006/0180200 A1 & WO 2004/100250 A1 & CN 1820358 A	1-11
Y	JP 05-041531 A (Fuji Electric Corporation Research and development Ltd.), 19 February 1993 (19.02.1993), paragraph [0003]; fig. 2 & US 5399504 A & DE 4217454 A1	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 May, 2012 (01.05.12)

Date of mailing of the international search report
15 May, 2012 (15.05.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/054771

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 57-030379 A (Director General, Agency of Industrial Science and Technology), 18 February 1982 (18.02.1982), claims; page 2, lower right column to page 3, upper left column; fig. 2 (Family: none)	1-11
A	JP 2010-287607 A (Hitachi, Ltd.), 24 December 2010 (24.12.2010), claim 1; paragraphs [0028], [0034], [0037] (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L31/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L31/04-31/078, 51/42

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-525671 A (ソリブロ エイビー) 2006. 11. 09, 【請求項 1】 , 【0028】 , 【図 2】 , 【図 3】 & US 2006/0180200 A1 & WO 2004/100250 A1 & CN 1820358 A	1-11
Y	JP 05-041531 A (株式会社富士電機総合研究所) 1993. 02. 19, 【0003】 , 【図 2】 & US 5399504 A & DE 4217454 A1	1-11

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 5 . 2 0 1 2

国際調査報告の発送日

1 5 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

井上 徹

2 K

3 6 0 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 57-030379 A (工業技術院長) 1982. 02. 18, 特許請求の範囲, 第 2 頁右下欄—第 3 頁左上欄, 第 2 図 (ファミリーなし)	1-11
A	JP 2010-287607 A (株式会社日立製作所) 2010. 12. 24, 【請求項 1】 , 【0028】 , 【0034】 , 【0037】 (ファミリーなし)	1-11