



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0132713

(43) 공개일자 2015년11월26일

(51) 국제특허분류(Int. Cl.)

G11C 11/4096 (2015.01) G11C 11/4063

(2006.01)

(21) 출원번호 10-2014-0058755

(22) 출원일자 2014년05월16일

심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

유정택

경기도 구리시 인창동 603-204

김철우

서울 성북구 길음로 16, 605동 1301호 (길음동, 길음뉴타운)

송준영

서울 동대문구 약령사로 25, 103동 902호 (제기동, 안암골벽산아파트)

(74) 대리인

특허법인신성

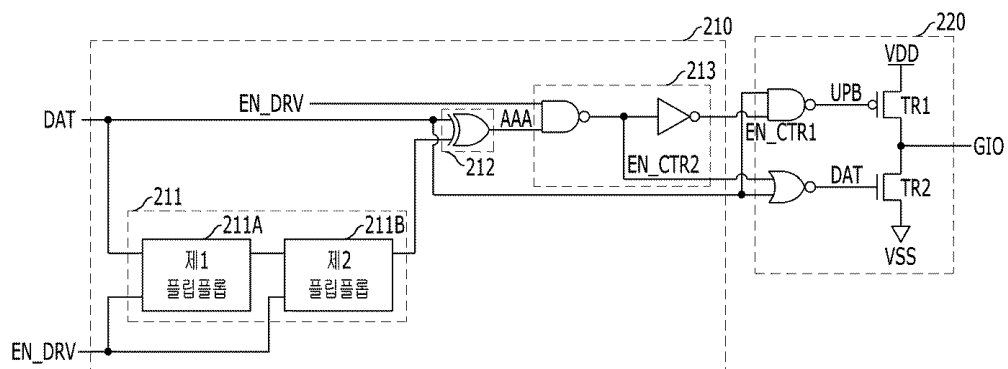
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 데이터 출력 회로 및 반도체 시스템

(57) 요약

신호 전송 라인을 통해 데이터를 전달하는 데이터 출력 회로에 관한 것으로, 입력되는 데이터에 따라 신호 전송 라인을 구동하여 상기 데이터를 상기 신호 전송 라인으로 전달하기 위한 데이터 출력부, 및 상기 신호 전송 라인을 통해 전달되는 데이터와 상기 입력되는 데이터를 비교하여 상기 데이터 출력부의 구동 동작 여부를 제어하기 위한 출력 제어부를 구비하는 데이터 출력 회로가 제공된다.

대표도



명세서

청구범위

청구항 1

입력되는 데이터에 따라 신호 전송 라인을 구동하여 상기 데이터를 상기 신호 전송 라인으로 전달하기 위한 데이터 출력부; 및

상기 신호 전송 라인을 통해 전달되는 데이터와 상기 입력되는 데이터를 비교하여 상기 데이터 출력부의 구동 동작 여부를 제어하기 위한 출력 제어부

를 구비하는 데이터 출력 회로.

청구항 2

제1항에 있어서,

상기 출력 제어부는,

상기 신호 전송 라인을 통해 전달되는 데이터를 저장하기 위한 데이터 저장부;

상기 입력되는 데이터와 상기 저장부에 저장된 데이터를 비교하기 위한 데이터 비교부; 및

상기 비교부의 출력 신호에 응답하여 상기 데이터 출력부의 활성화 동작을 제어하기 위한 활성화 제어 신호를 생성하는 제어 신호 생성부

를 구비하는 것을 특징으로 하는 데이터 출력 회로.

청구항 3

제2항에 있어서,

상기 데이터 저장부는,

상기 입력되는 데이터를 저장하기 위한 제1 플립플롭; 및

다음 입력되는 데이터에 응답하여 상기 제1 플립플롭에 저장된 데이터를 출력하기 위한 제2 플립플롭

을 구비하는 것을 특징으로 하는 데이터 출력 회로.

청구항 4

제2항에 있어서,

상기 데이터 저장부는,

프리 셋 제어 신호에 응답하여 상기 신호 전송 라인을 통해 전달되는 데이터를 전달하기 위한 전달부; 및

상기 전달부의 출력 신호를 저장하기 위한 저장부

를 구비하는 것을 특징으로 하는 데이터 출력 회로.

청구항 5

제4항에 있어서,

상기 프리 셋 제어 신호는 상기 입력되는 데이터가 상기 신호 전송 라인으로 출력되기 이전에 활성화되는 것을 특징으로 하는 데이터 출력 회로.

청구항 6

제2항에 있어서,

상기 신호 전송 라인의 전압 레벨을 감지하여 상기 데이터 저장부에 저장된 데이터를 다른 데이터로 변환하기 위한 데이터 변환부를 더 구비하는 데이터 출력 회로.

청구항 7

제2항에 있어서,

상기 신호 전송 라인으로 예정된 개수의 동일한 데이터가 연속적으로 입력되는 것을 카운팅하여 상기 데이터 저장부에 저장된 데이터를 다른 데이터로 변환하기 위한 데이터 변환부를 더 구비하는 데이터 출력 회로.

청구항 8

하나의 신호 전송 라인에 다수의 데이터 출력 회로가 연결되어 있는 반도체 시스템에 있어서,

상기 다수의 데이터 출력 회로 중 적어도 하나는,

출력되는 데이터에 따라 상기 신호 전송 라인을 구동하여 상기 데이터를 상기 신호 전송 라인으로 전달하기 위한 데이터 출력부; 및

상기 신호 전송 라인을 통해 전달되는 데이터와 상기 입력되는 데이터를 비교하여 상기 데이터 출력부의 구동 동작 여부를 제어하기 위한 출력 제어부

를 구비하는 반도체 시스템.

청구항 9

제8항에 있어서,

상기 출력 제어부는,

상기 신호 전송 라인을 통해 전달되는 데이터를 저장하기 위한 데이터 저장부;

상기 출력되는 데이터와 상기 저장부에 저장된 데이터를 비교하기 위한 데이터 비교부; 및

상기 비교부의 출력 신호에 응답하여 상기 데이터 출력부의 활성화 동작을 제어하기 위한 활성화 제어 신호를 생성하는 제어 신호 생성부

를 구비하는 것을 특징으로 하는 반도체 시스템.

청구항 10

제9항에 있어서,

상기 데이터 저장부는,

프리 셋 제어 신호에 응답하여 상기 신호 전송 라인을 통해 전달되는 데이터를 전달하기 위한 전달부; 및

상기 전달부의 출력 신호를 저장하기 위한 저장부

를 구비하는 것을 특징으로 하는 반도체 시스템.

청구항 11

제10항에 있어서,

상기 프리 셋 제어 신호는 상기 출력되는 데이터가 상기 신호 전송 라인으로 출력되기 이전에 활성화되는 것을 특징으로 하는 반도체 시스템.

청구항 12

제9항에 있어서,

상기 신호 전송 라인의 전압 레벨을 감지하여 상기 데이터 저장부에 저장된 데이터를 다른 데이터로 변환하기 위한 데이터 변환부를 더 구비하는 반도체 시스템.

청구항 13

제9항에 있어서,

상기 신호 전송 라인으로 예정된 개수의 동일한 데이터가 연속적으로 입력되는 것을 감지하여 상기 데이터 저장부에 저장된 데이터를 다른 데이터로 변환하기 위한 데이터 변환부를 더 구비하는 반도체 시스템.

청구항 14

다수의 반도체 장치와 컨트롤러가 하나의 신호 전송 라인에 연결되어 있는 반도체 시스템에 있어서,

상기 다수의 반도체 장치 각각은,

출력되는 데이터에 따라 상기 신호 전송 라인을 구동하여 상기 데이터를 상기 신호 전송 라인으로 전달하기 위한 데이터 출력부;

상기 신호 전송 라인을 통해 전달되는 데이터를 저장하기 위한 데이터 저장부;

상기 출력되는 데이터와 상기 저장부에 저장된 데이터를 비교하기 위한 데이터 비교부;

상기 비교부의 출력 신호에 응답하여 상기 데이터 출력부의 활성화 동작을 제어하기 위한 활성화 제어 신호를 생성하는 제어 신호 생성부; 및

상기 데이터 출력부의 구동력 정보를 생성하기 위한 정보 생성부를 구비하고,

상기 컨트롤러는,

상기 신호 전송 라인으로 연속적으로 입력되는 동일한 데이터의 개수와 상기 구동력 정보에 응답하여 상기 데이터 저장부에 저장된 데이터를 다른 데이터로 변환하기 위한 제어 신호를 생성하기 위한 데이터 변환부

를 구비하는 반도체 시스템.

청구항 15

제14항에 있어서,

상기 다수의 반도체 장치 각각에 구비되는 상기 데이터 출력부는 서로 다른 구동 전원을 인가받는 것을 특징으로 하는 반도체 시스템.

청구항 16

제14항에 있어서,

상기 데이터 변환부는,

상기 구동력 정보에 대응하는 기준 개수를 설정하기 위한 개수 설정부; 및

상기 신호 전송 라인으로 연속적으로 입력되는 동일한 데이터의 개수와 상기 기준 개수를 비교하여 상기 제어 신호를 활성화시키기 위한 개수 비교부를 구비하는 것을 특징으로 하는 반도체 시스템.

청구항 17

제14항에 있어서,

상기 데이터 출력부는 상기 구동력 정보에 응답하여 상기 활성화 동작이 제어되는 것을 특징으로 하는 반도체 시스템.

청구항 18

제16항에 있어서,

상기 다수의 반도체 장치는 제1 및 제2 반도체 장치를 포함하며,

상기 제1 반도체 장치에 대응하는 상기 데이터 출력부의 제1 전원 전압을 인가받으며, 상기 제1 반도체 장치에 대응하는 상기 개수 설정부는 상기 제1 전원 전압에 대응하는 제1 기준 개수를 설정하고,

상기 제2 반도체 장치에 대응하는 상기 데이터 출력부는 제2 전원 전압을 인가받으며, 상기 제2 반도체 장치에 대응하는 상기 개수 설정부는 상기 제2 전원 전압에 대응하는 제2 기준 개수를 설정하는 것을 특징으로 하는 반도체 시스템.

청구항 19

제18항에 있어서,

상기 제1 전원 전압은 상기 제2 전원 전압보다 높으며, 상기 제1 기준 개수는 상기 제2 기준 개수보다 많은 것을 특징으로 하는 반도체 시스템.

발명의 설명

기술 분야

[0001]

본 발명은 반도체 설계 기술에 관한 것으로, 특히 신호 전송 라인을 통해 데이터를 전달하는 데이터 출력 회로에 관한 것이다.

배경 기술

[0002]

일반적으로 DDR SDRAM(Double Data Rate Synchronous DRAM)을 비롯한 반도체 장치 내부에는 다수의 신호 전송 라인이 배치되어 있으며, 여러 가지 정보를 가지고 있는 데이터들이 이 다수의 신호 전송 라인을 통해 원하는 곳으로 전달된다. 신호 전송 라인의 개수가 많아지면 더 많은 데이터를 전달하는 것이 가능하며, 이는 반도체 장치가 보다 많은 데이터를 보다 빠르게 처리할 수 있는 기반이 된다. 하지만, 신호 전송 라인의 개수가 많으면 많아질수록 신호 전송 라인이 배치되는 면적이 커지기 때문에 신호 전송 라인을 마냥 늘리는 것은 한계가 있다.

[0003]

한편, 공정 기술이 발달함에 따라 신호 전송 라인의 폭은 점점 좁아지고 있다. 그리고, 이렇게 좁아진 신호 전송 라인으로 인하여 반도체 장치의 면적을 줄이는 것이 가능해 졌으며, 또한 동일한 면적에 보다 많은 신호 전

송 라인을 배치하는 것이 가능해졌다. 하지만, 반대로 신호 전송 라인의 폭이 너무 좁아지면서 신호 전송 라인을 통해 전달되는 데이터에 대한 단위 저항이 증가하여 신호 전송 라인을 구동하기 위한 구동 회로의 구동력 한계를 야기하였으며, 신호 전송 라인과 신호 전송 라인의 사이 간격이 너무 좁아지면서 크로스토크(crosstalk)와 같은 신호 간섭 현상들을 야기하였다. 이러한 문제점은 비단 반도체 장치 내부의 신호 전송 라인에 발생하는 것이 아니라 데이터를 전달하기 위한 회로와 데이터를 전달받는 회로와 같이 데이터 송수신 관계를 가지는 모든 회로에서 발생한다.

- [0004] 이하, 설명의 편의를 위하여 반도체 장치에 구비되는 데이터 출력 회로를 일례로 설명하기로 한다.
- [0005] 도 1 은 기존의 데이터 출력 회로를 설명하기 위한 회로도이다.
- [0006] 도 1 을 참조하면, 데이터 출력 회로는 출력 인에이블 신호(EN_DRV)에 응답하여 데이터(DAT)를 글로벌 데이터 라인(GIO)으로 출력하기 위한 것으로, 제1 인버터(INV1)와 제2 인버터(INV2)와, 부정 논리 곱 게이트(NAND)와, 부정 논리 합 게이트(NOR)와, PMOS 트랜지스터(TR1), 및 NMOS 트랜지스터(TR2)를 구비한다. 여기서, 출력 인에이블 신호(EN_DRV)는 데이터 출력 회로의 활성화 동작을 제어하기 위한 신호이다.
- [0007] 이하, 데이터 출력 회로의 간단한 회로 동작을 설명하기로 한다.
- [0008] 우선, 출력 인에이블 신호(EN_DRV)가 논리'하이'로 활성화되면 부정 논리 곱 게이트(NAND)와 부정 논리 합 게이트(NOR)는 데이터(DAT)를 입력받아 출력한다. 부정 논리 곱 게이트(NAND)는 논리'하이' 데이터(DAT)를 업 구동 신호(UPB)로 출력하고 부정 논리 합 게이트(NOR)는 논리'로우' 데이터(DAT)를 다운 구동 신호(DNT)로 출력한다. 이어서, PMOS 트랜지스터(TR1)는 업 구동 신호(UPB)에 응답하여 글로벌 데이터 라인(GIO)을 공급 전원 전압(VDD)으로 구동하고, NMOS 트랜지스터(TR2)는 다운 구동 신호(DNT)에 응답하여 글로벌 데이터 라인(GIO)을 접지 전원 전압(VSS)으로 구동한다.
- [0009] 한편, 위에서 설명하였듯이, 글로벌 데이터 라인(GIO)의 폭이 점점 좁아지면서 여러 가지 문제점을 야기하였다.. 본 명세서에서는 이러한 문제점을 보완할 수 있는 데이터 출력 회로를 제안한다.

발명의 내용

해결하려는 과제

- [0010] 신호 전송 라인에 구동될 데이터에 따라 신호 전송 라인에 대한 구동 동작 여부를 제어하는 데이터 출력 회로를 제공하고자 한다.

과제의 해결 수단

- [0011] 본 발명의 실시예에 따른 데이터 출력 회로는, 입력되는 데이터에 따라 신호 전송 라인을 구동하여 상기 데이터를 상기 신호 전송 라인으로 전달하기 위한 데이터 출력부; 및 상기 신호 전송 라인을 통해 전달되는 데이터와 상기 입력되는 데이터를 비교하여 상기 데이터 출력부의 구동 동작 여부를 제어하기 위한 출력 제어부를 구비할 수 있다.
- [0012] 바람직하게, 상기 출력 제어부는, 상기 신호 전송 라인을 통해 전달되는 데이터를 저장하기 위한 데이터 저장부; 상기 입력되는 데이터와 상기 저장부에 저장된 데이터를 비교하기 위한 데이터 비교부; 및 상기 비교부의 출력 신호에 응답하여 상기 데이터 출력부의 활성화 동작을 제어하기 위한 활성화 제어 신호를 생성하는 제어 신호 생성부를 구비할 수 있다.
- [0013] 본 발명의 다른 실시예에 따른 반도체 시스템은, 하나의 신호 전송 라인에 다수의 데이터 출력 회로가 연결되어 있는 반도체 시스템에 있어서, 상기 다수의 데이터 출력 회로 중 적어도 하나는, 출력되는 데이터에 따라 상기 신호 전송 라인을 구동하여 상기 데이터를 상기 신호 전송 라인으로 전달하기 위한 데이터 출력부; 및 상기 신호 전송 라인을 통해 전달되는 데이터와 상기 입력되는 데이터를 비교하여 상기 데이터 출력부의 구동 동작 여부를 제어하기 위한 출력 제어부를 구비할 수 있다.
- [0014] 바람직하게, 상기 출력 제어부는, 상기 신호 전송 라인을 통해 전달되는 데이터를 저장하기 위한 데이터 저장부; 상기 출력되는 데이터와 상기 저장부에 저장된 데이터를 비교하기 위한 데이터 비교부; 및 상기 비교부

의 출력 신호에 응답하여 상기 데이터 출력부의 활성화 동작을 제어하기 위한 활성화 제어 신호를 생성하는 제어 신호 생성부를 구비할 수 있다.

[0015] 본 발명의 또 다른 실시예에 따른 반도체 시스템은, 다수의 반도체 장치와 컨트롤러가 하나의 신호 전송 라인에 연결되어 있는 반도체 시스템에 있어서, 상기 다수의 반도체 장치 각각은, 출력되는 데이터에 따라 상기 신호 전송 라인을 구동하여 상기 데이터를 상기 신호 전송 라인으로 전달하기 위한 데이터 출력부; 상기 신호 전송 라인을 통해 전달되는 데이터를 저장하기 위한 데이터 저장부; 상기 출력되는 데이터와 상기 저장부에 저장된 데이터를 비교하기 위한 데이터 비교부; 상기 비교부의 출력 신호에 응답하여 상기 데이터 출력부의 활성화 동작을 제어하기 위한 활성화 제어 신호를 생성하는 제어 신호 생성부; 및 상기 데이터 출력부의 구동력 정보를 생성하기 위한 정보 생성부를 구비하고, 상기 컨트롤러는, 상기 신호 전송 라인으로 연속적으로 입력되는 동일한 데이터의 개수와 상기 구동력 정보에 응답하여 상기 데이터 저장부에 저장된 데이터를 다른 데이터로 변환하기 위한 제어 신호를 생성하기 위한 데이터 변환부를 구비할 수 있다.

[0016] 바람직하게, 상기 다수의 반도체 장치 각각에 구비되는 상기 데이터 출력부는 서로 다른 구동 전원을 인가받는 것을 특징으로 할 수 있다.

[0017] 본 발명의 실시예에 따른 데이터 출력 회로는 신호 전송 라인에 구동될 데이터에 따라 신호 전송 라인에 대한 구동 동작 여부를 제어하는 것이 가능하며, 이를 통해 글로벌 데이터 라인의 폭이 좁아지더라도 신호 전송 라인을 구동하기 위한 최적의 구동력을 확보하는 것이 가능하다.

발명의 효과

[0018] 데이터 출력 회로의 구동력을 최적화하여 데이터를 전달하는데 있어서 신뢰성을 높여줄 수 있는 효과를 얻을 수 있다.

도면의 간단한 설명

[0019] 도 1 은 기존의 데이터 출력 회로를 설명하기 위한 회로도이다.

도 2 는 본 발명의 실시예에 따른 데이터 출력 회로를 설명하기 위한 도면이다.

도 3 은 도 2 의 데이터 출력 회로의 회로 동작을 설명하기 위한 파형도이다.

도 4 는 본 발명의 다른 실시예에 따른 반도체 시스템을 설명하기 위한 블록도이다.

도 5 는 도 4 의 다수의 데이터 출력 회로(411)를 설명하기 위한 회로도이다.

도 6 은 도 5 의 반도체 시스템을 설명하기 위한 타이밍도이다.

도 7 은 본 발명의 다른 실시예를 설명하기 위한 블록도이다.

도 8 은 도 7 의 데이터 변환부(720)의 카운팅 동작에 따른 타이밍도이다.

도 9 는 도 7 의 데이터 변환부(720)의 비교 동작에 따른 타이밍도이다.

도 10 은 본 발명의 또 다른 실시예에 따른 반도체 시스템을 설명하기 위한 블록도이다.

도 11 은 도 10 의 제1 반도체 장치(1010)를 설명하기 위한 블록도이다.

도 12 은 도 10 의 컨트롤러(1030)를 설명하기 위한 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0021] 도 2 는 본 발명의 실시예에 따른 데이터 출력 회로를 설명하기 위한 도면이다.

- [0022] 도 2 를 참조하면, 데이터 출력 회로는 출력 제어부(210)와, 데이터 출력부(220)를 구비한다.
- [0023] 출력 제어부(210)는 글로벌 데이터 라인(GIO)을 통해 전달되는 데이터와 현재 입력되는 데이터(DAT)를 비교하여 제1 및 제2 활성화 제어 신호(EN_CTR1, EN_CTR2)를 생성하기 위한 것으로, 데이터 저장부(211)와, 데이터 비교부(212), 및 제어 신호 생성부(213)를 구비한다.
- [0024] 우선, 데이터 저장부(211)는 현재 입력되는 데이터(DAT)를 저장하여 이전 데이터로써 저장하기 위한 것으로, 제1 및 제2 플립플롭(211A, 211B)을 구비한다. 제1 플립플롭(211A)은 출력 인에이블 신호(EN_DRV)에 응답하여 데이터(DAT)를 저장하고, 제2 플립플롭(211B)은 출력 인에이블 신호(EN_DRV)에 응답하여 제1 플립플롭(211A)의 출력 신호를 저장한다. 여기서, 출력 인에이블 신호(EN_DRV)는 데이터(DAT)가 입력될 때마다 토글링하는 신호이다. 결국, 현재 입력되는 데이터(DAT)는 출력 인에이블 신호(EN_DRV)에 응답하여 쉬프팅되기 때문에 제2 플립플롭(211B)은 현재 입력되는 데이터 이전에 입력된 데이터(이하, '이전 데이터'라 칭함)가 저장된다.
- [0025] 이어서, 데이터 비교부(212)는 현재 입력되는 데이터(DAT)와 이전 데이터를 비교하여 비교 결과를 출력하기 위한 것으로, 데이터(DAT)와 제2 플립플롭(211B)의 출력 신호를 입력받아 출력(AAA)하는 배타적 논리 합 게이트로 구성된다. 여기서, 데이터 비교부(212)의 출력 신호(AAA)는 현재 입력되는 데이터(DAT)와 이전 데이터를 비교한 결과로써, 이후 다시 설명하겠지만, 데이터 비교부(212)의 출력 신호(AAA)에 응답하여 업 구동 신호(UPB)와 다운 구동 신호(DNT)의 활성화 여부가 제어되는데, 이는 곧 데이터 비교부(212)의 출력 신호(AAA)에 응답하여 데이터 출력부(220)의 구동 동작 여부가 제어됨을 의미한다.
- [0026] 다음으로, 제어 신호 생성부(213)는 데이터 비교부(212)의 비교 결과에 응답하여 제1 활성화 제어 신호(EN_CTR1)와 제2 활성화 제어 신호(EN_CTR2)를 생성하기 위한 것으로, 출력 인에이블 신호(EN_DRV)와 데이터 비교부(212)의 출력 신호(AAA)에 응답하여 제2 활성화 제어 신호(EN_CTR2)를 생성하는 부정 논리 곱 게이트와, 부정 논리 곱 게이트를 반전하여 제1 활성화 제어 신호(EN_CTR1)를 생성하는 반전 게이트로 구성된다. 이러한 구성으로 인하여 제1 활성화 제어 신호(EN_CTR1)와 제2 활성화 제어 신호(EN_CTR2)는 데이터 비교부(212)의 출력 신호(AAA)에 응답하여 활성화 여부가 제어된다.
- [0027] 한편, 데이터 출력부(220)는 데이터(DAT)에 따라 글로벌 데이터 라인(GIO)을 구동하여 데이터(DAT)를 글로벌 데이터 라인(GIO)에 전달하기 위한 것으로, 제1 활성화 제어 신호(EN_CTR1)에 응답하여 데이터(DAT)를 업 구동 신호(UPB)로 출력하는 부정 논리 곱 게이트와, 제2 활성화 제어 신호(EN_CTR2)에 응답하여 데이터(DAT)를 다운 구동 신호(DNT)로 출력하는 부정 논리 곱 게이트와, 업 구동 신호(UPB)에 응답하여 글로벌 데이터 라인(GIO)을 공급 전원 전원(VDD)으로 구동하는 PMOS 트랜지스터(TR1), 및 다운 구동 신호(DNT)에 응답하여 글로벌 데이터 라인(GIO)을 접지 전원 전압(VSS)으로 구동하는 NMOS 트랜지스터(TR2)로 구성된다.
- [0028] 본 발명의 실시예에 따른 데이터 출력 회로는 현재 입력되는 데이터와 이전 데이터를 비교하여 데이터 출력부(220)의 구동 동작 여부를 제어하는 것이 가능하다.
- [0029] 도 3 은 도 2 의 데이터 출력 회로의 회로 동작을 설명하기 위한 파형도로서, 데이터(DAT)와 출력 인에이블 신호(EN_DRV)와 데이터 비교부(212)의 출력 신호(AAA)와 제1 활성화 제어 신호(EN_CTR1)와 제2 활성화 제어 신호(EN_CTR2)와 글로벌 데이터 라인(GIO)이 개시되어 있다.
- [0030] 도 2 및 도 3 을 참조하면, 데이터 비교부(212)는 이전 데이터인 제2 플립플롭(211B)에 저장된 데이터와 현재 입력되는 데이터(DAT)를 비교하여 그 결과를 출력한다. 따라서, 데이터 비교부(212)의 출력 신호(AAA)는 연속적으로 입력되는 데이터(DAT)가 서로 동일한 경우 논리'로우'가 되고, 연속적으로 입력되는 데이터(DAT)가 서로 다른 경우 논리'하이'가 된다. 따라서, 제1 활성화 제어 신호(EN_CTR1)는 데이터 비교부(212)의 출력 신호(AAA)가 논리'하이'인 구간에서의 출력 인에이블 신호(EN_DRV)에 대응하고, 제2 활성화 제어 신호(EN_CTR2)는 제1 활성화 제어 신호(EN_CTR1)를 반전한 신호에 대응한다. 마지막으로, 데이터(DAT)는 제1 활성화 제어 신호(EN_CTR1)의 논리'하이' 구간과 제2 활성화 제어 신호(EN_CTR2)의 논리'로우' 구간에 각각 PMOS 트랜지스터(TR1)와 NMOS 트랜지스터(TR2) 중 데이터(DAT)에 대응하는 트랜지스터를 턴 온(turn on) 시키며, 이에 따라 글로벌 데이터 라인(GIO)이 구동된다.
- [0031] 본 발명의 실시예에 따른 데이터 출력 회로는 현재 입력되는 데이터와 이전 데이터를 비교하여 데이터 출력부(220)의 구동 동작 여부를 제어함으로써, 데이터 출력부(220)의 불필요한 구동 동작을 제거하는 것이 가능하다.
- [0032] 도 4 는 본 발명의 다른 실시예에 따른 반도체 시스템을 설명하기 위한 블록도이다.
- [0033] 도 4 를 참조하면, 반도체 시스템은 다수의 글로벌 데이터 라인(GIO1, GIO2, ... GIO_n)을 공유하는 다수의 반도체

체 장치(410)를 구비한다. 여기서, 다수의 글로벌 데이터 라인(GI01, GI02, ... GI0n) 각각은 데이터 출력 회로(411)가 연결되어 있다. 이와 같은 구성은 다수의 반도체 장치를 하나의 패키지 칩으로 사용하는 경우에 사용될 수 있다.

[0034] 도 5 는 도 4 의 다수의 데이터 출력 회로(411)를 설명하기 위한 회로도이다. 설명의 편의를 위하여 다수의 데이터 출력 회로(411) 중 하나를 대표로 설명하기로 한다. 참고로, 도 5 의 구성은 도 2 의 구성과 같이 글로벌 데이터 라인(GI0)에 하나의 데이터 출력 회로를 구성하는 경우에도 본 발명의 실시예와 같은 동작이 가능하다.

[0035] 도 5 를 참조하면, 데이터 출력 회로(411)는 출력 제어부(510)와, 데이터 출력부(520)를 구비한다.

[0036] 출력 제어부(510)는 글로벌 데이터 라인(GI0)을 통해 전달되는 데이터와 출력되는 데이터(DAT)를 비교하여 제1 및 제2 활성화 제어 신호(EN_CTR1, EN_CTR2)를 생성하기 위한 것으로, 데이터 저장부(511)와, 데이터 비교부(512), 및 제어 신호 생성부(513)를 구비한다.

[0037] 우선, 데이터 저장부(511)는 글로벌 데이터 라인(GI0)을 통해 전달되는 데이터를 저장하기 위한 것으로, 전달부(511_1)와, 저장부(511_2), 및 리셋부(511_3)를 구비한다. 전달부(511_1)는 프리 셋 제어 신호(PRE_SET)에 응답하여 글로벌 데이터 라인(GI0)을 통해 전달되는 데이터를 전달하고, 저장부(511_2)는 전달부(511_1)를 통해 전달된 데이터를 저장한다. 그리고, 리셋부(511_3)는 리셋 신호(RST)에 응답하여 저장부(511_2)를 리셋한다. 여기서, 프리 셋 제어 신호(PRE_SET)는 데이터(DAT)가 글로벌 데이터 라인(GI0)으로 출력되기 이전에 활성화되는 신호이다. 데이터 저장부(511)에 대한 자세한 회로 동작은 도 6 에서 다시하기로 한다.

[0038] 이어서, 데이터 비교부(512)는 출력되는 데이터(DAT)와 글로벌 데이터 라인(GI0)에 전달되는 데이터, 즉 저장부(511_2)에 저장된 데이터를 비교하여 그 비교 결과를 출력하기 위한 것으로, 출력되는 데이터(DAT)와 저장부(511_2)의 출력 신호(CCC)를 입력받는 배타적 논리 합 게이트로 구성된다.

[0039] 마지막으로, 제어 신호 생성부(513)는 데이터 비교부(512)의 비교 결과에 응답하여 제1 활성화 제어 신호(EN_CTR1)와 제2 활성화 제어 신호(EN_CTR2)를 생성하기 위한 것으로, 출력 인에이블 신호(EN_DRV)와 데이터 비교부(512)의 출력 신호(WWW)에 응답하여 제2 활성화 제어 신호(EN_CTR2)를 생성하는 부정 논리 곱 게이트와, 부정 논리 곱 게이트를 반전하여 제1 활성화 제어 신호(EN_CTR1)를 생성하는 반전 게이트로 구성된다.

[0040] 한편, 데이터 출력부(520)는 출력되는 데이터(DAT)에 따라 글로벌 데이터 라인(GI0)을 구동하여 데이터(DAT)를 글로벌 데이터 라인(GI0)에 전달하기 위한 것으로, 제1 활성화 제어 신호(EN_CTR1)에 응답하여 데이터(DAT)를 업 구동 신호(UPB)로 출력하는 부정 논리 곱 게이트와, 제2 활성화 제어 신호(EN_CTR2)에 응답하여 데이터(DAT)를 다운 구동 신호(DNT)로 출력하는 부정 논리 곱 게이트와, 업 구동 신호(UPB)에 응답하여 글로벌 데이터 라인(GI0)을 공급 전원 전원(VDD)으로 구동하는 PMOS 트랜지스터(TR1), 및 다운 구동 신호(DNT)에 응답하여 글로벌 데이터 라인(GI0)을 접지 전원 전압(VSS)으로 구동하는 NMOS 트랜지스터(TR2)로 구성된다.

[0041] 본 발명의 실시예에 따른 반도체 시스템은 글로벌 데이터 라인(GI0)을 통해 전달되는 데이터와 출력되는 데이터를 비교하여 데이터 출력부(520)의 구동 동작 여부를 제어하는 것이 가능하다.

[0042] 도 6 은 도 5 의 반도체 시스템을 설명하기 위한 타이밍도이다. 이하, 도 4 내지 도 6 을 참조하여 반도체 시스템의 동작을 살펴보기로 한다.

[0043] 우선, 글로벌 데이터 라인(GI0)은 도 4 의 다수의 반도체 장치(410) 중 어느 하나의 반도체 장치에 의하여 'A'와 같이 논리'로우'에서 논리'하이'로 구동되었다고 가정하기로 한다. 이어서, 해당 반도체 장치가 데이터를 글로벌 데이터 라인(GI0)으로 출력하고자 한다면, 프리 셋 제어 신호(PRE_SET)가 논리'하이'로 활성화된다. 도 5 의 전달부(511_1)는 프리 셋 제어 신호(PRE_SET)에 응답하여 글로벌 데이터 라인(GI0)을 통해 전달되는 데이터를 저장부(511_2)로 전달한다. 따라서, 'AAA' 노드와 'BBB' 노드와 'CCC' 노드는 글로벌 데이터 라인(GI0)을 통해 전달되는 데이터가 저장된다.

[0044] 한편, 해당 반도체 장치의 데이터 출력 회로에는 데이터(DAT)와 출력 인에이블 신호(EN_DRV)가 입력된다. 도 6 에는 데이터(DAT)가 10110100 으로 입력되는 것을 일례로 하였다. 우선, 글로벌 데이터 라인(GI0)은 논리'하이'로 구동되고 있었기 때문에 첫 번째 데이터인 '1' 데이터에 응답하여 'WWW' 신호는 논리'로우'를 유지한다. 'WWW' 신호가 논리'로우'이기 때문에 제1 활성화 제어 신호(EN_CTR1)는 논리'로우'로 비활성화 상태를 유지하고, 제2 활성화 제어 신호(EN_CTR2)는 논리'하이'로 비활성화 상태를 유지한다. 따라서, 데이터(DAT)는 글로벌 데이터 라인(GI0)으로 전달되지 않는다. 하지만, 글로벌 데이터 라인(GI0)은 이미 논리'하이'로 구동되어 있기 때문에 데이터(DAT)가 글로벌 데이터 라인(GI0)으로 전달된 것과 같은 결과를 얻을 수 있다.

- [0045] 다음으로 두번째 데이터(DAT)인 '0' 이 입력되면, '0' 데이터(DAT)가 글로벌 데이터 라인(GIO)에 구동되는 '1' 데이터가 서로 다르기 때문에 'WWW' 신호가 논리'하이'로 천이한다. 따라서, 출력 인에이블 신호(EN_DRV)에 따라 제1 활성화 제어 신호(EN_CTR1)와 제2 활성화 제어 신호(EN_CTR2)가 토글링되며, '0' 데이터가 글로벌 데이터 라인(GIO)으로 전달되게 된다.
- [0046] 도면에서 볼 수 있듯이, 연속적으로 입력되는 데이터(DAT)가 서로 다른 경우 'WWW' 신호는 논리'하이'가 되며, 이에 따라 제1 활성화 제어 신호(EN_CTR1)와 제2 활성화 제어 신호(EN_CTR2)가 활성화된다. 그리고 이는 곧 데이터(DAT)가 글로벌 데이터 라인(GIO)으로 전달됨을 의미한다. 반면에, 연속적으로 입력되는 데이터(DAT)가 서로 동일한 경우 'WWW' 신호는 논리'로우'가 되며, 이에 따라 제1 활성화 제어 신호(EN_CTR1)와 제2 활성화 제어 신호(EN_CTR2)는 비활성화된다. 그리고 이는 곧 데이터 출력부(520)가 구동되지 않음을 의미한다. 하지만, 데이터 출력부(520)가 구동되지 않더라도 글로벌 데이터 라인(GIO)에 인가된 이전 데이터가 그 상태를 유지하기 때문에 데이터가 전달된 것 같은 결과를 얻을 수 있다.
- [0047] 본 발명의 실시예에 따른 반도체 시스템은 글로벌 데이터 라인(GIO)을 통해 전달되는 데이터를 저장하고, 이렇게 저장된 데이터와 출력될 데이터를 비교하여 데이터 출력부(520)의 구동 동작 여부를 제어하는 것이 가능하다.
- [0048] 한편, 위에서 설명하였듯이 글로벌 데이터 라인(GIO)을 통해 전달되는 데이터가 이전 데이터와 서로 동일한 경우 데이터 출력부(520)는 구동되지 않는다. 따라서, 만약 연속적으로 동일한 데이터가 너무 많이 출력되는 경우 글로벌 데이터 라인(GIO)을 통해 전달되는 데이터가 소실될 수 있다. 따라서, 도 7 과 같은 구성이 추가적으로 구성될 수 있다.
- [0049] 도 7 은 본 발명의 다른 실시예를 설명하기 위한 블록도이다.
- [0050] 도 7 에는 데이터 출력 회로인 데이터 출력부(710)와 데이터 제어부(710)를 구비하고 있으며, 데이터 변환부(730)를 더 구비한다.
- [0051] 우선, 데이터 출력부(710)와 데이터 제어부(710)는 도 2 또는 도 5 와 같은 구성이 될 수 있으며, 이에 대한 회로 구성 및 동작은 도 2 및 도 5 에서 이미 설명하였기 때문에 생략하기로 한다. 이어서, 데이터 변환부(720)는 글로벌 데이터 라인(GIO)으로 예정된 개수의 동일한 데이터가 연속적으로 입력되는 것을 감지하여 데이터 저장부(도 2 의 경우 211, 도 5 의 경우 511)에 저장된 데이터를 다른 데이터로 변환하기 위한 제어 신호(CTR)를 생성한다. 여기서, 데이터 변환부(720)는 연속적으로 입력되는 동일한 데이터를 예정된 개수만큼 카운팅하여 제어 신호(CTR)를 활성화시킬 수 있는 카운터로 구성될 수 있다.
- [0052] 한편, 도 2 에서는 제어 신호(CTR)가 개시되어 있지 않지만 데이터 저장부(211)에 저장된 데이터는 제어 신호(CTR)에 응답하여 다른 데이터로 변환될 수 있으며, 도 5 역시 제어 신호(CTR)가 개시되어 있지 않지만 데이터 저장부(511_2)에 저장된 데이터는 제어 신호(CTR)에 응답하여 다른 데이터로 변환될 수 있다. 이에 대한 설명은 도 5 의 구성을 일례로 살펴보기로 한다.
- [0053] 도 5 및 도 7 을 참조하면, 우선 데이터 변환부(720)는 글로벌 데이터 라인(GIO)을 통해 전달되는 데이터 중 연속적으로 입력되는 동일한 데이터를 카운팅한다. 그리고, 이 동일한 데이터가 예정된 개수만큼 카운팅 되면 제어 신호(CTR)를 활성화시킨다.
- [0054] 한편, 도 5 의 데이터 저장부(511_2)는 제2 활성화 제어 신호(EN_CTR2)에 응답하여 저장된 데이터가 논리'하이'에서 논리'로우'로 바뀌거나, 논리'로우'에서 논리'하이'로 바뀐다. 즉, 제2 활성화 제어 신호(EN_CTR2)에 응답하여 데이터 저장부(511_2)에 저장된 데이터가 변환한다. 따라서, 제어 신호(CTR)가 활성화될 때 데이터 저장부(511_2)로 입력되는 제1 활성화 제어 신호(EN_CTR1)와 제2 활성화 제어 신호(EN_CTR2)를 활성화시키면 데이터 저장부(511_2)에 저장된 데이터를 다른 데이터로 변환하는 것이 가능하다. 참고로, 이때 제1 활성화 제어 신호(EN_CTR1)와 제2 활성화 제어 신호(EN_CTR2)가 입력되는 데이터 출력부(520)는 제어 신호(CTR)에 대한 직접적인 영향이 없도록 제어해야 할 것이다.
- [0055] 도 8 은 도 7 의 데이터 변환부(720)의 카운팅 동작에 따른 타이밍도이다. 설명의 편의를 위하여 도 5 와 도 7 및 도 8 을 참조하기로 하며, 글로벌 데이터 라인(GIO)으로 '1' 데이터가 연속적으로 출력되는 경우를 일례로 한다. 그리고, 도 7 의 데이터 변환부(720)는 연속적으로 동일한 데이터가 세 번 전달되는 경우를 카운팅하여 제어 신호(CTR)를 활성화시키는 것을 일례로 한다.
- [0056] 우선, 만약 데이터 변환부(720)가 없는 경우 데이터 비교부(512)의 출력 신호(WWW)는 ① 시점에 활성화될 것이

다. 하지만, 데이터 변환부(720)는 연속적으로 전달되는 데이터(DAT)가 세 번 이상 되었음을 카운팅하여 제어 신호(CTR)를 활성화시키고, 이 제어 신호(CTR)를 이용하여 위에서 설명한 바와 같이, 데이터 저장부(511_2)에 저장된 데이터(AAA)를 논리'하이'에서 논리'로우'로 변환시킨다. 때문에 데이터 비교부(512)의 출력 신호(WWW)는 ① 시점이 아닌 ② 시점에 활성화되는 것이 가능하며, 제1 활성화 제어 신호(EN_CTR1)와 제2 활성화 제어 신호(EN_CTR2)는 데이터 비교부(512)의 출력 신호(WWW)에 따라 토글링된다. 즉, 네 번째 데이터인 '1' 데이터는 이전 데이터가 동일한 데이터인 '1' 데이터임에도 불구하고, 데이터 출력부(710)의 구동 동작에 의하여 글로벌 데이터 라인(GIO)으로 출력될 수 있다.

[0057] 본 발명의 실시예에 따른 데이터 출력 회로는 글로벌 데이터 라인(GIO)으로 동일한 데이터가 연속적으로 입력되는 경우 데이터 출력부(710)를 활성화시켜 글로벌 데이터 라인(GIO)을 구동하는 것이 가능하다.

[0058] 한편, 도 7 및 도 8 은 데이터 변환부(720)가 글로벌 데이터 라인(GIO)으로 입력되는 데이터를 카운팅하여 데이터 출력부(710)를 제어하는 것을 일례로 하였다. 이하, 데이터 변환부(730)의 다른 실시예에 대하여 살펴보기로 한다.

[0059] 도 7 의 데이터 변환부(720)는 글로벌 데이터 라인(GIO)의 전압 레벨을 감지하여 데이터 저장부에 저장된 데이터를 다른 데이터로 변환하기 위한 제어 신호(CTR)를 생성하기 위한 것으로, 글로벌 데이터 라인(GIO)의 전압 레벨을 예정된 전압 레벨과 비교하기 위한 비교 회로로 구성될 수 있다.

[0060] 도 9 는 도 7 의 데이터 변환부(720)의 비교 동작에 따른 타이밍도이다. 설명의 편의를 위하여 도 5 와 도 7 및 도 9 를 참조하기로 하며, 글로벌 데이터 라인(GIO)을 통해 '1' 데이터가 연속적으로 전달되는 경우를 일례로 한다.

[0061] 우선, 만약, 데이터 변환부(720)가 없는 경우 연속적인 '1' 데이터에 응답하여 데이터 출력부(710)가 구동되지 않기 때문에, 글로벌 데이터 라인(GIO)의 전압 레벨은 점점 낮아질 수 있다. 하지만 이때, 데이터 변환부(720)는 글로벌 데이터 라인(GIO)의 전압 레벨이 예정된 전압 레벨인 'V1'까지 낮아지는 것을 감지하여, 제어 신호(CTR)를 활성화시킨다. 도 8 과 마찬가지로 점선으로 도시된 영역(910)에서도 볼 수 있듯이, 네 번째 데이터인 '1' 데이터는 이전 데이터가 동일한 데이터인 '1' 데이터임에도 불구하고, 데이터 출력부(710)의 구동 동작에 의하여 글로벌 데이터 라인(GIO)으로 출력될 수 있다. 참고로, 도 9 의 실시예에서는 예정된 전압 레벨을 'V1'으로 설정하여 '1' 데이터를 구동하는 경우를 일례로 하였지만, 예정된 전압 레벨을 'V2'로 설정하여 '0' 데이터를 구동하는 것도 가능하다.

[0062] 본 발명의 실시예에 따른 데이터 출력 회로는 글로벌 데이터 라인(GIO)의 전압 레벨을 검출하고 검출 결과에 따라 데이터 출력부(710)를 활성화시켜 글로벌 데이터 라인(GIO)을 구동하는 것이 가능하다.

[0063] 도 10 은 본 발명의 또 다른 실시예에 따른 반도체 시스템을 설명하기 위한 블록도이다.

[0064] 도 10 을 참조하면, 반도체 시스템은 제1 및 제2 반도체 장치(1010, 1020), 및 컨트롤러(1030)를 구비한다.

[0065] 제1 및 제2 반도체 장치(1010, 1020) 각각은 도 5 의 데이터 출력 회로(411)를 구비하고 있으며, 각각의 데이터 출력 회로(411)는 하나의 글로벌 데이터 라인(GIO)에 연결된다. 여기서, 제1 및 제2 반도체 장치(1010, 1020)는 도 11 에서 설명할 정보 생성부를 추가적으로 구비한다. 이어서, 컨트롤러(1030)는 제1 반도체 장치(1010)에서 생성되는 제1 구동 횟수 정보(INF1)와 제2 반도체 장치(1020)에서 생성되는 제2 구동 횟수 정보(INF2)를 제공받아 제1 반도체 장치(1010)에 저장된 데이터를 다른 데이터로 변환하기 위한 제1 제어 신호(CTR1)와 제2 반도체 장치(1020)에 저장된 데이터를 다른 데이터로 변환하기 위한 제2 제어 신호(CTR2)를 생성하는 데이터 변환부를 구비한다. 여기서, 데이터 변환부는 도 7 의 데이터 변환부(730)에 대응할 수 있다.

[0066] 도 11 은 도 10 의 제1 반도체 장치(1010)를 설명하기 위한 블록도이다.

[0067] 도 11 을 참조하면, 제1 반도체 장치(1010)는 데이터 출력부(1110)와, 데이터 저장부(1120)와, 데이터 비교부(1130)와, 제어 신호 생성부(1140), 및 정보 생성부(1150)를 구비한다. 여기서, 데이터 출력부(1110)와, 데이터 저장부(1120)와, 데이터 비교부(1130)와, 제어 신호 생성부(1140)는 도 5 의 데이터 출력부(520)와, 데이터 저장부(511)와, 데이터 비교부(512)와, 제어 신호 생성부(513) 각각에 대응하며, 각 구성에 대한 설명은 이미 도 5 에서 충분히 하였기 때문에 이하 생략하기로 한다.

[0068] 한편, 정보 생성부(1150)는 데이터 출력부(1110)의 구동력에 대응하는 제1 구동력 정보(INF1)를 생성한다. 여기서, 제1 구동력 정보(INF1)는 예컨대, 데이터 출력부(1110)에 인가되는 전원 전압에 대한 정보를 가질 수 있다.

- [0069] 다시 도 10 을 참조하면, 제1 반도체 장치(1010)와 제2 반도체 장치(1020) 각각은 도 11 의 데이터 출력부(520)를 구비한다. 여기서, 제1 및 제2 반도체 장치(1010, 1020) 각각의 데이터 출력부(520)는 서로 다른 전원 전압이 인가될 수 있다. 즉, 제1 반도체 장치(1010)의 데이터 출력부(520)가 글로벌 데이터 라인(GIO)을 구동하는 데 사용하는 구동력과 제2 반도체 장치(1020)의 데이터 출력부(520)가 글로벌 데이터 라인(GIO)을 구동하는 데 사용하는 구동력은 서로 다르다. 따라서, 데이터 출력부(520)가 글로벌 데이터 라인(GIO)을 구동하는 구동력에 따라 데이터 출력부(520)가 구동하지 않아도 되는 시간은 달라지게 된다.
- [0070] 한편, 도 8 에서는 카운팅 동작을 통해 제어 신호(CTR)를 생성하는 것을 일례로 하였고, 도 9 에서는 글로벌 데이터 라인(GIO)의 전압 레벨을 검출하여 제어 신호(CTR)를 생성하는 것을 일례로 하였다. 이하, 도 10 의 반도체 시스템의 컨트롤러(1030)는 도 8 의 카운팅 동작을 적용하기로 한다.
- [0071] 도 12 은 도 10 의 컨트롤러(1030)를 설명하기 위한 블록도이다. 설명의 편의를 위하여 도 10 의 제1 반도체 장치(1030)에 대응하는 구성만 도시하였다.
- [0072] 도 12 를 참조하면, 컨트롤러(1030)는 개수 설정부(1210)와, 개수 비교부(1220)를 구비한다.
- [0073] 개수 설정부(1210)는 제1 구동력 정보(INF1)에 대응하는 기준 개수(REF)를 설정하고, 개수 비교부(1220)는 글로벌 데이터 라인(GIO)으로 연속적으로 입력되는 동일한 데이터의 개수와 기준 개수(REF)를 비교하여 제1 제어 신호(CTR1)를 생성한다. 여기서, 기준 개수(REF)는 글로벌 데이터 라인(GIO)으로 연속적으로 입력되는 동일한 데이터의 한계 개수에 대응한다. 예컨대, 기준 개수(REF)가 3 이라면 글로벌 데이터 라인(GIO)으로 동일한 데이터가 연속적으로 3 개 이상 입력되는 경우 제1 제어 신호(CTR1)가 활성화된다.
- [0074] 이한, 도 10 내지 도 12 를 참고하여, 간단한 회로 동작을 살펴보기로 한다.
- [0075] 설명의 편의를 위하여 제1 반도체 장치(1010)에 사용되는 전원 전압이 제2 반도체 장치(1020)에 사용되는 전원 전압보다 낮은 것으로 가정하기로 한다. 그리고, 도 12 의 개수 설정부(1210)는 제1 구동력 정보(INF1)에 응답하여 기준 개수(REF)를 5 개로 설정하고, 제2 구동력 정보(INF2)에 응답하여 기준 개수(REF)를 10 개로 설정한다고 가정하기로 한다. 그리고, 제1 반도체 장치(1010)가 논리'하이'의 데이터를 연속적으로 8 개 출력하고, 이어서, 제2 반도체 장치(1010)가 논리'하이'의 데이터를 연속적으로 8 개 출력한다고 가정한다.
- [0076] 우선, 최초 논리'하이' 데이터는 제1 반도체 장치(1010)의 구동력을 사용하여 출력되고, 이후 논리'하이' 데이터에 대해서는 구동력이 사용되지 않는다. 이때, 개수 비교부(1210)는 글로벌 데이터 라인(GIO)으로 전달되는 데이터를 카운팅한다. 즉, 개수 비교부(1210)는 글로벌 데이터 라인(GIO)에 논리'하이' 데이터가 연속적으로 5 개 입력되면, 5 개로 설정된 기준 개수(REF)와 이를 비교하여 제1 제어 신호(CTR1)를 활성화시킨다. 결국, 6 번째 논리'하이' 데이터는 제1 반도체 장치(1010)의 구동력이 사용되어 글로벌 데이터 라인(GIO)으로 전달되고, 이후 7 번째, 8 번째 논리'하이' 데이터는 구동력이 사용되지 않는다.
- [0077] 이어서, 제2 반도체 장치(1020)가 논리'하이'의 데이터를 연속적으로 8 개를 출력해야 하는데 이 경우 두 가지 동작이 가능하다.
- [0078] 첫 번째 방법은 아래와 같다.
- [0079] 우선, 제2 반도체 장치(1020)는 구동력을 사용하여 1 번째 논리'하이' 데이터를 출력한다. 이어서, 제2 반도체 장치(1020)의 기준 개수(REF)는 10 개로 설정되어 있기 때문에, 개수 비교부(1220)는 2 번째 논리'하이' 데이터에 응답하여 제2 제어 신호(CTR2)를 활성화시켜야한다. 하지만, 개수 비교부(1220)는 제1 제어 신호(CTR1)를 활성화함과 동시에 제2 반도체 장치(1020)에 대응하는 카운팅 동작을 리셋한다. 따라서, 1 번째 논리'하이' 데이터는 제2 반도체 장치(1020)의 구동력이 사용되어 글로벌 데이터 라인(GIO)으로 전달되고, 이후 2 번째 내지 8 번째 논리'하이' 데이터는 구동력이 사용되지 않는다.
- [0080] 다음으로, 두 번째 방법은 아래와 같다.
- [0081] 우선, 글로벌 데이터 라인(GIO)은 이미 제1 반도체 장치(1010)에 의하여 논리'하이'로 구동되어 있기 때문에 1 번째 논리'하이'데이터는 제2 반도체 장치(1020)의 구동력이 사용되지 않는다. 즉, 제2 반도체 장치(1020)의 기준 개수(REF)는 10 개로 설정되어 있기 때문에 개수 비교부(1220)는 제1 반도체 장치(1010)의 1 내지 8 번째 논리'하이' 데이터와 제2 반도체 장치(1020)의 제1 및 제2 번째 논리'하이' 데이터에 응답하여 제2 제어 신호(CTR2)를 활성화시킨다. 따라서, 2 번째 논리'하이' 데이터는 제2 반도체 장치(1020)의 구동력이 사용되어 글로벌 데이터 라인(GIO)으로 전달되고, 1 번째 논리'하이' 데이터와, 제3 내지 8 번째 논리'하이' 데이터는 구동력

이 사용되지 않는다.

[0082] 본 발명의 실시예에 따른 반도체 시스템은 구동력이 서로 다른 데이터 출력 회로의 활성화 동작을 글로벌 데이터 라인(GIO)을 통해 전달되는 데이터에 응답하여 제어하는 것이 가능하다.

[0083] 전술한 바와 같이, 본 발명의 실시예는 글로벌 데이터 라인(GIO)을 통해 동일한 데이터가 연속적으로 입력되는 것을 검출하여 글로벌 데이터 라인(GIO)을 구동하는 데이터 출력 회로의 동작 여부를 제어하는 것이 가능하다.

[0084] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 이상에서 설명한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 여러 가지 치환, 변형 및 변경으로 다양한 실시예가 가능함을 이해할 수 있을 것이다.

[0085] 뿐만 아니라, 전술한 실시예에서 예시한 논리 게이트 및 트랜지스터는 입력되는 신호의 극성에 따라 그 위치 및 종류가 다르게 구현되어야 할 것이다.

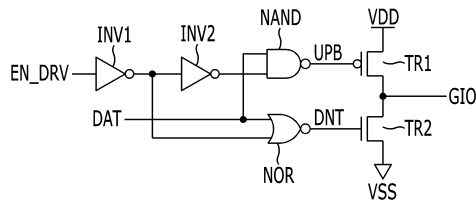
부호의 설명

[0086] 210 : 출력 제어부

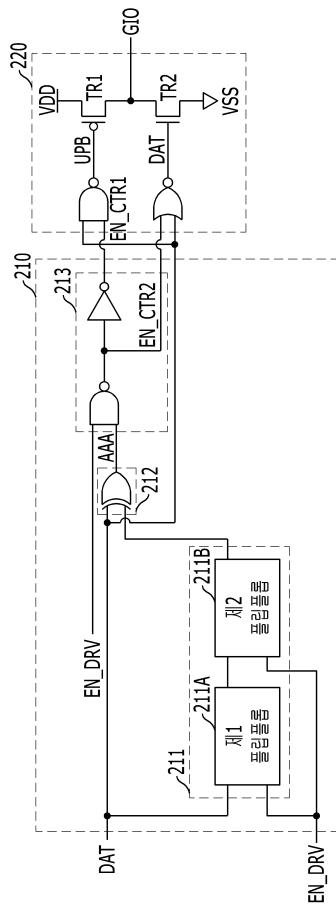
220 : 데이터 출력부

도면

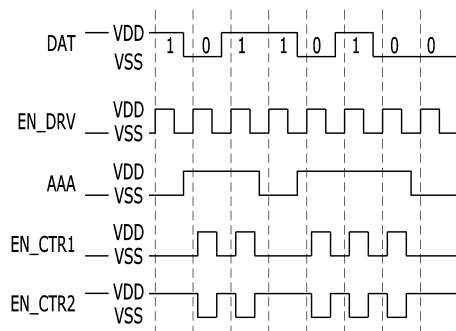
도면1



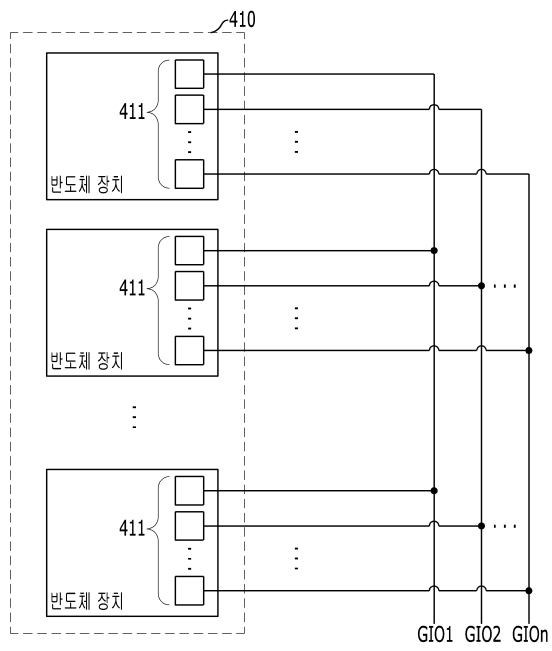
도면2



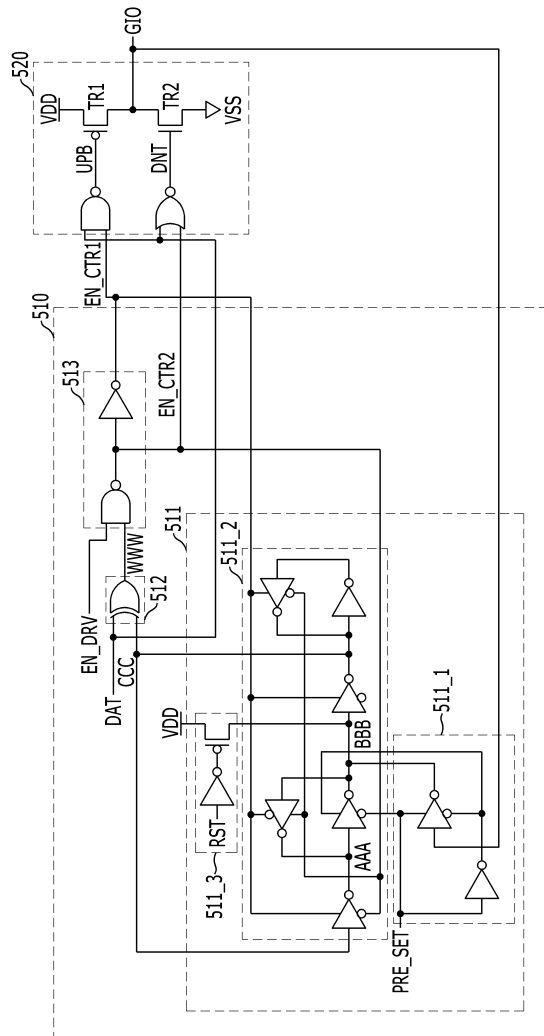
도면3



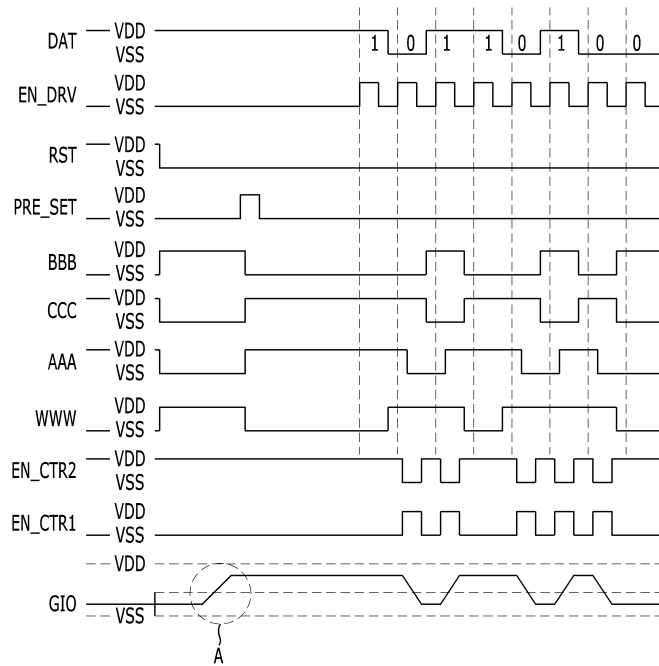
도면4



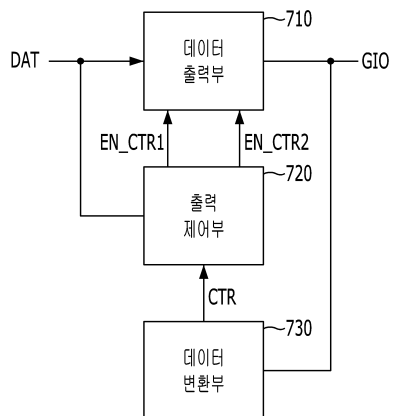
도면5



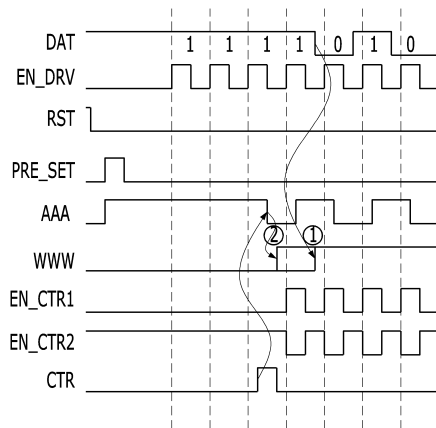
도면6



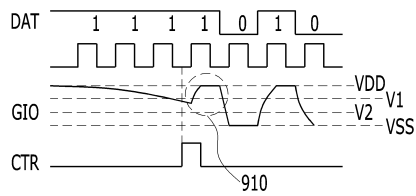
도면7



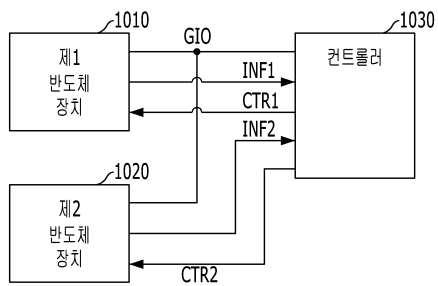
도면8



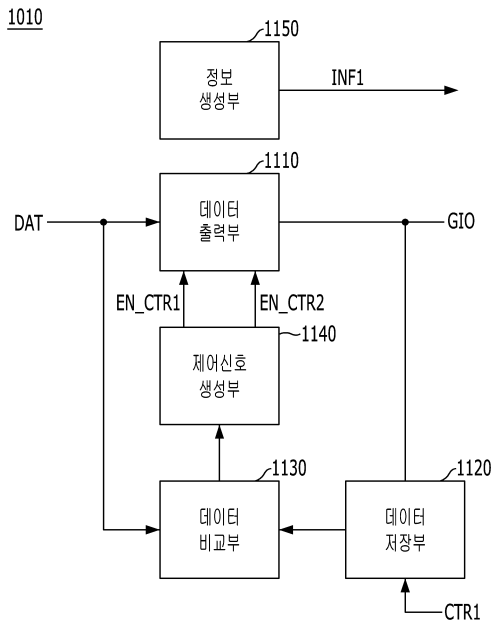
도면9



도면10



도면11



도면12

