

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 11 月 3 日 (03.11.2016)



(10) 国际公布号
WO 2016/173012 A1

- (51) 国际专利分类号:
H01L 51/52 (2006.01) H01L 27/12 (2006.01)
H01L 51/56 (2006.01) H01L 21/77 (2006.01)
- (21) 国际申请号: PCT/CN2015/079421
- (22) 国际申请日: 2015 年 5 月 21 日 (21.05.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510206317.5 2015 年 4 月 27 日 (27.04.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 吕晓文 (LV, Xiaowen); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

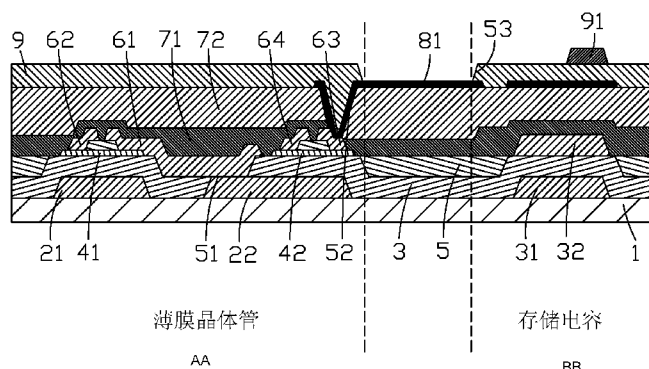
(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: FILM TRANSISTOR ARRAY SUBSTRATE AND METHOD FOR FABRICATING SAME

(54) 发明名称: 薄膜晶体管阵列基板及其制作方法



AA FILM TRANSISTOR
BB STORAGE CAPACITOR

图2

(57) Abstract: A film transistor array substrate and a method for fabricating same. The film transistor array substrate comprises: a substrate (1) and a film transistor and a storage capacitor that are formed on the substrate (1). The storage capacitor comprises a first electrode plate (31) located on the substrate (1), a gate insulating layer (3) or an etch stop layer (5) located on the first electrode plate (31), and a second electrode plate (32) located on the gate insulating layer (3) or the etch stop layer (5). Only one insulating layer, that is, the gate insulating layer (3) or the etch stop layer (5), exists between the two electrode plates of the storage capacitor. An insulating layer of a storage capacitor has a relatively small thickness, a capacitor area is relatively small, and an aperture ratio is relatively large.

(57) 摘要: 一种薄膜晶体管阵列基板及其制作方法, 包括: 基板(1), 及形成于基板(1)上的薄膜晶体管和存储电容; 该存储电容包括位于基板(1)上的第一极板(31), 位于第一极板(31)之上的栅极绝缘层(3)或者蚀刻阻挡层(5), 位于栅极绝缘层(3)或者蚀刻阻挡层(5)之上的第二极板(32); 存储电容的两电极板之间只存在栅极绝缘层(3)或者蚀刻阻挡层(5)一层绝缘层, 存储电容的绝缘层厚度较薄, 电容相对面积较小, 开口率较高。



WO 2016/173012 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

薄膜晶体管阵列基板及其制作方法

技术领域

5 本发明涉及平面显示器领域，尤其涉及一种薄膜晶体管阵列基板及其制作方法。

背景技术

主动矩阵平面显示器具有机身薄、省电、无辐射等众多优点，得到了广泛的应用。现有市场上的平面显示器装置包括液晶显示装置（Liquid
10 Crystal Display, LCD）和有机发光二极管（Organic Light-Emitting Diode, OLED）。

LCD 包括液晶显示面板及背光模组（backlight module）。液晶显示面板的工作原理是在两片平行的玻璃基板当中放置液晶分子，通过玻璃基板通电与否来控制液晶分子改变方向，将背光模组的光线折射出来产生画面。

15 OLED 具备自发光、高亮度、宽视角、高对比度、可挠曲、低能耗等特性，因此受到广泛的关注，并作为新一代的显示方式，已开始逐渐取代传统液晶显示器，被广泛应用于手机屏幕、电脑显示器、全彩电视等。OLED 显示技术与传统的液晶显示技术不同，无需背光灯，采用非常薄的有机材料涂层和玻璃基板，当有电流通过时，这些有机材料就会发光。

20 薄膜晶体管阵列基板（Thin Film Transistor Array substrate）在 LCD 和 OLED 中被广泛应用，一般包括玻璃基板及形成于玻璃基板上的薄膜晶体管及存储电容。

存储电容在薄膜晶体管阵列基板中扮演着保持电位，降低耦合电容分压等重要作用，一般而言，我们希望电容大点比较好。电容大小的计算公式为 $C = \epsilon S/D$ 其中 S 代表面积，D 代表绝缘层厚度，改变存储电容的大小，
25 一般有以下几种方法，1. 选用介电常数较大的绝缘材料。2. 增大面积。3. 降低绝缘层厚度。

一般来说，增大两金属板的相对面积会增大电容，但是由于存储电容一般以金属夹置绝缘层制成，金属电极是不透光的，存储电容越大，开口
30 率就越低。而降低绝缘层厚度，既能增大存储电容大小，同时在此基础上，可以适当减小金属板相对面积，是较好的增加存储电容，提高开口率的方法。

请参阅图 1，为一种现有薄膜晶体管阵列基板的剖面结构示意图，包括

- 基板 100、及设于所述基板 100 上的薄膜晶体管 and 存储电容。存储电容的第一极板 310 与第二极板 320 中间夹置有栅极绝缘层 300 和蚀刻阻挡层 500，因为栅极绝缘层 300 和蚀刻阻挡层 500 都有一定的厚度，就使得绝缘层比较厚，造成存储电容较小，需要较大的相对面积才能得到设定的电容值，造成器件开口率降低。

发明内容

本发明的目的在于提供一种薄膜晶体管阵列基板，具有较大存储电容的同时，具有较高开口率。

- 10 本发明的目的在于提供一种薄膜晶体管阵列基板的制作方法，可以增大存储电容的同时，提高开口率。

为实现上述目的，本发明提供一种薄膜晶体管阵列基板，包括基板，及形成于基板上的薄膜晶体管 and 存储电容；

- 15 所述存储电容包括位于基板上的第一极板，位于第一极板之上的栅极绝缘层或者蚀刻阻挡层，位于栅极绝缘层或者蚀刻阻挡层之上的第二极板。

- 所述薄膜晶体管阵列基板包括基板、设于所述基板上的第一栅极、第二栅极、及位于所述第二栅极远离第一栅极一侧的第一极板、设于所述第一栅极、第二栅极、第一极板、及基板上的栅极绝缘层、分别位于所述第一栅极与第二栅极上方设于所述栅极绝缘层上的第一氧化物半导体层与第二氧化物半导体层、位于所述第一极板上方设于所述栅极绝缘层上的第二极板、设于所述第一氧化物半导体层、第二氧化物半导体层、及栅极绝缘层上的蚀刻阻挡层、分别位于所述第一栅极与第二栅极上方设于所述蚀刻阻挡层上的第一源极、第一漏极、第二源极、及第二漏极、设于所述第一源极、第一漏极、第二源极、第二漏极、及第二极板上方覆盖所述蚀刻阻挡层的钝化层、设于所述钝化层上的平坦层、设于所述平坦层上的像素电极层、设于所述平坦层与像素电极层上的像素定义层、及设于所述像素定义层上的光阻间隙物；

- 30 所述栅极绝缘层上对应所述第二栅极靠近第一栅极一侧的上方设有第一过孔，所述钝化层与平坦层对应所述第二源极上方设有第二过孔，所述像素定义层上对应所述像素电极层上方设有第三过孔；所述第一源极、第一漏极与所述第一氧化物半导体层相接触，所述第二源极、及第二漏极与所述第二氧化物半导体层相接触，所述第一源极经由所述第一过孔与所述第二栅极相接触，所述像素电极层经由所述第二过孔与所述第二源极相接触，所述第三过孔暴露出部分像素电极层；

所述第一栅极、第二栅极、栅极绝缘层、第一氧化物半导体层、第二氧化物半导体层、蚀刻阻挡层、第一源极、第一漏极、第二源极、及第二漏极构成薄膜晶体管；所述第一极板、第二极板、及位于所述第一极板与第二极板之间的栅极绝缘层构成存储电容。

5 所述薄膜晶体管阵列基板包括基板、设于所述基板上的第一栅极、第二栅极、及位于所述第二栅极远离第一栅极一侧的第一极板、设于所述第一栅极、第二栅极、及基板上的栅极绝缘层、分别位于所述第一栅极与第二栅极上方设于所述栅极绝缘层上的第一氧化物半导体层与第二氧化物半导体层、设于所述第一氧化物半导体层、第二氧化物半导体层、栅极绝缘层、及第一极板上的蚀刻阻挡层、位于所述第一极板上方设于所述蚀刻阻挡层上的第二极板、分别位于所述第一栅极与第二栅极上方设于所述蚀刻阻挡层上的第一源极、第一漏极、第二源极、及第二漏极、设于所述第一源极、第一漏极、第二源极、第二漏极、及第二极板上方覆盖所述蚀刻阻挡层的钝化层、设于所述钝化层上的平坦层、设于所述平坦层上的像素电极层、设于所述平坦层与像素电极层上的像素定义层、及设于所述像素定义层上的光阻间隙物；

所述栅极绝缘层上对应所述第二栅极靠近第一栅极一侧的上方设有第一过孔，所述钝化层与平坦层对应所述第二源极上方设有第二过孔，所述像素定义层上对应所述像素电极层上方设有第三过孔；所述第一源极、第一漏极与所述第一氧化物半导体层相接触，所述第二源极、及第二漏极与
20 所述第二氧化物半导体层相接触，所述第一源极经由所述第一过孔与所述第二栅极相接触，所述像素电极层经由所述第二过孔与所述第二源极相接触，所述第三过孔暴露出部分像素电极层；

所述栅极绝缘层与蚀刻阻挡层的材料不同。
所述栅极绝缘层的材料为 Al_2O_3 ，所述蚀刻阻挡层的材料为 SiO_x 。
所述栅极绝缘层的材料为 SiO_x ，所述蚀刻阻挡层的材料为 Al_2O_3 。
25 本发明还提供一种薄膜晶体管阵列基板的制作方法，包括以下步骤：
步骤 1、提供一基板，在所述基板上沉积第一金属层，并对所述第一金属层进行图案化处理，得到第一栅极、第二栅极、及位于所述第二栅极远离第一栅极一侧的第一极板；

步骤 2、在所述第一金属层上沉积并图案化栅极绝缘层，得到位于所述第二栅极靠近第一栅极一侧的上方的第一过孔；

步骤 3、在所述栅极绝缘层上沉积并图案化氧化物半导体层，分别得到位于所述第一栅极上方的第一氧化物半导体层、及位于所述第二栅极上方的第二氧化物半导体层；

步骤 4、在所述氧化物半导体层上沉积蚀刻阻挡层，对所述蚀刻阻挡层进行图案化处理，分别暴露出所述第一氧化物半导体层、及第二氧化物半导体层的两侧区域，同时将位于第一极板上方的蚀刻阻挡层部分刻蚀掉；

步骤 5、在所述蚀刻阻挡层、及栅极绝缘层上沉积第二金属层，并对所述第二金属层进行图案化处理，分别得到位于所述第一栅极上方的第一源极、及第一漏极、位于所述第二栅极上方的第二源极、及第二漏极、位于所述第一极板上方的第二极板；

所述第一源极、及第一漏极与所述第一氧化物半导体层的两侧区域相接触，所述第二源极、及第二漏极与所述第二氧化物半导体层的两侧区域相接触，所述第一源极经由所述第一过孔与所述第二栅极相接触；

步骤 6、依次在所述第二金属层、及蚀刻阻挡层上形成钝化层、平坦层、像素电极层、像素定义层、及光阻间隙物；

所述钝化层与平坦层对应所述第二源极上方形成有第二过孔，所述像素定义层上对应所述像素电极层上方形成有第三过孔；所述像素电极层经由所述第二过孔与所述第二源极相接触，所述第三过孔暴露出部分像素电极层。

所述栅极绝缘层与蚀刻阻挡层采用不同的材料形成。

所述栅极绝缘层采用 Al_2O_3 形成，所述蚀刻阻挡层采用 SiO_x 形成。

所述栅极绝缘层采用 SiO_x 形成，所述蚀刻阻挡层采用 Al_2O_3 形成。

本发明还提供一种薄膜晶体管阵列基板的制作方法，包括以下步骤：

步骤 1、提供一基板在所述基板上沉积第一金属层，并对所述第一金属层进行图案化处理，得到第一栅极、第二栅极、及位于所述第二栅极远离第一栅极一侧的第一极板；

步骤 2、在所述第一金属层上沉积并图案化栅极绝缘层，得到位于所述第二栅极靠近第一栅极一侧的上方的第一过孔；

步骤 3、在所述栅极绝缘层上沉积并图案化氧化物半导体层，分别得到位于所述第一栅极上方的第一氧化物半导体层、及位于所述第二栅极上方的第二氧化物半导体层；

步骤 4、在所述氧化物半导体层上沉积蚀刻阻挡层，对所述蚀刻阻挡层

进行图案化处理，分别暴露出所述第一氧化物半导体层、及第二氧化物半导体层的两侧区域，同时将位于第一极板上方的蚀刻阻挡层刻蚀掉；

步骤 5、在所述蚀刻阻挡层、及栅极绝缘层上沉积第二金属层，并对所述第二金属层进行图案化处理，分别得到位于所述第一栅极上方的第一源极、及第一漏极、位于所述第二栅极上方的第二源极、及第二漏极、位于所述

5 所述第一极板上方的第二极板；

所述第一源极、及第一漏极与所述第一氧化物半导体层的两侧区域相接触，所述第二源极、及第二漏极与所述第二氧化物半导体层的两侧区域相接触，所述第一源极经由所述第一过孔与所述第二栅极相接触；

10 步骤 6、依次在所述第二金属层、及蚀刻阻挡层上形成钝化层、平坦层、像素电极层、像素定义层、及光阻间隙物；

所述钝化层与平坦层对应所述第二源极上方形成有第二过孔，所述像素定义层上对应所述像素电极层上方形成有第三过孔；所述像素电极层经由所述第二过孔与所述第二源极相接触，所述第三过孔暴露出部分像素电

15 极层；

其中，所述栅极绝缘层与蚀刻阻挡层采用不同的材料形成；

其中，所述栅极绝缘层采用 Al_2O_3 形成，所述蚀刻阻挡层采用 SiO_x 形成。

本发明的有益效果：本发明提供一种薄膜晶体管阵列基板，存储电

20 容的两电极板之间只存在栅极绝缘层或者蚀刻阻挡层中的一层绝缘层，存储电容间绝缘层厚度较薄，电容相对面积较小，具有较高的开口率。本发明的薄膜晶体管阵列基板的制作方法，在对蚀刻阻挡层进行蚀刻时，将蚀刻阻挡层位于存储电容的第一极板上方的部分蚀刻掉，从而降低了存储电容间绝缘层厚度，减小了电容相对面积，提高了开口率；并通过对栅极

25 绝缘层和蚀刻阻挡层采用不同的材料，使蚀刻气体对栅极绝缘层呈钝性，避免了在蚀刻蚀刻阻挡层的过程中对下层的栅极绝缘层造成破坏，从而保证得到较理想的存储电容。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

30

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为一种现有薄膜晶体管阵列基板的剖面结构示意图；

图 2 为本发明薄膜晶体管阵列基板第一实施例的剖面结构示意图；

图 3 为本发明薄膜晶体管阵列基板第二实施例的剖面结构示意图；

5 图 4 为本发明薄膜晶体管阵列基板制作方法的流程图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

10 请参阅图 2 至图 3，本发明提供一种薄膜晶体管阵列基板，包括基板 1，及形成于基板 1 上的薄膜晶体管和存储电容。

所述存储电容包括位于基板 1 上的第一极板 31，位于第一极板 31 之上的栅极绝缘层 3 或者蚀刻阻挡层 5，位于栅极绝缘层 3 或者蚀刻阻挡层 5 之上的第二极板 32。

15 如图 2 所示，为本发明的薄膜晶体管阵列基板第一实施例的结构示意图，包括基板 1、设于所述基板 1 上的第一栅极 21、第二栅极 22、及位于所述第二栅极 22 远离第一栅极 21 一侧的第一极板 31、设于所述第一栅极 21、第二栅极 22、第一极板 31、及基板 1 上的栅极绝缘层 3、分别位于所述
20 所述第一栅极 21 与第二栅极 22 上方设于所述栅极绝缘层 3 上的第一氧化物半导体层 41 与第二氧化物半导体层 42、位于所述第一极板 31 上方设于所述栅极绝缘层 3 上的第二极板 32、设于所述第一氧化物半导体层 41、第二氧化物半导体层 42、及栅极绝缘层 3 上的蚀刻阻挡层 5、分别位于所述第一栅极 21 与第二栅极 22 上方设于所述蚀刻阻挡层 5 上的第一源极 61、第一漏极 62、第二源极 63、及第二漏极 64、设于所述第一源极 61、第一漏极 62、第二源极 63、第二漏极 64、及第二极板 32 上方覆盖所述蚀刻阻挡层 5 的钝化层 71、设于所述钝化层 71 上的平坦层 72、设于所述平坦层 72 上的像素电极层 81、设于所述平坦层 72 与像素电极层 81 上的像素定义层 9、及设于所述像素定义层 9 上的光阻间隙物 91。

30 所述栅极绝缘层 3 上对应所述第二栅极 22 靠近第一栅极 21 一侧的上方设有第一过孔 51，所述钝化层 71 与平坦层 72 对应所述第二源极 63 上方设有第二过孔 52，所述像素定义层 9 上对应所述像素电极层 81 上方设有第三过孔 53；所述第一源极 61、第一漏极 62 与所述第一氧化物半导体层 41 相接触，所述第二源极 63、及第二漏极 64 与所述第二氧化物半导体层 42 相接触，所述第一源极 61 经由所述第一过孔 51 与所述第二栅极 22 相接触

所述像素电极层 81 经由所述第二过孔 52 与所述第二源极 63 相接触, 所述第三过孔 53 暴露出部分像素电极层 81。

所述第一栅极 21、第二栅极 22、栅极绝缘层 3、第一氧化物半导体层 41、第二氧化物半导体层 42、蚀刻阻挡层 5、第一源极 61、第一漏极 62、
5 第二源极 63、及第二漏极 64 构成薄膜晶体管; 所述第一极板 31、第二极板 32、及位于所述第一极板 31 与第二极板 32 之间的栅极绝缘层 3 构成存储电容。

由于存储电容的两电极板之间只存在栅极绝缘层 3 一层绝缘层, 因此存储电容间绝缘层厚度较薄, 电容相对面积较小, 具有较高的开口率。

10 具体地, 所述栅极绝缘层 3 与蚀刻阻挡层 5 采用不同的材料形成; 比如, 所述栅极绝缘层 3 采用 Al_2O_3 (氧化铝) 形成, 所述蚀刻阻挡层 5 采用 SiO_x (氧化硅) 形成, 或者, 所述栅极绝缘层 3 采用 SiO_x 形成, 所述蚀刻阻挡层 5 采用 Al_2O_3 形成; 在制作过程中, 蚀刻阻挡层 5 在第一极板 31 之上的部分被刻蚀掉, 由于所述栅极绝缘层 3 与蚀刻阻挡层 5 采用不同的
15 材料形成, 蚀刻蚀刻阻挡层 5 的蚀刻气体对栅极绝缘层 3 呈钝性, 因此, 在蚀刻蚀刻阻挡层 5 的过程中就不会对下层的栅极绝缘层 3 造成破坏, 从而保持良好的器件特性。

如图 3 所示, 为本发明的薄膜晶体管阵列基板第二实施例的结构示意图, 包括基板 1、设于所述基板 1 上的第一栅极 21、第二栅极 22、及位于
20 所述第二栅极 22 远离第一栅极 21 一侧的第一极板 31、设于所述第一栅极 21、第二栅极 22、及基板 1 上的栅极绝缘层 3、分别位于所述第一栅极 21 与第二栅极 22 上方设于所述栅极绝缘层 3 上的第一氧化物半导体层 41 与第二氧化物半导体层 42、设于所述第一氧化物半导体层 41、第二氧化物半导体层 42、栅极绝缘层 3、及第一极板 31 上的蚀刻阻挡层 5、位于所述第一极板 31 上方设于所述蚀刻阻挡层 5 上的第二极板 32、分别位于所述第一栅极 21 与第二栅极 22 上方设于所述蚀刻阻挡层 5 上的第一源极 61、第一漏极 62、第二源极 63、及第二漏极 64、设于所述第一源极 61、第一漏极 62、第二源极 63、第二漏极 64、及第二极板 32 上方覆盖所述蚀刻阻挡层 5 的钝化层 71、设于所述钝化层 71 上的平坦层 72、设于所述平坦层 72 上的
25 像素电极层 81、设于所述平坦层 72 与像素电极层 81 上的像素定义层 9、及设于所述像素定义层 9 上的光阻间隙物 91。
30

所述栅极绝缘层 3 上对应所述第二栅极 22 靠近第一栅极 21 一侧的上方设有第一过孔 51, 所述钝化层 71 与平坦层 72 对应所述第二源极 63 上方设有第二过孔 52, 所述像素定义层 9 上对应所述像素电极层 81 上方设有第

三过孔 53；所述第一源极 61、第一漏极 62 与所述第一氧化物半导体层 41 相接触，所述第二源极 63、及第二漏极 64 与所述第二氧化物半导体层 42 相接触，所述第一源极 61 经由所述第一过孔 51 与所述第二栅极 22 相接触，所述像素电极层 81 经由所述第二过孔 52 与所述第二源极 63 相接触，所述
5 第三过孔 53 暴露出部分像素电极层 81。

所述第一栅极 21、第二栅极 22、栅极绝缘层 3、第一氧化物半导体层 41、第二氧化物半导体层 42、蚀刻阻挡层 5、第一源极 61、第一漏极 62、第二源极 63、及第二漏极 64 构成薄膜晶体管；所述第一极板 31、第二极板 32、及位于所述第一极板 31 与第二极板 32 之间的蚀刻阻挡层 5 构成存
10 储电容。

由于存储电容的两电极板之间只存在蚀刻阻挡层 5 一层绝缘层，在制作过程中，栅极绝缘层 3 在第一极板 31 之上的部分被刻蚀掉，因此存储电容间绝缘层厚度较薄，电容相对面积较小，具有较高的开口率。

优选的，存储电容的两电极板之间只存在栅极绝缘层 3 一层绝缘层，
15 即上述第一实施例。因为，在第二实施例中，如果蚀刻掉在第一极板 31 之上的栅极绝缘层 3 部分，在后制程中存储电容的第一极板 31 上没有保护，很容易受到破坏，如腐蚀等。

上述薄膜晶体管阵列基板，存储电容的两电极板之间只存在栅极绝缘层或者蚀刻阻挡层之中的一层绝缘层，存储电容间绝缘层厚度较薄，电容
20 相对面积较小，具有较高的开口率。

请参阅图 4，并结合图 2，本发明还提供一种薄膜晶体管阵列基板的制作方法，包括以下步骤：

步骤 1、提供一基板 1，在所述基板 1 上沉积第一金属层，并对所述第一金属层进行图案化处理，得到第一栅极 21、第二栅极 22、及位于所述第二栅极 22 远离第一栅极 21 一侧的第一极板 31。
25

具体地，所述基板 1 为玻璃或塑胶基板。

步骤 2、在所述第一金属层上沉积并图案化栅极绝缘层 3，得到位于所述第二栅极 22 靠近第一栅极 21 一侧的上方的第一过孔 51。

步骤 3、在所述栅极绝缘层 3 上沉积并图案化氧化物半导体层，分别得到位于所述第一栅极 21 上方的第一氧化物半导体层 41、及位于所述第二栅极 22 上方的第二氧化物半导体层 42。
30

步骤 4、在所述氧化物半导体层上沉积蚀刻阻挡层 5，对所述蚀刻阻挡层 5 进行图案化处理，分别暴露出所述第一氧化物半导体层 41、及第二氧化物半导体层 42 的两侧区域，同时将位于第一极板 31 上方的蚀刻阻挡层 5

部分刻蚀掉。

具体地, 所述蚀刻阻挡层 5 与所述栅极绝缘层 3 采用不同的材料形成, 例如, 所述栅极绝缘层 3 采用 Al_2O_3 形成, 所述蚀刻阻挡层 5 采用 SiO_x 形成, 或者, 所述栅极绝缘层 3 采用 SiO_x 形成, 所述蚀刻阻挡层 5 采用 Al_2O_3 形成。刻蚀蚀刻阻挡层 5 的刻蚀气体对栅极绝缘层 3 呈钝性。因此, 在蚀刻蚀刻阻挡层 5 的过程中就不会对下层的栅极绝缘层 3 造成破坏, 从而保持良好的器件特性。

步骤 5、在所述蚀刻阻挡层 5、及栅极绝缘层 3 上沉积第二金属层, 并对所述第二金属层进行图案化处理, 分别得到位于所述第一栅极 21 上方的第一源极 61、及第一漏极 62、位于所述第二栅极 22 上方的第二源极 63、及第二漏极 64、位于所述第一极板 31 上方的第二极板 32。

所述第一源极 61、及第一漏极 62 与所述第一氧化物半导体层 41 的两侧区域相接触, 所述第二源极 63、及第二漏极 64 与所述第二氧化物半导体层 42 的两侧区域相接触, 所述第一源极 61 经由所述第一过孔 51 与所述第二栅极 22 相接触。

步骤 6、依次在所述第二金属层、及蚀刻阻挡层 5 上形成钝化层 71、平坦层 72、像素电极层 81、像素定义层 9、及光阻间隙物 91。

所述钝化层 71 与平坦层 72 对应所述第二源极 63 上方形成有第二过孔 52, 所述像素定义层 9 上对应所述像素电极层 81 上方形成有第三过孔 53; 所述像素电极层 81 经由所述第二过孔 52 与所述第二源极 63 相接触, 所述第三过孔 53 暴露出部分像素电极层 81。

具体地, 所述钝化层 71、平坦层 72、像素电极层 81、像素定义层 9、及光阻间隙物 91 均可以采用现有技术制得。

值得一提的是, 制作上述薄膜晶体管阵列基板时, 也可以选择蚀刻掉在第一极板 31 之上的栅极绝缘层 3 部分, 使存储电容的两电极板之间只存在蚀刻阻挡层 5 一层绝缘层, 从而降低存储电容间绝缘层厚度, 减小电容相对面积, 提高开口率; 但是此种制作方法的弊端在于, 在后制程中存储电容的第一极板 31 上没有保护, 很容易受到破坏, 如腐蚀等。

上述薄膜晶体管阵列基板的制作方法, 在对蚀刻阻挡层进行蚀刻时, 将蚀刻阻挡层位于存储电容的第一极板上方的部分蚀刻掉, 从而降低了存储电容间绝缘层厚度, 减小了电容相对面积, 提高了开口率; 并通过对栅极绝缘层和蚀刻阻挡层采用不同的材料, 使蚀刻气体对栅极绝缘层呈钝性, 避免了在蚀刻蚀刻阻挡层的过程中对下层的栅极绝缘层造成破坏, 从而保证得到较理想的存储电容。

综上所述，本发明提供的一种薄膜晶体管阵列基板，存储电容的两电极板之间只存在栅极绝缘层或者蚀刻阻挡层中的一层绝缘层，存储电容间绝缘层厚度较薄，电容相对面积较小，具有较高的开口率。本发明的薄膜晶体管阵列基板的制作方法，在对蚀刻阻挡层进行蚀刻时，将蚀刻阻挡层位于存储电容的第一极板上方的部分蚀刻掉，从而降低了存储电容间绝缘层厚度，减小了电容相对面积，提高了开口率；并通过对栅极绝缘层和蚀刻阻挡层采用不同的材料，使蚀刻气体对栅极绝缘层呈钝性，避免了在蚀刻蚀刻阻挡层的过程中对下层的栅极绝缘层造成破坏，从而保证得到较理想的存储电容。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种薄膜晶体管阵列基板，包括基板，及形成于基板上的薄膜晶体管和存储电容；

5 所述存储电容包括位于基板上的第一极板位于第一极板之上的栅极绝缘层或者蚀刻阻挡层，位于栅极绝缘层或者蚀刻阻挡层之上的第二极板。

2、如权利要求 1 所述的薄膜晶体管阵列基板，其中，包括基板、设于所述基板上的第一栅极、第二栅极、及位于所述第二栅极远离第一栅极一侧的第一极板、设于所述第一栅极、第二栅极、第一极板、及基板上的栅极绝缘层、分别位于所述第一栅极与第二栅极上方设于所述栅极绝缘层上的第一氧化物半导体层与第二氧化物半导体层、位于所述第一极板上方的第二极板、设于所述第一氧化物半导体层、第二氧化物半导体层、及栅极绝缘层上的蚀刻阻挡层、分别位于所述第一栅极与第二栅极上方设于所述蚀刻阻挡层上的第一源极、第一漏极、第二源极、
10 及第二漏极、设于所述第一源极、第一漏极、第二源极、第二漏极、及第二极板上覆盖所述蚀刻阻挡层的钝化层、设于所述钝化层上的平坦层、设于所述平坦层上的像素电极层、设于所述平坦层与像素电极层上的像素定义层、及设于所述像素定义层上的光阻间隙物；

所述栅极绝缘层上对应所述第二栅极靠近第一栅极一侧的上方设有第一过孔，所述钝化层与平坦层对应所述第二源极上方设有第二过孔，所述像素定义层上对应所述像素电极层上方设有第三过孔；所述第一源极、第一漏极与所述第一氧化物半导体层相接触，所述第二源极、及第二漏极与
20 所述第二氧化物半导体层相接触，所述第一源极经由所述第一过孔与所述第二栅极相接触，所述像素电极层经由所述第二过孔与所述第二源极相接触，所述第三过孔暴露出部分像素电极层；

所述第一栅极、第二栅极、栅极绝缘层、第一氧化物半导体层、第二氧化物半导体层、蚀刻阻挡层、第一源极、第一漏极、第二源极、及第二漏极构成薄膜晶体管；所述第一极板、第二极板、及位于所述第一极板与第二极板之间的栅极绝缘层构成存储电容。

30 3、如权利要求 1 所述的薄膜晶体管阵列基板，其中，包括基板、设于所述基板上的第一栅极、第二栅极、及位于所述第二栅极远离第一栅极一侧的第一极板、设于所述第一栅极、第二栅极、及基板上的栅极绝缘层、分别位于所述第一栅极与第二栅极上方设于所述栅极绝缘层上的第一氧化

物半导体层与第二氧化物半导体层、设于所述第一氧化物半导体层、第二氧化物半导体层、栅极绝缘层、及第一极板上的蚀刻阻挡层、位于所述第一极板上方的第二极板、分别位于所述第一栅极与第二栅极上方设于所述蚀刻阻挡层上的第一源极、第一漏极、第二源极、及第二漏极、设于所述第一源极、第一漏极、第二源极、第二漏极、及第二极板上覆盖所述蚀刻阻挡层的钝化层、设于所述钝化层上的平坦层设于所述平坦层上的像素电极层、设于所述平坦层与像素电极层上的像素定义层、及设于所述像素定义层上的光阻间隙物；

所述栅极绝缘层上对应所述第二栅极靠近第一栅极一侧的上方设有第一过孔，所述钝化层与平坦层对应所述第二源极上方设有第二过孔，所述像素定义层上对应所述像素电极层上方设有第三过孔；所述第一源极、第一漏极与所述第一氧化物半导体层相接触，所述第二源极、及第二漏极与所述第二氧化物半导体层相接触，所述第一源极经由所述第一过孔与所述第二栅极相接触，所述像素电极层经由所述第二过孔与所述第二源极相接触，所述第三过孔暴露出部分像素电极层；

所述第一栅极、第二栅极、栅极绝缘层、第一氧化物半导体层、第二氧化物半导体层、蚀刻阻挡层、第一源极、第一漏极、第二源极、及第二漏极构成薄膜晶体管；所述第一极板、第二极板、及位于所述第一极板与第二极板之间的蚀刻阻挡层构成存储电容。

4、如权利要求2所述的薄膜晶体管阵列基板，其中，所述栅极绝缘层与蚀刻阻挡层的材料不同。

5、如权利要求3所述的薄膜晶体管阵列基板，其中，所述栅极绝缘层与蚀刻阻挡层的材料不同。

6、如权利要求4所述的薄膜晶体管阵列基板，其中，所述栅极绝缘层的材料为 Al_2O_3 ，所述蚀刻阻挡层的材料为 SiO_x 。

7、如权利要求4所述的薄膜晶体管阵列基板，其中，所述栅极绝缘层的材料为 SiO_x ，所述蚀刻阻挡层的材料为 Al_2O_3 。

8、如权利要求5所述的薄膜晶体管阵列基板，其中，所述栅极绝缘层的材料为 Al_2O_3 ，所述蚀刻阻挡层的材料为 SiO_x 。

9、如权利要求5所述的薄膜晶体管阵列基板，其中，所述栅极绝缘层的材料为 SiO_x ，所述蚀刻阻挡层的材料为 Al_2O_3 。

10、一种薄膜晶体管阵列基板的制作方法，包括以下步骤：

步骤1、提供一基板在所述基板上沉积第一金属层，并对所述第一金属层进行图案化处理，得到第一栅极、第二栅极、及位于所述第二栅极远离

第一栅极一侧的第一极板；

步骤 2、在所述第一金属层上沉积并图案化栅极绝缘层，得到位于所述第二栅极靠近第一栅极一侧的上方的第一过孔；

步骤 3、在所述栅极绝缘层上沉积并图案化氧化物半导体层，分别得到
5 位于所述第一栅极上方的第一氧化物半导体层、及位于所述第二栅极上方的第二氧化物半导体层；

步骤 4、在所述氧化物半导体层上沉积蚀刻阻挡层，对所述蚀刻阻挡层进行图案化处理，分别暴露出所述第一氧化物半导体层、及第二氧化物半导体层的两侧区域，同时将位于第一极板上方的蚀刻阻挡层刻蚀掉；

10 步骤 5、在所述蚀刻阻挡层、及栅极绝缘层上沉积第二金属层，并对所述第二金属层进行图案化处理，分别得到位于所述第一栅极上方的第一源极、及第一漏极、位于所述第二栅极上方的第二源极、及第二漏极、位于所述第一极板上方的第二极板；

15 所述第一源极、及第一漏极与所述第一氧化物半导体层的两侧区域相接触，所述第二源极、及第二漏极与所述第二氧化物半导体层的两侧区域相接触，所述第一源极经由所述第一过孔与所述第二栅极相接触；

步骤 6、依次在所述第二金属层、及蚀刻阻挡层上形成钝化层、平坦层、像素电极层、像素定义层、及光阻间隙物；

20 所述钝化层与平坦层对应所述第二源极上方形成有第二过孔，所述像素定义层上对应所述像素电极层上方形成有第三过孔；所述像素电极层经由所述第二过孔与所述第二源极相接触，所述第三过孔暴露出部分像素电极层。

11、如权利要求 10 所述的薄膜晶体管阵列基板的制作方法，其中，所述栅极绝缘层与蚀刻阻挡层采用不同的材料形成。

25 12、如权利要求 10 所述的薄膜晶体管阵列基板的制作方法，其中，所述栅极绝缘层采用 Al_2O_3 形成，所述蚀刻阻挡层采用 SiO_x 形成。

13、如权利要求 10 所述的薄膜晶体管主动装置的制作方法，其中，所述栅极绝缘层采用 SiO_x 形成，所述蚀刻阻挡层采用 Al_2O_3 形成。

14、一种薄膜晶体管阵列基板的制作方法，包括以下步骤：

30 步骤 1、提供一基板在所述基板上沉积第一金属层，并对所述第一金属层进行图案化处理，得到第一栅极、第二栅极、及位于所述第二栅极远离第一栅极一侧的第一极板；

步骤 2、在所述第一金属层上沉积并图案化栅极绝缘层，得到位于所述第二栅极靠近第一栅极一侧的上方的第一过孔；

步骤 3、在所述栅极绝缘层上沉积并图案化氧化物半导体层，分别得到位于所述第一栅极上方的第一氧化物半导体层、及位于所述第二栅极上方的第二氧化物半导体层；

5 步骤 4、在所述氧化物半导体层上沉积蚀刻阻挡层，对所述蚀刻阻挡层进行图案化处理，分别暴露出所述第一氧化物半导体层、及第二氧化物半导体层的两侧区域，同时将位于第一极板上方的蚀刻阻挡层刻蚀掉；

步骤 5、在所述蚀刻阻挡层、及栅极绝缘层上沉积第二金属层，并对所述第二金属层进行图案化处理，分别得到位于所述第一栅极上方的第一源极、及第一漏极、位于所述第二栅极上方的第二源极、及第二漏极、位于
10 所述第一极板上方的第二极板；

所述第一源极、及第一漏极与所述第一氧化物半导体层的两侧区域相接触，所述第二源极、及第二漏极与所述第二氧化物半导体层的两侧区域相接触，所述第一源极经由所述第一过孔与所述第二栅极相接触；

步骤 6、依次在所述第二金属层、及蚀刻阻挡层上形成钝化层、平坦层、
15 像素电极层、像素定义层、及光阻间隙物；

所述钝化层与平坦层对应所述第二源极上方形成有第二过孔，所述像素定义层上对应所述像素电极层上方形成有第三过孔；所述像素电极层经由所述第二过孔与所述第二源极相接触，所述第三过孔暴露出部分像素电极层；

20 其中，所述栅极绝缘层与蚀刻阻挡层采用不同的材料形成；

其中，所述栅极绝缘层采用 Al_2O_3 形成，所述蚀刻阻挡层采用 SiO_x 形成。

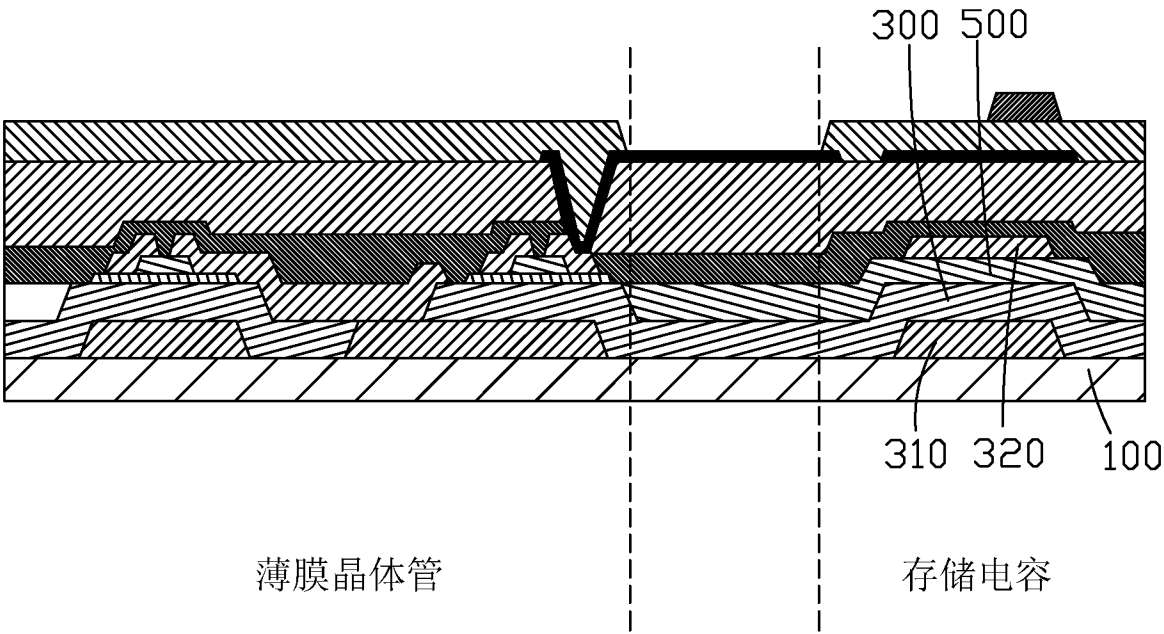


图1

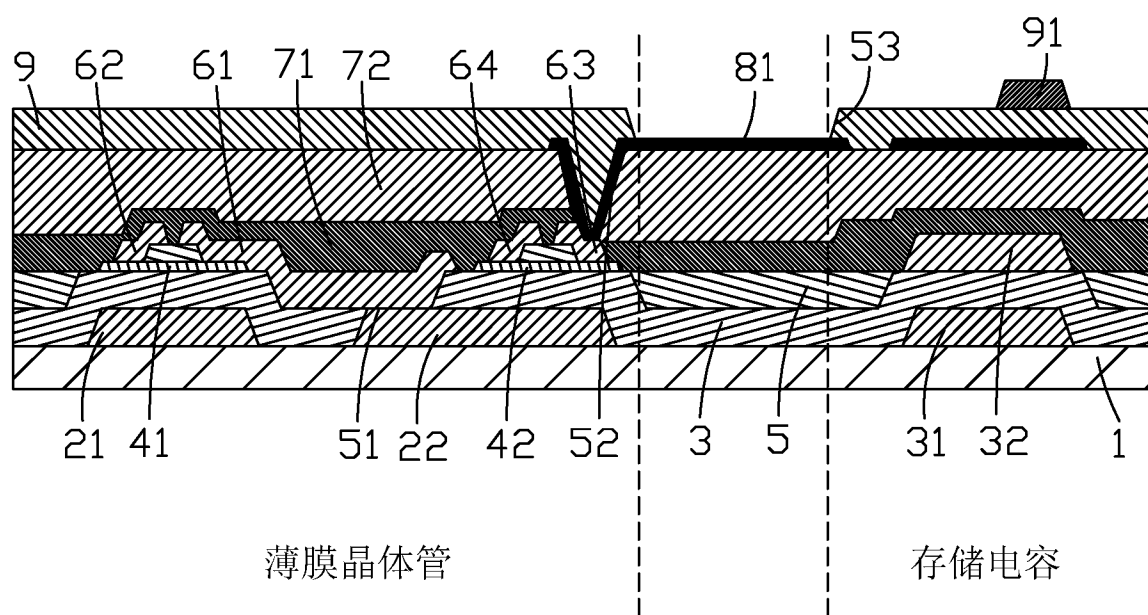


图2

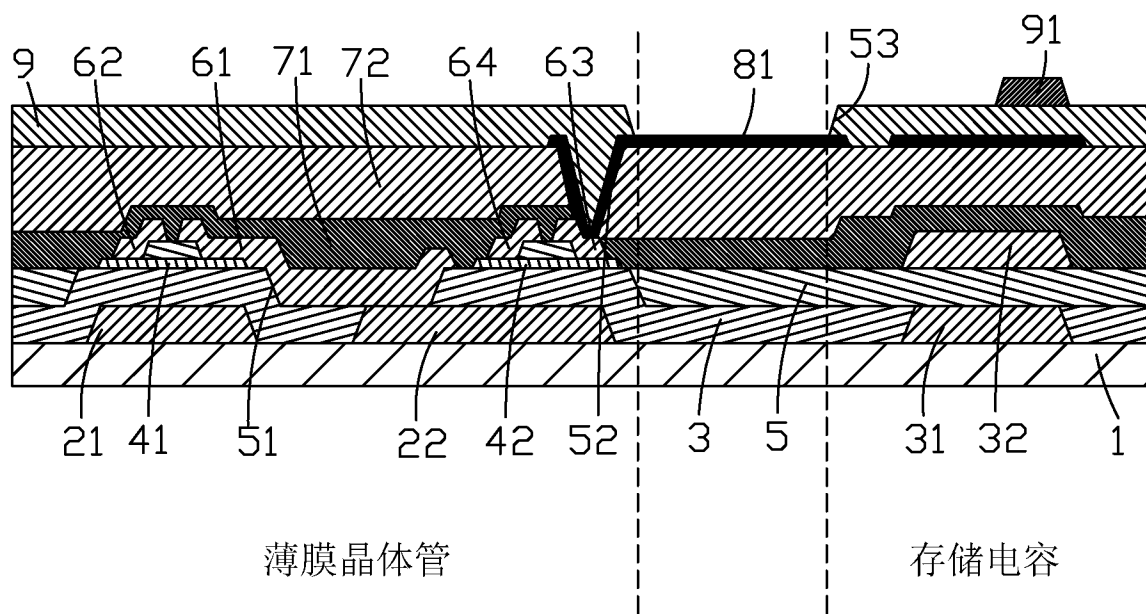


图3

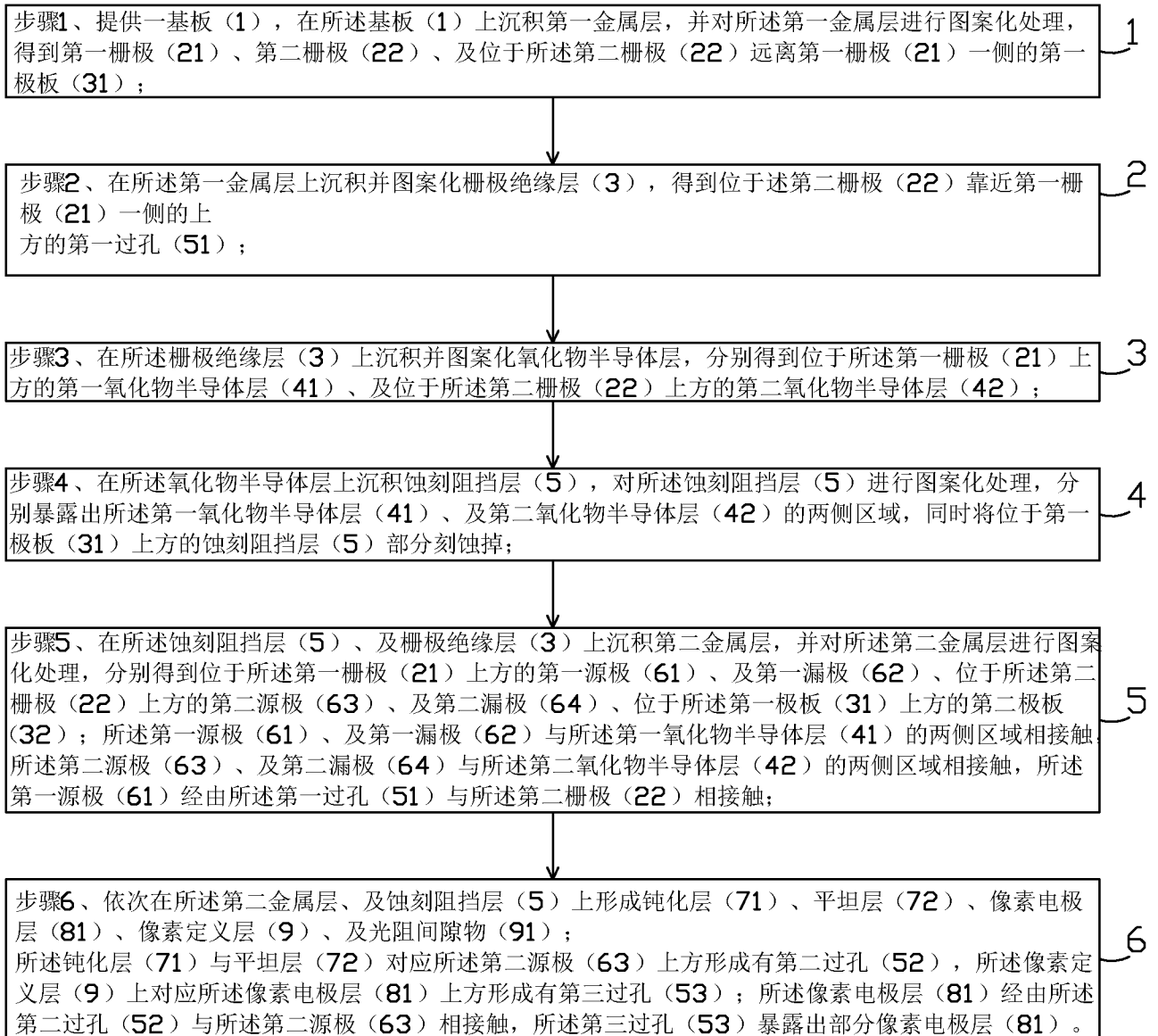


图4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/079421

A. CLASSIFICATION OF SUBJECT MATTER

H01L 51/52 (2006.01) i; H01L 51/56 (2006.01) i; H01L 27/12 (2006.01) i; H01L 21/77 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; DWPI; SIPOABS; CNKI: storage capacitance, gate insulation layer, capacitance, TFT, thin film transistor, substrate, array, storing, storage, store, capacitor, gate insulation, insulating, electrode, area, etch stop, thickness, open rate, etch stop layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103928470 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD. et al.), 16 July 2014 (16.07.2014), description, paragraphs 0021-0047, and figures 1-7	1-2, 4, 6-7, 10-14
X	CN 103208506 A (BOE TECHNOLOGY GROUP CO., LTD.), 17 July 2013 (17.07.2013), description, paragraphs 0052-0084, and figures 1-7	1, 3, 5, 8-9
X	CN 104538403 A (XIAMEN TIANMA MICROELECTRONICS CO. LTD. et al.), 22 April 2015 (22.04.2015), description, paragraphs 0018-0042, and figures 1-4	1
X	CN 103296034 A (BOE TECHNOLOGY GROUP CO., LTD.), 11 September 2013 (11.09.2013), description, paragraphs 0068-0098, and figures 1-7	1, 2, 4, 6, 7
A	CN 102023439 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD.), 20 April 2011 (20.04.2011), the whole document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 January 2016 (18.01.2016)	Date of mailing of the international search report 28 January 2016 (28.01.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer SHI, Shudong Telephone No.: (86-10) 62412116

International application No.
PCT/CN2015/079421

Form PCT/ISA/210 (patent family annex) (July 2009)

A. 主题的分类 H01L 51/52 (2006.01) i; H01L 51/56 (2006.01) i; H01L 27/12 (2006.01) i; H01L 21/77 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																				
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS; DWPI; SIPOABS; CNKI: 薄膜晶体管, 阵列, 基板, 存储电容, 电极, 栅极绝缘层, 蚀刻阻挡层, 厚度, 电容, 面积, 开口率, TFT, thin film transistor, substrate, array, storing, storage, store, capacitor, gate insulation, insulating, electrode, area, etch stop, thickness, open rate, etch stop layer																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 103928470 A (上海天马微电子有限公司 等) 2014年 7月 16日 (2014 - 07 - 16) 说明书第0021-0047段, 图1-7</td> <td>1-2, 4, 6-7, 10-14</td> </tr> <tr> <td>X</td> <td>CN 103208506 A (京东方科技集团股份有限公司) 2013年 7月 17日 (2013 - 07 - 17) 说明书第0052-0084段, 图1-7</td> <td>1, 3, 5, 8-9</td> </tr> <tr> <td>X</td> <td>CN 104538403 A (厦门天马微电子有限公司 等) 2015年 4月 22日 (2015 - 04 - 22) 说明书第0018-0042段, 图1-4</td> <td>1</td> </tr> <tr> <td>X</td> <td>CN 103296034 A (京东方科技集团股份有限公司) 2013年 9月 11日 (2013 - 09 - 11) 说明书第0068-0098段, 图1-7</td> <td>1, 2, 4, 6, 7</td> </tr> <tr> <td>A</td> <td>CN 102023439 A (上海天马微电子有限公司) 2011年 4月 20日 (2011 - 04 - 20) 全文</td> <td>1-14</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 103928470 A (上海天马微电子有限公司 等) 2014年 7月 16日 (2014 - 07 - 16) 说明书第0021-0047段, 图1-7	1-2, 4, 6-7, 10-14	X	CN 103208506 A (京东方科技集团股份有限公司) 2013年 7月 17日 (2013 - 07 - 17) 说明书第0052-0084段, 图1-7	1, 3, 5, 8-9	X	CN 104538403 A (厦门天马微电子有限公司 等) 2015年 4月 22日 (2015 - 04 - 22) 说明书第0018-0042段, 图1-4	1	X	CN 103296034 A (京东方科技集团股份有限公司) 2013年 9月 11日 (2013 - 09 - 11) 说明书第0068-0098段, 图1-7	1, 2, 4, 6, 7	A	CN 102023439 A (上海天马微电子有限公司) 2011年 4月 20日 (2011 - 04 - 20) 全文	1-14
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 103928470 A (上海天马微电子有限公司 等) 2014年 7月 16日 (2014 - 07 - 16) 说明书第0021-0047段, 图1-7	1-2, 4, 6-7, 10-14																		
X	CN 103208506 A (京东方科技集团股份有限公司) 2013年 7月 17日 (2013 - 07 - 17) 说明书第0052-0084段, 图1-7	1, 3, 5, 8-9																		
X	CN 104538403 A (厦门天马微电子有限公司 等) 2015年 4月 22日 (2015 - 04 - 22) 说明书第0018-0042段, 图1-4	1																		
X	CN 103296034 A (京东方科技集团股份有限公司) 2013年 9月 11日 (2013 - 09 - 11) 说明书第0068-0098段, 图1-7	1, 2, 4, 6, 7																		
A	CN 102023439 A (上海天马微电子有限公司) 2011年 4月 20日 (2011 - 04 - 20) 全文	1-14																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																				
国际检索实际完成的日期 2016年 1月 18日		国际检索报告邮寄日期 2016年 1月 28日																		
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		授权官员 施曙东 电话号码 (86-10) 62412116																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/079421

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103928470	A	2014年 7月 16日	EP	2819170	A1	2014年 12月 31日
				US	2014374740	A1	2014年 12月 25日
CN	103208506	A	2013年 7月 17日	WO	2014153870	A1	2014年 10月 2日
				US	2015214249	A1	2015年 7月 30日
CN	104538403	A	2015年 4月 22日	无			
CN	103296034	A	2013年 9月 11日	WO	2014190669	A1	2014年 12月 4日
CN	102023439	A	2011年 4月 20日	CN	102023439	B	2013年 5月 15日