(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3780030号

(P3780030)

(45)発行日　平成18年5月31日(2006.5.31)　(24)登録日　平成18年3月10日(2006.3.10)

(51)Int.Cl.		F I		
G11C 11/406	(2006.01)	G11C	11/34	363L
G11C 11/413	(2006.01)	G11C	11/34	341B
H03K 3/354	(2006.01)	H03K	3/354	B
H03K 19/0948	(2006.01)	H03K	19/094	B
H03K 19/20	(2006.01)	H03K	19/20	

請求項の数 2　(全 33 頁)

(21)出願番号　特願平8-121606
(22)出願日　平成8年5月16日(1996.5.16)
(65)公開番号　特開平9-204773
(43)公開日　平成9年8月5日(1997.8.5)
審査請求日　平成14年6月6日(2002.6.6)
(31)優先権主張番号　特願平7-143772
(32)優先日　平成7年6月12日(1995.6.12)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願平7-305675
(32)優先日　平成7年11月24日(1995.11.24)
(33)優先権主張国　日本国(JP)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】発振回路およびＤＲＡＭ

(57)【特許請求の範囲】

【請求項１】

発振回路であって、

２つのゲート入力を有し、一方のゲート入力には第１のクロック信号が与えられ、他方のゲート入力には第２のクロック信号が与えられる複数のインバータ手段、

各前記インバータ手段の第１の電源側端子と第１の電源ラインとの間に接続され、その入力電極に与えられるゲート電位により電流を供給するための第１の導電形式の複数の第１のトランジスタ、および

各前記インバータ手段の第２の電源側端子と第２の電源ラインとの間に接続され、その入力電極に与えられるゲート電位により電流を供給するための第２の導電形式の複数の第２のトランジスタを備え、

各前記インバータ手段は、

それぞれが直列接続され、それぞれの入力電極が前記一方のゲート入力となる第１の導電形式の第３のトランジスタおよび第２の導電形式の第４のトランジスタ、

前記第３のトランジスタと前記第１のトランジスタとの間に接続される第１の導電形式の第５のトランジスタ、および

前記第４のトランジスタと前記第２のトランジスタとの間に接続され、その入力電極が前記第５のトランジスタの入力電極とともに前記他方のゲート入力となる第２の導電形式の第６のトランジスタを含み、

前記インバータ手段の出力がフローティング状態になるのを防止する微小電流を供給す

るための２つの極性の異なる微小電流信号を発生する、微小電流信号発生手段をさらに備え、
前記インバータ手段は、
前記第５のトランジスタに対して並列接続され、その入力電極に前記微小電流信号発生手段からの一方の極性の微小電流信号が与えられる第１の導電形式の第７のトランジスタ、および
前記第６のトランジスタに対して並列接続され、その入力電極に前記微小電流信号発生手段からの他方の極性の微小電流信号が与えられる第２の導電形式の第８のトランジスタをさらに含む、発振回路。
【請求項２】
請求項１に記載の発振回路と、
定電流源からの定電流に基づいて温度依存性のある電流を生成する電流発生回路と、
前記温度依存性のある電流に基づいて、温度の増減に従ってリフレッシュ動作を実行するための前記発振回路の発振周波数を規定する駆動電流を供給するための２つの極性の異なる信号を生成するための信号発生回路とを含むタイマを備え、
前記発振回路の各前記インバータ手段の前記複数の第１のトランジスタの入力電極は、前記信号発生回路からの一方の極性の信号が与えられ、各前記インバータ手段の前記複数の第２のトランジスタの入力電極は、前記信号発生回路からの他方の極性の信号が与えられる、ＤＲＡＭ。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は温度依存性回路およびこれを用いた電流発生回路とインバータと発振回路に関し、たとえばセルフリフレッシュ機能を有するＤＲＡＭに用いられるような温度依存性回路，電流発生回路，インバータおよび発振回路に関する。
【０００２】
【従来の技術】
ＤＲＡＭはメモリセルトランジスタとメモリセル容量とを用いたメモリセルをアレイ状に配列したものであり、メモリセルは揮発性素子であるため、一定期間以内にメモリセルに保持されているデータをリフレッシュする必要がある。ところが、近年ではある特殊なモードに設定されると、ＤＲＡＭ自身が自動的にリフレッシュを行なうことができる機能を付加したものがある。
【０００３】
この機能により、ユーザはリフレッシュの規則に捕らわれることなくＤＲＡＭを使用することができるようになってきた。同時に、この機能はＤＲＡＭの性能を極限まで引出し、その消費電力を低減させることを可能としている。これは、つまりＤＲＡＭ自身がリフレッシュを行なうタイミングを規則以上にその間隔を引延ばすことでリフレッシュの回数を少なくし、ＤＲＡＭが動作する回数を減少させることができる。
【０００４】
図５６はそのようなリフレッシュ機能を有するＤＲＡＭの概略ブロック図である。図５６において、ロウアドレスストローブ信号／ＲＡＳとカラムアドレスストローブ信号／ＣＡＳと書込イネーブル／ＷＥは信号入力部１に与えられ、信号入力部１から内部ＲＡＳ信号がマルチプレクサ４の一方入力端子に与えられる。セルフリフレッシュ検出回路２はセルフリフレッシュモードになったことを検出する。具体的には、通常のアクセスではあり得ない／ＣＡＳ ｂｅｆｏｒｅ ／ＲＡＳ（ＣＢＲ）と呼ばれる、カラムアドレスストローブ信号／ＣＡＳがロウアドレスストローブ信号／ＲＡＳよりも先に立下がった後、約１０μｓｅｃ経過したタイミングをリフレッシュモードとして検出する。この検出信号はタイマ３に与えられるとともに、マルチプレクサ４，７に切換信号として与えられる。タイマ３はセルフリフレッシュ検出信号に応じて発振を開始する。このタイマ３の出力はマルチプレクサ４の他方入力端に与えられるとともに、アドレスカウンタ５に与えられる。アド

レスカウンタ５はタイマ出力を計数し、内部アドレス信号をマルチプレクサ７の一方入力端子に出力する。

【０００５】

マルチプレクサ７の他方入力端子には、アドレスバッファ６から外部アドレス信号が入力される。マルチプレクサ７は内部アドレス信号と外部アドレス信号とを切換えて、Ｘアドレス信号をロウデコーダ９に与え、Ｙアドレス信号をカラムデコーダ１０に与える。ロウデコーダ９はＸアドレス信号をデコードしてメモリセルアレイ８のＸアドレスを指定し、カラムデコーダ１０はＹアドレス信号をデコードしてメモリセル８のＹアドレスを指定する。指定されたメモリセルアレイのアドレスに入出力部１２に入力されている外部からのデータが書込まれるか、あるいはメモリセルアレイ８の指定されたアドレスのメモリセルからデータが読出され、センスアンプ１１で増幅されて入出力部１２に出力される。

【０００６】

図５７は図５６におけるＤＲＡＭのセルフリフレッシュ動作を説明するためのタイムチャートである。図５６に示したＤＲＡＭにおいて、通常の読出，書込動作時において、マルチプレクサ４は信号入力部１の出力を選択し、マルチプレクサ７はアドレスバッファ６の出力の外部アドレス信号を選択している。そして、外部アドレス信号によってメモリセルアレイ８のアドレスが指定される。

【０００７】

一方、セルフリフレッシュモードでは、図５７（ａ）に示すように、ロウアドレスストローブ信号／ＲＡＳが立下がる前に、図５７（ｂ）に示すようにカラムアドレスストローブ信号／ＣＡＳが立下がり、かつロウアドレスストローブ信号／ＲＡＳが立下がってから約１０μｓｅｃ経過したことをセルフリフレッシュ検出回路２が検出する。タイマ３はその検出出力に応じて図５７（ｃ）に示すように発振を開始する。このとき、マルチプレクサ４はセルフリフレッシュ検出回路２の検出出力に応じてタイマ３の出力側に切換えられており、タイマ３の出力を内部ＲＡＳとして図示しない書込，読出回路に与える。アドレスカウンタ５はタイマ３の発振出力を計数し、内部アドレス信号を出力する。マルチプレクサ７はセルフリフレッシュ回路２の検出出力に応じてアドレスカウンタ５の出力の内部アドレス信号をロウデコーダ９とカラムデコーダ１０に与える。ロウデコーダ９はＸアドレス信号に応じて１組のワード線を選択し、それに接続されている複数のメモリセルがセンスアンプ１１によって自動的にリフレッシュされる。

【０００８】

図５８は図５６に示したタイマ回路の具体的な回路図である。図５８において、タイマ回路３はリングオシレータから構成されている。すなわち、奇数段のインバータ３０１，３０２…３０ｎがループ状に接続され、発振段を構成している。各インバータ３０１，３０２…３０ｎの電源端子と電源ラインとの間および接地端子と接地ラインの間には、ｐチャネルトランジスタ３１１，３１２…３１ｎ、ｎチャネルトランジスタ３２１，３２２…３２ｎが接続されている。これらのトランジスタは各インバータ３０１，３０２…３０ｎに流れる電流を制限するための電流制限用として挿入されている。これらのトランジスタ３１１，３１２…３１ｎおよび３２１，３２２…３２ｎによってインバータ３０１，３０２…３０ｎの電源電位側および接地電位側からの電流量を等しくするために、ｎチャネルトランジスタ３４が設けられている。このｎチャネルトランジスタ３４のゲートは、固定電位である電源ラインに接続され、ソースは接地され、ドレインはダイオード接続されたｐチャネルトランジスタ３３に接続されている。ｎチャネルトランジスタ３４のゲートはｎチャネルトランジスタ３２１，３２２…３２ｎのゲートに接続され、ｐチャネルトランジスタ３３はｎチャネルトランジスタ３４に流れる電流をコピーし、ｐチャネルトランジスタ３１１，３１２…３１ｎのゲートに供給する。

【０００９】

このように構成されたリングオシレータの出力は、ゲート電位が固定電位である電源ラインに固定されたｎチャネルトランジスタ３４で決定される電流でその発振周波数が決まっている。したがって、一定周波数での発振が可能であるが、それは常に条件が一定のもと

であり、条件が変化すると、その発振周波数は変化する。

【００１０】

たとえば、図６０（ａ）に示すように電源電位が変化すると発振周波数は高くなる。これは、電源電位が上るとゲート電位が固定電位である電源電位に固定されたｎチャネルトランジスタ３４のゲート電位が上がることになり、このｎチャネルトランジスタ３４で流す電流が増加し、インバータ３０１，３０２…３０ｎ中を流れる電流が増加するためである。また、図６０（ｂ）に示すように、温度が上昇すると発振周波数が低下する。これは、温度が上昇すると、ｎチャネルトランジスタ３４の電流駆動能力が低下し、このｎチャネルトランジスタ３４で流す電流が低下し、インバータ３０１，３０２…３０ｎ中を流れる電流が低下するためである。しかも、温度が上昇すると、インバータ３０１，３０２…３０ｎの内部抵抗が高くなり、電流が流れにくくなり、これによっても発振周波数が低下する。

【００１１】

しかしながら、これらの変化自身は直接悪い特性というわけではない。

【００１２】

【発明が解決しようとする課題】

ところが、図５８に示したリングオシレータを図５６に示したタイマ３として用いると、ＤＲＡＭにおけるメモリセルのデータ保持特性を劣化させる恐れがある。すなわち、ＤＲＡＭにおけるリフレッシュの間隔は、ＤＲＡＭ内のメモリセルの有するデータ保持特性により決定される。メモリセルの有するデータ保持特性が長ければその分だけリフレッシュを行なうタイミングを規則以上に、その間隔を引延ばすことでリフレッシュの回数を少なくし、ＤＲＭＡが動作する回数を減少させることが可能である。一般的に、メモリセルの有するデータ保持特性は図５９に示すように、高温になるほど短くなる。これは、メモリセルのセルプレート４１とストレージノード４２との対向電極に電荷として蓄えられたデータがストレージノード４２側の拡散層部分４３で基板方向にリークを起こし、電荷が減少するために生じる。

【００１３】

一般的に、消費電力が特に要求される携帯型コンピュータにおいては、非常な高温で使用されることはめったになく、それだけリフレッシュ間隔を引延ばしてもよいことになる。ここで、このリフレッシュ間隔を決めるタイマに、図５８に示したようなリングオシレータを用いると、高温でタイマの発振周波数が低下してしまい、リフレッシュ間隔が延びてしまう。これでは、高温か低温のいずれかに発振周波数を合わせてしまうと、その逆状態で使用する際にオーバースペック状態になるという欠点がある。

【００１４】

それゆえに、この発明の主たる目的は、温度依存性のある電流を発生する温度依存性回路とそれを用いた電流発生回路，インバータおよび温度が上昇すると発振周波数が上昇する発振回路を提供することである。

【００１５】

【課題を解決するための手段】

請求項１に係る発明は、発振回路であって、２つのゲート入力を有し、一方のゲート入力には第１のクロック信号が与えられ、他方のゲート入力には第２のクロック信号が与えられる複数のインバータ手段、各インバータ手段の第１の電源側端子と第１の電源ラインとの間に接続され、その入力電極に与えられるゲート電位により電流を供給するための第１の導電形式の複数の第１のトランジスタ、および各インバータ手段の第２の電源側端子と第２の電源ラインとの間に接続され、その入力電極に与えられるゲート電位により電流を供給するための第２の導電形式の複数の第２のトランジスタを備える。各インバータ手段は、それぞれが直列接続され、それぞれの入力電極が一方のゲート入力となる第１の導電形式の第３のトランジスタおよび第２の導電形式の第４のトランジスタ、第３のトランジスタと第１のトランジスタとの間に接続される第１の導電形式の第５のトランジスタ、および第４のトランジスタと第２のトランジスタとの間に接続され、その入力電極が第５

のトランジスタの入力電極とともに他方のゲート入力となる第２の導電形式の第６のトランジスタを含む。インバータ手段の出力がフローティング状態になるのを防止する微小電流を供給するための２つの極性の異なる微小電流信号を発生する、微小電流信号発生手段をさらに備える。インバータ手段は、第５のトランジスタに対して並列接続され、その入力電極に微小電流信号発生手段からの一方の極性の微小電流信号が与えられる第１の導電形式の第７のトランジスタ、および第６のトランジスタに対して並列接続され、その入力電極に微小電流信号発生手段からの他方の極性の微小電流信号が与えられる第２の導電形式の第８のトランジスタをさらに含む。

【００１６】

請求項２に係る発明は、ＤＲＡＭであって、上記の発振回路と、定電流源からの定電流に基づいて温度依存性のある電流を生成する電流発生回路と、温度依存性のある電流に基づいて、温度の増減に従ってリフレッシュ動作を実行するための発振回路の発振周波数を規定する駆動電流を供給するための２つの極性の異なる信号を生成するための信号発生回路とを含むタイマを備える。発振回路の各インバータ手段の複数の第１のトランジスタの入力電極は、信号発生回路からの一方の極性の信号が与えられ、各インバータ手段の複数の第２のトランジスタの入力電極は、信号発生回路からの他方の極性の信号が与えられる。

【００４１】

【発明の実施の形態】

図１および図２はこの発明の原理を説明するための図である。

【００４２】

この発明は図１に示すように、温度が上昇するに従ってタイマ周波数、すなわち発振周波数が上昇するように電流が制御される。すなわち、図２に示すように、３種類の電流がまず生成される。その１つは、常に一定電流を流すことを目的とする電流Ｉｂである。これは主に温度依存性を示す電流により、ある条件で電流が回路中に流れなくなり、回路がデッドロックしないための最低の電流を補償するものである。２番目は条件によって一定間隔もしくは任意の間隔で増減させることのできるＩｓである。これは、基本的な発振周波数を検定するために用いる。したがって、リングオシレータの発振周波数を決める電流ＩｍはＩｂとＩｓの和で表わされる。第３の電流は、ある温度Ｔ０以上で温度依存性を示しながら増加する電流Ｉｔである。この電流は温度依存性を示す他に、その温度特性を一定間隔もしくは任意の間隔で増減させることのできる電流である。この電流と基本的な周波数を決定する電流Ｉｍとの総和で発振周波数の最終的な温度特性が決定される。

【００４３】

図３はこの発明の第１の実施形態を示す概略ブロック図である。図３において、定電流発生回路２０は、すべての電流制御の基本となる電流を発生する。定電流発生回路２０で発生された定電流は温度依存性回路２１と分流回路２３とに与えられる。なお、定電流発生回路２０は温度依存性回路２１と分流回路２３とにそれぞれ個々の回路を設けても構わないが、定電流発生回路２０は常に電流を消費する状態が続くことが多いので、この実施形態では消費電流を削減するために共有化されている。また、この定電流は温度依存性はあるが電圧依存性は小さい方が好ましいので、以下の実施形態中ではそれに従って説明する。分流回路２３は基本となる定電流を分割して取出して微小電流Ｉｂを生成するとともに、ステップ電流Ｉｓを生成する。温度依存性回路２１は定電流から温度依存性のある電流を生成する。これらの電流は加算回路２４に与えられ、加算されることによって、その温度条件に合った電流が生成され、最終的にリングオシレータ３０に伝達されて発振をサポートする。

【００４４】

図４は図３に示したブロック図をより具体的な回路図で示したものである。図４において、定電流発生回路２０はｐチャネルトランジスタ２０１，２０２からなるカレントミラー回路と、ｎチャネルトランジスタ２０３，２０４からなるカレントミラー回路とをゲートトランジスタ２０６～２０８によって接続したものであり、ｎチャネルトランジスタ２０

４のソースと接地間には抵抗Ｒが接続されている。この定電流発生回路２０については、ＩＥＥＥ Ｊ．Ｓ．Ｓ．Ｃ．ＶＯＬ．ＳＣ－１２，ＮＯ．３，ＪＵＮＥ１９９７、ＰＰ．２２４～２３１でＥＲＩＣ ＶＩＴＴＺらによって示されているので、その具体的な動作については説明を省略する。ただし、図４における定電流発生回路２０と上述の文献と異なるのはトランスファゲート２０６，２０７を設けていることである。これは非使用時における回路遮断用と電流節減用で活性化信号ＥＮが“Ｈ”レベル、／ＥＮが“Ｌ”レベルの状態で回路中に電流が流れて活性化される。この活性化信号は、図１１に示したセルフリフレッシュ検出回路２によってセルフリフレッシュモードが検出されたとき、活性化される。

【００４５】

定電流発生回路２０で発生された定電流は分流回路２３のＰチャネルトランジスタ２３１をゲートのゲート電位として伝達される。ｐチャネルトランジスタ２３１のドレインは電源ラインに接続され、ソースは活性化信号ＥＮ，／ＥＮによって活性化されるトランスファゲート２３２を介して複数のｎチャネルトランジスタ２３３，２３４，２３５のドレインとゲートに接続される。複数のｎチャネルトランジスタ２３３，２３４，２３５のソースは接地される。これらのトランジスタ２３３，２３４，２３５はｐチャネルトランジスタ２３１に流れる電流Ｉｒｅｆを電流分割して分割した電流Ｉｍを生成する。この電流Ｉｍは電流ＩｂとＩｓを既に含んだ値である。この分割するトランジスタ２３３，２３４，２３５の個数ｍを変化させることによって任意の値のＩｍを得ることができる。

【００４６】

定電流発生回路２０で発生された基準電流Ｉｒｅｆは温度依存性回路２１にも与えられる。温度依存性回路２１は定電流発生回路２０からの基準電流Ｉｒｅｆをそのゲートに受けるｐチャネルトランジスタ２１１，２１２と、トランスファゲート２１５，２１６とカレントミラー回路を構成するｎチャネルトランジスタ２１３，２１４と、ｎチャネルトランジスタ２１３，２１４と接地との間に接続される温度特性の異なる抵抗素子Ｒ１，Ｒ２とで構成された電流比較部を含む。抵抗素子Ｒ１はポリシリコン等のメタルからなり、温度特性がほとんど０であるのに対して、抵抗素子Ｒ２はシリコン基板にＰ型不純物をドープしたＰ型ウェルであって、温度特性が正に形成されており、温度が上昇するとその抵抗値がＲ１＜Ｒ２となるように選ばれている。

【００４７】

さらに、抵抗Ｒ２が接続されたｎチャネルトランジスタ２１４のドレインにはミラー接続されたｎチャネルトランジスタ２１７が接続されている。このｎチャネルトランジスタ２１７はＮチャネルトランジスタ２１４から滲み出してきた電流を受ける役目をする。さらに、ｎチャネルトランジスタ２１７のゲートおよびドレインには、温度依存性のステップを調整するためのｎチャネルトランジスタ２１８，２１９，２２０が並列接続される。ミラー接続されたｎチャネルトランジスタ２１７の電流はｎチャネルトランジスタ２１８，２１９，２２０によって増幅され、加算回路２４に供給される。

【００４８】

加算回路２４は、カレントミラー回路を構成するｐチャネルトランジスタ２４１，２４２と、活性化信号ＥＮ，／ＥＮに応じて導通するトランスファゲート２４３，２４４と、トランスファゲート２４３，２４４によってｐチャネルトランジスタ２４１，２４２に接続されるｎチャネルトランジスタ２４５，２４６とを含む。ｎチャネルトランジスタ２４６のゲートには分流回路２３によって分流された電流Ｉｍが入力され、ｎチャネルトランジスタ２４６のドレインであるノードＺには温度依存性回路２１から電流Ｉｔが与えられ、ＩｔとＩｍはノードＺから引抜かれる。この電流はｐチャネルトランジスタ２４１と２４２のカレントミラー回路でコピーされ、リングオシレータ３０におけるインバータの電流制御用トランジスタのゲート電位ＴＭＨとして供給される。また、ｎチャネルトランジスタ２４５からは逆極性のゲート電位ＴＭＬが出力される。

【００４９】

なお、図４におけるリーク電流制限回路２５については後述する。

次に、図４に示した電流発生回路の動作について説明する。活性化信号ＥＮが“Ｈ”レベルになり、／ＥＮが“Ｌ”レベルになると、定電流発生回路２０から基準電流Ｉｒｅｆが発生され、温度依存性回路２１と分流回路２３とに与えられる。分流回路２３では、その基準電流Ｉｒｅｆをｐチャネルトランジスタ２３１のゲートに受け、接地側に並列接続されたｎチャネルトランジスタ２３３，２３４，２３５によって基準電流Ｉｒｅｆが電流分割され、微小電流Ｉｍが生成される。この微小電流Ｉｍは前述の電流ＩｂとＩｓを含んだ値である。

【００５０】

一方、温度依存性回路２１では、基準電流Ｉｒｅｆがｐチャネルトランジスタ２１１，２１２からトランスファゲート２１５，２１６を介してｎチャネルトランジスタ２１３と２１４とからなるカレントミラー回路に流れる。ここで、抵抗Ｒ１とＲ２の抵抗値が同じであれば、同一の電流が接地電位に対して流込んで、隣接するダイオード接続されたｎチャネルトランジスタ２１７側にしみ出してくる電流はほぼ０となる。このポイントをＴ０温度ポイントに設定しておけば、Ｔ０における温度依存性電流成分Ｉｔは０となる。ところが、高温になると、抵抗Ｒ２は温度依存性を有しているため、その抵抗値が抵抗Ｒ１に対して大きくなり、基準電流Ｉｒｅｆが流れた場合の電位降下が抵抗Ｒ２側で大きくなろうとする。

【００５１】

しかし、抵抗Ｒ１側のｎチャネルトランジスタ２１３がダイオード接続されているため、抵抗Ｒ２側のｎチャネルトランジスタ２１４のソース側の電位が抵抗Ｒ２の電位降下で押上げられ、ゲート／ソース間電位が小さくなり、その電流駆動能力が小さくなるので、このｎチャネルトランジスタ２１４は基準電流をＩｒｅｆの一部しか接地側に流さなくなる。したがって、この流れきれなかった電流が隣接するダイオード接続されたｎチャネルトランジスタ２１７側にしみ出してくる。この電流Ｉｔｏがさらにｎチャネルトランジスタ２１７と２１８とのミラー接続によりコピーされ、複数のトランジスタ２１９，２２０によって増幅された電流Ｉｔが加算回路２４に与えられる。この増幅は並列に接続するトランジスタの数ｎを変化させれば自由に変更でき、同時に温度依存性も変化させることができる。

【００５２】

電流ＩｔとＩｍとが加算回路２４によって共通ノードＺから引抜かれる。この電流は加算回路２４の電源側に設けられているｐチャネルトランジスタ２４１と２４２とのカレントミラー回路でコピーされ、ＴＭＨ信号としてリングオシレータにおけるインバータの電流制御トランジスタのゲート電位となる。また、ダイオード接続されたｎチャネルトランジスタ２４５のドレインからは逆極性のＴＭＬ信号が出力される。

【００５３】

図５は図４に示した電流比較部の他の例を示す図であり、特に、図５（ａ）は図４に示した温度依存性回路２１から電流比較部を抜き出して示した図であり、接地側に抵抗Ｒ１，Ｒ２を挿入したものであり、図５（ｂ）は図５（ａ）のトランスファーゲート２１５，２１６を除いて示した図である。図５（ｃ）は抵抗Ｒ１，Ｒ２を電源側に挿入したものであり、図５（ｄ）は図５（ｃ）のトランスファーゲート２１５，２１６を除いて示した図である。

【００５４】

図５（ｃ），（ｄ）において、ｐチャネルトランジスタ２１１と２１２とによってカレントミラー回路を構成し、ｎチャネルトランジスタ２１３，２１４のゲートに基準電流Ｉｒｅｆを流すようにしたものである。図５（ａ），（ｂ）に示すように、接地側に抵抗Ｒ１，Ｒ２を挿入するか、あるいは図５（ｃ），（ｄ）に示すように電源側に抵抗Ｒ１，Ｒ２を挿入するかは、電流比較部で比較させる対象の電流によって決まる。抵抗Ｒ１，Ｒ２として単なる抵抗であれば、いずれに挿入しても構わない。このとき、高めの電位や電源電圧を越えるような電位を対象とする場合は、接地側に抵抗素子を挿入し、低めの電位や接地電位よりも低い負の電位を対象とする場合には電源側に抵抗性素子を挿入するのが望ま

しい。

【００５５】

図６は電流比較部の他の例を示す図であり、特に、図６（ａ）は図５（ａ）に示した抵抗素子Ｒ１，Ｒ２に代えてｎチャネルトランジスタ２２１と２２２とを接続したものであり、図６（ｂ）は図６（ａ）のトランスファーゲート２１５，２１６を省略して示した回路図である。ｎチャネルトランジスタ２２１と２２２のゲート電位を制御することによって、ｎチャネルトランジスタ２２１，２２２の抵抗値を変えることができ、ｎチャネルトランジスタ２２１と２２２のドレイン電圧がカレントミラー回路で比較される。

【００５６】

図６（ｃ）は図５（ｃ）の抵抗素子Ｒ１，Ｒ２に代えて電源側にｐチャネルトランジスタ２２３と２２４とを挿入したものであり、図６（ｄ）は図６（ｃ）のトランスファーゲート２１５，２１６を省略して示した図である。

【００５７】

図７は図４と同様にして、図６（ｄ）に示した電流比較部の出力にｎチャネルトランジスタ２１７を接続した例を示す図である。前述の図４に示した例では、電流比較部の出力がレベルで出力されるのに対して、この図７に示した例は電流の形式で出力が取出される。

【００５８】

図７において、入力Ａに基準電位が与えられ、入力Ｂが測定対象となっているとすると、測定対象が基準電位よりも電位が低ければ、ｎチャネルトランジスタ２２１，２２２の抵抗値が増加する。すると、入力Ｂを用いる側に対しては、電流を流す力が弱くなり、出力電位ノードに電荷が溜まり、電位が上昇するのが前述の実施形態であったが、ここでは余った電荷をダイオード接続されたｎチャネルトランジスタ２１７に流し出す構成を取る。このｎチャネルトランジスタ２１７はダイオード接続されているので、流れる電流の大きさでそのゲート電位が決まる。そして、このゲート電位を次段のｎチャネルトランジスタ２１８に接続すれば、カレントミラー構成となり、同一の電流を取出すことができる。

【００５９】

図８は電流比較部の出力に増幅器を接続した例を示す図である。図８において、入力Ａ，Ｂに入力される信号に応じて、抵抗性素子としてのｎチャネルトランジスタ２２１，２２２のそれぞれの抵抗値の差が左右の電流成分の変化を生じ、この出力電位が増幅器２２５で増幅される。増幅器２２５はｎチャネルトランジスタ２２８と２２９とからなるカレントミラー回路と、ｎチャネルトランジスタ２２８のドレインと電源ラインおよびｎチャネルトランジスタ２２９のドレインと電源ラインとの間に接続されるｐチャネルトランジスタ２２６，２２７とからなる。そして、増幅器２２５は電流比較部の出力の微小な振幅を増幅する。

【００６０】

図９は図８に示した比較部の入力Ａに基準電位を与えるようにした具体例を示す回路図であり、特に、図９（ａ）は全体の回路を示し、（ｂ）は基準電位発生回路の具体例を示す回路図である。

【００６１】

基準電位発生回路４０は、ｐチャネルトランジスタ４０１と４０２とからなるカレントミラー回路と、ｎチャネルトランジスタ４０３と４０４とからなるカレントミラー回路が電源ラインと接地ラインとの間に接続され、ｎチャネルトランジスタ４０４のソースと接地間に抵抗Ｒ３が接続される。ｐチャネルトランジスタ４０２のソースはｐチャネルトランジスタ４０５のゲートに接続され、ｐチャネルトランジスタ４０５のドレインは電源ラインに接続され、ｐチャネルトランジスタ４０５のソースと接地間には抵抗素子としてｐチャネルトランジスタ４０６，４０７，４０８が直列接続される。すなわち、ｐチャネルトランジスタ４０５のソースにｐチャネルトランジスタ４０６のドレインが接続され、そのソースにｐチャネルトランジスタ４０７のドレインが接続され、そのソースにｐチャネルトランジスタ４０８のドレインが接続され、そのソースは接地される。そして、ｐチャネルトランジスタ４０６，４０７の各ゲートはｐチャネルトランジスタ４０７のソースに接

続され、ｐチャネルトランジスタ４０８のゲートは接地される。

【００６２】

図９（ｂ）に示した基準電位発生回路４０において、抵抗Ｒ３に流れる電流と同じ値の電流がｐチャネルトランジスタ４０６，４０７および４０８に流れ、その電流とｐチャネルトランジスタ４０６～４０８の抵抗値とに基づいて、ｐチャネルトランジスタ４０５のソースと接地間に基準電位が発生し、電流比較部のｎチャネルトランジスタ２２１のゲートに与えられる。そして、電流比較部はその基準電位と入力Ｂに与えられる電位とを比較し、その比較出力を増幅器２２５に出力する。

【００６３】

図１０は電流比較部のさらに他の例を示す回路図である。この図１０に示した例は、基準電位発生回路４１から発生される基準電位をプログラミング回路４２で変化させるようにしたものである。すなわち、基準電位発生回路４１は図１０（ｂ）に示すように、ｐチャネルトランジスタトランジスタ４０５のソースとｐチャネルトランジスタ４０７のドレインとの間に可変抵抗Ｒ４を接続したものであり、それ以外の構成は前述の図９（ｂ）に示した基準電位発生回路４０と同じである。可変抵抗Ｒ４の値を変化させることによって、基準電位が変化する。可変抵抗Ｒ４は図１０（ｃ）に示すように、ｐチャネルトランジスタ４１１～４１４を直列接続し、各ｐチャネルトランジスタ４１１～４１４のそれぞれに抵抗Ｒ５～Ｒ８を並列接続して構成される。そして、ｐチャネルトランジスタ４１１～４１４の各ゲートにプログラミング回路４２から信号Ａ～Ｄが与えられる。たとえば、信号Ａ～Ｄのいずれもが「Ｈ」レベルになると、ｐチャネルトランジスタ４１１～４１４がオフし、抵抗Ｒ５～Ｒ８が直列接続され、基準電位発生回路４１のｐチャネルトランジスタ４０５のソースとｐチャネルトランジスタ４０７のドレインとの間に接続されることになる。信号Ａが「Ｌ」レベルになり、信号Ｂ～Ｄが「Ｈ」レベルであれば、抵抗Ｒ６，Ｒ７，Ｒ８の直列回路がｐチャネルトランジスタ４０５のソースとｐチャネルトランジスタ４０７のドレインとの間に接続されることになる。

【００６４】

なお、プログラミング回路４２は信号Ａ～Ｄを発生するために、４つの回路が設けられて、図１０（ｄ）では、１つの回路のみを示している。図１０（ｄ）に示すように、電源ラインと接地間にはｐチャネルトランジスタ４２１とヒューズ４２３とｎチャネルトランジスタ４２２とが直列接続される。ヒューズ４２３とｎチャネルトランジスタ４２２の接続点は、ｎチャネルトランジスタ４２４，４２５の各ドレインとインバータ４２６の入力に接続され、ｎチャネルトランジスタ４２４，４２５のソースは接地される。ｎチャネルトランジスタ４２５のゲートには電源電位の中間電位が与えられる。インバータ４２６の出力はｎチャネルトランジスタ４２４のゲートとインバータ４２７の入力に接続され、ｎチャネルトランジスタ４２４とインバータ４２６とによってラッチ回路が構成される。インバータ４２７の出力はインバータ４２８の入力に接続され、インバータ４２８の出力は信号Ａとして図１０（ｃ）に示したｐチャネルトランジスタ４１１のゲートに与えられる。

【００６５】

図１０（ｄ）に示したプログラミング回路４２は、ヒューズ４２３を溶断しない状態では、ｐチャネルトランジスタ４２１が導通し、インバータ４２６の入力が「Ｈ」になり、ｎチャネルトランジスタ４２５に微小電流が流れる。ｎチャネルトランジスタ４２４とインバータ４２６とからなるラッチ回路の出力は「Ｌ」レベルになり、インバータ４２７，４２８を介して「Ｌ」レベルの信号Ａが出力され、図１０（ｃ）に示したｎチャネルトランジスタ４１１が導通し、抵抗Ｒ５の両端が短絡される。ヒューズ４２３が溶断されると、インバータ４２６の入力が「Ｌ」になり、ラッチ回路の出力が「Ｈ」レベルになって、ｐチャネルトランジスタ４１１がオフし、抵抗Ｒが有効化される。

【００６６】

図１１は比較部のその他の例を示す回路図である。この図１１に示した例は、内部電位発生回路４３から発生された内部電位が基準電位に達しているかを判定するための比較を行なうレベルデテクタに適用できるようにしたものである。増幅器２２５の出力にはバッフ

ァ２３０が接続され、バッファ２３０の出力が活性化信号として内部電位発生回路４３に与えられる。内部電位発生回路４３は、その活性化信号に応じて、内部電位を発生して比較部の入力Ｂに与えられる。比較部は基準電位発生回路４０から発生された基準電位と内部電位とを比較し、その差に応じた信号が増幅器２２５に与えられ、バッファ２３０を介して活性化信号が内部電位発生回路４３に与えられる。内部電位発生回路４３はその差が小さくなるように内部電位を発生する。内部電位が基準電位に達していれば、内部電位発生回路４３は動作を停止し、内部電位が基準電位に達していなければ動作を継続する。これにより、必要な時期での内部電位発生回路４３の動作を中止させることができ、消費電力を削減できる。

【００６７】

なお、上述の例は、内部電位が基準電位となるようにしたが、これに限ることなく、ｎチャネルトランジスタ２２１，２２２のサイズをアンバランスにして、それぞれの導通時の抵抗値を異ならせておけば、内部電位を基準電位ではなく、所定のレベルに近づけるようにすることもできる。

【００６８】

図１２は図１１に示した例の変形例を示す回路図である。この例は、電源電圧よりも高い電位を発生する例を示したものである。図１１に示した内部電位発生回路４３に代えて高め電位発生回路４４が設けられ、ｎチャネルトランジスタ２２１と２２２のサイズがアンバランスとなるように選ばれている。そして、高め電位発生回路４４から電源電圧よりも高めの電位が発生され、この電位が比較部で基準電位と比較され、活性化信号による高め電位発生回路４４から基準電位より高めの電位が発生される。

【００６９】

図１３は電流比較部のさらに他の例を示す回路図である。この図１３に示した例は、高め電位発生回路４４から発生された高め電位が分圧回路４５によって分圧され、分圧された電圧と基準電位とが比較部で比較される。なお、この例では、ｎチャネルトランジスタ２２１と２２２のサイズがアンバランスにされていない。

【００７０】

図１４は図１３に示した分圧回路の例を示す回路図である。特に、図１４（ａ）は抵抗Ｒ１１とＲ１２とを発生電位と接地電位との間に接続し、抵抗Ｒ１１とＲ１２との接続点から分圧電圧を発生させる。図１４（ｂ）に示した例は、ｐチャネルトランジスタ４５１と４５２とを直列的にダイオード接続し、ｐチャネルトランジスタ４５１と４５２との接続点から分圧電圧を発生する。図１４（ｃ）に示した例では、ｐチャネルトランジスタ４５３とｎチャネルトランジスタ４５４とを直列接続し、ｐチャネルトランジスタ４５３のゲートを接地し、ｎチャネルトランジスタ４５４のゲートを発生電位ラインに接続し、ｐチャネルトランジスタ４５３とｎチャネルトランジスタ４５４の接続点から分圧電圧を出力する。図１４（ｄ）に示した例は、ｎチャネルトランジスタ４５５とｎチャネルトランジスタ４５６とを直列接続し、各トランジスタのゲートを発生電位ラインに接続し、ｎチャネルトランジスタ４５５と４５６との接続点から分圧電圧を発生する。

【００７１】

図１４（ｅ）に示した例は、抵抗Ｒ１３と定電流源４５７を直列接続し、その接続点から分圧電圧を発生する。

【００７２】

図１５は電流比較部のさらにその他の例を示す回路図である。この図１５に示した例は、図６（ｄ）に示した電流比較部の出力に増幅器２２５を接続し、低め電位発生回路４６から接地電位よりも低めの電位を発生し、電流比較部で基準電位発生回路４０からの基準電位と比較するものである。ｐチャネルトランジスタ２２３と２２４のゲートサイズはアンバランスにされていて、導通時の抵抗値が異なるように選ばれている。したがって、この例では、活性化信号によって低め電位発生回路４６から接地電位よりも低い電位を発生できる。

【００７３】

図１６は図１５に示した例の変形例を示す図である。この例では、低め電位発生回路４６からの電位が分圧回路４７で分圧され、分圧された電圧と基準電位とが電流比較部で比較される。

【００７４】

図１７は図１６に示した分圧回路の具体例を示す図である。図１７（ａ）は、抵抗Ｒ１４とＲ１５とを電源ラインと発生電位ラインとの間に接続し、その接続点から分圧電圧を発生する。図１７（ｂ）はｐチャネルトランジスタ４５８と４５９とを直列的にダイオード接続し、その接続点から分圧電圧を発生する。図１７（ｃ）に示した例は、ｐチャネルトランジスタ４６０とｎチャネルトランジスタ４６１を電源ラインと発生電位のラインとの間に接続し、ｐチャネルトランジスタ４６０のゲートに発生電位を与え、ｎチャネルトランジスタ４６１のゲートに電源電位を与え、ｐチャネルトランジスタ４６０とｎチャネルトランジスタ４６１の接続点から分圧電圧を発生する。図１７（ｄ）に示した例は、ｎチャネルトランジスタ４６２と４６３とを直列接続し、各ゲートに電源電位を与える。図１７（ｅ）に示した例は、定電流源４６４と抵抗Ｒ１６とを電源ラインと発生電位ラインとの間で接続し、両者の接続点から分圧電圧を出力する。

【００７５】

図１８は従来のクロックインバータとこの発明の実施形態のクロックインバータの具体例を示す回路図である。

【００７６】

図１８（ａ）は前述の図２７に示した従来のリングオシレータに用いられているクロックインバータであって、ｐチャネルトランジスタ５１，５２とｎチャネルトランジスタ５３，５４とを直列接続し、ｐチャネルトランジスタ５１とｎチャネルトランジスタ５４とのゲートを一方の入力とし、ｐチャネルトランジスタ５２とｎチャネルトランジスタ５３とのゲートを他方入力としたものである。このようなクロックインバータにおいては、クロック信号ＩＮＡがＩＮＢより先に変化することによって電流貫通パスを遮断し、その後クロック信号ＩＮＢが変化すれば出力ＯＵＴは変化する。しかし、ここでの問題は先に変化するクロック信号ＩＮＡにより電流貫通パスを遮断すると、その出力は一時フローティング状態になるので、ノイズに弱くなり、誤動作する可能性がある。

【００７７】

そこで、図１８（ｂ）に示した実施形態のクロックインバータでは、ｐチャネルトランジスタ５１に対してｐチャネルトランジスタ５５が並列接続され、ｎチャネルトランジスタ５４に対してｎチャネルトランジスタ５６が並列接続される。そして、先に変化するクロック信号ＩＮＡにより電流貫通パスが遮断された後でも、誤動作しない程度の微小な電流をｐチャネルトランジスタ５５とｎチャネルトランジスタ５６のゲートに与えることによって回避できる。この微小な電流は図４に示したリーク電流制御回路２５から発生される。

【００７８】

すなわち、分流回路２３で分流された微小電流Ｉｍはリーク電流制限回路２５のｎチャネルトランジスタ２５４のゲートに与えられ、さらに電源側に並列接続されたｐチャネルトランジスタ２５１～２５３によってさらに分流されて電流Ｉｋが得られる。このとき、トランジスタの数ｗを変化させれば分流される電流の値を自由に変更できる。そして、分流された電流ＩｋはＬＫＨ信号として図１８（ｂ）に示すｐチャネルトランジスタ５５のゲートに与えられる。また、ＬＫＨ信号はリーク電流制限回路２５のｐチャネルトランジスタ２５５のゲートを介して、そのソースにダイオード接続されたｎチャネルトランジスタ２５６に与えられ、逆極性のＬＫＬ信号が得られ、このＬＫＬ信号が図１８（ｂ）に示すｎチャネルトランジスタ５６のゲートに与えられる。

【００７９】

図１９は図１８（ａ），（ｂ）に示したクロックインバータの動作を説明するためのタイムチャートである。図１９（ａ）に示すように、クロック信号ＩＮＡが“Ｈ”レベルから“Ｌ”レベルになったとき、クロック信号ＩＮＢは“Ｈ”レベルであるため、ｎチャネル

トランジスタ５３はオンしているが、ｎチャネルトランジスタ５４はオフになっており、ｐチャネルトランジスタ５１はオンしているが、ｐチャネルトランジスタ５２はオフしているため、出力はフローティング状態になる。

【００８０】

ところが図１８（ｂ）に示すクロックインバータは、クロック信号ＩＮＡが“Ｈ”レベルから“Ｌ”レベルになったとき、クロック信号ＩＮＢが“Ｈ”レベルになっていてもｎチャネルトランジスタ５３はオンしており、ＬＫＬ信号によってｎチャネルトランジスタ５６がオンするため、出力は“Ｌ”レベルになり、フローティング状態になるのを防止できる。

【００８１】

図２０は図１８（ｂ）に示した実施形態の変形例を示す図である。この図２０に示したクロックインバータは、図１８（ｂ）に示したｐチャネルトランジスタ５５に代えて抵抗５７をｐチャネルトランジスタ５１に並列接続し、ｎチャネルトランジスタ５６に代えて抵抗５８をｎチャネルトランジスタ５４に並列接続したものである。このように、図１８（ｂ）に示すｐチャネルトランジスタ５５とｎチャネルトランジスタ５６を抵抗５７，５８に置換えても、クロック信号ＩＮＡが“Ｈ”から“Ｌ”レベルになったとき、出力端子はｎチャネルトランジスタ５３から抵抗５８を介して接地されるので、フローティング状態になることはない。

【００８２】

図２１はこの発明の他の実施形態のクロックインバータを示す回路図である。この実施形態は、図１８（ｂ）に示したクロックインバータの電源側にｐチャネルトランジスタ５９を直列接続し、そのゲートに図４に示したＴＭＨ信号が与えられる。また、接地側にはｎチャネルトランジスタ６０が接続され、そのゲートにＴＭＬ信号が入力される。この実施形態では、ｐチャネルトランジスタ５９とｎチャネルトランジスタ６０のそれぞれのゲートに与えられるＴＭＨ信号とＴＭＬ信号によってインバータに流れる電流を制限できる効果がある。

【００８３】

図２２は図２１に示したインバータを用いて構成したリングオシレータの回路図である。この図９に示したリングオシレータは、図２１に示したインバータが奇数段６１～６５設けられ、ｐチャネルトランジスタ５２とｎチャネルトランジスタ５３の各ゲートが一方のゲート入力として前段のインバータの出力に接続され、ｐチャネルトランジスタ５１とｎチャネルトランジスタ５４の各ゲートがそれよりも２段前のインバータの出力に接続される。このように構成されたリングオシレータでは、各インバータ６１～６５に入力される２つのゲート入力信号は、同相であるが２段前段の出力を受ける方が若干早くなる。そして、各インバータの動作電流はｐチャネルトランジスタ５９とｎチャネルトランジスタ６０の電流制御トランジスタによって制限されるため、規則的な発振周波数を得ることができる。

【００８４】

また、クロックインバータの制御により貫通電流が流れるのを防止できるとともに、ｐチャネルトランジスタ５５とｎチャネルトランジスタ５６の各ゲートに微小電流を流すことにより、出力がフローティング状態になるのを防止でき、不要な電流を防止して低消費電力なリングオシレータを得ることができる。しかも、このリングオシレータと前述の図４に示した電流発生回路とを組合せることによって、電流で決まる発振周波数を高温で高くすることができるので、図５６に示したタイマ３にこの実施形態のリングオシレータを用いれば、リフレッシュ特性に適合したリフレッシュ間隔を実現するための発振周波数を得ることができる。

【００８５】

図２３はこの発明の他の実施形態におけるインバータの変形例を示す図である。図２３において、ｐチャネルトランジスタ５２に接続されるｐチャネルトランジスタ７１と、ｎチャネルトランジスタ５３に接続されるｎチャネルトランジスタ７２として、デプレッショ

ントランジスタまたは低しきい値のトランジスタを用いたものである。デプレッショントランジスタを使用した場合は、クロック信号ＩＮＡの変化で回路が遮断されてもデプレッショントランジスタを用いたため、電流がリークするので出力がフローティング状態になるのを防止できる。また、低しきい値のトランジスタを用いた場合には、少なからずゲートがオフしている状態でリーク電流が存在していることと同一であるため出力がフローティング状態になるのを防止できる。この実施形態では、４個のトランジスタ素子でインバータを構成することができ、レイアウト面積を削減できる効果がある。

【００８６】

図２４は他の論理回路を低消費電力で構成した例を示す図である。すなわち、論理回路８１の電源側にｐチャネルトランジスタからなるトランスファゲート８２が接続され、接地側にｎチャネルトランジスタからなるトランスファゲート８３が接続される。そして、トランスファゲート８２，８３の一方の入力にはクロック信号ＩＮＡが与えられ、他方の入力にはＬＫＨ信号とＬＫＬ信号が与えられる。それによって、論理回路８１に流れる貫通電流を防止し、低消費電流の論理回路を構成することができる。

【００８７】

図２５は図９（ｂ）に示した基準電位発生回路に含まれるカレントミラー回路を示す図である。この回路はカレントミラー回路をクロスカップさせたものであるが、ｐチャネルトランジスタ４０２のドレインからゲートにフィードバックループが存在する。このため、電源投入時にノイズが混入して、たとえばｐチャネルトランジスタ４０１，４０２のソースとゲートとが同じ電位になると、ソースからドレインに電流が流れなくなり、電流がデッドロックする可能性がある。

【００８８】

以下、上述のデッドロックをなくし、電源を安定化する実施の形態について説明する。

【００８９】

図２６は電源を安定化した電流発生回路を示す図である。図２６において、ｐチャネルトランジスタ４０１，４０２のソースとスイッチ５０３との間には抵抗Ｒ２１とコンデンサＣ１とからなるパッシブフィルタと、アクティブ的なフィルタ５０１とが並列接続される。コンデンサＣ１はレイアウト面積を減少させるために、容量の値が小さくされている。スイッチ５０３の共通接点には電源電圧が与えられる。ｎチャネルトランジスタ４０３と４０４のゲートには立上がり検出回路５０２の入力が接続され、この検出回路５０２の出力はスイッチ５０３に切換信号として与えられる。

【００９０】

さらに、Ｐチャネルトランジスタ４２１，４２２とｎチャネルトランジスタ４２３とからなるスタートアップ回路が接続されている。Ｐチャネルトランジスタ４２１のドレインはノードＢに接続され、ソースはノードＡに接続され、ゲートはＰチャネルトランジスタ４２２のドレインとｎチャネルトランジスタ４２３のドレインと（ノードＤ）に接続される。Ｐチャネルトランジスタ４２２のノースとｎチャネルトランジスタ４２３のゲートはノードＡに接続される。Ｐチャネルトランジスタ４２２のゲートはノードＣに接続される。

【００９１】

スタートアップ回路は、電流発生回路が動作していないとき、回路中に電流が流れないため、ノードＢは接地側に、ノードＣは電源側に電位が寄っている。ノードＢに強制的に、電流を流し込むことで回路をスタートさせる。ｎチャネルトランジスタ４２３は常時たとえば１μＡのような微小電流を流している。

【００９２】

電流発生回路が動作をスタートする前は、ノードＢは電源側に寄っており、Ｐチャネルトランジスタ４２２が電流を流さないため、ノードＤは接地側に寄っている。このため、Ｐチャネルトランジスタ４２１は導通し、電流をノードＢに流し込む。

【００９３】

電流発生回路が動作をスタートすると、ノードＢは電源電位からしきい値電圧程度離れた電位となるのでＰチャネルトランジスタ４２２が導通し、この電流がｎチャネルトランジ

スタ４２３よりも大きくノードＤは電源側に寄る。Ｐチャネルトランジスタ４２１が非導通になり、ノードＢへの電流供給が停止する。

【００９４】

図２７は図２６に示した電流発生回路の電圧の立上がり特性を示す図である。電源投入時には、スイッチ５０３は抵抗Ｒ２１とコンデンサＣ１とからなるパッシブフィルタ側に切換えられており、コンデンサＣ１の容量は小さいため、電源投入時の電源立上がりが高速になる。その結果、電源投入特性を向上できる。

【００９５】

一方、電源がある程度立上がり、内部回路が正常に動作し始めると、立上がり検出回路５０２が一定の立上がり電圧を検出し、スイッチ５０３をアクティブフィルタ５０１側に切換える。その結果、アクティブフィルタ５０１が活性化され、内部回路動作中のノイズに対応できる。その結果、アクティブフィルタ５０１によってノイズに対する周波数応答を向上させることができる。

【００９６】

図２８は図２６に示したアクティブフィルタの具体例を示す図である。図２８において、アクティブフィルタ５０１はコンパレータ５０４を含み、基準入力端に抵抗Ｒ２２とＲ２３とによって電源電圧を分圧した基準電位が与えられる。抵抗Ｒ２２には図２６のスイッチ５０３を介して電源電圧が与えられる。抵抗Ｒ２３にはコンデンサＣ２が並列接続される。コンパレータ５０４の比較入力端には、コンパレータ５０４の出力電圧を抵抗Ｒ２４とＲ２５とで分圧した電圧が与えられる。このようなアクティブフィルタ５０１は従来から知られたものであるので、その動作説明は省略する。

【００９７】

図２９は図２６に示した電流発生回路の変形例を示す図である。この図２９に示した電流発生回路は、図２６に示したアクティブフィルタ５０１に代えて、電源投入後に、抵抗Ｒ２１に対して、抵抗Ｒ２６が直列接続されるようにしたものである。

【００９８】

図３０は図２９に示した電流発生回路の電圧の立上がり特性を示す図である。ＲＣフィルタは、その抵抗とコンデンサの値の選択によって周波数特性が異なる。したがって、抵抗値を大きくしてもノイズ除去の周波数特性を向上させることができる。この場合、内部回路の動作電流により内部回路の電源電位が抵抗による電圧降下分だけ低下するが、消費電流の非常に小さな回路であれば問題はない。電源立上げ時に、抵抗の値が大きいと電源立上げ時などの高速性を必要とする場合には応答が遅れてしまう場合もある。

【００９９】

そこで、図２９に示したように、電源立上げの初期には、スイッチ５０３を抵抗Ｒ２１側に切換えて抵抗Ｒ２１とコンデンサＣ１とからなるフィルタを活性化させ、図３０に示すように電源投入特性を向上させる一方、電源がある程度立上がり、内部回路が正常に動作し始めたことを立上がり検出回路５０２が検出すると、スイッチ５０３を抵抗Ｒ２６側に切換えて抵抗値を増加させ、内部回路動作中のノイズに対応させる。

【０１００】

図３１はこの発明の基本電流発生回路を示す図である。図３１において、ｎチャネルトランジスタ５１１と５１２とによってカレントミラー回路が構成され、ｎチャネルトランジスタ５１１はそのドレインとゲートとがダイオード接続され、ｎチャネルトランジスタ５１１のドレインにたとえばｐチャネルトランジスタからなる電流源が接続される。ｎチャネルトランジスタ５１２のソースと接地間には抵抗Ｒ２６が接続される。この構成において、ｎチャネルトランジスタ５１１と５１２の間には何らかの差異が設けられている。たとえば、しきい値が異なる場合や、チャネル幅が異なる場合が考えられる。

【０１０１】

ｎチャネルトランジスタ５１１に電流源５０５から電源電圧に依存する任意の電流が流れ込むことにより、ｎチャネルトランジスタ５１１のゲートと接地間には流れる電流量に従って電位差が生じる。ｎチャネルトランジスタ５１２側のゲートと接地間も同等の電位が

発生する。ここで、ｎチャネルトランジスタ５１２側はｎチャネルトランジスタ５１１に対してしきい値が小さいか、チャネル幅が大きいなどの差異が設けられている。したがって、ｎチャネルトランジスタ５１２のゲートソース間電位はｎチャネルトランジスタ５１１側に対して小さくなる。これがｎチャネルトランジスタ５１１側と５１２側の電位差として出現する。この電位差は抵抗Ｒ２６に流れて電流が得られる。ここで、抵抗Ｒ２６は純粋な抵抗成分でもよく、あるいはトランジスタのチャネル成分などを用いた寄生的な抵抗であってもよい。また、ｎチャネルトランジスタ５１１側と５１２側のゲートソース間電位差の温度特性と抵抗Ｒ２６の温度特性を適当に組合せれば、発生される電流に適当な温度特性を持合わせることができる。

【０１０２】

図３２は図３１に示した基本電流発生回路の変形例を示す図である。この図３２に示した例は、ｎチャネルトランジスタ５１１のソース側にも抵抗Ｒ２７を接続したものである。ｎチャネルトランジスタ５１１のソースは流れ込む電流と抵抗Ｒ２７の成分により発生される電圧降下により、接地電位に対して浮き上がる。したがって、図３１に示した抵抗Ｒ２６の両端に発生する電位差はなくなり、抵抗Ｒ２７で発生する電流量も大きくなる。この図３２に示した例では、抵抗Ｒ２６とＲ２７の成分材料を異なる素材とし、温度依存性を異なるようにすれば、発生する電流の大きさに適当な温度依存性を持たせることができる。

【０１０３】

図３３は図３１に示した基準電位発生回路の他の変形例を示す図である。図３３に示した例は、ｎチャネルトランジスタ５１１と接地間にｐチャネルトランジスタ５１３を接続し、抵抗Ｒ２６と接地間にｐチャネルトランジスタ５１４を接続し、チャネル抵抗を用いて電圧依存性を持たせるものである。ｐチャネルトランジスタ５１３の基板電位はソース電位に接続され、ｐチャネルトランジスタ５１４の基板電位は電源電位に接続される。したがって、電源電位が低いほどｐチャネルトランジスタ５１３と５１４の基板電位は接近し、両者のしきい値は近い値であるが、電源電位が高くなるとｐチャネルトランジスタ５１３と５１４の基板電位が大きく異なり、基板電位の差によるバックゲート効果の相違で、しきい値が異なり、それによってｎチャネルトランジスタ５１１側と５１２側のゲートソース間電位差から発生させる電流の電圧依存性が異なる。

【０１０４】

図３３に示した例では、本来ｎチャネルトランジスタ５１２側のゲートソース間電位が大きいが、電源電圧が高くなるとｐチャネルトランジスタ５１４のしきい値がｐチャネルトランジスタ５１３のしきい値に比べて大きくなるので、抵抗Ｒ２６の両端に発生する電位差は小さくなり、発生する電流は電源電圧依存性を受けることとなる。この場合、電源電圧が高くなれば、発生する電流の大きさは小さくなるが、組合せを逆にすれば電源電圧が高くなれば、発生する電流の大きさは大きくなる。このとき、最初のｐチャネルトランジスタによって発生する電流が電源電圧依存性を有するので、この電流を相殺することになり、適当にパラメータを設定すれば、電源電圧依存性を持たない発生電流も生成できる。

【０１０５】

図３４はトランジスタのチャネル抵抗成分を利用した電流発生回路の他の例を示す図である。図３４において、ｎチャネルトランジスタ５１１と接地間にはｎチャネルトランジスタ５１５が接続され、抵抗Ｒ２６と接地間にはｎチャネルトランジスタ５１６が接続される。ｎチャネルトランジスタ５１５と５１６はそれぞれゲート電位が異なるトランジスタである。このとき、ｎチャネルトランジスタ５１５のゲートは電源電位に接続され、ｎチャネルトランジスタ５１６のゲートはｎチャネルトランジスタ５１１，５１２のゲート電位に接続されている。したがって、ｎチャネルトランジスタ５１６のチャネル抵抗はあまり変化しないが、ｎチャネルトランジスタ５１５のチャネル抵抗は、電源電圧依存性を受け、電源電圧が高いほど、チャネル抵抗が小さくなる。したがって、電源電圧が高くなるほど抵抗Ｒ２６の両端の電位差は小さくなるので、発生する電流の大きさは小さくなる。このとき、最初のｐチャネルトランジスタによって発生される電流が電源電圧依存性を有

するので、この電流を相殺することとなり、適当にパラメータを設定すれば、電源電圧依存性を持たない発生電流も生成できる。

【０１０６】

図３５はダイオード接続されたｎチャネルトランジスタと抵抗とによって構成した基本電流発生回路を示す図である。図３５において、ｎチャネルトランジスタ５１１はダイオード接続され、ｎチャネルトランジスタ５１１，５１２のゲートと接地間に抵抗Ｒ２６が接続される。図３５において、電流がこの回路に流入すると、ｎチャネルトランジスタ５１１側を流れる電流と抵抗Ｒ２６側を流れる電流とに分流される。ここで、ｎチャネルトランジスタ５１１はダイオード接続されているので、そのゲートと接地間にはしきい値程度の電圧が発生される。そして、この電圧が抵抗Ｒ２６の両端の電圧にも相当するため、抵抗Ｒ２６側にもこれに従った電流が流れる。この両者の電流の和が流入する電流に等しくなるようにパラメータを設定すれば、ｎチャネルトランジスタ５１２側に発生する電流を取出すことができる。

【０１０７】

図３６は図３５に示したｎチャネルトランジスタ５１１と５１２をｐチャネルトランジスタ５１７と５１８とに置換えた例であって、動作は図３５と同じである。

【０１０８】

図３７は図３１に示した基本電流発生回路のｎチャネルトランジスタ５１１，５１２に代えて、バイポーラトランジスタ５１９，５２０で構成した基本電流発生回路であって、動作は図３１と同じである。

【０１０９】

図３８は図３２に示した基本電流発生回路のｎチャネルトランジスタ５１１，５１２に代えてバイポーラトランジスタ５１９，５２０で構成した例であって、動作は図３２と同じである。

【０１１０】

図３９は図３５に示したｎチャネルトランジスタ５１１，５１２に代えてバイポーラトランジスタ５１９，５２０で構成した基本電流発生回路であって、その動作は図３５と同じである。

【０１１１】

図４０は図３６に示した基本電流発生回路のｐチャネルトランジスタ５１７，５１８に代えてバイポーラトランジスタ５２１，５２２で構成したものであって、動作は図３６と同じである。

【０１１２】

図４１は図４０に示したＰＮＰ型のバイポーラトランジスタ５２１，５２２を構成するトルプルウェル構造を示す図であり、図４２は図３７～図３９に示したＮＰＮ型バイポーラトランジスタ５１９，５２０を構成するトルプルウェル構造を示す図である。

【０１１３】

図４１において、ＰＮＰトランジスタはＮ基板とＰウェルとＮウェルからなるトリプルウェル構造で構成でき、ＮＰＮトランジスタは図４２に示すように、Ｐ基板とＮウェルとＰウェルからなるトリプルウェル構造で構成できる。

【０１１４】

図４３は定電流発生回路のブロック図であり、図４４はその具体的な回路図である。

【０１１５】

図４３において、定電流発生回路は、基準電流を発生する基準電流発生部６００と、電圧依存性を意図的に持たせた電圧電流発生部６１０と、温度依存性を意図的に持たせた温度電流発生部６２０と、各種発生電流の演算を行なう電流演算部６３０とから構成される。

【０１１６】

基準電流発生部６００は図４４に示すように定電流源６０１とｎチャネルトランジスタ６０２，６０３と抵抗６０４とから構成されていて、前述の図３１と同じ動作をして基準電流を発生する。電圧電流発生部６１０は定電流源６１１，６１２とｎチャネルトランジス

タ６１３～６１６とからなっていて、図３４とほぼ同様の動作を行なう。すなわち、電圧電流発生部６１０のｎチャネルトランジスタ６１５のゲートは電源電位に接続され、ｎチャネルトランジスタ６１６のゲートはｎチャネルトランジスタ６１３，６１４のゲートに接続されているため、ｎチャネルトランジスタ６１６のチャネル抵抗はあまり変化しないが、ｎチャネルトランジスタ６１５のチャネル抵抗は電源電圧の依存性を受け、電源電圧が高いほどチャネル抵抗が小さくなる。したがって、電源電圧が高くなるほど発生する電流の大きさが小さくなる。このようにして、電圧電流発生部６１０は電圧に依存する電流を発生する。

【０１１７】

温度電流発生部６２０は定電流源６２１，６２２とｎチャネルトランジスタ６２３，６２４と抵抗Ｒ２８，Ｒ２９とを含み、抵抗Ｒ２８とＲ２９の成分材料を異なる素材にして温度依存性を異なるようにすれば、温度依存性のある電流を発生できる。電流演算部６３０はｐチャネルトランジスタ６３１，６３２とｎチャネルトランジスタ６３３，６３４，６３５とから構成される。基準電流発生部６００から発生された基準電流はダイオード接続されたｐチャネルトランジスタ６０５を介して電流演算部６３０のｐチャネルトランジスタ６３１のゲートに入力され、電圧電流発生部６１０で発生された電流はダイオード接続されたｎチャネルトランジスタ６１７を介して電流演算部６３０のｎチャネルトランジスタ６３３のゲートに与えられ、温度電流発生部６２０で発生された電流はダイオード接続されたｎチャネルトランジスタ６２５を介して電流演算部６３０のｐチャネルトランジスタ６３２のゲートに与えられ、ｐチャネルトランジスタ６３１，６３２とｎチャネルトランジスタ６３３によって電流演算が行なわれる。そして、ダイオード接続されたｎチャネルトランジスタ６３４を介してｎチャネルトランジスタ６３５から定電流が発生される。

【０１１８】

図４５は定電流発生回路の一例を示す電気回路図である。この例は、図３１に示した基本電流発生回路をシリアルに複数段接続して電圧依存性を緩和させるものである。すなわち、初段の基本電流発生回路は図３１と同様にして構成され、ｎチャネルトランジスタ５１２のドレインにはｐチャネルトランジスタ５３０と５３１とからなるカレントミラー回路が接続され、ｐチャネルトランジスタ５３０はダイオード接続される。ｐチャネルトランジスタ５３１のドレインにはｎチャネルトランジスタ５３２と５３３とからなるカレントミラー回路が接続され、ｎチャネルトランジスタ５３２はダイオード接続される。ｎチャネルトランジスタ５３３のソースと接地間には抵抗Ｒ３０が接続される。

【０１１９】

この図４５に示した定電流発生回路においては、実際の電流を発生させるのはｎチャネルトランジスタ５３２と５３３と抵抗Ｒ３０で構成される部分となるが、初段の基本電流発生回路自体で発生する電流の電圧依存性が緩和されており、この初段の基本電流発生回路からの電流が後段の駆動電流として流れるため、電圧依存性をさらに軽減させることができる。

図４６は定電流発生回路のさらに他の例を示す回路図である。この図４６に示した例は、初段に温度依存性を持つ電流発生回路５４１を設け、２段目に電圧依存性を持つ電流発生回路５４２を設け、３段目に定電流源５４３を接続したものである。この例では、電圧依存性と温度依存性の両方を緩和できる効果がある。

【０１２０】

図４７は定電流発生回路のさらに他の例を示す回路図である。この例も初段に温度依存性を有する電流発生回路５４４と２段目に温度依存性を有する電流発生回路５４５と電流源５４３とを縦続接続したものである。そして、初段の電流発生回路５４４は基板電位を異ならせることによって温度依存性のみならず電圧依存性も持たせることができる。

【０１２１】

前述の図４５～図４７においては、基準電流発生回路を複数段縦続接続することによって、最終的に得られる定電流の電圧依存性を小さくするようにした。この場合、同じ構成同士であるために、素子のばらつきによる特性の変化を小さくできる利点がある反面、個々

の基準電流発生回路の間にカレントミラー回路を挿入する必要がある。そのため、回路段数が多くなり、デバイス間誤差が増幅される可能性があり、最終的に得られる定電流がばらつきを大きく有する可能性がある。

【０１２２】

図４８は回路段数を減少させた定電流発生回路を示す回路図である。前段の基本電流発生回路は前述の図３１と同様にして構成される。そして、ｎチャネルトランジスタ５１２のドレインにはｐチャネルトランジスタ５５１と５５２とからなるカレントミラー回路が接続される。ｐチャネルトランジスタ５５１はダイオード接続され、ｐチャネルトランジスタ５５２のソースと電源電位との間には抵抗Ｒ３１が接続される。図４８において、定電流源５０５からｎチャネルトランジスタ５１１に任意の電流が流れ込むことにより、ｐチャネルトランジスタ５５１のゲートと接地間には流れる電流量に従って電位差が生じる。ｐチャネルトランジスタ５５２のゲートと接地間にも同等の電位が発生する。ここで、ｐチャネルトランジスタ５５２側はｐチャネルトランジスタ５５１に対してしきい値が小さいか、あるいはチャネル幅が大きさなどの差異が設けられている。したがって、ｐチャネルトランジスタ５５２のゲートソース間電位はｎチャネルトランジスタ５１１側に対して小さくなる。これが、ｐチャネルトランジスタ５５１側と５５２側の電位差として出現する。これを抵抗Ｒ２６で割ると電流が得られる。

【０１２３】

ここで、抵抗Ｒ２６は図３１で説明したように純粋な抵抗成分でもよくあるいはトランジスタのチャネル成分などを用いた寄生的な抵抗であってもよい。また、ｐチャネルトランジスタ５５１側と５５２側のゲートソース間電位差の温度特性と抵抗Ｒ２６の温度特性を適当に組合せれば、発生される電流が適当な温度特性を持合わせることができる。

【０１２４】

図４８に示した構成では、基準電流発生回路の個々の間にカレントミラー回路の挿入が不要となり、最終的な定電流を得るまでの回路段数を少なくできる。したがって、素子間の誤差の増幅による定電流のばらつきを抑えることができる。また、この定電流回路は、任意の数だけ接続することができ、数を増加すればするほど、定電流の電圧依存性を抑えることができる。

【０１２５】

図４９は図４８に示した定電流回路における定電流の電圧依存性特性を示す図である。図４９から明らかなように、ｎチャネルトランジスタ５１１に流れる電流I_1，ｎチャネルトランジスタ５１２に流れるI_2，ｐチャネルトランジスタ５５２に流れる電流I_3はそれぞれ電圧依存性が緩和されていることが明らかである。

【０１２６】

図５０は電源安定化回路の他の例を示す回路図である。この図５０に示した例は、図２６に示した電源安定化回路を改良したものである。すなわち、ｐチャネルトランジスタ４０１，４０２とｎチャネルトランジスタ４０３，４０４と抵抗Ｒ３からなる定電流回路の電源側のノードＡに前述の図２８に示したアクティブフィルタ５０１が接続され、さらにノードＡと接地間にダイオード接続されたｐチャネルトランジスタ４０５～４０７が直列接続される。

【０１２７】

図５０に示した電源安定化回路では、アクティブフィルタ５０１によって定電流回路の電源電圧が決められる一方、定電流回路側にはｐチャネルトランジスタ４０５～４０７をダイオード接続しているため、アクティブフィルタ５０１が発生させようとする電圧と接地間の電位差がかかる状態でのダイオード接続に電流が流れながら安定している。ここで、３個のｐチャネルトランジスタ４０５～４０７をダイオード接続したのは、定電流回路がトランジスタのしきい値電圧の約２倍で動作する電圧であるため、その電圧に若干の余裕を含めるためである。

【０１２８】

電源のノイズはアクティブフィルタ５０１で除去される場合には、定電流回路の動作は変

化しない。しかし、アクティブフィルタ５０１で除去されないノイズが伝達された場合、ダイオード接続の両端にかかる電圧が大きくなり、電流を流す力が大きくなるため、正のノイズを接地に抜く役目を果たしている。逆に負のノイズが伝達された場合には、ダイオード接続の両端にかかる電圧が小さくなり、電流を流す力が小さくなるため、負のノイズに対してノードＡを正方向に押し上げる役目をは果たしている。これらの動作におけるノイズの伝搬とダイオード接続回路構成の反応する時間遅延は、ダイオード接続が飽和領域で動作していることを考慮すれば十分に高速となる。

【０１２９】

図５１は図５０のアクティブフィルタをより具体的に示した回路図であって、動作は図５０と同じであるため、省略する。

【０１３０】

図５２は電源安定化回路の他の例を示す回路図である。この図５２に示した電源安定化回路は、図５０のアクティブフィルタ５０１に代えて、ｐチャネルトランジスタ４０８，４０９とｎチャネルトランジスタ４１０とからなる電流源を設け、この電流源によって内部回路である定電流回路に供給電流を決めるようにしたものである。電流源からの電流はｐチャネルトランジスタ４０５～４０７に流れて電圧を発生し、その電圧がノードＡに与えられる。この例においては、電源のノイズは電流源で除去されるが、電流源で除去されないノイズが伝達された場合、図５０の説明と同様にして、ダイオード接続で組まれた電流パスがノイズを吸収する。

【０１３１】

図５３は電流源を他の回路に置換えた電源安定化回路を示す回路図である。この図５３に示した電流源はｐチャネルトランジスタ４１１，４１２とｎチャネルトランジスタ４１３，４１４と抵抗Ｒ３２，Ｒ３３とから構成される。電源電位と接地間にはｐチャネルトランジスタ４１１とｎチャネルトランジスタ４１３の直列回路が接続され、その接続点はノードＡに接続される。さらに、電源電位と接地間には抵抗Ｒ３２とｐチャネルトランジスタ４１２とｎチャネルトランジスタ４１４と抵抗Ｒ３３とが直列接続される。そして、ｐチャネルトランジスタ４１２とｎチャネルトランジスタ４１４の接続点はノードＡに接続される。抵抗Ｒ３２とｐチャネルトランジスタ４１２のソースとの接続点にはｐチャネルトランジスタ４１１のゲートとｎチャネルトランジスタ４１４のゲートが接続される。ｎチャネルトランジスタ４１４のソースと抵抗Ｒ３３との接続点には、ｎチャネルトランジスタ４１３のゲートとｐチャネルトランジスタ４１２のゲートが接続される。

【０１３２】

この図５３に示した電流源は、ｎチャネルトランジスタ４１３のゲートソース間電圧と抵抗Ｒ３３の値で電流が決まる。つまり、回路中に電流が流れると、ｎチャネルトランジスタ４１３のゲートソース間に電圧が発生し、この電圧は抵抗Ｒ３３の両端の電圧として発生される。したがって、回路中に流れる電流はｎチャネルトランジスタ４１３のゲートソース間電圧を抵抗Ｒ３３の値で割った値となる。ｎチャネルトランジスタ４１４は抵抗Ｒ３３とノードＡの間の電界を緩和する働きを持つ。この回路では、電源側にも同様の回路が配置されており、したがって全回路では電源から流れ込んでくる定電流とノードＡから流れ出す電流が存在し、余分な電流がｐチャネルトランジスタ４０５～４０７のダイオード接続で決まる電圧決定回路に流れ込むことで内部回路の電圧が決まる。電流源が供給しようとする電流でダイオード接続に電流が流れながら電圧を発生するので安定している。電源がノイズに混入して電流源で除去されない場合の動作は前述の図５１および図５２と同じである。

【０１３３】

図５４は図５１に示した電源安定化回路の変形例を示す図である。図５１に示したｐチャネルトランジスタ４０７に代えて、ｎチャネルトランジスタ４１６が設けられ、そのゲートにはアクティブフィルタ５０１の出力が与えられる。さらに、ノードＡと接地間にはｎチャネルトランジスタ４１５が接続され、そのゲートはｎチャネルトランジスタ４１６のドレインに接続される。ｎチャネルトランジスタ４１６は抵抗として用いられ、ノードＡ

の電位がノイズによって低下すると、ｎチャネルトランジスタ４１６の抵抗値が高くなり、ｎチャネルトランジスタ４１５のゲートソース間電圧とｎチャネルトランジスタ４１６の抵抗の値で決まる電流が小さくなり、低下したノードＡの電位を押し上げる。この図５４に示した電源安定化回路では、アクティブフィルタ５０１がなくても、ノードＡの電位はｎチャネルトランジスタ４１５のゲートソース間電圧とｎチャネルトランジスタ４１６の抵抗の値で決まる回路と、ダイオード接続されたｐチャネルトランジスタ４０５，４０６により決めることができる。

【０１３４】

図５５は図５４に示した電源安定化回路の変形例を示す図である。図５５において、ノードＡと接地間にｐチャネルトランジスタ４１７とｎチャネルトランジスタ４１６の直列回路およびｐチャネルトランジスタ４１８とｎチャネルトランジスタ４１５の直列回路を接続したものである。ｎチャネルトランジスタ４１６とｐチャネルトランジスタ４１８は抵抗として作用し、ｎチャネルトランジスタ４１５のゲートソース間電位とｎチャネルトランジスタ４１６の抵抗値およびｐチャネルトランジスタ４１７のゲートソース間電位とｐチャネルトランジスタ４１８の抵抗値とによって電流が決定される。

【０１３５】

【発明の効果】

以上のように、この発明における温度依存性回路および電流発生回路は、定電流を分流して微小電流を取出すとともに、定電流から温度依存性のある電流を生成し、両者を加算して出力するようにしたので、温度依存性のある電流を生成することができる。

【０１３６】

また、この発明におけるインバータは、２つのゲート入力を有するインバータ手段の第１の電源側と第２の電源側にトランジスタを接続し、それぞれのトランジスタのゲートに定電流を分流した微小電流に温度依存性のある電流を加算した電流信号を与えるようにしたので、出力がフローティング状態になるのを防止できる。

【０１３７】

さらに、この発明に係る発振回路は、２つのゲート入力を有するインバータ手段の一方のゲートに第１のクロック信号を与え、他方のゲート入力に第２のクロック信号を与え、各インバータ手段の第１の電源側と第２の電源側とにトランジスタを接続し、これらのトランジスタに定電流を分流した微小電流と温度依存性のある電流とを加算した電流信号を与えることにより、電流で決まる発振周波数を高温で高くすることができるので、たとえばＤＲＡＭのセルフリフレッシュのためのタイマとして用いれば、メモリセルのリフレッシュ特性に適合したリフレッシュ間隔を実現する発振周波数を得ることができる。

【図面の簡単な説明】

【図１】　この発明の原理を説明するための図である。

【図２】　この発明の第１の実施形態のリングオシレータの電流制御を説明するための図である。

【図３】　この発明の第２の実施形態の電流発生回路の概略ブロック図である。

【図４】　この発明の第３の実施形態の電流発生回路のより具体的な電気回路図である。

【図５】　図４に示した電流比較部の他の例を示す図である。

【図６】　電流比較部のさらに他の例を示す回路図である。

【図７】　図６（ｄ）に示した比較部の出力にｎチャネルトランジスタ２１７を接続した例を示す回路図である。

【図８】　電流比較部の出力に増幅器を接続した例を示す回路図である。

【図９】　図８に示した電流比較部の入力Ａに基準電位を与えるようにした具体例を示す回路図である。

【図１０】　電流比較部のさらにその他の例を示す回路図である。

【図１１】　電流比較部のさらにその他の例を示す回路図である。

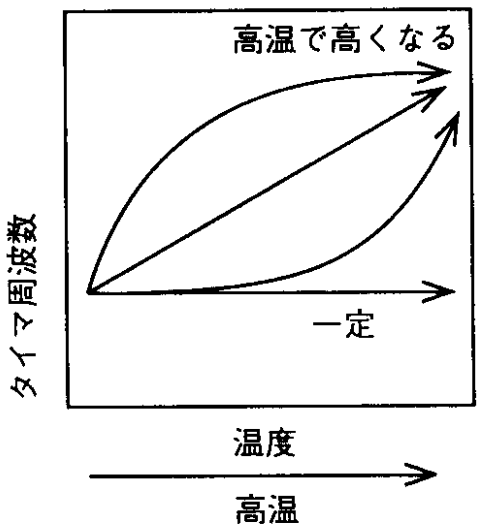
【図１２】　図１１に示した例の変形例を示す回路図である。

【図１３】　電流比較部のさらにその他の例を示す回路図である。

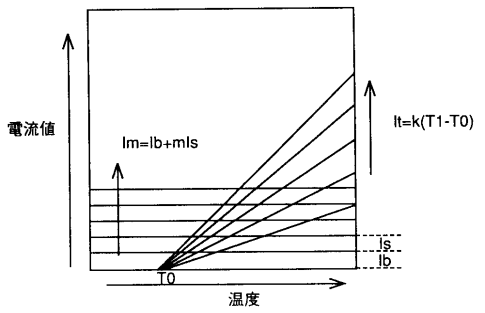
【図１４】　図１３に示した分圧回路の例を示す回路図である。
【図１５】　電流比較部のさらにその他の例を示す回路図である。
【図１６】　図１５に示した電流比較部の変形例を示す回路図である。
【図１７】　図１６の分圧回路の具体例を示す回路図である。
【図１８】　従来のクロックインバータとこの発明の第４の実施形態のクロックインバータの具体例を示す回路図である。
【図１９】　従来のクロックインバータの動作を説明するためのタイミングチャートである。
【図２０】　この発明の第４の実施形態のインバータの変形例を示す回路図である。
【図２１】　この発明の第５の実施形態のインバータの回路図である。
【図２２】　図２１に示したインバータを用いて構成したリングオシレータの回路図である。
【図２３】　この発明の第５の実施形態のインバータの変形例を示す図である。
【図２４】　この発明を他の論理回路に用いた実施形態を示す図である。
【図２５】　図１０に示した基準電位発生回路に含まれるカレントミラー回路を示す図である。
【図２６】　電源を安定化した電流発生回路を示す図である。
【図２７】　図２６に示した電流発生回路の電圧の立上がり特性を示す図である。
【図２８】　図２６に示したアクティブフィルタの一例を示す回路図である。
【図２９】　図２６に示した電流発生回路の変形例を示す回路図である。
【図３０】　図２９に示した電流発生回路の電圧の立上がり特性を示す図である。
【図３１】　この発明の基本電流発生回路を示す図である。
【図３２】　図３１に示した基本電流発生回路の変形例を示す図である。
【図３３】　図３１に示した基本電流発生回路の他の変形例を示す回路図である。
【図３４】　トランジスタのチャネル抵抗成分を利用した電流発生回路の他の例を示す回路図である。
【図３５】　ダイオード接続されたｎチャネルトランジスタと抵抗とによって構成した基本電流発生回路を示す回路図である。
【図３６】　図３５に示した基本電流発生回路をｐチャネルトランジスタで構成した例を示す回路図である。
【図３７】　図３１に示した基本電流発生回路のｎチャネルトランジスタに代えてバイポーラトランジスタで構成した例の回路図である。
【図３８】　図３２に示した基本電流発生回路のｎチャネルトランジスタに代えてバイポーラトランジスタで構成した例を示す回路図である。
【図３９】　図３５に示した基本電流発生回路のｎチャネルトランジスタをバイポーラトランジスタに置換えた例を示す回路図である。
【図４０】　図３６に示した基本電流発生回路のｐチャネルトランジスタをバイポーラトランジスタに置換えた例を示す回路図である。
【図４１】　図４０に示したバイポーラトランジスタを構成するトリプルウェル構造を示す図である。
【図４２】　図３７～図３９に示したバイポーラトランジスタを構成するトリプルウェル構造を示す図である。
【図４３】　定電流発生回路のブロック図である。
【図４４】　定電流発生回路の具体的な回路図である。
【図４５】　定電流発生回路の一例を示す回路図である。
【図４６】　定電流発生回路のさらに他の例を示す回路図である。
【図４７】　定電流発生回路のさらに他の例を示す回路図である。
【図４８】　回路段数を減少させた定電流発生回路を示す回路図である。
【図４９】　図４８に示した定電流回路における定電流の電圧依存性特性を示す図である。

【図５０】　電源安定化回路の他の例を示す回路図である。
【図５１】　図５０に示した電源安定化回路の電圧立上がり特性を示す図である。
【図５２】　電源安定化回路の他の例を示す回路図である。
【図５３】　定電流源を他の回路に置換えた電源安定化回路を示す回路図である。
【図５４】　図５１に示した電源安定化回路の変形例を示す図である。
【図５５】　図５４に示した電源安定化回路の変形例を示す図である。
【図５６】　従来のセルフリフレッシュモードを有するＤＲＡＭの概略ブロック図である。
【図５７】　図５６に示したＤＲＡＭにおけるセルフリフレッシュモードを説明するための図である。
【図５８】　従来のリングオシレータを用いたタイマ回路を示す回路図である。
【図５９】　従来のＤＲＡＭにおける保持電荷がリークされる理由を説明するための図である。
【図６０】　従来のタイマ回路の特性を示す図である。
【符号の説明】
２０　定電流発生回路、２１　温度依存性回路、２３　分流回路、２４　加算回路、３０　リングオシレータ、４０，４１　基準電位発生回路、４２　プログラミング回路、４３　内部電位発生回路、４４　高め電位発生回路、４５，４７分圧回路、４６　低め電位発生回路、５１，５２，５５，５９，７１，２０１，２０２，２１１，２１２，２２４，２２５，２２６，２２７，２３１，２４１，２４２，２５１～２５３，２５５，４０１，４０２，４０５～４０８，４１１～４１４，４５８～４６０　ｐチャネルトランジスタ、５３，５４，５６，６０，２０３，２０４，２１３，２１４，２１７～２２０，２２３～２２６，２２８，２２９，２３３～２３５，２４５，２４６，２５４，２５６，４０３，４０４，４２２，４２４，４２５，４６１～４６３　ｎチャネルトランジスタ、２２９増幅器、Ｒ，Ｒ１～Ｒ１６　抵抗。

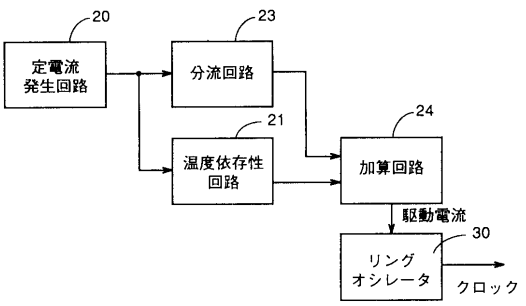
【図１】



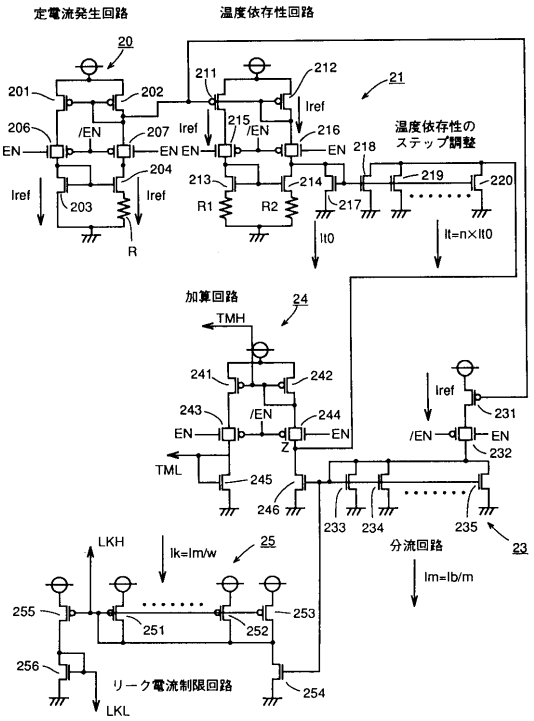
【図２】



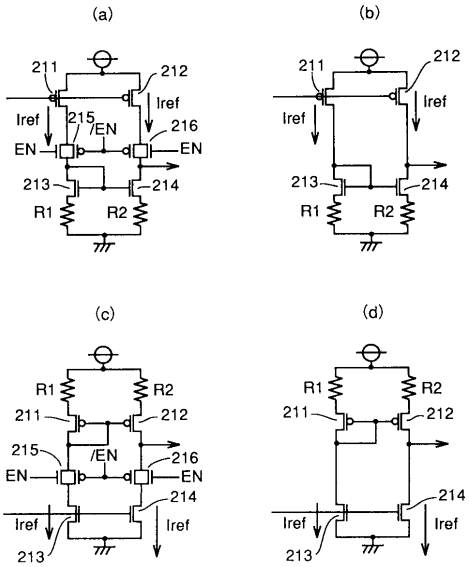
【図３】



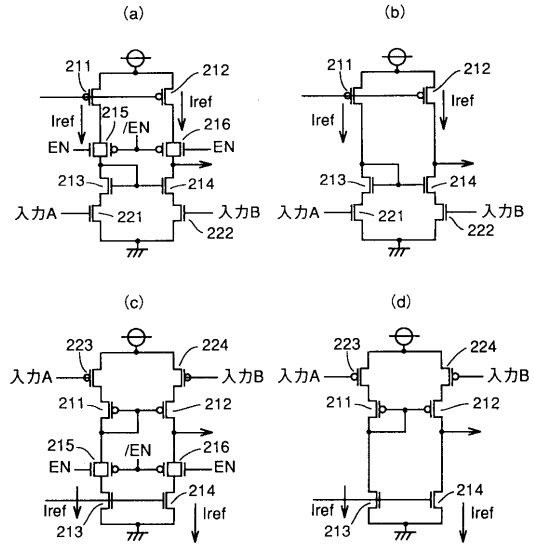
【図４】


定電流発生回路
温度依存性回路
20
21
201
202
206
207
204
203
EN
/EN
Iref
R
211
212
215
216
213
214
217
218
219
220
R1
R2
温度依存性の
ステップ調整
It0
It=n×It0
加算回路
24
TMH
241
242
243
244
245
246
TML
Z
231
232
233
234
235
23
分流回路
Im=Ib/m
LKH
Ik=Im/w
25
255
251
252
253
256
254
リーク電流制限回路
LKL

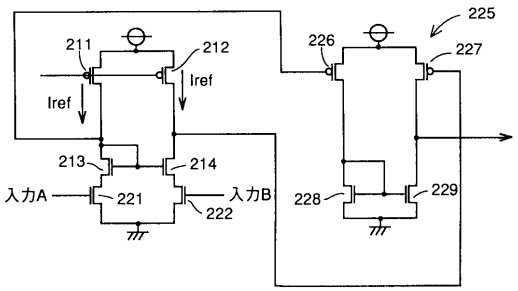
【図５】


(a)
(b)
(c)
(d)
211
212
213
214
215
216
Iref
EN
/EN
R1
R2

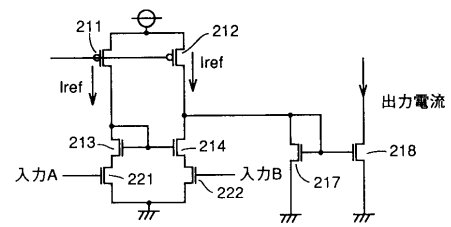
【図６】


(a)
(b)
(c)
(d)
211
212
213
214
215
216
221
222
223
224
Iref
EN
/EN
入力A
入力B

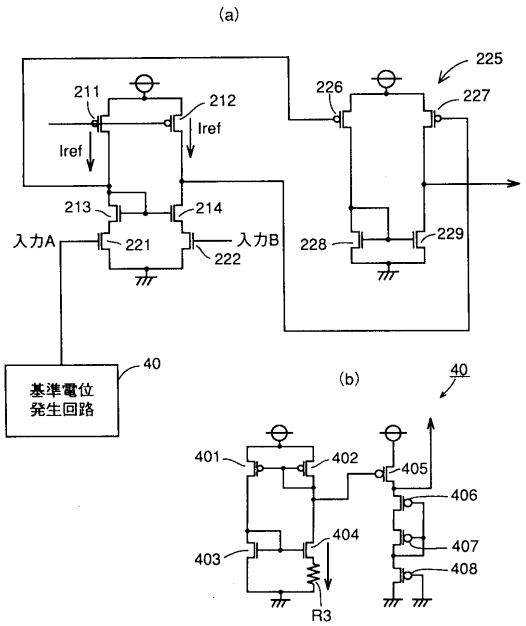
【図８】


225
226
227
228
229
211
212
213
214
221
222
Iref
入力A
入力B

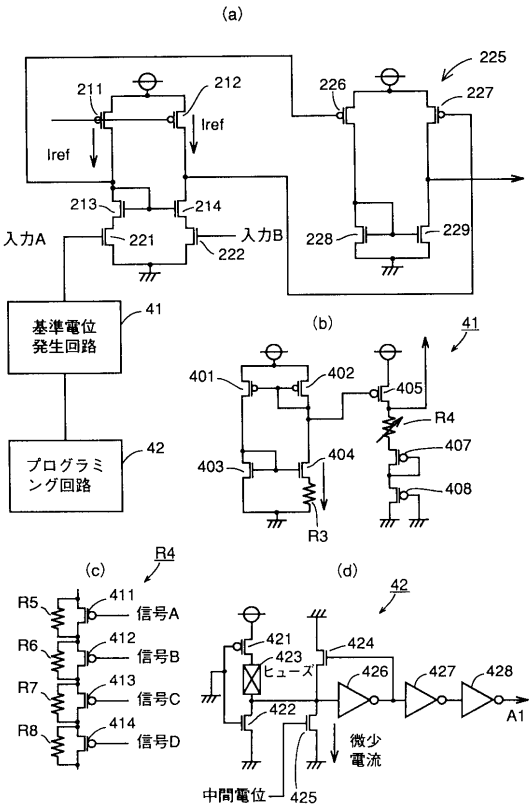
【図７】


211
212
213
214
217
218
221
222
Iref
入力A
入力B
出力電流

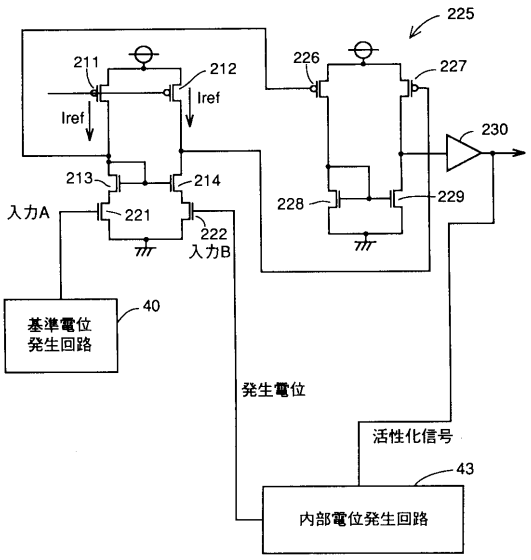
【図９】



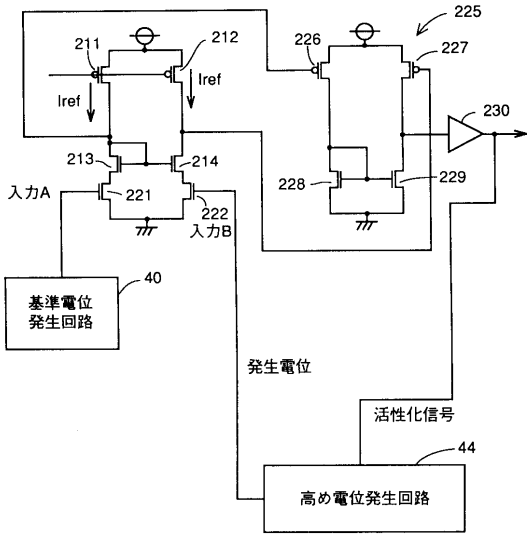
【図１０】



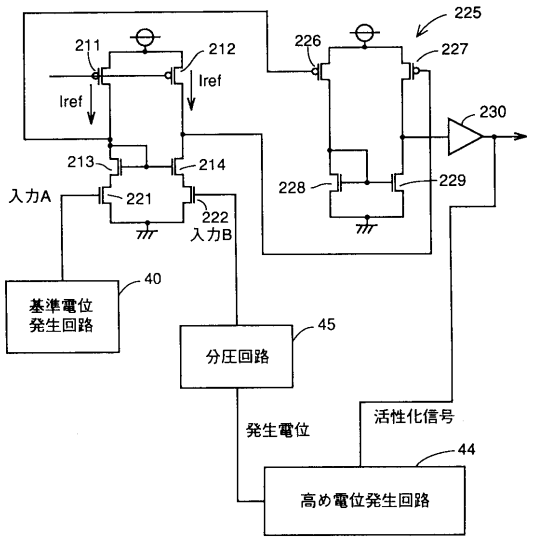
【図１１】



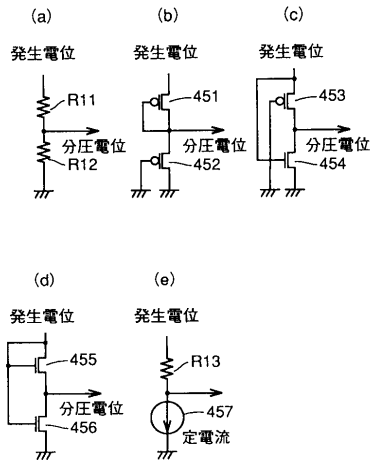
【図１２】



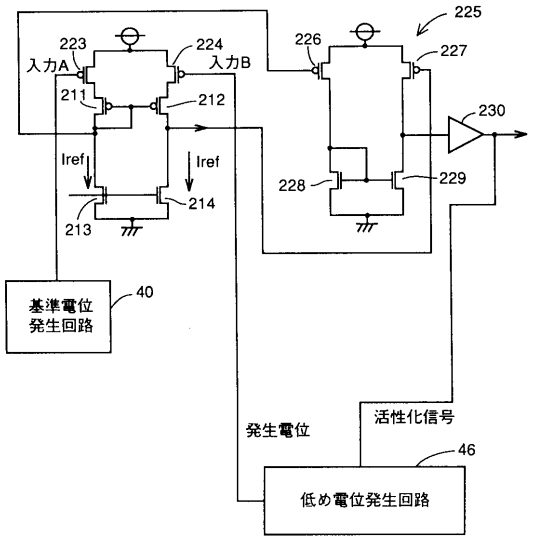
【図１３】



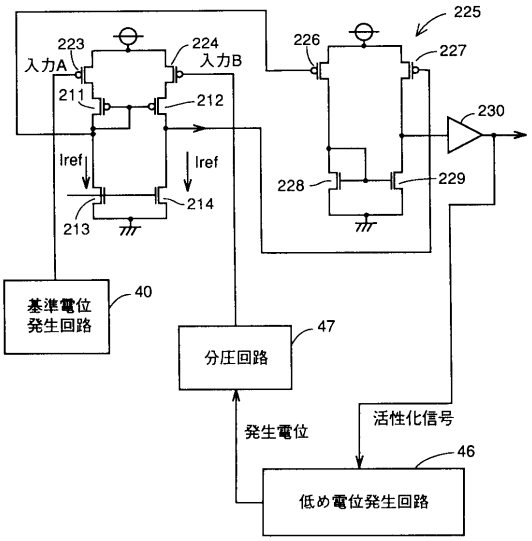
【図１４】



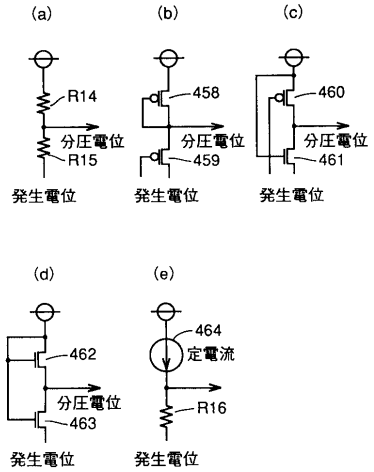
【図１５】



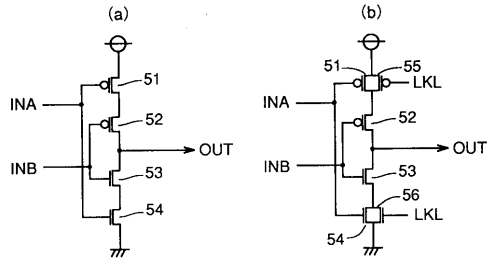
【図１６】



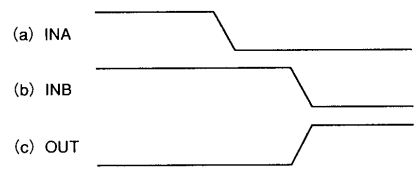
【図１７】



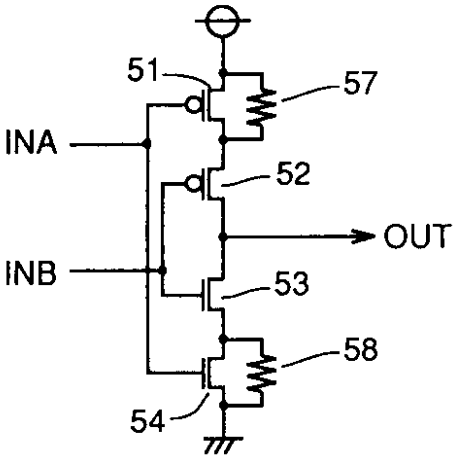
【図１８】



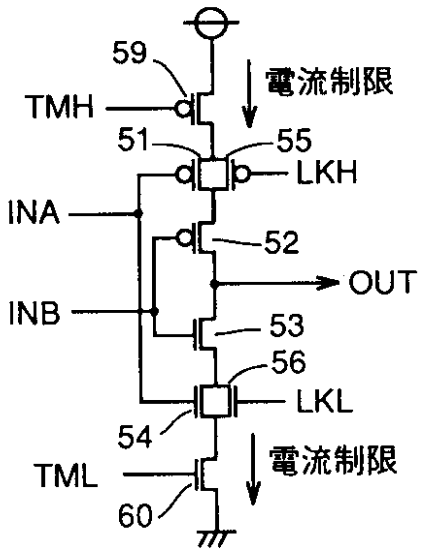
【図１９】



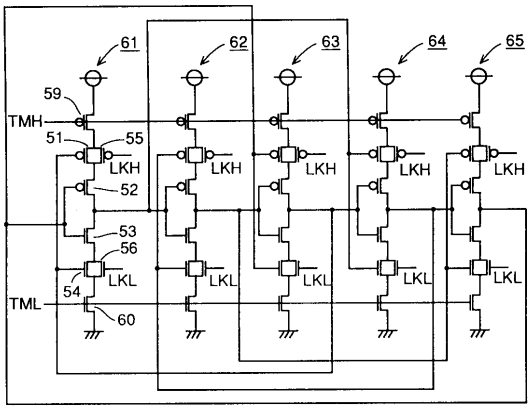
【図２０】



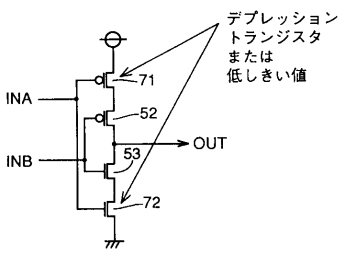
【図２１】



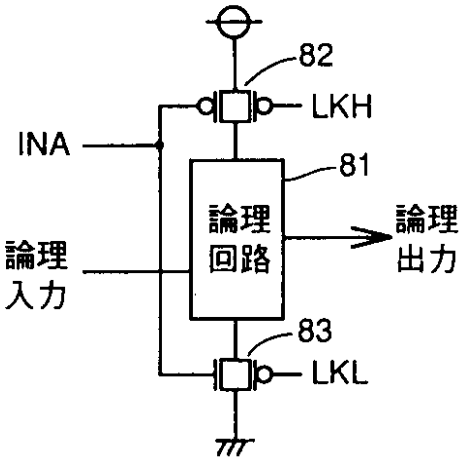
【図２２】



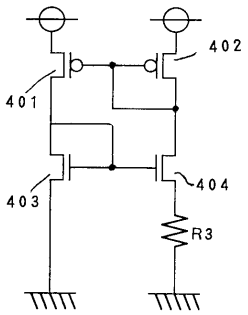
【図２３】



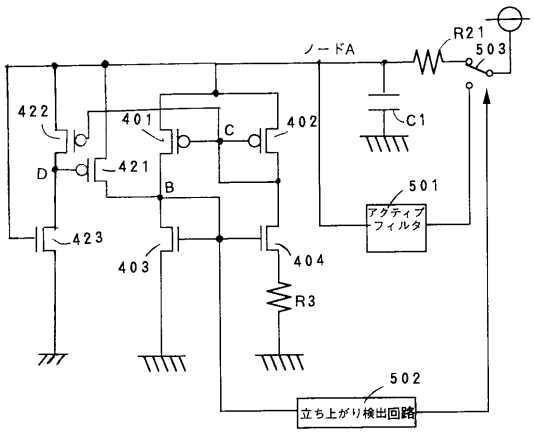
【図２４】



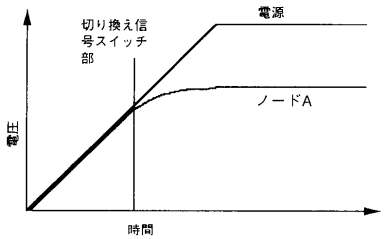
【図２５】



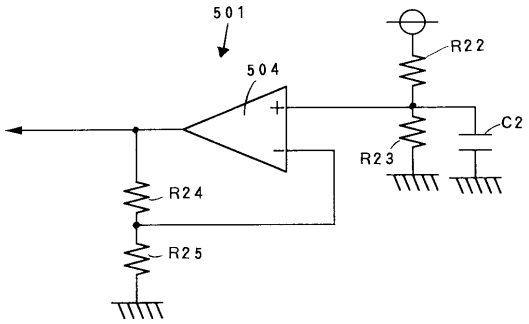
【図２６】



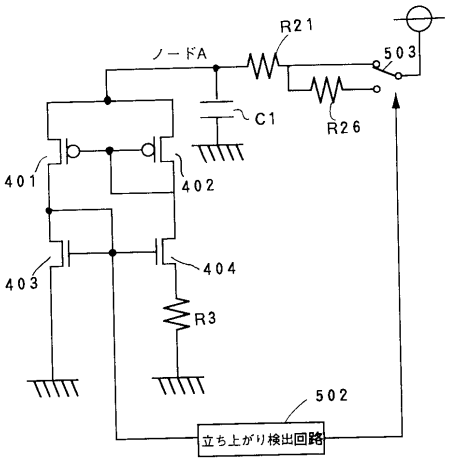
【図２７】



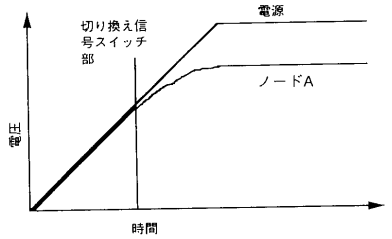
【図２８】



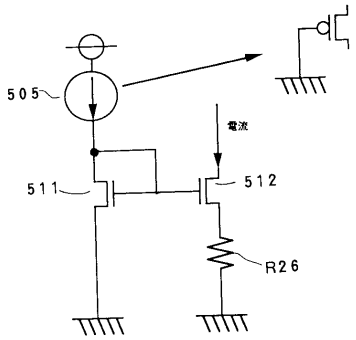
【図２９】



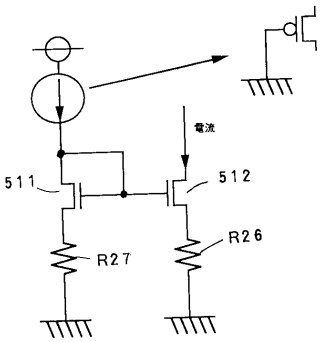
【図３０】



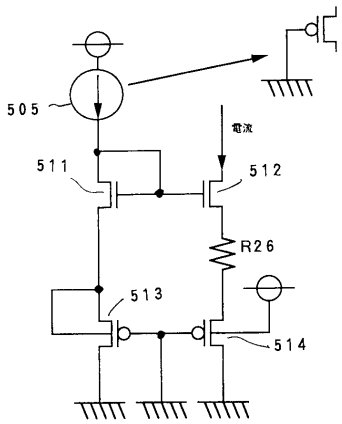
【図３１】



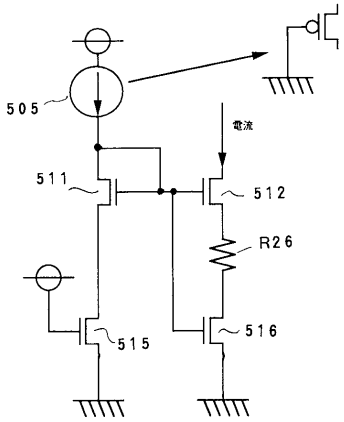
【図３２】



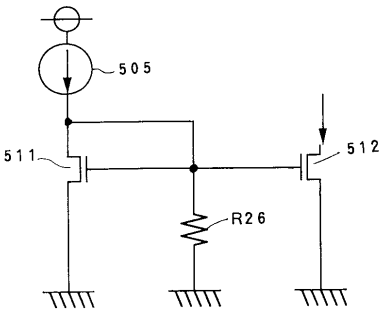
【図３３】



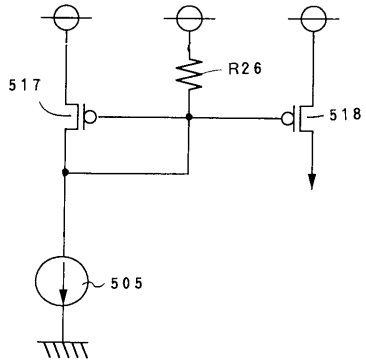
【図３４】



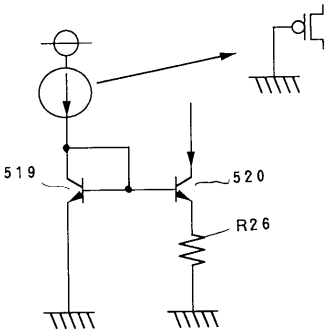
【図３５】



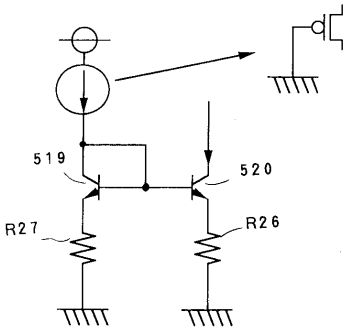
【図３６】



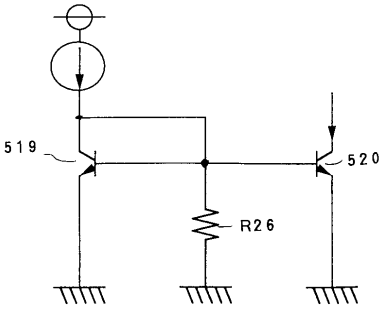
【図３７】



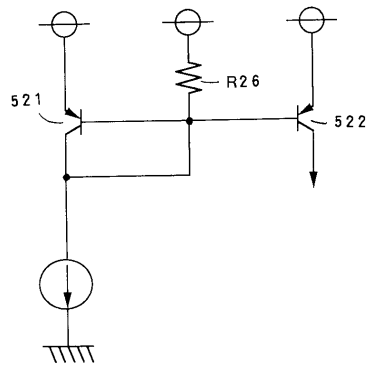
【図３８】



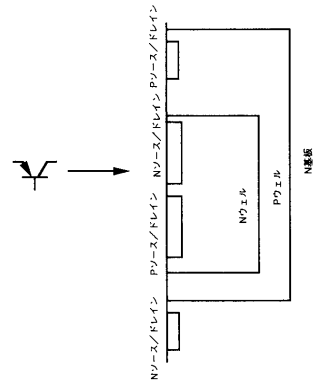
【図３９】



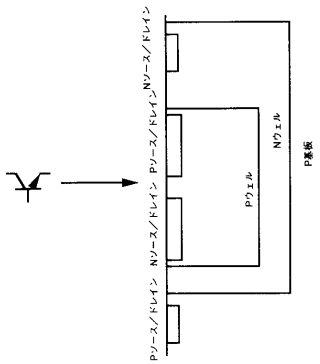
【図４０】



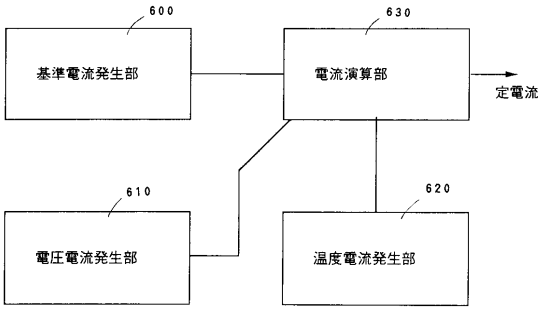
【図４１】



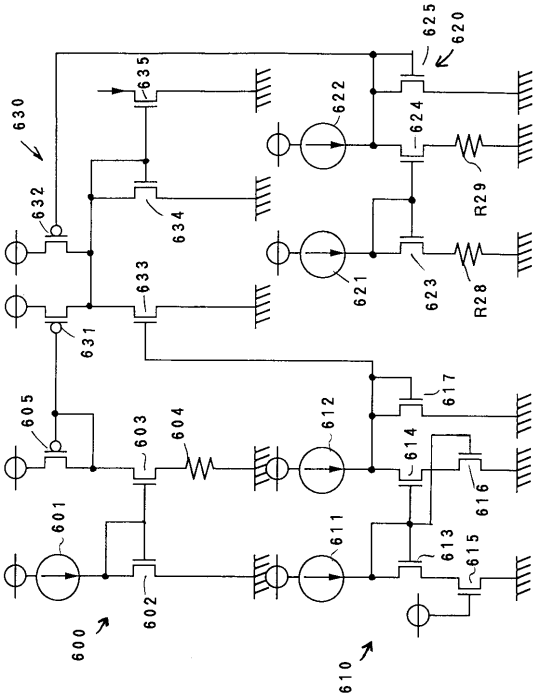
【図４２】



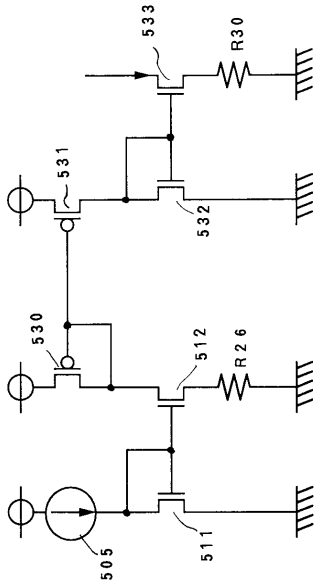
【図４３】



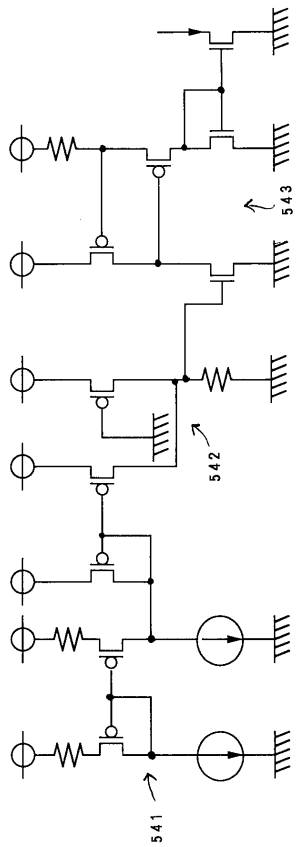
【図４４】



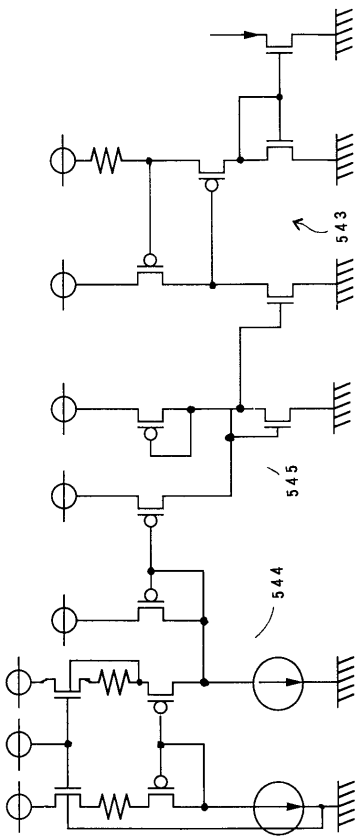
【図４５】



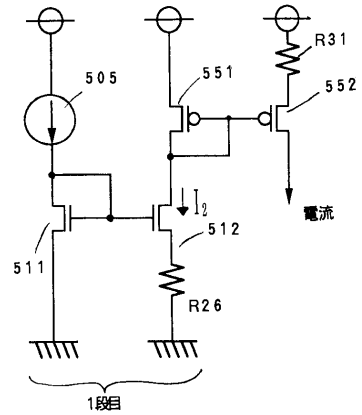
【図４６】



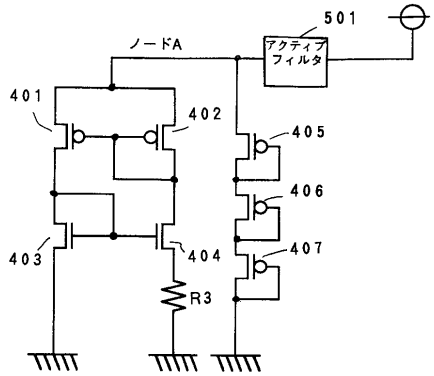
【図４７】



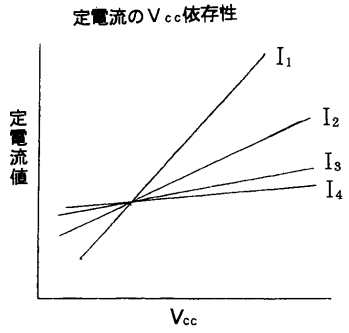
【図４８】



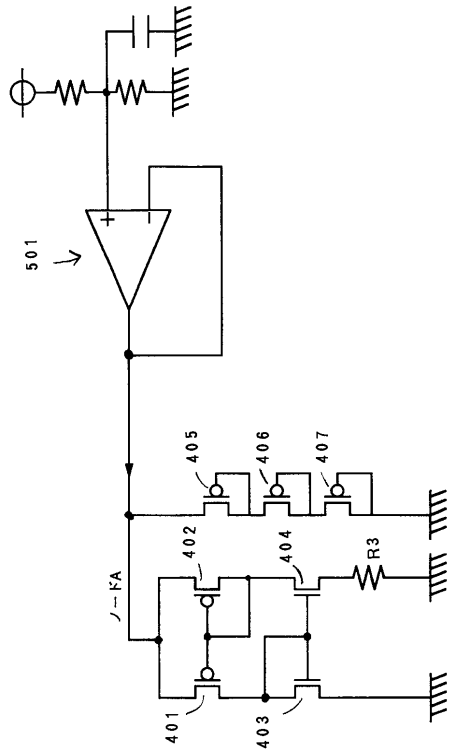
【図５０】



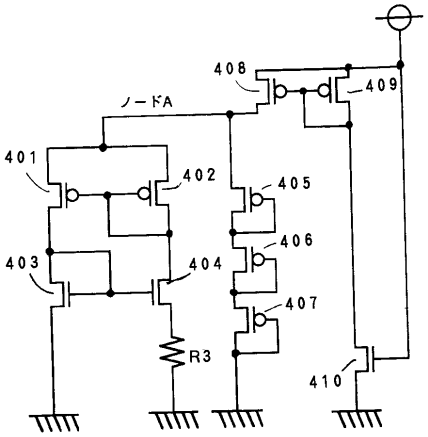
【図４９】



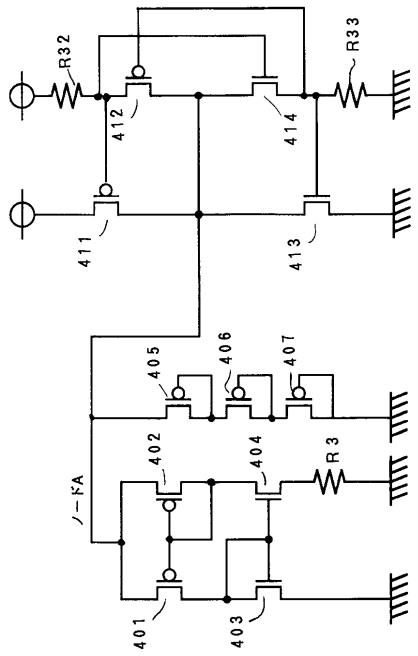
【図５１】



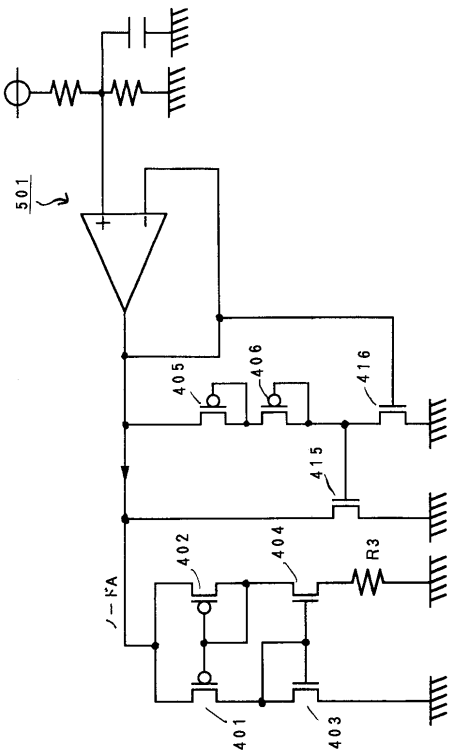
【図５２】



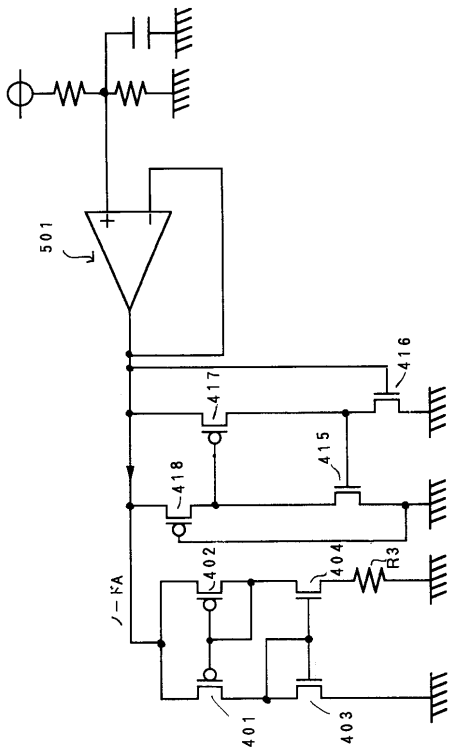
【図５３】



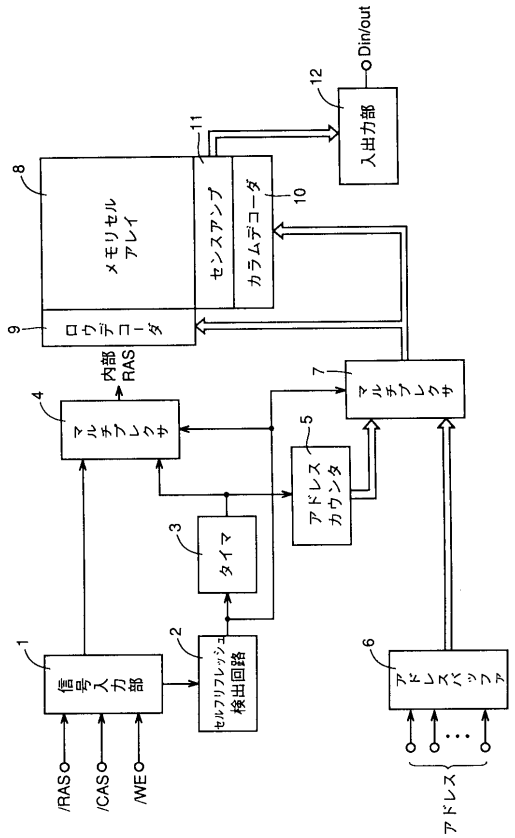
【図５４】



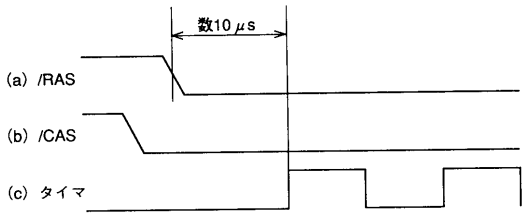
【図５５】



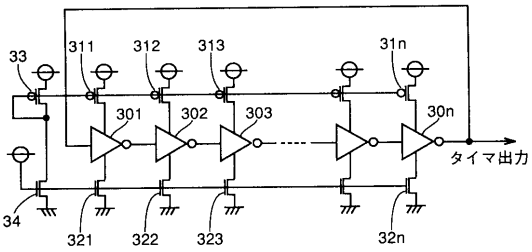
【図５６】



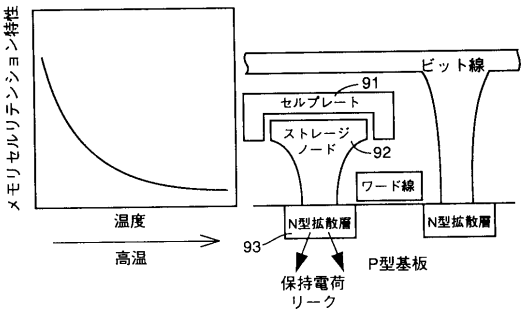
【図５７】



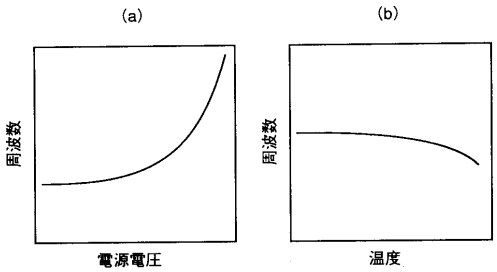
【図５８】



【図５９】



【図６０】



フロントページの続き

(72)発明者　大石　司
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

審査官　柳下　勝幸

(56)参考文献　特開平０３－０８８４１１（ＪＰ，Ａ）
特開平０７－１７０１５７（ＪＰ，Ａ）
特開平０７－２２１６０４（ＪＰ，Ａ）
特開平０７－０８６９２０（ＪＰ，Ａ）
実開昭６４－０３８８３４（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H03K 3/00-3/22
H03K 3/26-3/36
H03K 5/00-5/02@Z;5/08-5/12;5/15-5/26@Z