



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0001917
(43) 공개일자 2010년01월06일

(51) Int. Cl.

H01L 29/93 (2006.01) H01L 29/94 (2006.01)

(21) 출원번호 10-2008-0062016

(22) 출원일자 2008년06월27일

심사청구일자 2008년06월27일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

오용호

인천 부평구 부평5동 신영아파트 2동 501호

김수연

대구 북구 국우동 1033-15 302호

이재성

서울 마포구 신공덕동 삼성1차아파트 109-2002

(74) 대리인

전중학

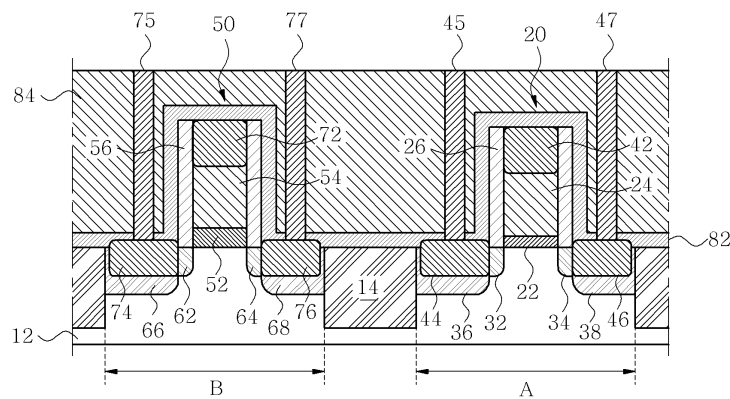
전체 청구항 수 : 총 19 항

(54) 모스 버랙터가 구비된 반도체 집적회로 및 이의 제조방법

(57) 요약

본 발명은 밀리터리 웨이브(millimeter wave) 등의 고주파 동작특성에도 불구하고 Q-인자(Q-factor)의 유지 및 개선과 더불어 상대적으로 넓은 튜닝범위(tuning range)를 확보할 수 있어 RFIC(Radio Frequency Integrated Circuit) 등에 적용 가능한 MOS 버랙터가 구비된 반도체 집적회로 및 이의 제조방법에 관한 것이다. 구체적으로 본 발명은 (a) 버랙터를 위한 제 1 활성영역과 트랜지스터를 위한 제 2 활성영역이 구분 정의된 실리콘기판을 준비하는 단계와; (b) 상기 제 1 활성영역에 제 1 두께(t_1)의 제 1 게이트산화막 및 그 상부의 제 1 실리콘게이트를 포함하는 MOS 트랜지스터를 형성하고, 상기 제 2 활성영역에 제 2 두께(t_2 , 단 $t_2 > t_1$)의 제 2 게이트산화막 및 그 상부의 제 2 실리콘게이트를 포함하는 MOS 버랙터를 형성하는 단계와; (f) 상기 MOS 트랜지스터와 MOS 버랙터를 덮는 보호막을 증착하는 단계와; (g) 상기 보호막을 덮는 low-k 절연체를 이용한 PMD(Poly Metal Dielectric)막을 증착하는 단계를 포함하는 MOS 버랙터가 구비된 반도체 집적회로의 제조방법인 MOS 버랙터가 구비된 반도체 집적회로 및 이를 통해 제조된 MOS 버랙터가 구비된 반도체 집적회로를 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

- (a) 버랙터를 위한 제 1 활성영역과 트랜지스터를 위한 제 2 활성영역이 구분 정의된 실리콘기판을 준비하는 단계와;
- (b) 상기 제 1 활성영역에 제 1 두께(t_1)의 제 1 게이트산화막 및 그 상부의 제 1 실리콘게이트를 포함하는 MOS 트랜지스터를 형성하고, 상기 제 2 활성영역에 제 2 두께(t_2 , 단 $t_2 > t_1$)의 제 2 게이트산화막 및 그 상부의 제 2 실리콘게이트를 포함하는 MOS 버랙터를 형성하는 단계와;
- (f) 상기 MOS 트랜지스터와 MOS 버랙터를 덮는 보호막을 증착하는 단계와;
- (g) 상기 보호막을 덮는 low-k 절연체를 이용한 PMD(Poly Metal Dielectric)막을 증착하는 단계를 포함하는 MOS 버랙터가 구비된 반도체 직접회로의 제조방법.

청구항 2

청구항 1에 있어서,

상기 (a) 단계의 상기 제 1 및 제 2 활성영역은 소자분리막으로 구분되는 MOS 버랙터가 구비된 반도체 집적회로의 제조방법.

청구항 3

청구항 1에 있어서,

상기 (b) 단계의 상기 제 1 및 제 2 게이트산화막은 SiO_2 , SiON 및 HfO_2 , HfON , HfSiON , Al_2O_3 , Ta_2O_3 를 포함하는 고유전율 절연체(high-k) 중 선택된 하나로 이루어지고, 상기 제 1 두께는 상기 SiO_2 를 기준으로 0 초과 3nm 이하, 상기 제 2 두께는 1nm 초과 6nm 이하인 MOS 버랙터가 구비된 반도체 집적회로의 제조방법.

청구항 4

청구항 1에 있어서,

상기 보호막은 질화물계의 절연물질로 이루어지고, 0 초과 30nm 이하 두께인 MOS 버랙터가 구비된 반도체 집적회로의 제조방법.

청구항 5

청구항 1에 있어서,

상기 (b) 단계는,

- (b1) 상기 제 1 활성영역을 덮는 상기 제 1 두께의 제 1 산화막과 상기 제 2 활성영역을 덮는 상기 제 2 두께의 제 2 산화막을 형성하는 단계와;
- (b2) 상기 제 1 및 제 2 산화막을 덮도록 폴리실리콘을 증착한 후 패터닝하여 상기 제 1 게이트산화막 및 제 1 실리콘게이트와 상기 제 2 게이트산화막 및 제 2 실리콘게이트를 형성하는 단계와;
- (b3) 제 1 도전형 불순물을 도핑하여 상기 제 1 및 제 2 게이트산화막 가장자리로 각각 제 1 및 제 2 LDD 영역을 형성하는 단계와;
- (b4) 상기 제 1 게이트산화막 및 제 1 실리콘게이트의 측면과 상기 제 2 게이트산화막 및 제 2 실리콘게이트 측면을 따라 각각 제 1 및 제 2 사이드월을 형성하는 단계와;
- (b5) 제 2 도전형 불순물을 도핑하여 상기 제 1 및 제 2 사이드월 가장자리로 각각 제 1 소스 및 드레인영역과 제 2 소스 및 드레인영역을 형성하는 단계와;
- (b6) 금속박막을 적층한 후 패터닝하고 열처리하여 각각 상기 제 1 실리콘게이트와 상기 제 1 소스 및 드레인영역에 제 1 내지 제 3 금속 실리사이드를, 상기 제 2 실리콘게이트와 상기 제 2 소스 및 드레인영역의 제 4 내지

제 6 금속 실리사이드를 형성하는 단계를 포함하는 MOS 버랙터가 구비된 반도체 집적회로의 제조방법.

청구항 6

청구항 1에 있어서,

상기 (b) 단계는,

- (b1) 상기 제 1 활성영역을 덮는 상기 제 1 두께의 제 1 산화막과 상기 제 2 활성영역을 덮는 상기 제 2 두께의 제 2 산화막을 형성하는 단계와;
- (b2) 상기 제 1 및 제 2 산화막을 덮도록 폴리실리콘을 증착한 후 패터닝하여 상기 제 1 게이트산화막 및 제 1 실리콘게이트와 상기 제 2 게이트산화막 및 제 2 실리콘게이트를 형성하는 단계와;
- (b3) 상기 제 2 활성영역을 가린 후 제 1 도전형 불순물을 도핑하여 상기 제 1 게이트산화막 가장자리로 LDD 영역을 형성하는 단계와;
- (b4) 상기 제 1 게이트산화막 및 제 1 실리콘게이트의 측면과 상기 제 2 게이트산화막 및 제 2 실리콘게이트 측면을 따라 각각 제 1 및 제 2 사이드월을 형성하는 단계와;
- (b5) 제 2 도전형 불순물을 도핑하여 상기 제 1 및 제 2 사이드월 가장자리로 각각 제 1 소스 및 드레인영역과 제 2 소스 및 드레인영역을 형성하는 단계와;
- (b6) 금속박막을 적층한 후 패터닝하고 열처리하여 각각 상기 제 1 실리콘게이트와 상기 제 1 소스 및 드레인영역에 제 1 내지 제 3 금속 실리사이드를, 상기 제 2 실리콘게이트와 상기 제 2 소스 및 드레인영역의 제 4 내지 제 6 금속 실리사이드를 형성하는 단계를 포함하는 MOS 버랙터가 구비된 반도체 집적회로의 제조방법.

청구항 7

청구항 1에 있어서,

상기 (b) 단계는,

- (b1) 상기 제 1 활성영역을 덮는 상기 제 1 두께의 제 1 산화막과 상기 제 2 활성영역을 덮는 상기 제 2 두께의 제 2 산화막을 형성하는 단계와;
- (b2) 상기 제 1 및 제 2 산화막을 덮도록 폴리실리콘을 증착한 후 패터닝하여 상기 제 1 게이트산화막 및 제 1 실리콘게이트와 상기 제 2 게이트산화막 및 제 2 실리콘게이트를 형성하는 단계와;
- (b3) 제 1 도전형 불순물을 도핑하여 상기 제 1 및 제 2 게이트산화막 가장자리로 각각 제 1 및 제 2 LDD 영역을 형성하는 단계와;
- (b4) 상기 제 1 게이트산화막 및 제 1 실리콘게이트의 측면과 상기 제 2 게이트산화막 및 제 2 실리콘게이트 측면을 따라 각각 제 1 및 제 2 사이드월을 형성하는 단계와;
- (b5) 상기 제 2 활성영역을 가린 후 제 2 도전형 불순물을 도핑하여 상기 제 1 사이드월 가장자리로 소스 및 드레인영역을 형성하는 단계와;
- (b6) 금속박막을 적층한 후 패터닝하고 열처리하여 각각 상기 제 1 실리콘게이트와 상기 소스 및 드레인영역에 제 1 내지 제 3 금속 실리사이드를, 상기 제 2 실리콘게이트와 상기 제 2 LDD 영역에 제 4 내지 제 6 금속 실리사이드를 형성하는 단계를 포함하는 MOS 버랙터가 구비된 반도체 집적회로의 제조방법.

청구항 8

청구항 1에 있어서,

상기 (b) 단계는,

- (b1) 상기 제 1 활성영역을 덮는 상기 제 1 두께의 제 1 산화막과 상기 제 2 활성영역을 덮는 상기 제 2 두께의 제 2 산화막을 형성하는 단계와;
- (b2) 상기 제 1 및 제 2 산화막을 덮도록 폴리실리콘을 증착한 후 패터닝하여 상기 제 1 게이트산화막 및 제 1 실리콘게이트와 상기 제 2 게이트산화막 및 제 2 실리콘게이트를 형성하는 단계와;

- (b3) 상기 제 2 게이트산화막 및 제 2 실리콘게이트의 측면을 따라 더미스페이서를 형성하는 단계와;
- (b3) 제 1 도전형 불순물을 도핑하여 상기 제 1 게이트산화막과 상기 더미스페이서 가장자리로 각각 제 1 및 제 2 LDD 영역을 형성하는 단계와;
- (b4) 상기 제 1 게이트산화막 및 제 1 실리콘게이트의 측면을 따라 사이드월을 형성하는 단계와;
- (b5) 제 2 도전형 불순물을 도핑하여 상기 사이드월과 상기 더미스페이서 가장자리로 각각 제 1 소스 및 드레인 영역과 제 2 소스 및 드레인영역을 형성하는 단계와;
- (b6) 금속박막을 적층한 후 패터닝하고 열처리하여 각각 상기 제 1 실리콘게이트와 상기 제 1 소스 및 드레인영역에 제 1 내지 제 3 금속 실리사이드를, 상기 제 2 실리콘게이트와 상기 제 2 소스 및 드레인영역의 제 4 내지 제 6 금속 실리사이드를 형성하는 단계를 포함하는 MOS 버랙터가 구비된 반도체 집적회로의 제조방법.

청구항 9

청구항 8에 있어서,

상기 더미스페이서는 10nm 이하의 질화물 또는 산화물계의 절연물질인 MOS 버랙터가 구비된 반도체 집적회로의 제조방법.

청구항 10

청구항 5항 내지 8 중 어느 하나에 있어서,

상기 (b1) 단계는,

(b1-1) 상기 실리콘기판 전면에 상기 제 1 두께의 제 1 산화막을 증착한 후 상기 제 2 활성영역을 덮는 상기 제 1 산화막의 일부를 제거하는 단계와;

(b1-2) 상기 제 2 활성영역 및 상기 제 1 산화막의 전면에 상기 제 2 두께의 제 2 산화막을 증착한 후 상기 제 1 산화막을 덮는 상기 제 2 산화막의 일부를 제거하는 단계를 포함하는 MOS 버랙터가 구비된 반도체 집적회로의 제조방법.

청구항 11

소자분리막에 의해 제 1 및 제 2 활성영역이 구분 정의된 실리콘기판과;

상기 제 1 활성영역에 위치된 제 1 두께(t_1)의 제 1 게이트산화막 및 그 상부의 제 1 실리콘게이트를 포함하는 MOS 트랜지스터와;

상기 제 2 활성영역에 위치된 제 2 두께(t_2 , 단 $T_2 > t_1$)의 제 2 게이트산화막 및 그 상부의 제 2 실리콘게이트를 포함하는 MOS 버랙터와;

상기 MOS 트랜지스터 및 MOS 버랙터를 덮는 보호막과;

상기 보호막을 덮으며 low-k 절연체를 이용한 PMD 막을 포함하는 MOS 버랙터가 구비된 반도체 집적회로.

청구항 12

청구항 11에 있어서,

상기 제 1 및 제 2 게이트산화막은 SiO_2 , SiON 및 HfO_2 , HfON , HfSiON , Al_2O_3 , Ta_2O_3 를 포함하는 고유전율 절연체(high-k) 중 선택된 하나로 이루어지고, 상기 제 1 두께는 상기 SiO_2 를 기준으로 0 초과 3nm 이하, 상기 제 2 두께는 1nm 초과 6nm 이하 두께인 MOS 버랙터가 구비된 반도체 집적회로.

청구항 13

청구항 11에 있어서,

상기 보호막은 질화물계의 절연물질로 이루어지고, 0 초과 30nm 이하 두께인 MOS 버랙터가 구비된 반도체 집적회로.

청구항 14

청구항 11에 있어서,

상기 MOS 트랜지스터는,

상기 제 1 게이트산화막 가장자리의 제 1 LDD 영역과;

상기 제 1 게이트산화막 및 제 1 실리콘게이트 측면의 제 1 사이드월과;

상기 제 1 사이드월 가장자리의 제 1 소스 및 드레인영역과;

상기 제 1 실리콘게이트와 상기 제 1 소스 및 드레인영역에 형성된 제 1 내지 제 3 금속 실리사이드를 더 포함하는 MOS 버랙터가 구비된 반도체 집적회로.

청구항 15

청구항 11 또는 14에 있어서,

상기 MOS 트랜지스터는,

상기 제 2 게이트산화막 가장자리의 제 2 LDD 영역과;

상기 제 2 게이트산화막 및 제 2 실리콘게이트 측면의 제 2 사이드월과;

상기 제 2 사이드월 가장자리의 제 2 소스 및 드레인영역과;

상기 제 2 실리콘게이트와 상기 제 2 소스 및 드레인영역에 형성된 제 4 내지 제 6 금속 실리사이드를 더 포함하는 MOS 버랙터가 구비된 반도체 집적회로.

청구항 16

청구항 11 또는 14에 있어서,

상기 MOS 버랙터는,

상기 제 2 게이트산화막 및 제 2 실리콘게이트 측면의 제 2 사이드월과;

상기 제 2 사이드월 가장자리의 제 2 소스 및 드레인 영역과;

상기 제 2 실리콘게이트와 상기 제 2 소스 및 드레인 영역에 형성된 제 4 내지 제 6 금속 실리사이드를 더 포함하는 MOS 버랙터가 구비된 반도체 집적회로.

청구항 17

청구항 11 또는 14에 있어서,

상기 MOS 버랙터는,

상기 제 2 게이트산화막 가장자리의 제 2 LDD 영역과;

상기 제 2 게이트산화막 및 제 2 실리콘게이트 측면의 제 2 사이드월과;

상기 제 2 실리콘게이트와 상기 제 2 LDD 영역에 형성된 제 4 내지 제 6 금속 실리사이드를 더 포함하는 MOS 버랙터가 구비된 반도체 집적회로.

청구항 18

청구항 11 또는 14에 있어서,

상기 MOS 버랙터는,

상기 제 2 게이트산화막 및 제 2 실리콘게이트 측면의 더미스페이서와;

상기 더미스페이서 가장자리의 제 2 LDD 영역과;

상기 더미스페이서 가장자리의 제 2 소스 및 드레인영역과;

상기 제 2 실리콘게이트와 상기 제 2 소스 및 드레인영역에 형성된 제 4 내지 제 6 금속 실리사이드를 더 포함하는 MOS 버랙터가 구비된 반도체 집적회로.

청구항 19

청구항 18에 있어서,

상기 더미스페이서는 0 초과 10nm 이하의 질화물 또는 산화물계의 절연물질인 MOS 버랙터가 구비된 반도체 집적회로.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 MOS 버랙터(MOS varactor)가 구비된 반도체 집적회로 및 이의 제조방법에 관한 것으로, 보다 구체적으로는 밀리미터 웨이브(millimeter wave)와 같은 고주파 동작특성에도 불구하고 Q-인자(Q-factor)의 유지 및 개선과 더불어 상대적으로 넓은 튜닝범위(tuning range)를 확보할 수 있어 RFIC(Radio Frequency Integrated Circuit) 등에 적용 가능한 MOS 버랙터가 구비된 반도체 집적회로 및 이의 제조방법에 관한 것이다.

배경 기술

- <2> 일반적으로 버랙터(varactor)란 전압 또는 전류에 따라 리액턴스(reactance) 성분이 변하는 수동소자(passive element)로서 RFIC(Radio Frequency Integrated Circuit)등의 고주파 집적회로에 사용되는 전압-가변 캐패시터(voltage-variable capacitor)를 지칭한다.
- <3> 최근 들어 사회가 본격적인 정보화시대로 접어들에 따라 고품질, 광대역 무선통신서비스를 위한 무선통신분야의 고속화, 고주파화 노력이 계속되고 있고, 이에 부응해서 소자기술의 고집적화를 비롯한 고주파 저잡음 특성달성이 주요한 현안으로 떠오르고 있다. 일례로 RFIC(Radio Frequency Integrated Circuit) 등의 기술분야에서는 밀리미터 웨이브(millimeter wave, 30GHz~300GHz) 이상의 고주파 동작특성이 요구되며, 이를 위해서는 트랜지스터(transistor)와 같은 능동소자(active element) 뿐만 아니라 인덕터(inductor), 버랙터, 캐패시터(capacitor)와 같은 수동소자의 성능이 전체 동작특성을 결정짓는 중요한 원인이 된다.
- <4> 예컨대, 전압에 따라 발진주파수를 가변시키는 전압제어발진기(voltage-controlled oscillator : VCO)의 가장 중요한 특성은 위상잡음(phase noise)과 튜닝범위(tuning range)로서, 이 중에서도 위상잡음은 인덕터와 버랙터로 이루어진 LC 탱크(LC tank)의 Q-인자(Quality factor)로 결정된다. 이때, 비교적 낮은 수 GHz 주파수 대역에서는 인덕터의 Q-인자가 LC 탱크 전체의 Q-인자를 결정지음에 따라 인덕터에 의한 성능감소가 주로 문제되는 반면, 동작 주파수가 증가하면 인덕터의 Q-인자는 상대적으로 향상되지만 버랙터의 Q-인자는 급격히 감소하는 경향을 보인다. 결국 밀리미터 웨이브와 같은 고주파 영역에서는 버랙터의 Q-인자가 LC 탱크는 물론 VCO의 전체 성능을 좌우하는 주요요인이 된다.
- <5> 따라서 고주파동작특성이 요구되는 버랙터는 튜닝범위가 넓고 Q-인자가 높아야 한다.
- <6> 한편, RFIC 등에서 주로 사용되는 버랙터는 CMOS 트랜지스터의 게이트산화막을 이용한 축적모드(accumulation Mode)의 MOS 버랙터로서, Q-인자의 개선을 위해서는 게이트 산화막의 캐패시턴스(gate oxide capacitance)를 비롯해서 채널(channel)의 폭(width)과 길이(lenth)를 축소시키는 방법을 생각해 볼 수 있다. 하지만 버랙터의 총 캐패시턴스는 고정 캐패시턴스 성분과 가변 캐패시턴스 성분의 합으로 결정되는데, Q-인자의 개선을 위해 게이트 산화막의 캐패시턴스를 줄이면 고정 캐패시턴스 성분은 일정하게 유지되지만 가변 캐패시턴스 성분의 급격한 감소가 나타나 전체 튜닝범위가 감소되며, VCO의 경우에는 심각한 성능저하를 초래한다.
- <7> 이에 따라 현재 RFIC 등 고주파영역의 동작특성이 요구되는 반도체 집적회로의 버랙터로서, Q-인자의 유지 및 개선과 더불어 튜닝범위를 상대적으로 넓게 확보할 수 있는 구체적인 방도가 절실히 요구되고 있다.

발명의 내용

해결 하고자하는 과제

<8> 본 발명은 상기와 같은 요구에 부응하기 위한 것으로, 고주파 동작특성에도 불구하고 Q-인자의 유지 및 개선과 상대적으로 넓은 튜닝범위를 확보할 수 있는 버랙터가 구비된 반도체 집적회로 및 이의 제조방법을 제공하는데 목적이 있다.

<9> 이를 위해 본 발명은 구체적으로 CMOSFET 공정 기반의 MOS 버랙터를 포함하는 반도체집적회로 및 이의 제조방법을 제공하는바, MOS 버랙터의 게이트 산화막에 대한 캐패시턴스를 효과적으로 줄여 Q-인자를 개선하는 한편, 여기에 수반되는 튜닝범위의 감소를 방지할 수 있어 RFIC 등 밀리터리 웨이브 이상의 고주파동작에 적합한 효과적이고 실질적인 방안을 제시하고자 한다.

과제 해결수단

<10> 상기와 같은 목적을 달성하기 위하여 본 발명은, (a) 버랙터를 위한 제 1 활성영역과 트랜지스터를 위한 제 2 활성영역이 구분 정의된 실리콘기판을 준비하는 단계와; (b) 상기 제 1 활성영역에 제 1 두께(t1)의 제 1 게이트산화막 및 그 상부의 제 1 실리콘게이트를 포함하는 MOS 트랜지스터를 형성하고, 상기 제 2 활성영역에 제 2 두께(t2, 단 t2>t1)의 제 2 게이트산화막 및 그 상부의 제 2 실리콘게이트를 포함하는 MOS 버랙터를 형성하는 단계와; (f) 상기 MOS 트랜지스터와 MOS 버랙터를 덮는 보호막을 증착하는 단계와; (g) 상기 보호막을 덮는 low-k 절연체를 이용한 PMD(Poly Metal Dielectric)막을 증착하는 단계를 포함하는 MOS 버랙터가 구비된 반도체 집적회로의 제조방법을 제공한다.

<11> 이때, 상기 (a) 단계의 상기 제 1 및 제 2 활성영역은 소자분리막으로 구분되는 것을 특징으로 하고, 상기 (b) 단계의 상기 제 1 및 제 2 게이트산화막은 SiO₂, SiON 및 HfO₂, HfON, HfSiON, Al₂O₃, Ta₂O₃를 포함하는 고유전율 절연체(high-k) 중 선택된 하나로 이루어지고, 상기 제 1 두께는 상기 SiO₂를 기준으로 0 초과 3nm 이하, 상기 제 2 두께는 1nm 초과 6nm 이하인 것을 특징으로 하며, 상기 보호막은 질화물계의 절연물질로 이루어지고, 0 초과 30nm 이하 두께인 것을 특징으로 한다.

<12> 또한 상기 (b) 단계는, (b1) 상기 제 1 활성영역을 덮는 상기 제 1 두께의 제 1 산화막과 상기 제 2 활성영역을 덮는 상기 제 2 두께의 제 2 산화막을 형성하는 단계와; (b2) 상기 제 1 및 제 2 산화막을 덮도록 폴리실리콘을 증착한 후 패터닝하여 상기 제 1 게이트산화막 및 제 1 실리콘게이트와 상기 제 2 게이트산화막 및 제 2 실리콘게이트를 형성하는 단계와; (b3) 제 1 도전형 불순물을 도핑하여 상기 제 1 및 제 2 게이트산화막 가장자리로 각각 제 1 및 제 2 LDD 영역을 형성하는 단계와; (b4) 상기 제 1 게이트산화막 및 제 1 실리콘게이트의 측면과 상기 제 2 게이트산화막 및 제 2 실리콘게이트 측면을 따라 각각 제 1 및 제 2 사이드월을 형성하는 단계와; (b5) 제 2 도전형 불순물을 도핑하여 상기 제 1 및 제 2 사이드월 가장자리로 각각 제 1 소스 및 드레인영역과 제 2 소스 및 드레인영역을 형성하는 단계와; (b6) 금속박막을 적층한 후 패터닝하고 열처리하여 각각 상기 제 1 실리콘게이트와 상기 제 1 소스 및 드레인영역에 제 1 내지 제 3 금속 실리사이드를, 상기 제 2 실리콘게이트와 상기 제 2 소스 및 드레인영역의 제 4 내지 제 6 금속 실리사이드를 형성하는 단계를 포함하는 것을 특징으로 하거나, 또는 상기 (b) 단계는, (b1) 상기 제 1 활성영역을 덮는 상기 제 1 두께의 제 1 산화막과 상기 제 2 활성영역을 덮는 상기 제 2 두께의 제 2 산화막을 형성하는 단계와; (b2) 상기 제 1 및 제 2 산화막을 덮도록 폴리실리콘을 증착한 후 패터닝하여 상기 제 1 게이트산화막 및 제 1 실리콘게이트와 상기 제 2 게이트산화막 및 제 2 실리콘게이트를 형성하는 단계와; (b3) 상기 제 2 활성영역을 가린 후 제 1 도전형 불순물을 도핑하여 상기 제 1 게이트산화막 가장자리로 LDD 영역을 형성하는 단계와; (b4) 상기 제 1 게이트산화막 및 제 1 실리콘게이트의 측면과 상기 제 2 게이트산화막 및 제 2 실리콘게이트 측면을 따라 각각 제 1 및 제 2 사이드월을 형성하는 단계와; (b5) 제 2 도전형 불순물을 도핑하여 상기 제 1 및 제 2 사이드월 가장자리로 각각 제 1 소스 및 드레인영역과 제 2 소스 및 드레인영역을 형성하는 단계와; (b6) 금속박막을 적층한 후 패터닝하고 열처리하여 각각 상기 제 1 실리콘게이트와 상기 제 1 소스 및 드레인영역에 제 1 내지 제 3 금속 실리사이드를, 상기 제 2 실리콘게이트와 상기 제 2 소스 및 드레인영역의 제 4 내지 제 6 금속 실리사이드를 형성하는 단계를 포함하는 것을 특징으로 하거나, 또는 상기 (b) 단계는, (b1) 상기 제 1 활성영역을 덮는 상기 제 1 두께의 제 1 산화막과 상기 제 2 활성영역을 덮는 상기 제 2 두께의 제 2 산화막을 형성하는 단계와; (b2) 상기 제 1 및 제 2 산화막을 덮도록 폴리실리콘을 증착한 후 패터닝하여 상기 제 1 게이트산화막 및 제 1 실리콘게이트와 상기 제 2 게이트산화막 및 제 2 실리콘게이트를 형성하는 단계와; (b3) 제 1 도전형 불순물을 도핑하여 상기 제 1 및 제 2 게이트산화막 가장자리로 각각 제 1 및 제 2 LDD 영역을 형성하는 단계와; (b4) 상기 제 1 게이트산화막 및 제 1 실리콘게이트의 측면과 상기 제 2 게이트산화막 및 제 2 실리콘게이트 측면을 따라 각각 제 1 및 제 2 사이드월을 형성하는 단계와; (b5) 상기 제 2 활성영역을 가린 후 제 2 도전형 불순물을 도핑하여 상기 제 1 사이드월 가장자리로 소스 및 드레인영역을 형성하는 단계와; (b6) 금속박막을 적층한 후 패터닝하고 열처리하여

각각 상기 제 1 실리콘게이트와 상기 소스 및 드레인영역에 제 1 내지 제 3 금속 실리사이드를, 상기 제 2 실리콘게이트와 상기 제 2 LDD 영역에 제 4 내지 제 6 금속 실리사이드를 형성하는 단계를 포함하는 것을 특징으로 하거나, 또는 상기 (b) 단계는, (b1) 상기 제 1 활성영역을 덮는 상기 제 1 두께의 제 1 산화막과 상기 제 2 활성영역을 덮는 상기 제 2 두께의 제 2 산화막을 형성하는 단계와; (b2) 상기 제 1 및 제 2 산화막을 덮도록 폴리실리콘을 증착한 후 패터닝하여 상기 제 1 게이트산화막 및 제 1 실리콘게이트와 상기 제 2 게이트산화막 및 제 2 실리콘게이트를 형성하는 단계와; (b3) 상기 제 2 게이트산화막 및 제 2 실리콘게이트의 측면을 따라 더미스페이서를 형성하는 단계와; (b3) 제 1 도전형 불순물을 도핑하여 상기 제 1 게이트산화막과 상기 더미스페이서 가장자리로 각각 제 1 및 제 2 LDD 영역을 형성하는 단계와; (b4) 상기 제 1 게이트산화막 및 제 1 실리콘게이트의 측면을 따라 사이드월을 형성하는 단계와; (b5) 제 2 도전형 불순물을 도핑하여 상기 사이드월과 상기 더미스페이서 가장자리로 각각 제 1 소스 및 드레인영역과 제 2 소스 및 드레인영역을 형성하는 단계와; (b6) 금속박막을 적층한 후 패터닝하고 열처리하여 각각 상기 제 1 실리콘게이트와 상기 제 1 소스 및 드레인영역에 제 1 내지 제 3 금속 실리사이드를, 상기 제 2 실리콘게이트와 상기 제 2 소스 및 드레인영역의 제 4 내지 제 6 금속 실리사이드를 형성하는 단계를 포함하는 것을 특징으로 한다.

<13> 그리고 상기 더미스페이서는 10nm 이하의 질화물 또는 산화물계의 절연물질인 것을 특징으로 하고, 상기 (b1) 단계는, (b1-1) 상기 실리콘기판 전면에 상기 제 1 두께의 제 1 산화막을 증착한 후 상기 제 2 활성영역을 덮는 상기 제 1 산화막의 일부를 제거하는 단계와; (b1-2) 상기 제 2 활성영역 및 상기 제 1 산화막의 전면에 상기 제 2 두께의 제 2 산화막을 증착한 후 상기 제 1 산화막을 덮는 상기 제 2 산화막의 일부를 제거하는 단계를 포함하는 것을 특징으로 한다.

<14> 아울러 본 발명은 소자분리막에 의해 제 1 및 제 2 활성영역이 구분 정의된 실리콘기판과; 상기 제 1 활성영역에 위치한 제 1 두께(t1)의 제 1 게이트산화막 및 그 상부의 제 1 실리콘게이트를 포함하는 MOS 트랜지스터와; 상기 제 2 활성영역에 위치한 제 2 두께(t2, 단 $T2 > t1$)의 제 2 게이트산화막 및 그 상부의 제 2 실리콘게이트를 포함하는 MOS 버랙터와; 상기 MOS 트랜지스터 및 MOS 버랙터를 덮는 보호막과; 상기 보호막을 덮으며 low-k 절연체를 이용한 PMD 막을 포함하는 MOS 버랙터가 구비된 반도체 집적회로를 제공한다.

<15> 이때, 상기 제 1 및 제 2 게이트산화막은 SiO_2 , $SiON$ 및 HfO_2 , $HfON$, $HfSiON$, Al_2O_3 , Ta_2O_3 를 포함하는 고유전율 절연체(high-k) 중 선택된 하나로 이루어지고, 상기 제 1 두께는 상기 SiO_2 를 기준으로 0 초과 3nm 이하, 상기 제 2 두께는 1nm 초과 6nm 이하 두께인 것을 특징으로 하고, 상기 보호막은 질화물계의 절연물질로 이루어지고, 0 초과 30nm 이하 두께인 것을 특징으로 한다.

<16> 또한 상기 MOS 트랜지스터는, 상기 제 1 게이트산화막 가장자리의 제 1 LDD 영역과; 상기 제 1 게이트산화막 및 제 1 실리콘게이트 측면의 제 1 사이드월과; 상기 제 1 사이드월 가장자리의 제 1 소스 및 드레인영역과; 상기 제 1 실리콘게이트와 상기 제 1 소스 및 드레인영역에 형성된 제 1 내지 제 3 금속 실리사이드를 더 포함하는 MOS 버랙터가 구비된 것을 특징으로 하거나 또는 상기 MOS 트랜지스터는, 상기 제 2 게이트산화막 가장자리의 제 2 LDD 영역과; 상기 제 2 게이트산화막 및 제 2 실리콘게이트 측면의 제 2 사이드월과; 상기 제 2 사이드월 가장자리의 제 2 소스 및 드레인영역과; 상기 제 2 실리콘게이트와 상기 제 2 소스 및 드레인영역에 형성된 제 4 내지 제 6 금속 실리사이드를 더 포함하는 것을 특징으로 한다.

<17> 이 경우 상기 MOS 버랙터는, 상기 제 2 게이트산화막 및 제 2 실리콘게이트 측면의 제 2 사이드월과; 상기 제 2 사이드월 가장자리의 제 2 소스 및 드레인 영역과; 상기 제 2 실리콘게이트와 상기 제 2 소스 및 드레인 영역에 형성된 제 4 내지 제 6 금속 실리사이드를 더 포함하는 것을 특징으로 하거나 또는, 상기 MOS 버랙터는, 상기 제 2 게이트산화막 가장자리의 제 2 LDD 영역과; 상기 제 2 게이트산화막 및 제 2 실리콘게이트 측면의 제 2 사이드월과; 상기 제 2 실리콘게이트와 상기 제 2 LDD 영역에 형성된 제 4 내지 제 6 금속 실리사이드를 더 포함하는 것을 특징으로 하거나, 상기 MOS 버랙터는, 상기 제 2 게이트산화막 및 제 2 실리콘게이트 측면의 더미스페이서와; 상기 더미스페이서 가장자리의 제 2 LDD 영역과; 상기 더미스페이서 가장자리의 제 2 소스 및 드레인 영역과; 상기 제 2 실리콘게이트와 상기 제 2 소스 및 드레인영역에 형성된 제 4 내지 제 6 금속 실리사이드를 더 포함하는 것을 특징으로 한다.

<18> 그리고 상기 더미스페이서는 0 초과 10nm 이하의 질화물 또는 산화물계의 절연물질인 것을 특징으로 한다.

효 과

<19> 이상의 본 발명에 따른 반도체 집적회로는 밀리터리 웨이브 등의 고주파 동작특성에도 불구하고 Q-인자의 유지

및 개선과 상대적으로 넓은 튜닝범위를 확보할 수 있는 장점이 있다.

<20> 구체적으로 본 발명에 따른 반도체 집적회로 중 MOS 버랙터의 제 2 게이트산화막은 캐패시턴스(Cox)를 줄임으로써 Q-인자를 유지 및 개선시킬 수 있고, low-k 절연체를 이용한 PMD 막은 플린징 캐패시턴스(fringing capacitance)를 감소시켜 상대적으로 넓은 채널범위를 확보할 수 있으며, 그외 오버랩 캐패시턴스(overlap capacitance)에 의한 튜닝범위 감소를 방지할 수 있는 장점이 있다.

<21> 그 결과 본 발명에 따른 반도체 집적회로는 RFIC 등 고주파 동작특성이 요구되는 분야에 적용될 때 특히 뛰어난 성능을 기대할 수 있다.

발명의 실시를 위한 구체적인 내용

<22> 이하, 도면을 참조해서 본 발명을 상세하게 살펴본다.

<23> 첨부된 도 1은 본 발명에 따른 MOS 버랙터가 구비된 반도체 집적회로(이하, 간략하게 반도체 집적회로라 한다.)의 단면도로서, 보이는 것처럼 제 1 실리콘게이트(24)를 포함하는 MOS 트랜지스터(20)와 제 2 실리콘게이트(54)를 포함하는 MOS 버랙터(50)가 단일 실리콘기판(12)의 제 1 및 제 2 활성영역(A,B)에 각각 집적되어 있다. 이때, 바람직하게는 MOS 트랜지스터(20)와 MOS 버랙터(50)는 LDD(Lightly Doped Drain) 구조를 나타낼 수 있고, MOS 트랜지스터(20)는 코어 트랜지스터(core transistor)가 될 수 있다.

<24> 보다 구체적으로 살펴보면, 본 발명에 따른 반도체 집적회로는 소자분리막(14)에 의해 제 1 및 제 2 활성영역(A,B)이 구분 정의된 실리콘기판(12)의 제 1 활성영역(A)에 제 1 실리콘게이트(24)를 포함하는 MOS 트랜지스터(20)가 위치하고 있고, 제 2 활성영역(B)에 제 2 실리콘게이트(54)를 포함하는 MOS 버랙터(50)가 위치하고 있다.

<25> 그리고 이 중에서 MOS 트랜지스터(20)는 제 1 두께(T1)의 제 1 게이트산화막(22) 상부로 제 1 실리콘게이트(24)가 위치되어 제 1 게이트산화막(22)과 제 1 실리콘게이트(24)의 측면을 따라 제 1 사이드월(26)이 형성되어 있고, 제 1 게이트산화막(22)의 가장자리에 해당되는 제 1 활성영역(A)에는 불순물에 의한 제 1 소스 및 드레인 영역(36,38) 각각 형성되어 그 사이의 제 1 게이트산화막(22) 하부로 제 1 채널층(미도시)이 정의되며, 제 1 실리콘게이트(24)와 제 1 소스 및 드레인영역(36,38)에는 각각 제 1 내지 제 3 금속 실리사이드(42,44,46)가 형성되어 있다.

<26> 또한, MOS 버랙터(50)는 제 2 두께(t2, 단 t2>t1)의 제 2 게이트산화막(52) 상부로 제 2 실리콘게이트(54)가 위치되어 제 2 게이트산화막(52)과 제 2 실리콘게이트(54)의 측면을 따라 제 2 사이드월(56)이 형성되어 있고, 제 2 게이트산화막(52)의 가장자리에 해당되는 제 2 활성영역(B)에는 불순물에 의한 제 2 소스 및 드레인영역(66,68)이 각각 형성되어 그 사이의 제 2 게이트산화막(52) 하부로 제 2 채널층(미도시)이 정의되며, 제 2 실리콘게이트(54)와 제 2 소스 및 드레인영역(66,68)에는 각각 제 4 내지 제 6 금속 실리사이드(72,74,76)가 형성되어 있다.

<27> 그리고 MOS 트랜지스터(20)와 MOS 버랙터(50)의 상부 전면에는 질화물계의 절연물질로 이루어진 보호막(82)이 덮여 있고, 보호막(82)의 상부 전면에는 low-k 절연체를 이용한 PMD(Poly Metal Dielectric)막(84)이 덮여 있으며, 보호막(82)과 low-k 절연체를 이용한 PMD 막(84)을 관통하는 제 1 내지 제 6 콘택홀(미도시)을 통해 제 1 내지 제 6 실리사이드(42,44,46,72,74,76)가 외부로 노출되어 각각 MOS 트랜지스터(20)의 제 1 게이트전극(미도시)과 제 1 소스 및 드레인전극(45,47) 그리고 MOS 버랙터(50)의 제 2 게이트전극(미도시)과 제 2 소스 및 드레인전극(75,77)을 이루고 있다.

<28> 이때, 바람직하게는 제 1 채널층의 양측, 다시 말해 제 1 소스 및 드레인영역(36,38)과 제 1 채널층이 만나는 부분과 제 2 채널층의 양측, 다시 말해 제 2 소스 및 드레인영역(66,68)과 제 2 채널층이 만나는 부분으로는 불순물 도핑에 의한 제 1 LDD 영역(32,34)과 제 2 LDD 영역(62,64)이 형성될 수 있다.

<29> 한편, 이상의 구조를 나타내는 본 발명의 반도체 집적회로에서 가장 특징적인 부분은 MOS 버랙터(50)의 제 2 게이트산화막(52)과 MOS 트랜지스터(20) 및 MOS 버랙터(50)를 덮는 low-k 절연체를 이용한 PMD 막(84)으로서, 특히 제 2 게이트산화막(52)은 SiO₂, SiON 및 HfO₂, HfON, HfSiON, Al₂O₃, Ta₂O₅를 포함하는 고유전율 절연체(high-k) 중 선택된 하나로 이루어지되 제 2 두께(T2)는 제 1 게이트산화막(22)의 제 1 두께(T1) 보다 큰 값, 예컨대 SiO₂를 기준으로 3nm 이하의 두께를 나타내는 제 1 게이트산화막(22)의 제 1 두께(T1)보다 큰범위 내에서 1nm 초과 6nm 이하의 두께를 나타내고, low-k 절연체를 이용한 PMD 막(84)은 산화물 계열보다 작은 유전율,

예컨대 4.0 미만의 유전율을 나타내는 저유전율 물질(low-k)로 이루어져 30nm 이하의 보호막(82) 위에 충분한 두께로 덮여 있다.

- <30> 그 결과 본 발명에 따른 반도체 집적회로의 MOS 버랙터(50)는 고주파 영역에서도 높은 Q-인자의 유지 및 개선과 더불어 상대적으로 넓은 채널범위를 확보할 수 있는데, 제 2 게이트산화막(52)은 일반적인 반도체 집적회로의 인풋/아웃풋(input/output)용 MOS 트랜지스터 또는 고전압(high voltage) MOS 트랜지스터의 그것과 유사한 재질 및 두께를 나타내므로 MOS 버랙터(50)의 제 2 게이트산화막(52)의 캐패시턴스(Cox)를 줄여 Q-인자를 유지 및 개선시킬 수 있고, low-k 절연체를 이용한 PMD 막(84)은 제 2 실리콘게이트(54)와 그 상부의 금속배선 사이의 플린징 캐패시턴스(fringing capacitance)를 감소시켜 상대적으로 넓은 채널범위를 확보할 수 있도록 한다. 더불어 본 발명에 따른 반도체 집적회로는 MOS 버랙터(50)의 제 2 LDD 영역(62,64)이나 제 2 소스 및 드레인영역(66,68)을 생략해서 오버랩 캐패시턴스에 의한 튜닝범위 감소를 방지할 수 있고, 더 나아가 MOS 버랙터(50)의 제 2 사이드월(56)을 10nm 이하의 더미스페이서(도 9의 57 참조)로 교체하는 동시에 제 2 LDD 영역(62,64)을 상대적으로 제 2 채널층의 외곽으로 재배치하여 오버랩 캐패시턴스에 의한 튜닝범위 감소를 방지하는 것도 가능한바, 이하 본 발명에 따른 반도체 집적회로의 제조공정에 대한 설명을 통해 보다 세부적으로 살펴본다.
- <31> 참고로 본격적인 설명에 앞서, 본 발명의 요지가 흐려지는 것을 막기 위해 이하의 명세서에서는 일반적인 기술 내용에 대한 불필요한 부가설명은 생략하며, '상부', '상단', '하부', '하단' 등의 용어는 해당 구성요소와 직접적으로 접촉된 위치뿐만 아니라 또 다른 구성요소를 사이에 둔 그 상하부 또는 상하단 등의 위치를 폭넓게 지칭하는 것임을 밝혀 둔다.
- <32> 첨부된 도 2 내지 도 7은 본 발명에 따른 반도체 집적회로의 제조공정을 순서대로 나타낸 공정단면도로서, 앞서 도 1과 함께 참조한다.
- <33> 본 발명에 따른 반도체 집적회로의 제조를 위해서는 먼저, 도 2와 같이 실리콘기판(12)을 준비한 후 그 일면에 불순물을 주입하여 활성영역을 형성하고, 소자분리막(14)으로 MOS 트랜지스터(20)를 위한 제 1 활성영역(A)과 MOS 버랙터(50)를 위한 제 2 활성영역(B)을 구분한다.(st1)
- <34> 이때, 실리콘기판(12)은 통상의 Si 웨이퍼(wafer)가 사용될 수 있고, 불순물 주입에는 이온 임플란트(ion implant) 및 어닐링(annealing) 등의 방법이 사용될 수 있으며, 소자분리막(14)은 실리콘기판(12)의 일부를 식각해서 트렌치(trench)를 형성한 후 산화물의 유전체를 충전시키는 STI(Shallow Trench Isolation) 방법 및 이어지는 조밀화(densification), 평탄화 과정으로 구현될 수 있다. 그리고 이 같은 소자분리막(14)에 의해 구분 정의되는 제 1 및 제 2 활성영역(A,B)은 이른바 웰(well)과 동일한 의미이며, 임의로 NMOS의 축적모드를 전제로 제 1 활성영역(A)은 N-웰 또는 P-웰이 될 수 있고, 제 2 활성영역(B)은 N-웰이 될 수 있다.
- <35> 다음으로, 도 3과 같이 실리콘기판(12)의 일면 전체에 제 2 산화막(51)을 증착한다.(st2)
- <36> 이때, 제 2 산화막(51)은 SiO₂, SiON 및 HfO₂, HfON, HfSiON, Al₂O₃, Ta₂O₃를 포함하는 고유전율 절연체(high-k) 중 선택된 하나를 사용해서 통상의 박막증착방법(thin film deposition method)으로 증착될 수 있고, 그 두께는 MOS 버랙터(20)의 제 2 게이트산화막(52)과 동일한 수준, 다시 말해 제 1 게이트산화막(22) 보다 큰 범위 내에서 1 초과 6nm 이하의 두께를 나타내도록 한다.
- <37> 다음으로, 도 4와 같이 제 2 활성영역(B) 이외의 제 2 산화막(51)을 제거한 후 제 1 활성영역(A)에 제 1 산화막(21)을 증착한다.(st3)
- <38> 이때, 제 2 활성영역(B) 이외의 제 2 산화막(51)을 제거하기 위해서는 마스크(mask)를 동원한 포토리소그래피(photo-lithography) 공정이 사용될 수 있고, 이를 통해 제 1 활성영역(A)이 노출되면 실리콘기판(12) 전면에 걸쳐 별도의 산화물을 증착한 후 또 다른 마스크를 동원한 포토리소그래피 공정으로 제 2 산화막(51) 상부에 증착된 별도의 산화물을 제거해서 제 1 활성영역(A) 상부의 제 1 산화막(21)을 얻을 수 있다. 이 경우 제 1 산화막(21)은 SiO₂, SiON 및 HfO₂, HfON, HfSiON, Al₂O₃, Ta₂O₃를 포함하는 고유전율 절연체(high-k) 중 선택된 하나의 박막증착을 통해 MOS 트랜지스터(20)의 제 1 게이트산화막(22)과 동일한 수준, 다시 말해 0 초과 3nm 이하의 범위를 나타내도록 한다.
- <39> 한편, 이상의 과정 중에 필요하다면 제 1 산화막(21)을 먼저 형성한 후 제 2 산화막(51)을 형성하는 것도 가능하며, 이에 대해서는 별도의 설명이 없어도 쉽게 이해될 수 있을 것이다. 그리고 포토리소그래피 공정이란 대상물의 상부로 감광성 물질인 포토레지스트(photo-resist)를 도포한 후 소정의 패턴(pattern)이 새겨진 마스크로 노광(exposure)하고 현상(development)해서 대상물의 일부를 노출시키는 포토리소그래피패턴(photo-

lithography pattern)을 구현한 다음, 이어지는 식각(etching)을 통해 노출된 대상물의 일부를 제거한 후 잔류 포토레지스트패턴을 제거하는 스트립(strip) 및 세정(clean) 공정을 총칭하는바, 이는 본 명세서 전체에 걸쳐 동일한 의미로 사용될 것이다.

- <40> 다음으로, 도 5와 같이 제 1 및 제 2 산화막(21,51) 상부에 폴리실리콘(poly-Si)을 증착한 후 별도의 마스크를 동원한 포토리소그라피 공정으로 패터닝하여 제 1 활성영역(A)의 제 1 게이트산화막(22) 및 그 상부의 제 1 실리콘게이트(24)와 제 2 활성영역(B)의 제 1 게이트산화막(52) 및 그 상부의 제 2 실리콘게이트(54)를 구현한다.(st4)
- <41> 이때, 필요하다면 폴리실리콘을 증착한 후 불순물을 도핑하는 과정이 추가될 수 있고, 이로써, 제 1 활성영역(A)에는 MOS 트랜지스터(20)를 위한 제 1 두께(T1)의 제 1 게이트산화막(22)과 제 1 실리콘게이트(24)가 섬 모양으로 얻어지고, 제 2 활성영역(B)에는 MOS 버랙터(50)를 위한 제 2 두께(T2)의 제 2 게이트산화막(52)과 제 2 실리콘게이트(54)가 섬 모양으로 얻어진다. (임의로, 제 1 및 제 2 실리콘게이트(24,54)는 N+ 분위기라 한다.)
- <42> 다음으로, 도 6과 같이 실리콘기판(12)의 일면을 향해 제 1 도전형의 불순물을 도핑하여 제 1 및 제 2 게이트산화막(22,52) 가장자리의 제 1 및 제 2 활성영역(A,B) 일부에 각각 제 1 및 제 2 LDD 영역(32,34,62,64, 임의로 N-)을 형성하고, 질화물계 절연물질을 증착한 후 이방성식각을 진행하여 제 1 게이트산화막(22) 및 제 1 실리콘게이트(24) 측면의 제 1 사이드월(26)과 제 2 게이트산화막(52) 및 제 2 실리콘게이트(54) 측면의 제 2 사이드월(56)을 형성한다. 그리고 이어서 실리콘기판(12)의 일면을 향해 제 2 도전형의 불순물을 도핑하여 제 1 및 제 2 사이드월(26,56) 가장자리의 제 1 및 제 2 활성영역(A,B)에 각각 제 1 소스 및 드레인영역(36,38, 임의로 N+)과 제 2 소스 및 드레인영역(66,68, 임의로 N+)을 형성한다.(st5)
- <43> 다음으로, 도 7과 같이 금속박막을 증착한 후 별도의 마스크를 동원한 포토리소그라피 공정과 어닐링 공정을 통해 제 1 실리콘게이트(24)와 제 1 소스 및 드레인영역(36,38)에 제 1 내지 제 3 금속 실리사이드(42,44,46)를 형성하고, 제 2 실리콘게이트(54)와 제 2 소스 및 드레인영역(66,68)에 제 4 내지 제 6 금속 실리사이드(72,74,76)를 형성한다. 그리고 이어서 MOS 트랜지스터(20)와 MOS 버랙터(50)를 덮는 보호막(82)을 증착한 후 유전율 4.0 이하의 low-k 절연체를 이용한 PMD 막(84)을 형성한다.(st6)
- <44> 이때, 제 1 내지 제 6 금속 실리사이드(42,44,46,72,74,76)를 위한 금속박막은 Co, Ni 등 전도성이 높은 금속이 사용될 수 있고, 보호막(82)은 30nm 이하의 두께로 증착되며, low-k 절연체를 이용한 PMD 막(84)은 BPSG(Boron Phosphorus Silicate Glass) 또는 PSG(Phospho Silicate Glass)의 방법을 통해 충분한 두께로 형성된 후 평탄화 과정으로 얻어질 수 있다.
- <45> 한편, 상기의 과정을 통해 제 1 게이트산화막(22)의 제 1 실리콘게이트(24)를 포함하는 MOS 트랜지스터(20)와 제 2 게이트산화막(52)의 제 2 실리콘게이트(54)를 포함하는 MOS 버랙터(50)가 완성되는 동시에 MOS 트랜지스터(20)와 MOS 버랙터(50)를 보호막(82)과 low-k 절연체를 이용한 PMD 막(84)이 차례로 덮은 형태가 된다.
- <46> 다음으로는 별도의 마스크를 이용한 포토리소그라피 공정을 통해 low-k 절연체를 이용한 PMD 막(84)과 보호막(82)을 관통하는 제 1 내지 제 6 콘택홀(미도시)을 형성한 후, 배선용 금속박막을 증착한 다음 별도의 마스크를 이용한 포토리소그라피 공정을 통해 제 1 내지 제 6 금속 실리사이드(42,44,46)를 외부로 노출시키는 MOS 트랜지스터(20)의 제 1 게이트전극(미도시)과 제 1 소스 및 드레인전극(45,47) 그리고 MOS 버랙터(50)의 제 2 게이트전극(미도시)과 제 2 소스 및 드레인전극(75,77)을 형성하며, 이로써 도 1에 보인 본 발명에 따른 반도체 직접회로가 완성된다.
- <47> 한편, 첨부된 도 8은 본 발명의 일 변형예에 대한 단면도로서, 도 1과 비교하면 MOS 버랙터(50)의 제 2 LDD 영역(62,64)이 생략된 것을 확인할 수 있다.
- <48> 이를 위해서는 앞서 설명한 st5의 내용 중에서 제 1 및 제 2 LDD 영역(32,34,62,64)의 형성을 위한 제 1 도전형 불순물의 도핑 이전에 제 2 활성영역(B)만을 선택적으로 가린 상태로 상기 제 1 도전형 불순물을 도핑한 후 제 2 활성영역(B)을 노출시켜 이후의 과정, 예컨대 제 1 및 제 2 사이드월(26,56) 형성 이하의 공정을 진행하게 되며, 여기에 대해서는 별도의 공정단면도가 없더라도 쉽게 이해될 수 있을 것이다.
- <49> 그리고 이와 같이 MOS 버랙터(50)에 제 2 LDD 영역(62,64)을 생략하는 이유는 오버랩(overlap)에 의한 기생 캐패시턴스(parasitic capacitance)를 감소시켜 MOS 버랙터(50)의 튜닝범위를 상대적으로 증가시키기 위한 것이다.
- <50> 같은 의미에서 도 9와 같이 MOS 버랙터(50)의 제 2 LDD 영역(62,64) 대신 제 2 소스 및 드레인영역(66,68)을 생

략하여 제 2 LDD 영역(62,64)에 제 5 및 제 6 금속 실리사이드(74,76)가 형성되도록 하는 것도 가능하며, 이를 위해서는 앞서 설명한 st5의 내용 중에서 제 1 및 제 2 LDD 영역(32,34,62,64)의 형성과 제 1 및 제 2 사이드월(26,56)의 형성 이후 제 1 소스 및 드레인영역(36,38)과 제 2 소스 및 드레인영역(66,68)의 형성 이전에 제 2 활성영역(B) 만을 선택적으로 가린 상태로 제2 도전형의 불순물을 도핑하여 제 1 소스 및 드레인영역(36,38)을 형성한 후 제 2 영역(B)을 노출시켜 이후의 과정, 예컨대 st6 이하의 공정을 진행하면 되며, 이 역시 별도의 공정단면도가 없더라도 쉽게 이해될 수 있을 것이다.

<51> 아울러, 첨부된 도 10는 본 발명의 또 다른 변형예에 대한 단면도로서, 앞서 도 1과 비교하면 MOS 버랙터(50)의 제 2 LDD 영역(62,64)이 상대적으로 제 1 채널층(미도시) 외곽으로 치우쳐 있음을 확인할 수 있고, 제 2 사이드월(56)은 10nm 이하의 두께를 나타내는 질화물 또는 산화물계의 더미스페이서(dummy spacer : 57)로 교체되어 있다.

<52> 이를 위해서는 앞서 설명한 st5의 내용 중에서 제 1 및 제 2 LDD 영역(32,34,62,64)의 형성을 위한 제 1 도전형 불순물의 도핑 이전에 미리 산화물 또는 질화물계의 더미물질을 증착하고 이방성식각을 진행하여 더미스페이서(57)를 완성한 이후에 비로소 제 1 및 제 2 LDD 영역(32,34,62,64)을 위한 제 1 도전형의 불순물을 도핑 하던 되는데, 이 경우 필요하다면 더미스페이서(57)의 형성 이전에 제 1 활성영역(A)을 가려 MOS 버랙터(50)의 제 2 게이트산화막(52) 및 제 2 실리콘게이트(54) 측면에만 더미스페이서(57)를 형성하는 것도 가능하고, 이와 달리 비록 도면에 나타나지는 않았지만 별도의 가리는 공정 없이 더미스페이서(57)를 형성하여 MOS 트랜지스터(20)의 제 1 게이트산화막(22) 및 제 1 실리콘게이트(24)의 측면과 MOS 버랙터(50)의 제 2 게이트산화막(52) 및 제 2 실리콘게이트(54)의 측면 모두에 더미스페이서(57)를 형성하는 것도 가능하다. 그리고 이중 전자의 경우에는 제 1 및 제 2 사이드월(26,56)의 형성 이전에 제 2 활성영역(b)을 가려 제 2 사이드월(56)을 생략하고, 후자의 경우에는 제 1 및 제 2 사이드월(26,56)을 생략하게 되는바, 이 역시 별도의 공정단면도 없이 쉽게 이해될 수 있을 것이다.

<53> 이때, 더미스페이서(57)를 이용하여 MOS 버랙터(50)의 제 2 LDD 영역(62,64)을 상대적으로 제 1 채널층 외곽에 배치하는 이유는 앞서와 마찬가지로 오버랩에 의한 기생 캐패시턴스를 감소시켜 MOS 버랙터(50)의 튜닝범위를 상대적으로 증가시키기 위한 것이다.

<54> 이상의 설명을 토대로 본 발명에 따른 반도체 집적회로의 구체적인 형성과 제조공정에는 여러 가지 변형이 있을 수 있음을 확인하였다. 이때, 앞서 기술된 변형예는 몇 가지 예시에 지나지 않으며, 그 밖에도 얼마든지 다양한 변형예가 있을 수 있지만 이들 모두는 본 발명의 기술적 사상을 만족시키는 한 본 발명에 속한다 해야 할 것이며, 이러한 본 발명의 기술적 사상은 특허청구범위를 통해 당업자라면 명확히 이해할 수 있을 것이다.

도면의 간단한 설명

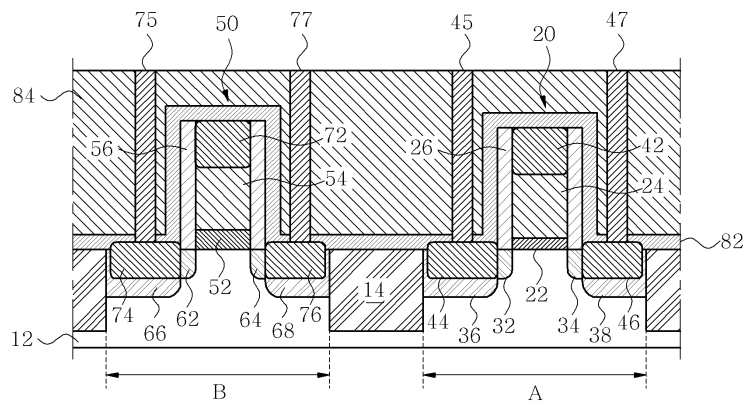
<55> 도 1은 본 발명에 따른 반도체 집적회로의 단면도.

<56> 도 2 내지 도 7은 본 발명에 따른 반도체 집적회로의 제조순서에 따른 공정단면도.

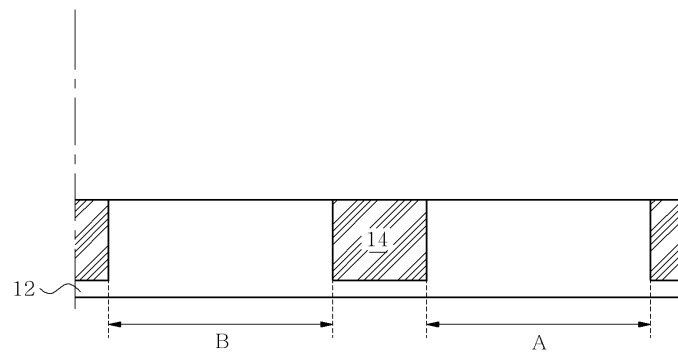
<57> 도 8 내지 도 10은 각각 본 발명에 따른 반도체 집적회로의 여러가지 변형예를 나타낸 단면도.

도면

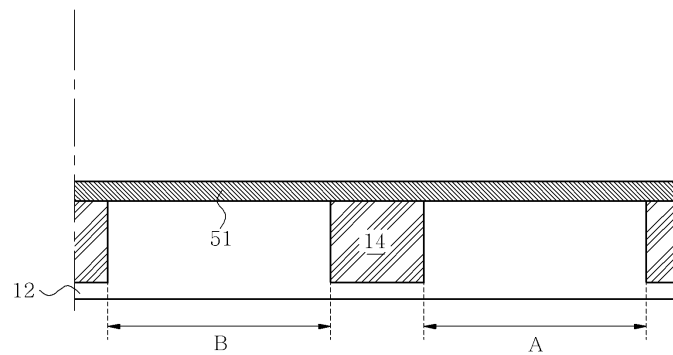
도면1



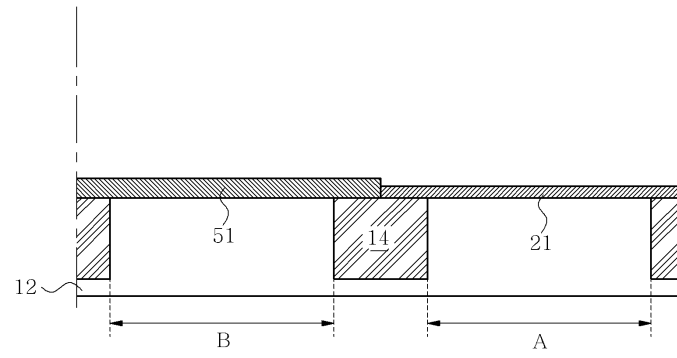
도면2



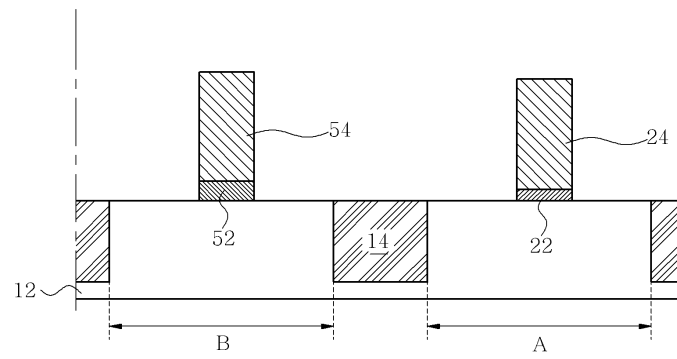
도면3



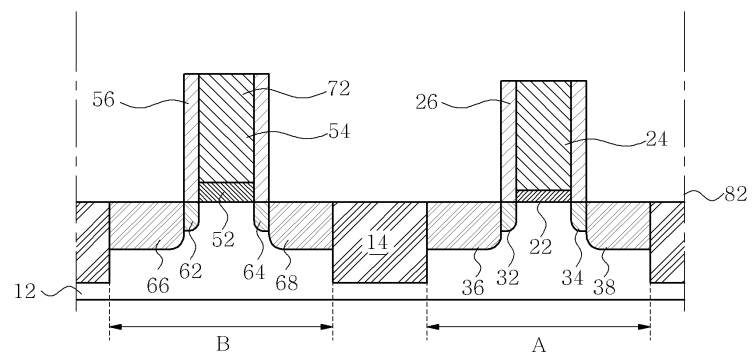
도면4



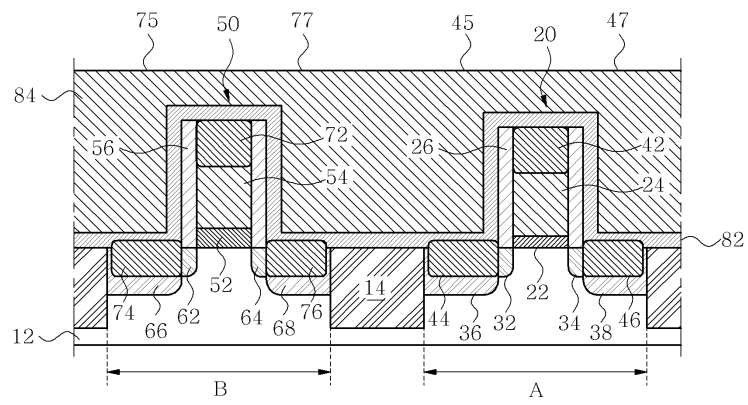
도면5



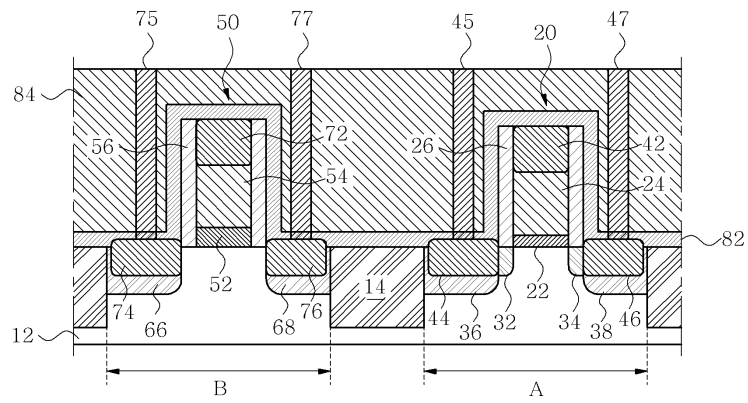
도면6



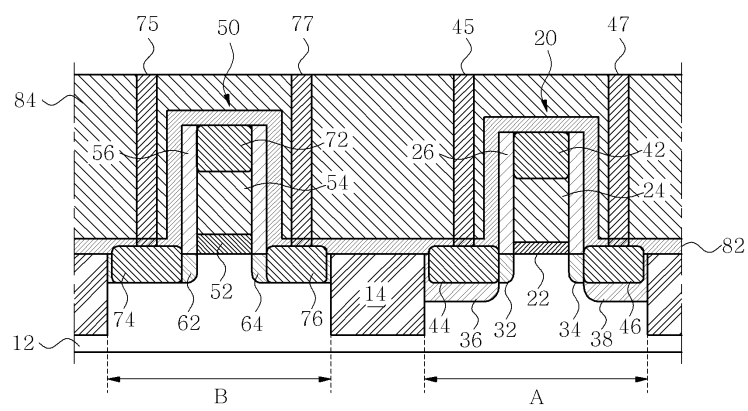
도면7



도면8



도면9



도면10

