(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5496745号
(P5496745)

(45)発行日　平成26年5月21日(2014.5.21)　(24)登録日　平成26年3月14日(2014.3.14)

(51)Int.Cl.　F I

H01L 29/786	(2006.01)	H01L	29/78	619A
H01L 21/336	(2006.01)	H01L	29/78	618B
H01L 21/306	(2006.01)	H01L	29/78	616V
H01L 21/308	(2006.01)	H01L	29/78	616K
		H01L	21/306	F

請求項の数 11　(全 24 頁)　最終頁に続く

(21)出願番号　特願2010-83990(P2010-83990)
(22)出願日　平成22年3月31日(2010.3.31)
(65)公開番号　特開2011-216694(P2011-216694A)
(43)公開日　平成23年10月27日(2011.10.27)
審査請求日　平成24年7月25日(2012.7.25)

(73)特許権者　306037311
富士フイルム株式会社
東京都港区西麻布２丁目２６番３０号
(74)代理人　100080159
弁理士　渡辺　望稔
(74)代理人　100090217
弁理士　三和　晴子
(72)発明者　中山　昌哉
神奈川県足柄上郡開成町牛島５７７番地
富士フイルム株式会社内
(72)発明者　油屋　吉宏
神奈川県足柄上郡開成町牛島５７７番地
富士フイルム株式会社内

審査官　大橋　達也

最終頁に続く

(54)【発明の名称】薄膜電界効果型トランジスタおよびその製造方法

(57)【特許請求の範囲】
【請求項１】
基板上に、少なくともゲート電極、絶縁膜、活性層、エッチングストッパ層、ソース電極、およびドレイン電極が形成され、前記活性層上に前記エッチングストッパ層が形成され、前記エッチングストッパ層上に前記ソース電極および前記ドレイン電極が形成された薄膜電界効果型トランジスタであって、
前記エッチングストッパ層は、Ｚｎ濃度が２０％未満であり、Ｉｎ濃度が４０％以上であり、Ｇａ濃度が３７％以上であるＩｎ、ＧａおよびＺｎを含むアモルファス酸化物で構成されており、
前記活性層は、Ｉｎ、ＧａおよびＺｎを含むアモルファス酸化物半導体で構成されるものであり、Ｚｎ濃度が前記エッチングストッパ層のＺｎ濃度よりも高いことを特徴とする薄膜電界効果型トランジスタ。
【請求項２】
前記ソース電極および前記ドレイン電極は、モリブデンまたはモリブデン合金により構成される請求項１に記載の薄膜電界効果型トランジスタ。
【請求項３】
前記薄膜電界効果型トランジスタは、トップコンタクト型ボトムゲート構造である請求項１または２に記載の薄膜電界効果型トランジスタ。
【請求項４】
前記薄膜電界効果型トランジスタは、トップコンタクト型トップゲート構造である請求

項１または２に記載の薄膜電界効果型トランジスタ。
【請求項５】
前記活性層と前記エッチングストッパ層とは同一形状である請求項１～４のいずれか１項に記載の薄膜電界効果型トランジスタ。
【請求項６】
基板上に、少なくともゲート電極、絶縁膜、活性層、エッチングストッパ層、ソース電極、およびドレイン電極が形成され、前記活性層上に前記エッチングストッパ層が形成され、前記エッチングストッパ層上に前記ソース電極および前記ドレイン電極が形成された薄膜電界効果型トランジスタの製造方法であって、
エッチング液として、りん酸、酢酸、および硝酸を含む混酸水溶液を用いて、前記ソース電極および前記ドレイン電極を形成する工程を有し、
前記エッチングストッパ層は、Ｚｎ濃度が２０％未満であり、Ｉｎ濃度が４０％以上であり、Ｇａ濃度が３７％以上であるＩｎ、ＧａおよびＺｎを含むアモルファス酸化物で構成されており、
前記活性層は、Ｉｎ、ＧａおよびＺｎを含むアモルファス酸化物半導体で構成されるものであり、Ｚｎ濃度が前記エッチングストッパ層のＺｎ濃度よりも高いことを特徴とする薄膜電界効果型トランジスタの製造方法。
【請求項７】
前記混酸水溶液は、りん酸を７０～７５質量％、酢酸を５～１０質量％、硝酸を１～５質量％含有する請求項６に記載の薄膜電界効果型トランジスタの製造方法。
【請求項８】
前記ソース電極および前記ドレイン電極を形成する工程の前に、前記基板上に前記ゲート電極を形成する工程と、前記ゲート電極を覆うように前記基板上に前記絶縁膜を形成する工程と、前記絶縁膜上に前記活性層を形成する工程と、前記活性層上に前記エッチングストッパ層を形成する工程を有し、
前記ソース電極および前記ドレイン電極を形成する工程において、前記ソース電極および前記ドレイン電極を、前記エッチングストッパ層の一部を覆うように前記基板上に形成する請求項６または７に記載の薄膜電界効果型トランジスタの製造方法。
【請求項９】
前記ソース電極および前記ドレイン電極を形成する工程の後に、前記エッチングストッパ層、前記ソース電極および前記ドレイン電極を覆うように前記基板上に保護層を形成する工程を有する請求項８に記載の薄膜電界効果型トランジスタの製造方法。
【請求項１０】
前記ソース電極および前記ドレイン電極を形成する工程の前に、前記基板上に前記活性層を形成する工程と、前記活性層上に前記エッチングストッパ層とを形成する工程とを有し、
前記ソース電極および前記ドレイン電極を形成する工程において、前記ソース電極および前記ドレイン電極を、前記エッチングストッパ層の一部を覆うように前記基板上に形成し、
さらに前記ソース電極および前記ドレイン電極を形成する工程の後に、前記エッチングストッパ層、前記ソース電極および前記ドレイン電極を覆うように前記基板上に前記絶縁膜を形成する工程と、前記絶縁膜上に前記ゲート電極を形成する工程とを有する請求項６または７に記載の薄膜電界効果型トランジスタの製造方法。
【請求項１１】
前記活性層と前記エッチングストッパ層とは同一形状に形成されるものである請求項６～１０のいずれか１項に記載の薄膜電界効果型トランジスタの製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、アモルファス酸化物半導体を用いた薄膜電界効果型トランジスタおよびその

製造方法に関し、特に、エッチングストッパ層を有し、ＴＴＦＴ特性が良好であり、かつ信頼性も高い薄膜電界効果型トランジスタおよびその製造方法に関する。

【背景技術】

【０００２】

現在、電界効果型トランジスタは、半導体メモリ集積回路、高周波信号増幅素子等として広く用いられている。

また、液晶表示装置（ＬＣＤ）、エレクトロルミネッセンス表示装置（ＥＬ）、フィールドエミッションディスプレイ（ＦＥＤ）等の平面薄型画像表示装置（Ｆｌａｔ　Ｐａｎｅｌ　Ｄｉｓｐｌａｙ：ＦＰＤ）のスイッチング素子として、電界効果型トランジスタのうち、薄膜電界効果型トランジスタ（以下、ＴＦＴともいう）が用いられている。ＦＰＤに用いられるＴＦＴは、ガラス基板上に活性層として非晶質シリコン薄膜または多結晶シリコン薄膜が形成されている。

【０００３】

上述の非晶質シリコン薄膜または多結晶シリコン薄膜を活性層に用いるＴＦＴは、比較的高温の熱工程を要する。このため、ガラス基板は用いることができるものの、耐熱性が低い樹脂製の基板を用いることは困難である。

また、ＦＰＤについて、より一層の薄型化、軽量化、耐破損性が要求されており、ガラス基板の替わりに軽量で可撓性のある樹脂製の基板を用いることも検討されている。このため、低温での成膜が可能なアモルファス酸化物を用いたＴＦＴの開発が活発に行われている。

【０００４】

アモルファス酸化物を用いたＴＦＴは、基板、ゲート電極、ゲート絶縁膜、アモルファス酸化物半導体により構成された活性層、ソース電極およびドレイン電極を有するものであり、活性層上にソース電極およびドレイン電極が形成されている。

アモルファス酸化物を用いたＴＦＴにおいて、ソース電極およびドレイン電極は、導電膜をエッチングすることにより形成される。このため、活性層上に、これを保護するエッチングストッパ層を形成しない場合、ソース電極およびドレイン電極の形成時に活性層もエッチングされてしまうことがあり、ＴＦＴの特性不良および特性ムラが生じることがある。極端な場合、活性層が全てエッチングされてしまい、ＴＦＴ特性を示さないこともある。このようなことから、活性層を保護するためのエッチングストッパ層等を設けたＴＦＴが提案されている（例えば、特許文献１～３参照）。

【０００５】

特許文献１のボトムゲート型薄膜トランジスタは、基板上に、ゲート電極と、ゲート絶縁膜としての第１の絶縁膜と、チャネル層としての酸化物半導体層（活性層に相当）と、保護層としての第２の絶縁膜と、ソース電極と、ドレイン電極とを有するものである。この薄膜トランジスタにおいて、酸化物半導体層は、Ｉｎ、Ｚｎ及びＳｎの少なくとも一つを含む酸化物を含み、第２の絶縁膜は、酸化物半導体層と接するよう形成されたアモルファス酸化物絶縁体を含み、昇温脱離分析により酸素として観測される脱離ガスを３．８×１０^{19}個／ｃｍ^{3}以上含有するものである。

第２の絶縁膜は、エッチングストップ層として機能するものであり、チャネル領域の一部を覆うように、好ましくは、チャネル領域の全体を覆うように設けられている。

なお、第２の絶縁膜は、アモルファスＳｉＯｘ、アモルファスシリコンオキシナイトライド、またはアモルファスアルミニウムオキサイドで構成される。

【０００６】

特許文献２には、チャネル保護型の薄膜トランジスタが開示されている。この薄膜トランジスタにおいては、基板上にゲート電極が形成されており、このゲート電極を覆うように第１のゲート絶縁膜が形成され、この第１のゲート絶縁膜上に第２のゲート絶縁膜が形成されている。また、第２のゲート絶縁膜上に、ゲート電極を覆うようにして酸化物半導体膜（活性層に相当）が形成されている。この酸化物半導体膜上に、ゲート電極と重なる領域にチャネル保護膜が形成されている。さらに、酸化物半導体膜上にソース電極および

ドレイン電極が形成されている。
チャネル保護膜は、ソース電極、ドレイン電極を形成する際にチャネル部の半導体層のエッチングを防ぐものである。このチャネル保護膜は、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）などで構成される。
【０００７】
特許文献３には、基板上に、少なくともゲート電極、ゲート絶縁膜、アモルファス酸化物半導体を含有する活性層、ソース電極及びドレイン電極を有する薄膜電界効果型トランジスタが記載されている。この薄膜電界効果型トランジスタは、ゲート絶縁膜と活性層の界面の平均二乗粗さが２ｎｍ未満であり、活性層のキャリア濃度が1×10^{15}／cm^3以上であり、かつ活性層の膜厚が０．５ｎｍ以上２０ｎｍ未満である。また、活性層と接してキャリア濃度が10^{16}／cm^3以下のアモルファス酸化物半導体層からなる低キャリア濃度層が積層されている。この低キャリア濃度層は、環境（水分、酸素）から活性層を保護する保護膜としても機能するものである。
【先行技術文献】
【特許文献】
【０００８】
【特許文献１】特開２００８－１６６７１６号公報
【特許文献２】特開２００９－２１６１２号公報
【特許文献３】特開２００９－１４１３４２号公報
【発明の概要】
【発明が解決しようとする課題】
【０００９】
上述のように、特許文献１のボトムゲート型薄膜トランジスタには、エッチングストップ層として機能する第２の絶縁膜が設けられている。また、特許文献２の薄膜トランジスタにもチャネル部の半導体層のエッチングを防ぐチャネル保護膜が設けられている。このように特許文献１、２にはエッチングストッパ層となるものが設けられている。
【００１０】
上述のように、エッチングストッパ層は活性層上に形成されており、しかも、ソース電極およびドレイン電極も活性層上に形成されるものである。このため、ソース電極およびドレイン電極を形成するには、エッチングストッパ層を加工する必要がある。
しかしながら、特許文献１、２のように、エッチングストッパ層をアモルファスＳｉＯｘ、SiO_2等で形成した場合、ドライエッチングで加工するか、またはウエットエッチングの場合にはバッファードフッ酸を用いて加工する必要があり、エッチングストッパ層の加工は困難である。
【００１１】
また、活性層上にエッチングストッパ層としてSiO_2膜、ＳｉＮｘ膜を形成した場合、活性層がダメージを受ける。このダメージにより、活性層が低抵抗化し、ＴＦＴの閾値がマイナスにシフトしたり、ＴＦＴがオフにならずＴＦＴ動作を示さないこともある。
なお、高濃度の酸素雰囲気下で、エッチングストッパ層であるSiO_2膜をスパッタ法で成膜する場合、成膜条件によっては、上述の活性層の低抵抗化を防ぐことができる。このように、低抵抗化を回避することができても、下地の活性層のバックチャネルが酸素イオンによりダメージを受ける。活性層が酸素イオンによるダメージを受けると、ＴＦＴの信頼性を評価すると閾値シフトが大きいものとなる。
【００１２】
また、特許文献３においては、活性層と同様の組成の低キャリア濃度層を、保護膜としても機能するものとして形成している。しかしながら、この低キャリア濃度層は、ソース電極およびドレイン電極の形成時のエッチング条件によっては、活性層までエッチングされてしまうこともある。これにより、ＴＦＴの特性不良および特性ムラが生じたり、ＴＦＴの信頼性が低下することがある。

【００１３】
本発明の目的は、前記従来技術に基づく問題点を解消し、ＴＦＴ特性が良好であり、かつ信頼性も高い薄膜電界効果型トランジスタおよびその製造方法を提供することにある。
【課題を解決するための手段】
【００１４】
上記目的を達成するために、本発明の第１の態様は、基板上に、少なくともゲート電極、絶縁膜、活性層、エッチングストッパ層、ソース電極、およびドレイン電極が形成され、前記活性層上に前記エッチングストッパ層が形成され、前記エッチングストッパ層上に前記ソース電極および前記ドレイン電極が形成された薄膜電界効果型トランジスタであって、前記エッチングストッパ層は、Ｚｎ濃度が２０％未満のＩｎ、ＧａおよびＺｎを含むアモルファス酸化物で構成されており、前記活性層は、Ｉｎ、ＧａおよびＺｎを含むアモルファス酸化物半導体で構成されるものであり、Ｚｎ濃度が前記エッチングストッパ層のＺｎ濃度よりも高いことを特徴とする薄膜電界効果型トランジスタを提供するものである。
【００１５】
ここで、本発明において、活性層におけるＺｎ濃度とは、酸素原子を除いたアモルファス酸化物半導体膜中に含まれるＺｎ原子量濃度のことを示す。このＺｎ濃度の計算方法としては、Ｚｎ濃度＝［アモルファス酸化物半導体膜中に含まれるＺｎ原子量／（アモルファス酸化物半導体膜中に含まれるＩｎ原子量＋アモルファス酸化物半導体膜中に含まれるＧａ原子量＋アモルファス酸化物半導体膜中に含まれるＺｎ原子量）］を用いることができる。活性層におけるＩｎ濃度およびＧａ濃度についてもＺｎ濃度と同様の定義であり、Ｉｎ濃度およびＧａ濃度もＺｎ濃度と同様にして求められる。
なお、本発明において、エッチングストッパ層におけるＺｎ濃度、Ｉｎ濃度およびＧａ濃度は、上述の活性層のＺｎ濃度、Ｉｎ濃度およびＧａ濃度の定義と同じであり、上述の活性層のＺｎ濃度、Ｉｎ濃度およびＧａ濃度の定義、計算方法において、「アモルファス酸化物半導体」を「アモルファス酸化物膜」に読み替えたものである。
【００１６】
この場合、前記エッチングストッパ層は、Ｉｎ濃度が４０％以上であり、Ｇａ濃度が３７％以上であることが好ましい。
また、前記ソース電極および前記ドレイン電極は、モリブデンまたはモリブデン合金により構成されることが好ましく、特に、モリブデンが好ましい。
また、前記薄膜電界効果型トランジスタは、トップコンタクト型ボトムゲート構造またはトップコンタクト型トップゲート構造のどちらでもよい。
また、前記活性層と前記エッチングストッパ層とは同一形状であることが好ましい。
【００１７】
本発明の第２の態様は、基板上に、少なくともゲート電極、絶縁膜、活性層、エッチングストッパ層、ソース電極、およびドレイン電極が形成され、前記活性層上に前記エッチングストッパ層が形成され、前記エッチングストッパ層上に前記ソース電極および前記ドレイン電極が形成された薄膜電界効果型トランジスタの製造方法であって、エッチング液として、りん酸、酢酸、および硝酸を含む混酸水溶液を用いて、前記ソース電極および前記ドレイン電極を形成する工程を有し、前記エッチングストッパ層は、Ｚｎ濃度が２０％未満のＩｎ、ＧａおよびＺｎを含むアモルファス酸化物で構成されており、前記活性層は、Ｉｎ、ＧａおよびＺｎを含むアモルファス酸化物半導体で構成されるものであり、Ｚｎ濃度が前記エッチングストッパ層のＺｎ濃度よりも高いことを特徴とする薄膜電界効果型トランジスタの製造方法を提供するものである。
【００１８】
この場合、前記エッチングストッパ層は、Ｉｎ濃度が４０％以上であり、Ｇａ濃度が３７％以上であることが好ましい。
また、前記混酸水溶液は、りん酸を７０～７５質量％、酢酸を５～１０質量％、硝酸を１～５質量％含有することが好ましい。

【００１９】
また、前記ソース電極および前記ドレイン電極を形成する工程の前に、前記基板上に前記ゲート電極を形成する工程と、前記ゲート電極を覆うように前記基板上に前記絶縁膜を形成する工程と、前記絶縁膜上に前記活性層を形成する工程と、前記活性層上に前記エッチングストッパ層を形成する工程を有し、前記ソース電極および前記ドレイン電極を形成する工程において、前記ソース電極および前記ドレイン電極を、前記エッチングストッパ層の一部を覆うように前記基板上に形成することが好ましい。
また、前記ソース電極および前記ドレイン電極を形成する工程の後に、前記エッチングストッパ層、前記ソース電極および前記ドレイン電極を覆うように前記基板上に保護層を形成する工程を有することが好ましい。
【００２０】
さらに別の形態としては、前記ソース電極および前記ドレイン電極を形成する工程の前に、前記基板上に前記活性層を形成する工程と、前記活性層上に前記エッチングストッパ層とを形成する工程とを有し、前記ソース電極および前記ドレイン電極を形成する工程において、前記ソース電極および前記ドレイン電極を、前記エッチングストッパ層の一部を覆うように前記基板上に形成し、さらに前記ソース電極および前記ドレイン電極を形成する工程の後に、前記エッチングストッパ層、前記ソース電極および前記ドレイン電極を覆うように前記基板上に前記絶縁膜を形成する工程と、前記絶縁膜上に前記ゲート電極を形成する工程とを有することが好ましい。
さらに、前記活性層と前記エッチングストッパ層とは同一形状に形成されることが好ましい。また、前記各工程は、２００℃以下の温度でなされることが好ましい。
【発明の効果】
【００２１】
本発明によれば、エッチングストッパ層をＺｎ濃度が２０％未満のＩｎ、ＧａおよびＺｎを含むアモルファス酸化物で構成することにより、Ｉｎ、ＧａおよびＺｎを含むアモルファス酸化物半導体で構成される活性層と組成が近く、活性層がダメージを受けず、低抵抗化もしない。このため、閾値がマイナスにシフトすることもなく良好なＴＦＴ動作を示す薄膜電界効果型トランジスタを得ることができる。
また、エッチングストッパ層を上記組成とすることにより、ソース電極およびドレイン電極を形成するためのりん酸、酢酸、および硝酸を含む混酸水溶液に対して、ソース電極およびドレイン電極とエッチングストッパ層とのエッチングレート比を十分に大きくすることができる。このため、ソース電極およびドレイン電極の形成時に、活性層がエッチングストッパ層で保護されて活性層がダメージを受けることがない。これにより、ＴＦＴ特性が良好であり、かつ信頼性も高い薄膜電界効果型トランジスタを得ることができる。
【００２２】
さらには、本発明のエッチングストッパ層は、活性層と組成が近く、活性層と同じエッチング液でエッチングが可能である。このため、エッチングストッパ層にSiO_2膜を用いた場合に比して、エッチングストッパ層を容易に加工することができる。しかも、エッチングストッパ層を設けても活性層は、ダメージも受けず低抵抗化もしないため、高濃度の酸素雰囲気下でスパッタすることが不要となり、閾値シフトが小さい信頼性の良いＴＦＴを提供できる。
【図面の簡単な説明】
【００２３】
【図１】本発明の第１の実施形態に係る薄膜電界効果型トランジスタを示す模式的断面図である。
【図２】エッチング液に、りん酸７３質量％、酢酸７質量％、硝酸３質量％含有し、温度が２５℃の混酸水溶液を用いた時のＺｎ濃度によるＩＧＺＯ膜のモリブデンに対するエッチングレート比を示すグラフである。
【図３】エッチング液に、りん酸７３質量％、酢酸７質量％、硝酸３質量％含有し、温度が２５℃の混酸水溶液を用いた時のＩｎ濃度、Ｇａ濃度によるＩＧＺＯ膜のモリブデンに

対するエッチングレート比を示すグラフである。
【図４】（ａ）～（ｃ）は、本発明の第１の実施形態に係る薄膜電界効果型トランジスタの製造方法を工程順に示す模式的断面図である。
【図５】本発明の第２の実施形態に係る薄膜電界効果型トランジスタを示す模式的断面図である。
【図６】（ａ）～（ｃ）は、本発明の第２の実施形態に係る薄膜電界効果型トランジスタの製造方法を工程順に示す模式的断面図である。
【図７】本発明の第３の実施形態に係る薄膜電界効果型トランジスタを示す模式的断面図である。
【図８】（ａ）～（ｄ）は、本発明の第３の実施形態に係る薄膜電界効果型トランジスタの製造方法を工程順に示す模式的断面図である。
【図９】本発明の第４の実施形態に係る薄膜電界効果型トランジスタを示す模式的断面図である。
【図１０】（ａ）～（ｄ）は、本発明の第４の実施形態に係る薄膜電界効果型トランジスタの製造方法を工程順に示す模式的断面図である。
【発明を実施するための形態】
【００２４】
以下に、添付の図面に示す好適実施形態に基づいて、本発明の薄膜電界効果型トランジスタを詳細に説明する。
図１は、本発明の第１の実施形態に係る薄膜電界効果型トランジスタを示す模式的断面図である。
【００２５】
図１に示す薄膜電界効果型トランジスタ（以下、単に、ＴＦＴという）１０は、基板１２と、ゲート電極１４と、ゲート絶縁膜１６と、チャネル層として機能する活性層１８と、エッチングストッパ層（以下、ＥＳ層という）３０と、ソース電極２０ａと、ドレイン電極２０ｂと、保護層２２とを有するものである。このＴＦＴ１０は、ゲート電極１４に電圧を印加して、活性層１８に流れる電流を制御し、ソース電極２０ａとドレイン電極２０ｂ間の電流をスイッチングする機能を有するアクティブ素子である。図１に示すＴＦＴ１０は、一般的にトップコンタクト型ボトムゲート構造と呼ばれるものである。
【００２６】
ＴＦＴ１０においては、基板１２の表面１２ａにゲート電極１４が形成されており、このゲート電極１４を覆うようにして基板１２の表面１２ａにゲート絶縁膜１６が形成されている。このゲート絶縁膜１６の表面１６ａに活性層１８が形成されている。この活性層１８の表面１８ａに、ＥＳ層３０が設けられている。
【００２７】
活性層１８の表面１８ａおよびＥＳ層３０の表面３０ａの一部を覆うようにしてゲート絶縁膜１６の表面１６ａにソース電極２０ａが形成されている。また、このソース電極２０ａと対をなすドレイン電極２０ｂが、活性層１８の表面１８ａおよびＥＳ層３０の表面３０ａの一部を覆うようにしてゲート絶縁膜１６の表面１６ａに、ソース電極２０ａと対向して形成されている。すなわち、ソース電極２０ａおよびドレイン電極２０ｂは、ＥＳ層３０の表面３０ａの上方をあけて、活性層１８の表面１８ａおよびＥＳ層３０の表面３０ａの一部を覆うようにして形成されている。ソース電極２０ａ、ＥＳ層３０およびドレイン電極２０ｂを覆うようにして保護層２２が形成されている。
【００２８】
基板１２は、特に限定されるものではい。基板１２には、例えば、ＹＳＺ（ジルコニア安定化イットリウム）およびガラス等の無機材料を用いることができる。また、基板１２には、ポリエチレンテレフタレート（ＰＥＴ）、ポリブチレンテレフタレート（ＰＢＴ）、ポリエチレンナフタレート（ＰＥＮ）等のポリエステル、ポリスチレン、ポリカーボネート、ポリエーテルスルホン、ポリアリレート、アリルジグリコールカーボネート、ポリイミド、ポリシクロオレフィン、ノルボルネン樹脂、ポリ（クロロトリフルオロエチレン

）等の合成樹脂等の有機材料も用いることができる。
基板１２に、有機材料を用いた場合、耐熱性、寸法安定性、耐溶剤性、電気絶縁性、加工性、低通気性、および低吸湿性等が優れていることが好ましい。
また、基板１２に、ガラスを用いる場合、ガラスからの溶出イオンを少なくするため、無アルカリガラスを用いることが好ましい。なお、基板１２に、ソーダライムガラスを用いる場合には、シリカ等のバリアコートを施したものを使用することが好ましい。
【００２９】
基板１２には、可撓性基板を用いることもできる。この可撓性基板は、厚さを５０μｍ～５００μｍとすることが好ましい。これは、可撓性基板の厚さが５０μｍ未満では、基板自体が十分な平坦性を保持することが難しいためである。また、可撓性基板の厚さが５００μｍを超えると、基板自体の可撓性が乏しくなり、基板自体を自由に曲げることが困難になるためである。
可撓性基板としては、透過率の高い有機プラスチックフィルムが好ましい。この有機プラスチックフィルムとしては、例えば、ポリエチレンテレフタレート（ＰＥＴ）、ポリブチレンフタレート（ＰＢＴ）、ポリエチレンナフタレート（ＰＥＮ）等のポリエステル、ポリスチレン、ポリカーボネート、ポリエーテルスルホン、ポリアリレート、ポリイミド、ポリシクロオレフィン、ノルボルネン樹脂、またはポリ（クロロトリフルオロエチレン）等のプラスチックフィルムが用いられる。
基板１２にプラスチックフィルム等を用いた場合、電気絶縁性が不十分であれば、絶縁層を形成して用いられる。
【００３０】
基板１２には、水蒸気および酸素の透過を防止するためにその表面または裏面に透湿防止層（ガスバリア層）を設けることができる。
透湿防止層（ガスバリア層）の材料としては、窒化珪素、酸化珪素等の無機物が好適に用いられる。透湿防止層（ガスバリア層）は、例えば、高周波スパッタ法等により形成することができる。
なお、熱可塑性基板を用いる場合には、更に必要に応じて、ハードコート層、アンダーコート層等を設けてもよい。
【００３１】
ゲート電極１４は、例えば、Ａｌ、Ｍｏ、Ｃｒ、Ｔａ、Ｔｉ、Ａｕ、またはＡｇ等の金属もしくはそれらの合金、Ａｌ－Ｎｄ、ＡＰＣ等の合金、酸化錫、酸化亜鉛、酸化インジウム、酸化インジウム錫（ＩＴＯ）、酸化インジウム亜鉛（ＩＺＯ）等の金属酸化物導電物質、ポリアニリン、ポリチオフェン、ポリピロール等の有機導電性化合物、またはこれらの混合物を用いて形成される。ゲート電極１４としては、ＴＦＴ特性の信頼性という観点から、Ｍｏ、Ｍｏ合金またはＣｒを用いることが好ましい。このゲート電極１４の厚さは、例えば、１０ｎｍ～１０００ｎｍである。
【００３２】
ゲート電極１４の形成方法は、特に限定されるものではない。ゲート電極１４は、例えば、印刷方式、コーティング方式等の湿式方式、真空蒸着法、スパッタ法、イオンプレーティング法等の物理的方式、ＣＶＤ、プラズマＣＶＤ法等の化学的方式等を用いて形成される。これらの中から、ゲート電極１４を構成する材料との適性を考慮して適宜形成方法が選択される。例えば、ＭｏまたはＭｏ合金を用いてゲート電極１４を形成する場合、ＤＣスパッタ法が用いられる。また、ゲート電極１４に、有機導電性化合物を用いる場合、湿式製膜法が利用される。
【００３３】
ゲート絶縁膜１６にはSiO_2、ＳｉＮｘ、ＳｉＯＮ、Al_2O_3、YsO_3、Ta_2O_5、もしくはHfO_2等の絶縁体、またはそれらの化合物を少なくとも二つ以上含む混晶化合物が用いられる。また、ポリイミドのような高分子絶縁体もゲート絶縁膜１６に用いることができる。
ゲート絶縁膜１６の厚さは、１０ｎｍ～１０μｍが好ましい。ゲート絶縁膜１６は、リ

ーク電流を減らすため、電圧耐性を上げるために、ある程度膜厚を厚くする必要がある。しかしながら、ゲート絶縁膜１６の膜厚を厚くすると、ＴＦＴ１０の駆動電圧の上昇を招く。このため、ゲート絶縁膜１６の厚さは、無機絶縁体の場合、５０ｎｍ～１０００ｎｍであることがより好ましく、高分子絶縁体の場合、０．５μｍ～５μｍであることがより好ましい。

なお、HfO_2のような高誘電率絶縁体をゲート絶縁膜１６に用いた場合、膜厚を厚くしても、低電圧でのトランジスタの駆動が可能であるため、ゲート絶縁膜１６には、高誘電率絶縁体を用いることが特に好ましい。

【００３４】

ソース電極２０ａおよびドレイン電極２０ｂは、例えば、Ａｌ、Ｍｏ、Ｃｒ、Ｔａ、Ｔｉ、Ａｕ、またはＡｇ等の金属もしくはこれらの合金、Ａｌ－Ｎｄ、ＡＰＣ等の合金、酸化錫、酸化亜鉛、酸化インジウム、酸化インジウム錫（ＩＴＯ）、酸化インジウム亜鉛（ＩＺＯ）等の金属酸化物導電物質を用いて形成される。

ソース電極２０ａおよびドレイン電極２０ｂとしては、ＴＦＴ特性の信頼性およびＥＳ層３０とのエッチングレート比という観点から、ＭｏまたはＭｏ合金を用いることが好ましく、特にＭｏが好ましい。なお、ソース電極２０ａおよびドレイン電極２０ｂの厚さは、例えば、１０ｎｍ～１０００ｎｍである。

【００３５】

ソース電極２０ａおよびドレイン電極２０ｂは、上述の膜を形成し、フォトリソグラフィー法を用いて、この膜にレジストパターンを形成し、この膜をエッチングすることにより形成される。

なお、ソース電極２０ａおよびドレイン電極２０ｂの構成する上述の膜の形成方法は特に限定されるものではない。上述の膜は、例えば、印刷方式、コーティング方式等の湿式方式、真空蒸着法、スパッタ法、イオンプレーティング法等の物理的方式、ＣＶＤ、プラズマＣＶＤ法等の化学的方式等を用いて形成される。

【００３６】

例えば、ソース電極２０ａおよびドレイン電極２０ｂを、ＭｏまたはＭｏ合金で形成する場合、例えば、ＤＣスパッタ法を用いて、Ｍｏ膜またはＭｏ合金膜が形成される。

そして、フォトリソグラフィー法を用いて、Ｍｏ膜またはＭｏ合金膜にレジストパターンを形成し、エッチング液により、Ｍｏ膜またはＭｏ合金膜をエッチングしてソース電極２０ａおよびドレイン電極２０ｂを形成する。

エッチング液として、りん酸、酢酸、および硝酸を含む混酸水溶液が用いられる。この混酸水溶液は、例えば、りん酸を７０～７５質量％、酢酸を５～１０質量％、硝酸を１～５質量％を含有し、残部が水である。

【００３７】

活性層１８は、Ｉｎ、ＧａおよびＺｎを含むアモルファス酸化物半導体により構成されるものである。活性層１８は、Ｚｎ濃度がＥＳ層３０のＺｎ濃度よりも高い。

活性層１８においては、酸素を除いた原子量全体を１００％とした場合、Ｚｎ濃度（Ｚｎ／（Ｚｎ＋Ｉｎ＋Ｇａ））が２０～５０％であることが好ましい。

【００３８】

ＥＳ層３０は、活性層１８がソース電極２０ａおよびドレイン電極２０ｂの形成時にエッチングされないように保護するものである。このＥＳ層３０は、Ｉｎ、ＧａおよびＺｎを含むアモルファス酸化物により構成されるものである。

ＥＳ層３０においては、酸素を除いた原子量全体を１００％とした場合において、Ｚｎ濃度（Ｚｎ／（Ｚｎ＋Ｉｎ＋Ｇａ））が２０％未満である。このＥＳ層３０においては、更にＩｎ濃度（Ｉｎ／（Ｚｎ＋Ｉｎ＋Ｇａ））が４０％以上であり、Ｇａ濃度（Ｇａ／（Ｚｎ＋Ｉｎ＋Ｇａ））が３７％以上であることが好ましい。

【００３９】

ここでいう活性層１８およびＥＳ層３０におけるＺｎ濃度とは、前述の通り、酸素原子を除いたアモルファス酸化物半導体膜またはアモルファス酸化物膜中に含まれるＺｎ原子

量濃度のことを示す。
活性層１８およびＥＳ層３０におけるＺｎ濃度の計算方法としては、Ｚｎ濃度＝［アモルファス酸化物半導体膜（アモルファス酸化物膜）中に含まれるＺｎ原子量／（アモルファス酸化物半導体膜（アモルファス酸化物膜）中に含まれるＩｎ原子量＋アモルファス酸化物半導体膜（アモルファス酸化物膜）中に含まれるＧａ原子量＋アモルファス酸化物半導体膜（アモルファス酸化物膜）中に含まれるＺｎ原子量）］を用いることができる。活性層１８およびＥＳ層３０におけるＩｎ濃度およびＧａ濃度についてもＺｎ濃度と同様の定義であり、Ｉｎ濃度およびＧａ濃度もＺｎ濃度と同様にして求められる。
なお、アモルファス酸化物半導体膜（アモルファス酸化物膜）中のＺｎ原子量、Ｉｎ原子量およびＧａ原子量は、ＸＲＦ（蛍光Ｘ線分析）によって求めた値が用いられる。
【００４０】
ＥＳ層３０におけるＺｎ濃度、Ｉｎ濃度およびＧａ濃度は、ＥＳ層３０全体でもよく、ＥＳ層３０がソース電極２０ａおよびドレイン電極２０ｂと接触する表面３０ａ部分、または上面における濃度であってもよい。
なお、ＥＳ層３０のＺｎ濃度に関しては、５％以上２０％未満にすることが好ましい。Ｚｎ濃度が５％未満の場合、酸化物半導体膜のアモルファス性が悪くなり、結晶化しやすくなるためである。
また、ＥＳ層３０のＩｎ濃度に関しては、４０％～５８％であることが好ましく、ＥＳ層３０のＧａ濃度に関しては、３７％～５５％であることが好ましい。
【００４１】
上述の混酸水溶液をエッチング液として用いて、ＭｏまたはＭｏ合金からなるソース電極２０ａおよびドレイン電極２０ｂの形成する際には、ＥＳ層３０もエッチング液と接触する。この場合、ＥＳ層３０にエッチング液に対して耐性がないと、ＥＳ層３０もエッチングされてしまう。このため、本発明では、ＥＳ層３０がエッチングされないようにＥＳ層３０の混酸水溶液に対するエッチングレートを低下させている。すなわち、ＥＳ層３０について、ソース電極２０ａおよびドレイン電極２０ｂを構成するＭｏとのエッチングレート比（選択比）を十分に高くしている。
【００４２】
本発明において、ＥＳ層３０のＺｎ濃度が２０％未満であると、図２に示すように、りん酸、酢酸、および硝酸を含む混酸水溶液に対して、モリブデンとのエッチングレート比が１０を超える。このため、ソース電極２０ａおよびドレイン電極２０ｂ形成時において、活性層１８のエッチングが抑制される。
ＥＳ層３０のＧａ濃度が３７％以上であると、図３に示すように、りん酸、酢酸、および硝酸を含む混酸水溶液に対して、モリブデンとのエッチングレート比が１０を超える。このため、ソース電極２０ａおよびドレイン電極２０ｂ形成時において、ＥＳ層３０のエッチングが抑制される。
また、ＥＳ層３０のＩｎ濃度が４０％以上であっても、図３に示すように、りん酸、酢酸、および硝酸を含む混酸水溶液に対して、モリブデンとのエッチングレート比が１０を超える。このため、ソース電極２０ａおよびドレイン電極２０ｂ形成時において、ＥＳ層３０のエッチングが抑制される。
【００４３】
このように、本発明においては、ＥＳ層３０の組成を、Ｚｎ濃度を２０％未満として、混酸水溶液に対するソース電極２０ａおよびドレイン電極２０ｂとのエッチングレート比を十分に高く、例えば、１０を超えるものとしている。これにより、ソース電極２０ａおよびドレイン電極２０ｂを形成する際、ＥＳ層３０のエッチングを抑制することができ、エッチングストッパ層としての機能を十分に果たすことができる。
なお、ＥＳ層３０の組成について、Ｚｎ濃度を２０％未満とし、さらにＩｎ濃度を４０％以上とし、Ｇａ濃度を３７％以上とすることにより、混酸水溶液に対するソース電極２０ａおよびドレイン電極２０ｂとのエッチングレート比をより十分に高くすることができる。これにより、ＥＳ層３０のエッチングをより確実に抑制することができる。

【００４４】
保護層２２は、活性層１８、ＥＳ層３０、ソース電極２０ａおよびドレイン電極２０ｂを大気による劣化を保護する目的、トランジスタ上に作製される電子デバイスと絶縁する目的ために形成されるものである。
本実施形態の保護層２２は、例えば、感光性アクリル樹脂が窒素雰囲気で加熱硬化処理されて形成されたものである。
【００４５】
保護層２２は、上述の感光性アクリル樹脂以外に、例えば、ＭｇＯ、ＳｉＯ、SiO_2、Al_2O_3、ＧｅＯ、ＮｉＯ、ＣａＯ、ＢａＯ、Fe_2O_3、Y_2O_3、Ga_2O_3またはTiO_2等の金属酸化物、ＳｉＮｘ、ＳｉＮｘＯｙ等の金属窒化物、MgF_2、ＬｉＦ、AlF_3、またはCaF_2等の金属フッ化物、ポリエチレン、ポリプロピレン、ポリメチルメタクリレート、ポリイミド、ポリウレア、ポリテトラフルオロエチレン、ポリクロロトリフルオロエチレン、ポリジクロロジフルオロエチレン、クロロトリフルオロエチレンとジクロロジフルオロエチレンとの共重合体、テトラフルオロエチレンと少なくとも１種のコモノマーとを含むモノマー混合物を共重合させて得られる共重合体、共重合主鎖に環状構造を有する含フッ素共重合体、吸水率１％以上の吸水性物質、吸水率０．１％以下の防湿性物質等を用いることもできる。
【００４６】
保護層２２の形成方法は、特に限定されるものではない。保護層２２は、例えば、真空蒸着法、スパッタ法、反応性スパッタ法、ＭＢＥ（分子線エピタキシ）法、クラスターイオンビーム法、イオンプレーティング法、プラズマ重合法（高周波励起イオンプレーティング法）、プラズマＣＶＤ法、レーザーＣＶＤ法、熱ＣＶＤ法、ガスソースＣＶＤ法、コーティング法、印刷法、または転写法を適用できる。
【００４７】
次に、本実施形態のＴＦＴ１０の製造方法について図４（ａ）～（ｃ）に基づいて説明する。
まず、基板１２として、例えば、ガラス基板を用意する。
次に、基板１２の表面１２ａに、例えば、厚さが４０ｎｍのモリブデン膜（図示せず）を、ＤＣスパッタ法を用いて成膜する。
次に、モリブデン膜上にレジスト膜（図示せず）を形成し、フォトリソグラフィー法を用い、レジストパターンを形成する。
次に、例えば、りん酸を７０～７５質量％、酢酸を５～１０質量％、硝酸を１～５質量％を含有し、残部が水で構成される混酸水溶液を用いて、モリブデン膜をエッチングする。その後、レジスト膜を剥離する。これにより、図４（ａ）に示すように、モリブデンからなるゲート電極１４が基板１２の表面１２ａに形成される。
【００４８】
次に、ゲート電極１４を覆うようにして、基板１２の表面１２ａの全面に、ゲート絶縁膜１６となるSiO_2膜（図示せず）を、例えば、２００ｎｍの厚さにＲＦスパッタ法を用いて形成する。
次に、SiO_2膜の表面に、活性層１８となる第１のＩＧＺＯ膜（図示せず）を、例えば、３０ｎｍの厚さにＤＣスパッタ法を用いて成膜する。
次に、第１のＩＧＺＯ膜の表面に、ＥＳ層３０となる第２のＩＧＺＯ膜（図示せず）を、例えば、２０ｎｍの厚さにＤＣスパッタ法を用いて圧力０．３７Ｐａの条件で成膜する。このように、SiO_2膜、第１のＩＧＺＯ膜および第２のＩＧＺＯ膜を、その順で基板１２上に連続して形成する。
【００４９】
次に、第２のＩＧＺＯ膜上にレジスト膜（図示せず）を形成する。そして、フォトリソグラフィー法を用いてレジストパターンを形成する。そして、例えば、５％シュウ酸水を用いて、第２のＩＧＺＯ膜と第１のＩＧＺＯ膜とをエッチングする。その後、レジスト膜を剥離する。これにより、活性層１８が形成される。

次に、第２のＩＧＺＯ膜上にレジスト膜（図示せず）を形成する。そして、フォトリソグラフィー法を用いてレジストパターンを形成する。そして、例えば、５％シュウ酸水を用いて、第２のＩＧＺＯ膜のみをエッチングする。その後、レジスト膜を剥離する。これにより、ＥＳ層３０が形成される。

【００５０】

再度、SiO_2膜／第１のＩＧＺＯ膜／第２のＩＧＺＯ膜上にレジスト膜（図示せず）を形成し、フォトリソグラフィー法を用いて、レジストパターンを形成する。そして、例えば、バッファードフッ酸を用いて、SiO_2膜をエッチングする。その後、レジスト膜を剥離する。このようにして、図４（ｂ）に示すように、ＥＳ層３０、活性層１８およびゲート絶縁膜１６がパターン形成される。

【００５１】

なお、活性層１８を構成する第１のＩＧＺＯ膜は、Ｉｎ、ＧａおよびＺｎを含みＺｎ濃度が２０％以上であり、ＥＳ層３０よりもＺｎ濃度が高い。

ＥＳ層３０を構成する第２のＩＧＺＯ膜は、Ｉｎ、ＧａおよびＺｎを含みＺｎ濃度が２０％未満であり、好ましくは、Ｉｎ濃度が４０％以上であり、Ｇａ濃度が３７％以上である。

また、第１のＩＧＺＯ膜、第２のＩＧＺＯ膜をＤＣスパッタ法で形成する場合、上述の第１のＩＧＺＯ膜、第２のＩＧＺＯ膜の各組成となるように予め組成が調整されたターゲットが用いられる。

【００５２】

次に、ＥＳ層３０および活性層１８を覆うようにして、ゲート絶縁膜１６の表面１６ａにソース電極２０ａおよびドレイン電極２０ｂとなる、例えば、モリブデン膜（図示せず）を、ＤＣスパッタ法を用いて、圧力０．３７Ｐａの条件で、１００ｎｍの厚さに形成する。

次に、モリブデン膜上にレジスト膜（図示せず）を形成し、ゲート電極１４と同様にフォトリソグラフィー法を用いて、レジストパターンを形成する。その後、例えば、りん酸を７０～７５質量％、酢酸を５～１０質量％、硝酸を１～５質量％を含有し、残部が水で構成される混酸水溶液を用いてモリブデン膜をエッチングする。なお、エッチングは、エッチング時の混酸水溶液の液温が３５℃以下で行うことが好ましく、更には液温が１５℃～２５℃で行うことがより好ましい。エッチング後、レジスト膜を剥離する。これにより、図４（ｃ）に示すように、ＥＳ層３０の表面３０ａの一部および活性層１８の表面１８ａの一部を覆うようにして形成されたソース電極２０ａおよびドレイン電極２０ｂが得られる。

【００５３】

次に、ＥＳ層３０、ソース電極２０ａおよびドレイン電極２０ｂを覆うように、例えば、感光性アクリル樹脂を塗布する。そして、フォトリソグラフィー法を用いて、アクリル樹脂膜をパターン形成する。なお、パターン形成の際のアクリル樹脂の硬化条件は、例えば、温度１８０℃、３０分である。

次に、窒素雰囲気下で、１８０℃の温度で、ポストアニールを１時間行う。以上のようにして、図１に示すＴＦＴ１０を形成することができる。

【００５４】

本実施形態のＴＦＴ１０において、活性層１８の表面１８ａに活性層１８がエッチングをされないように保護するＥＳ層３０を設けても、ＥＳ層３０と活性層１８とは組成が近いため、活性層１８はダメージを受けず低抵抗化もしない。このため、ＴＦＴ１０は、閾値がマイナスにシフトすることもなく良好なＴＦＴ動作を示す。

また、エッチング液に対するソース電極２０ａおよびドレイン電極２０ｂとＥＳ層３０とのエッチングレート比を１０以上と高くし、ＥＳ層３０のエッチング耐性を高めている。これにより、ソース電極２０ａおよびドレイン電極２０ｂを形成する際のエッチング時に下地のＥＳ層３０のエッチングを低減し、下地の活性層１８に何のダメージも与えることがない。このため、良好なＴＦＴ特性を示し、かつ信頼性も高いＴＦＴ１０を面内に均

一に形成することができる。

【００５５】

さらには、ＴＦＴ１０の製造工程において、ＥＳ層３０は、活性層１８と同じエッチング液でエッチングが可能であり、エッチングストッパ層としてSiO_2膜を用いた場合に比して、ＥＳ層３０を容易に加工することができる。しかも、ＥＳ層３０を設けても活性層１８はダメージを受けず低抵抗化もしないため、高濃度の酸素雰囲気下でスパッタ法を用いてＥＳ層を形成することが不要となり、閾値シフトが小さい信頼性の良いＴＦＴを提供できる。

【００５６】

また、ＴＦＴ１０の製造工程においては、レジスト膜の形成、レジストパターン形成、各種膜の形成、保護層２２の形成は、いずれも温度が２００℃以下でなされる。このように、各工程が２００℃以下の温度でなされるため、基板１２に、耐熱性が低い、例えば、ＰＥＴ、ＰＥＮ等を用いることができる。これらのＰＥＴ、ＰＥＮは可撓性を有するものであるため、可撓性を有するトランジスタを得ることができる。

【００５７】

次に、第２の実施形態について説明する。

図５は、本発明の第２の実施形態に係る薄膜電界効果型トランジスタを示す模式的断面図である。

なお、本実施形態においては、図１に示す第１の実施形態のＴＦＴ１０と同一構成物には同一符号を付して、その詳細な説明は省略する。

【００５８】

図５に示すＴＦＴ１０ａは、図１に示すＴＦＴ１０に比して、ＥＳ層３２が活性層１８と同一形状である点が異なり、それ以外の構成は図１に示すＴＦＴ１０と同様の構成である。なお、ＥＳ層３２は、形状が異なる以外、第１の実施形態のＥＳ層３０と同じであるため、その詳細な説明は省略する。

【００５９】

次に、本実施形態のＴＦＴ１０ａの製造方法について説明する。

図６（ａ）～（ｃ）は、本発明の第２の実施形態に係る薄膜電界効果型トランジスタの製造方法を工程順に示す模式的断面図である。

なお、ＴＦＴ１０ａの製造方法において、図４（ａ）～（ｃ）に示す第１の実施形態のＴＦＴ１０の製造方法と同じ工程については、その詳細な説明は省略する。

【００６０】

本実施形態のＴＦＴ１０ａの製造方法においては、ＥＳ層３２の形成工程が、第１の実施形態のＴＦＴ１０の製造方法と異なる以外、第１の実施形態のＴＦＴ１０の製造方法と同様の工程である。このため、ＥＳ層３２の形成工程以外の図６（ａ）、図６（ｃ）の工程について、その詳細な説明は省略する。

【００６１】

本実施形態のＴＦＴ１０ａの製造方法においては、まず、第１の実施形態と同様にして、図６（ａ）に示すように、基板１２の表面１２ａにゲート電極１４を形成する。

次に、第１の実施形態と同様にして、ゲート絶縁膜１６となるSiO_2膜、活性層１８となる第１のＩＧＺＯ膜（図示せず）およびＥＳ層３２となる第２のＩＧＺＯ膜（図示せず）の順で、基板１２上に連続して形成する。

【００６２】

次に、第２のＩＧＺＯ膜上にレジスト膜（図示せず）を形成する。そして、フォトリソグラフィー法を用いてレジストパターンを形成した後、第２のＩＧＺＯ膜および第１のＩＧＺＯ膜をエッチングする。その後、レジスト膜を剥離する。これにより、ＥＳ層３２および活性層１８が形成される。

再度、第２のＩＧＺＯ膜上にレジスト膜（図示せず）を形成し、フォトリソグラフィー法を用いてレジストパターンを形成する。そして、SiO_2膜をエッチングする。その後、レジスト膜を剥離する。これにより、図６（ｂ）に示すように、ゲート絶縁膜１６の表

面１６ａにＥＳ層３２および活性層１８がパターン形成される。この場合、活性層１８の表面１８ａに形成されたＥＳ層３２は、活性層１８と同じ形状に形成される。

【００６３】

なお、ゲート絶縁膜１６、ＥＳ層３２および活性層１８のエッチングは、第１の実施形態と同様にして行うことができる。

また、ＥＳ層３２を構成する第２のＩＧＺＯ膜は、第１の実施形態のＥＳ層３０を構成する第２のＩＧＺＯ膜と同じ組成である。

第１のＩＧＺＯ膜および第２のＩＧＺＯ膜は、第１の実施形態と同様に、ＤＣスパッタ法で形成する場合、予め組成が調整されたターゲットが用いられる。

【００６４】

次に、第１の実施形態と同様にして、ＥＳ層３２および活性層１８を覆うようにして、ゲート絶縁膜１６の表面１６ａにソース電極２０ａおよびドレイン電極２０ｂとなるモリブデン膜（図示せず）を形成する。そして、フォトリソグラフィー法を用いて、レジストパターンを形成する。その後、モリブデン膜を第１の実施形態と成分が同じ混酸水溶液を用いてエッチングする。これにより、図６（ｃ）に示すように、ＥＳ層３２の表面３２ａの一部を覆うようにして形成されたソース電極２０ａおよびドレイン電極２０ｂが得られる。

【００６５】

次に、第１の実施形態と同様にして、ＥＳ層３２、ソース電極２０ａおよびドレイン電極２０ｂを覆う保護層２２を形成する。以上のようにして、図５に示すＴＦＴ１０ａを形成することができる。

なお、ＥＳ層３２および活性層１８を１度にまとめて形成したが、これに限定されるものではない。ＥＳ層３２および活性層１８を、それぞれフォトリソグラフィー法を用いてレジストパターンを形成してエッチングすることにより形成してもよい。

【００６６】

本実施形態においては、ＥＳ層３２を活性層１８と同一形状としても、ＥＳ層３２が活性層１８と組成が近く、ＥＳ層３２も活性層として機能し、ＴＦＴとして動作する。

また、ＥＳ層３２を活性層１８と同一形状とすることにより、同じマスクで形成されたレジストパターンを用いて、ＥＳ層３２と活性層１８とを形成することができる。これにより、レジストパターンを形成するに必要なマスクの数を減らすことができ、コストを低減することができるとともに、製造工程を簡略化することができる。これにより、生産効率も向上させることができる。

【００６７】

加えて、本実施形態においては、第１の実施形態のＴＦＴ１０およびその製造方法と同様の効果を得ることができる。このため、本実施形態のＴＦＴ１０ａは、閾値がマイナスにシフトすることもなく、良好なＴＦＴ動作を示す。また、良好なＴＦＴ特性を示し、かつ信頼性も高いＴＦＴ１０ａを面内に均一に形成することができる。

さらに、従来に比して、ＥＳ層３２を容易形成することができ、しかも、加工も容易にすることができる。

また、ＴＦＴ１０ａの製造工程においても、レジスト膜の形成、レジストパターン形成、各種膜の形成、保護層２２の形成は、いずれも温度が２００℃以下でなされる。このように、各工程が温度２００℃以下でなされるため、ＰＥＴ、ＰＥＮ等の耐熱性が低い基板１２を用いることができる。これにより、可撓性を有するトランジスタを得ることができる。

【００６８】

次に、第３の実施形態について説明する。

図７は、本発明の第３の実施形態に係る薄膜電界効果型トランジスタを示す模式的断面図である。

なお、本実施形態においては、図１に示す第１の実施形態のＴＦＴ１０と同一構成物には同一符号を付して、その詳細な説明は省略する。

【００６９】
図７に示すＴＦＴ１０ｂは、一般的に、トップコンタクト型トップゲート構造と呼ばれるものである。このＴＦＴ１０ｂは、図１に示すＴＦＴ１０に比して、ゲート電極１４の配置位置とＥＳ層３０および活性層１８ならびにソース電極２０ａおよびドレイン電極２０ｂの配置位置とが上下で逆になっている点が異なり、それ以外の構成は図１に示すＴＦＴ１０と同様の構成である。
【００７０】
図７に示すＴＦＴ１０ｂは、基板１２の表面１２ａに活性層１８が形成されている。この活性層１８の表面１８ａにＥＳ層３０が形成されている。活性層１８の表面１８ａおよびＥＳ層３０の表面３０ａの一部を覆うようにして基板１２の表面１２ａにソース電極２０ａが形成されている。また、このソース電極２０ａと対をなすドレイン電極２０ｂが、活性層１８の表面１８ａおよびＥＳ層３０の表面３０ａの一部を覆うようにして基板１２の表面１２ａに、ソース電極２０ａと対向して形成されている。ＥＳ層３０および活性層１８ならびにソース電極２０ａおよびドレイン電極２０ｂを覆うようにして絶縁膜２４が基板１２上に形成されている。この絶縁膜２４の表面２４ａにゲート電極１４が形成されている。このゲート電極１４を覆うようにして、絶縁膜２４の表面２４ａに保護層２２が形成されている。
なお、絶縁膜２４は、ＥＳ層３０および活性層１８ならびにソース電極２０ａおよびドレイン電極２０ｂとゲート電極１４とを絶縁するためのものである。絶縁膜２４は、図１に示すＴＦＴ１０のゲート絶縁層１６と同様の構成であるため、その詳細な説明は省略する。
【００７１】
次に、本実施形態のＴＦＴ１０ｂの製造方法について説明する。
図８（ａ）～（ｄ）は、本発明の第３の実施形態に係る薄膜電界効果型トランジスタの製造方法を工程順に示す模式的断面図である。
なお、ＴＦＴ１０ｂの製造方法において、図４（ａ）～（ｃ）に示す第１の実施形態のＴＦＴ１０の製造方法と同じ工程については、その詳細な説明は省略する。
【００７２】
本実施形態のＴＦＴ１０ｂの製造方法においては、まず、基板１２として、例えば、ガラス基板を用意する。
次に、基板１２の表面１２ａに、活性層１８となる第１のＩＧＺＯ膜（図示せず）を、例えば、３０ｎｍの厚さにＤＣスパッタ法を用いて成膜する。
次に、第１のＩＧＺＯ膜の表面に、ＥＳ層３０となる第２のＩＧＺＯ膜（図示せず）を、例えば、２０ｎｍの厚さにＤＣスパッタ法を用いて圧力０．３７Ｐａの条件で成膜する。このように、第１のＩＧＺＯ膜および第２のＩＧＺＯ膜を連続して形成する。
【００７３】
次に、第２のＩＧＺＯ膜上にレジスト膜（図示せず）を形成する。そして、フォトリソグラフィー法を用いてレジストパターンを形成した後、第２のＩＧＺＯ膜および第１のＩＧＺＯ膜を、例えば、５％シュウ酸水を用いてエッチングする。その後、レジスト膜を剥離する。
再度、第２のＩＧＺＯ膜上にレジスト膜（図示せず）を形成し、フォトリソグラフィー法を用いて、レジストパターンを形成する。そして、第２のＩＧＺＯ膜のみを、例えば、５％シュウ酸水を用いてエッチングする。その後、レジスト膜を剥離する。これにより、図８（ａ）に示すように、基板１２の表面１２ａに、活性層１８が形成され、その表面１８ａにＥＳ層３０が形成される。
【００７４】
次に、ＥＳ層３０および活性層１８を覆うようにして基板１２の表面１２ａにソース電極２０ａおよびドレイン電極２０ｂとなる、例えば、モリブデン膜（図示せず）を１００ｎｍの厚さに、ＤＣスパッタ法を用いて０．３７Ｐａの条件で形成する。
次に、モリブデン膜上にレジスト膜（図示せず）を形成し、フォトリソグラフィー法を

用いてレジストパターンを形成する。そして、第１の実施形態と成分が同じ混酸水溶液を用いてモリブデン膜をエッチングする。エッチング後、レジスト膜を剥離する。これにより、図８（ｂ）に示すように、ＥＳ層３０の表面３０ａおよび活性層１８の表面１８ａの一部を覆うようにして形成されたソース電極２０ａおよびドレイン電極２０ｂが得られる。

【００７５】

次に、図８（ｃ）に示すように、活性層１８、ソース電極２０ａおよびドレイン電極２０ｂを覆うように、絶縁膜２４となる、例えば、厚さが２００ｎｍのSiO_2膜（図示せず）をＲＦスパッタ法を用いて形成する。このSiO_2膜上にレジスト膜（図示せず）を形成し、フォトリソグラフィー法を用い、レジストパターンを形成する。そして、例えば、バッファードフッ酸を用いてSiO_2膜をエッチングして絶縁膜２４を形成する。

次に、絶縁膜２４の表面２４ａに、例えば、厚さが４０ｎｍのゲート電極１４となるモリブデン膜（図示せず）を、ＤＣスパッタ法を用いて成膜する。

次に、モリブデン膜上にレジスト膜（図示せず）を形成し、フォトリソグラフィー法を用い、レジストパターンを形成する。

次に、第１の実施形態と成分が同じ混酸水溶液を用いて、モリブデン膜をエッチングする。その後、レジスト膜を剥離する。これにより、図８（ｄ）に示すように、モリブデンからなるゲート電極１４が絶縁膜２４の表面２４ａに形成される。

【００７６】

次に、ゲート電極１４を覆うようにして絶縁膜２４の表面２４ａに、例えば、感光性アクリル樹脂を塗布する。そして、フォトリソグラフィー法を用いて、アクリル樹脂膜をパターン形成する。なお、パターン形成の際のアクリル樹脂の硬化条件は、例えば、温度１８０℃、３０分である。

次に、窒素雰囲気下で、１８０℃の温度で、ポストアニールを１時間行う。以上のようにして、図７に示すＴＦＴ１０ｂを形成することができる。

【００７７】

本実施形態においても、第１の実施形態のＴＦＴ１０およびその製造方法と同様の効果を得ることができる。このため、本実施形態のＴＦＴ１０ｂは、閾値がマイナスにシフトすることもなく、良好なＴＦＴ動作を示す。また、良好なＴＦＴ特性を示し、かつ信頼性も高いＴＦＴ１０ｂを面内に均一に形成することができる。

さらに、従来に比して、ＥＳ層３２を容易形成することができ、しかも、加工も容易にすることができる。

また、本実施形態のＴＦＴ１０ｂの製造工程においても、レジスト膜の形成、レジストパターン形成、各種膜の形成、保護層２２の形成は、いずれも温度が２００℃以下でなされる。このように、各工程が温度２００℃以下でなされるため、ＰＥＴ、ＰＥＮ等の耐熱性が低い基板１２を用いることができる。これにより、可撓性を有するＴＦＴを得ることができる。

【００７８】

次に、第４の実施形態について説明する。

図９は、本発明の第４の実施形態に係る薄膜電界効果型トランジスタを示す模式的断面図である。

なお、本実施形態においては、図７に示す第３の実施形態のＴＦＴ１０ｂと同一構成物には同一符号を付して、その詳細な説明は省略する。

【００７９】

図９に示すＴＦＴ１０ｃは、図７に示すＴＦＴ１０ｂに比して、ＥＳ層３２が、活性層１８と同一形状である点が異なり、それ以外の構成は図７に示すＴＦＴ１０ｂと同様の構成である。なお、上述のように、ＥＳ層３２は、第１の実施形態のＥＳ層３０と同じ組成である。このため、その詳細な説明は省略する。

【００８０】

次に、本実施形態のＴＦＴ１０ｃの製造方法について説明する。

図１０（ａ）～（ｄ）は、本発明の第４の実施形態に係る薄膜電界効果型トランジスタの製造方法を工程順に示す模式的断面図である。

なお、ＴＦＴ１０ｃの製造方法において、図８（ａ）～（ｄ）に示す第３の実施形態のＴＦＴ１０ｂの製造方法と同じ工程については、その詳細な説明は省略する。

【００８１】

本実施形態のＴＦＴ１０ｃの製造方法においては、ＥＳ層３２の形成工程が、第３の実施形態のＴＦＴ１０ｂの製造方法と異なる以外、第３の実施形態のＴＦＴ１０ｂの製造方法と同様の工程である。このため、ＥＳ層３２の形成工程以外の図１０（ｂ）～図１０（ｄ）の工程について、その詳細な説明は省略する。

【００８２】

本実施形態のＴＦＴ１０ｃの製造方法においては、まず、第３の実施形態と同様にして、基板１２の表面１２ａに活性層１８となる第１のＩＧＺＯ膜（図示せず）と、この第１のＩＧＺＯ膜の表面にＥＳ層３２となる第２のＩＧＺＯ膜（図示せず）を連続して形成する。

次に、第２のＩＧＺＯ膜上にレジスト膜（図示せず）を形成する。そして、フォトリソグラフィー法を用いてレジストパターンを形成する。そして、第２のＩＧＺＯ膜および第１のＩＧＺＯ膜を、例えば、５％シュウ酸水を用いてエッチングする。その後、レジスト膜を剥離する。これにより、図１０（ａ）に示すように、ＥＳ層３２および活性層１８がパターン形成される。この場合、活性層１８の表面１８ａに形成されたＥＳ層３２は、活性層１８と同じ形状に形成される。

【００８３】

なお、ＥＳ層３２を構成する第２のＩＧＺＯ膜は、第１の実施形態のＥＳ層３０を構成する第２のＩＧＺＯ膜と同じ組成である。

第１のＩＧＺＯ膜および第２のＩＧＺＯ膜は、第３の実施形態と同様に、ＤＣスパッタ法で形成する場合、予め組成が調整されたターゲットが用いられる。

【００８４】

次に、第３の実施形態と同様にして、ＥＳ層３２および活性層１８を覆うようにして、基板１２の表面１２ａにソース電極２０ａおよびドレイン電極２０ｂとなるモリブデン膜（図示せず）を形成する。そして、フォトリソグラフィー法を用いて、レジストパターンを形成する。その後、モリブデン膜を、第３の実施形態と同じく、第１の実施形態と成分が同じ混酸水溶液を用いてエッチングする。これにより、図１０（ｂ）に示すように、ＥＳ層３２の表面３２ａの一部を覆うようにして形成されたソース電極２０ａおよびドレイン電極２０ｂが得られる。

【００８５】

次に、第３の実施形態と同様にして、図１０（ｃ）に示すように、ＥＳ層３２、ソース電極２０ａおよびドレイン電極２０ｂを覆う絶縁膜２４を形成する。

次に、第３の実施形態と同様にして、図１０（ｄ）に示すように、絶縁膜２４の表面２４ａにモリブデンからなるゲート電極１４を形成し、そして、ゲート電極１４を覆うようにして絶縁膜２４の表面２４ａに保護層２２を形成する。その後、窒素雰囲気下で１８０℃の温度で、１時間、ポストアニールを行うことにより、ＴＦＴ１０ｃを形成することができる。

なお、ＥＳ層３２および活性層１８を１度にまとめて形成したが、これに限定されるものではない。ＥＳ層３２および活性層１８を、それぞれフォトリソグラフィー法を用いてレジストパターンを形成してエッチングすることにより形成してもよい。

【００８６】

本実施形態においては、ＥＳ層３２を活性層１８と同一形状としても、ＥＳ層３２が活性層１８と組成が近く、ＥＳ層３２が活性層として機能し、ＴＦＴとして動作する。

また、ＥＳ層３２を活性層１８と同一形状とすることにより、同じマスクで形成されたレジストパターンを用いて、ＥＳ層３２と活性層１８とを形成することができる。これにより、レジストパターンを形成するに必要なマスクの数を減らすことができ、コストを低

減することができるとともに、製造工程を簡略化することができる。これにより、生産効率も向上させることができる。

【００８７】

加えて、本実施形態においては、第３の実施形態と同様に、第１の実施形態のＴＦＴ１０およびその製造方法と同様の効果を得ることができる。このため、ＴＦＴ１０ｃは、閾値がマイナスにシフトすることもなく、良好なＴＦＴ動作を示す。また、良好なＴＦＴ特性を示し、かつ信頼性も高いＴＦＴ１０ｃを面内に均一に形成することができる。

さらに、従来に比して、ＥＳ層３２を容易形成することができ、しかも、加工も容易にすることができる。

また、ＴＦＴ１０ｃの製造工程においても、レジスト膜の形成、レジストパターン形成、各種膜の形成、保護層２２の形成は、いずれも温度が２００℃以下でなされる。このように、各工程が温度２００℃以下でなされるため、ＰＥＴ、ＰＥＮ等の耐熱性が低い基板１２を用いることができる。これにより、可撓性を有するＴＦＴを得ることができる。

【００８８】

本発明は、基本的に以上のようなものである。以上、本発明の薄膜電界効果型トランジスタおよびその製造方法について詳細に説明したが、本発明は上記実施形態に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良または変更をしてもよいのはもちろんである。

【実施例１】

【００８９】

以下、本発明の薄膜電界効果型トランジスタの実施例について、具体的に説明する。

本実施例においては、以下の実施例１、実施例２および比較例１～比較例３に示すＴＦＴを作製し、各実施例１、実施例２および比較例１～比較例３のＴＦＴについて評価した。なお、実施例１、実施例２および比較例１～比較例３のＴＦＴは、図１に示す構成のＴＦＴ１０を用いた。

【００９０】

実施例１、実施例２および比較例１～比較例３の各ＴＦＴは、基本的に上述の図４（ａ）～（ｃ）に示す製造方法により製造した。

実施例１、実施例２、比較例１および比較例２の各ＴＦＴにおいて、ゲート電極１４については、ＤＣスパッタ法により厚さが４０ｎｍのモリブデン膜を形成し、このモリブデン膜にフォトリソグラフィー法を用いてレジストパターンを形成し、りん酸を７３質量％、酢酸を７質量％、硝酸を３質量％含有し、残部が水である混酸水溶液（液温３５℃）を用いてエッチングして形成した。

【００９１】

次に、ＲＦスパッタ法を用いて、ゲート絶縁膜１６となる厚さが２００ｎｍのSiO_2膜を形成する。次に、SiO_2膜の表面に、ＤＣスパッタ法を用いて、活性層１８となる後述する組成の第１のＩＧＺＯ膜を３０ｎｍの厚さに形成する。この第１のＩＧＺＯ膜の表面に、ＤＣスパッタ法を用いて、ＥＳ層３０となる後述する各組成の第２のＩＧＺＯ膜を３０ｎｍの厚さに形成する。そして、第２のＩＧＺＯ膜上にフォトリソグラフィー法を用いてレジストパターンを形成する。そして、５％シュウ酸水を用いて、第２のＩＧＺＯ膜および第１のＩＧＺＯ膜をエッチングして形成した。

【００９２】

活性層１８としては、Ｚｎ濃度（Ｚｎ／Ｉｎ＋Ｇａ＋Ｚｎ）が２６．９％、Ｇａ濃度（Ｇａ／Ｉｎ＋Ｇａ＋Ｚｎ）が３４．６％、Ｉｎ濃度（Ｉｎ／Ｉｎ＋Ｇａ＋Ｚｎ）が３８．５％である第１のＩＧＺＯ膜を用いた。なお、第１のＩＧＺＯ膜の濃度分析は、前述のようにＸＲＦ分析によって行った。

【００９３】

ＥＳ層３０については、活性層１８を形成した後、第２のＩＧＺＯ膜上にフォトリソグラフィー法を用いてレジストパターンを形成する。そして、５％シュウ酸水を用いて、第２のＩＧＺＯ膜のみをエッチングして形成した。

ゲート絶縁膜１６については、ＳｉＯ$_2$膜／第１のＩＧＺＯ膜／第２のＩＧＺＯ膜上にフォトリソグラフィー法を用いてレジストパターンを形成し、バッファードフッ酸を用いてＳｉＯ$_2$膜をエッチングして形成した。

【００９４】

ソース電極２０ａおよびドレイン電極２０ｂについては、ＤＣスパッタ法を用いて、圧力０．３７Ｐａの条件で、モリブデン膜を１００ｎｍの厚さに形成する。このモリブデン膜にフォトリソグラフィー法を用いてレジストパターンを形成する。そして、エッチング液として、りん酸を７３質量％、酢酸を７質量％、硝酸を３質量％含有し、残部が水である混酸水溶液（液温２５℃）を用いてモリブデン膜をエッチングして形成した。

【００９５】

保護層２２については、活性層１８、ソース電極２０ａおよびドレイン電極２０ｂを覆うように、感光性アクリル樹脂（ＰＣ４０５Ｇ（ＪＳＲ株式会社製））を塗布して、フォトリソグラフィー法を用いて、アクリル樹脂膜をパターン形成した。パターン形成の際のアクリル樹脂の硬化条件は、温度１８０℃、３０分である。その後、窒素雰囲気下で１８０℃の温度で、１時間、ポストアニールを行ってＴＦＴ１０を形成した。

【００９６】

実施例１においては、ＥＳ層として、Ｚｎ濃度（Ｚｎ／Ｉｎ＋Ｇａ＋Ｚｎ）が１４．６％、Ｇａ濃度（Ｇａ／Ｉｎ＋Ｇａ＋Ｚｎ）が４１．６％、Ｉｎ濃度（Ｉｎ／Ｉｎ＋Ｇａ＋Ｚｎ）が４３．８％である第２のＩＧＺＯ膜を用いた。なお、第２のＩＧＺＯ膜の濃度分析は、前述のようにＸＲＦ分析によって行った。

実施例１において、上述のエッチング液（りん酸７３質量％、酢酸７質量％および硝酸３質量％の混酸水溶液（液温２５℃））による、ソース電極、ドレイン電極を構成するモリブデンとのエッチングレート比（ＩＧＺＯ：Ｍｏ）は１：１３．８である。実施例１は、図２に示す符号Ａに相当するものである。

【００９７】

実施例２においては、ＥＳ層として、Ｚｎ濃度（Ｚｎ／Ｉｎ＋Ｇａ＋Ｚｎ）が１９．２％、Ｇａ濃度（Ｇａ／Ｉｎ＋Ｇａ＋Ｚｎ）が３８．８％、Ｉｎ濃度（Ｉｎ／Ｉｎ＋Ｇａ＋Ｚｎ）が４２．０％である第２のＩＧＺＯ膜を用いた。

実施例２において、上述のエッチング液（りん酸７３質量％、酢酸７質量％および硝酸３質量％の混酸水溶液（液温２５℃））による、ソース電極、ドレイン電極を構成するモリブデンとのエッチングレート比（ＩＧＺＯ：Ｍｏ）は１：１０．６である。実施例２は、図２に示す符号Ｂに相当するものである。

【００９８】

比較例１は、ＥＳ層として、厚さが２０ｎｍのＳｉＯ$_2$膜を用いたものである。比較例１ではＥＳ層の構成および形成方法が異なる以外は、実施例１と同じである。比較例１は、ＥＳ層を以下のようにして形成した。

比較例１においては、第１のＩＧＺＯ膜を形成した後、活性層１８をパターン形成した。その後、活性層１８を覆うようにしてゲート絶縁膜１６の表面１６ａに、ＲＦスパッタ法を用いて、厚さが２０ｎｍのＳｉＯ$_2$膜を形成した。次に、ＳｉＯ$_2$膜上にレジストパターンを形成し、バッファードフッ酸を用いてＳｉＯ$_2$膜をエッチングしてＥＳ層を形成した。

【００９９】

比較例２においては、ＥＳ層として、Ｚｎ濃度（Ｚｎ／Ｉｎ＋Ｇａ＋Ｚｎ）が３４．７％、Ｇａ濃度（Ｇａ／Ｉｎ＋Ｇａ＋Ｚｎ）が３０．３％、Ｉｎ濃度（Ｉｎ／Ｉｎ＋Ｇａ＋Ｚｎ）が３５．０％である第２のＩＧＺＯ膜を用いた。

比較例２において、上述のエッチング液（りん酸７３質量％、酢酸７質量％および硝酸３質量％の混酸水溶液（液温２５℃））による、ソース電極、ドレイン電極を構成するモリブデンとのエッチングレート比（ＩＧＺＯ：Ｍｏ）は１：３．１である。比較例２は、図２に示す符号Ｃに相当するものである。

【０１００】

比較例３においては、ＥＳ層として、Ｚｎ濃度（Ｚｎ／Ｉｎ＋Ｇａ＋Ｚｎ）が２５．１％、Ｇａ濃度（Ｇａ／Ｉｎ＋Ｇａ＋Ｚｎ）が３６．５％、Ｉｎ濃度（Ｉｎ／Ｉｎ＋Ｇａ＋Ｚｎ）が３５％である第２のＩＧＺＯ膜を用いた。

比較例３において、上述のエッチング液（りん酸７３質量％、酢酸７質量％および硝酸３質量％の混酸水溶液（液温２５℃））による、ソース電極、ドレイン電極を構成するモリブデンとのエッチングレート比（ＩＧＺＯ：Ｍｏ）は１：９．０である。比較例３は、図２に示す符号Ｄに相当するものである。

【０１０１】

実施例１、実施例２および比較例１～比較例３のトランジスタについて、それぞれ移動度を測定した。その結果、実施例１、２は、移動度が１０ｃｍ^2／Ｖｓ以上であり、ＴＦＴ特性の均一性が良好なＴＦＴであった。

一方、比較例１は、ＥＳ層を形成する際のエッチングにより、下地の活性層もエッチングされてしまい、ソース電極、ドレイン電極とのコンタクトが不充分となり、オン電流が悪化し、信頼性試験でも実施例１、２よりも劣る結果となった。

また、比較例２はＥＳ層が機能せず、ソース電極、ドレイン電極の形成時のエッチングにより活性層が消滅し、ＴＦＴを形成することができず、ＴＦＴ動作はしなかった。比較例３は、ＥＳ層機能が不充分であり、ＴＦＴ動作はしたもののＴＦＴ特性の面内均一性が悪かった。

【実施例２】

【０１０２】

本実施例においては、以下の実施例３および比較例４に示すＴＦＴを作製し、各実施例３および比較例４のＴＦＴについて評価した。なお、実施例３および比較例４のＴＦＴは、図５に示す構成のＴＦＴ１０ａを用いた。

本実施例においては、第１の実施例に比して、ＥＳ層と活性層とを同一形状とした以外は、第１の実施例と同様であるため、その詳細な説明は省略する。

【０１０３】

実施例３においては、ＥＳ層と活性層とを同一形状としたものである。この実施例３は、ＥＳ層と活性層とを同一形状とした以外は、第１の実施例の実施例１と同じである。

【０１０４】

比較例４においては、ＥＳ層と活性層とを同一形状としたものである。この比較例４は、ＥＳ層と活性層とを同一形状とした以外は、第１の実施例の比較例１と同じである。

【０１０５】

実施例３、および比較例４のＴＦＴについて、それぞれ移動度を測定した。その結果、実施例３は、移動度が１０ｃｍ^2／Ｖｓ以上であり、ＴＦＴ特性の均一性が良好なＴＦＴであった。一方、比較例４はＴＦＴ動作を示さなかった。

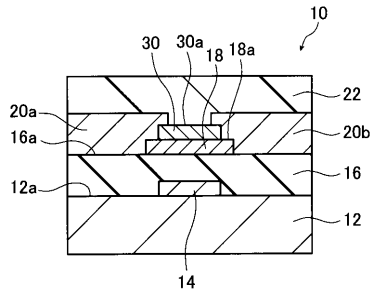
なお、実施例３は、ＥＳ層と活性層を同一のマスクで形成できるため、マスク数を低減でき、コスト低減が可能となる。

【符号の説明】

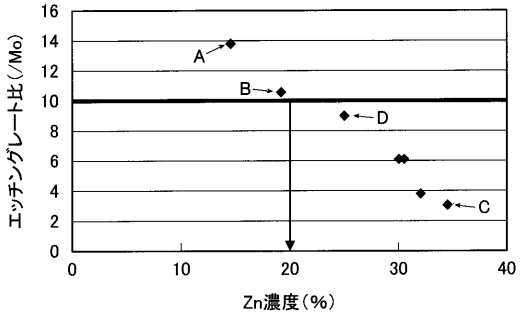
【０１０６】

１０、１０ａ　薄膜電界効果型トランジスタ（ＴＦＴ）
１２　基板
１４　ゲート電極
１６　ゲート絶縁膜
１８　活性層
２０ａ　ソース電極
２０ｂドレイン電極
２２　保護層
２４　絶縁膜
３０、３２　エッチングストッパ層（ＥＳ層）

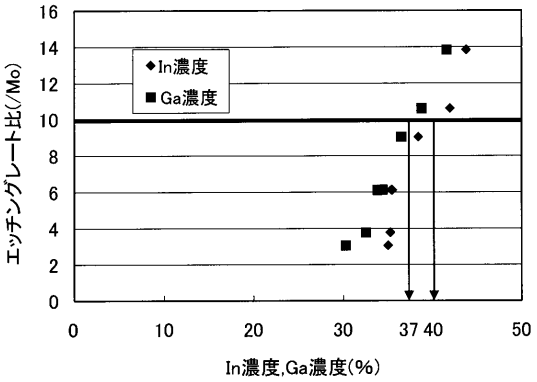
【図１】


10
30
30a
18
18a
22
20a
16a
20b
16
12a
12
14

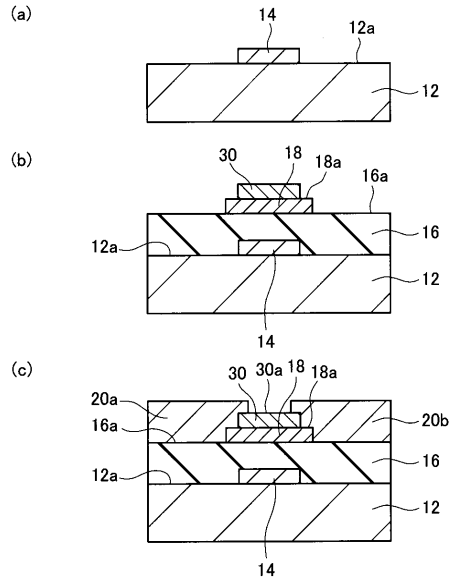
【図２】


16
14
12
10
8
6
4
2
0
A
B
D
C
0
10
20
30
40
エッチングレート比(/Mo)
Zn濃度(%)

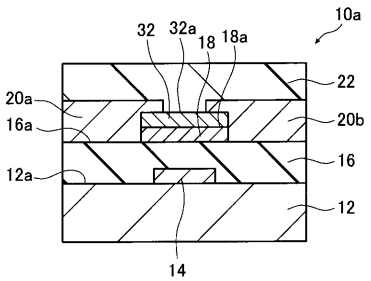
【図３】


16
14
12
10
8
6
4
2
0
◆In濃度
■Ga濃度
0
10
20
30
37
40
50
エッチングレート比(/Mo)
In濃度,Ga濃度(%)

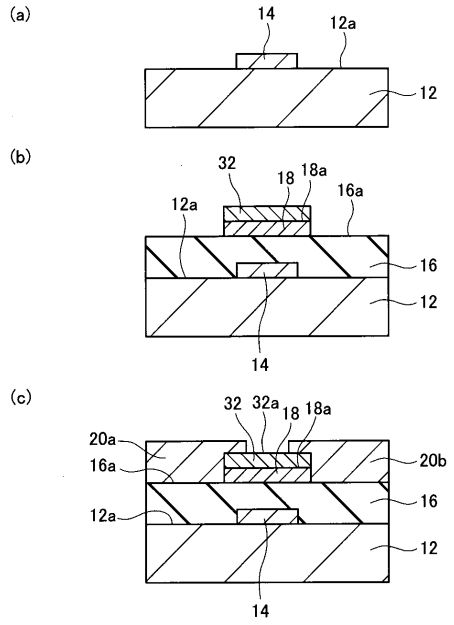
【図４】


(a)
14
12a
12
(b)
30
18
18a
16a
16
12a
12
14
(c)
30
30a
18
18a
20a
16a
20b
16
12a
12
14

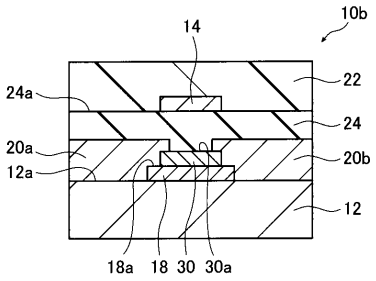
【図５】


10a
32
32a
18
18a
22
20a
16a
20b
16
12a
12
14

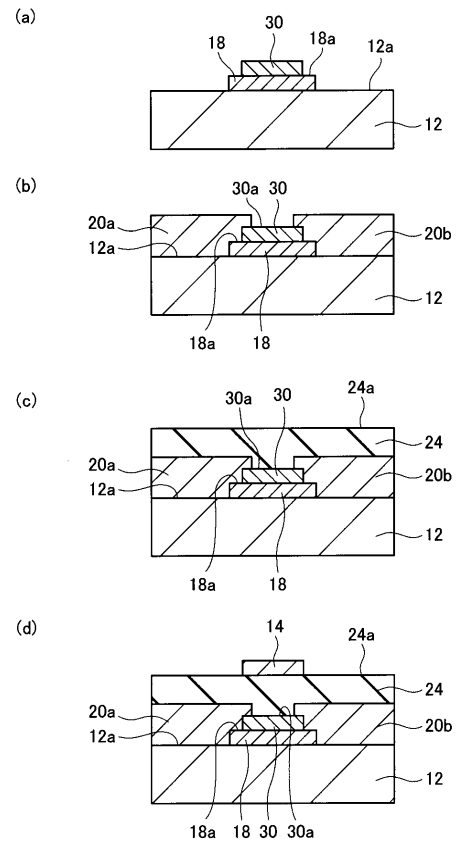
【図６】


(a)
14
12a
12
(b)
32
18
18a
16a
12a
16
12
14
(c)
32
32a
18
18a
20a
16a
20b
16
12a
12
14

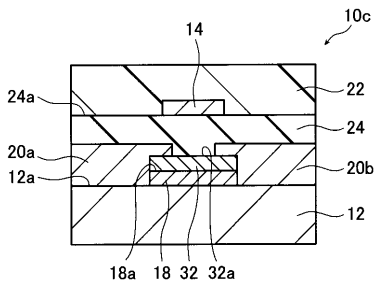
【図７】


10b
14
22
24a
24
20a
12a
20b
12
18a
18
30
30a

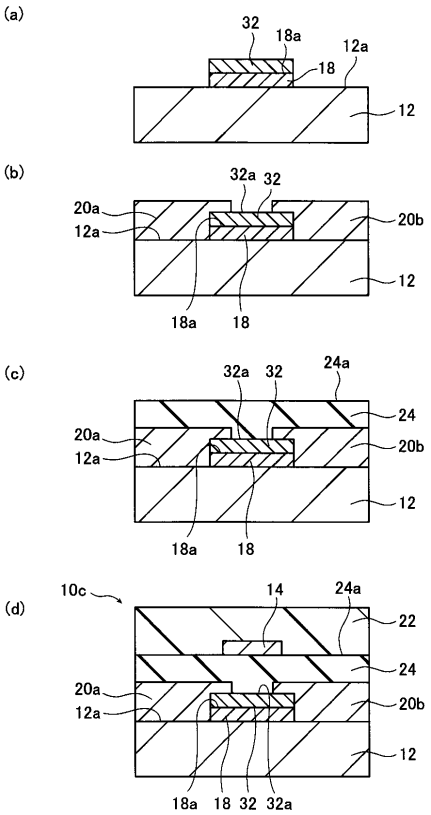
【図８】


(a)
30
18
18a
12a
12
(b)
30a
30
20a
12a
20b
12
18a
18
(c)
30a
30
24a
24
20a
12a
20b
12
18a
18
(d)
14
24a
24
20a
12a
20b
12
18a
18
30
30a

【図９】


10c
14
22
24a
24
20a
12a
20b
12
18a
18
32
32a

【図１０】


(a)
32
18a
12a
18
12
(b)
32a
32
20a
12a
20b
12
18a
18
(c)
32a
32
24a
24
20a
12a
20b
12
18a
18
(d)
10c
14
24a
22
24
20a
12a
20b
12
18a
18
32
32a

フロントページの続き

(51)Int.Cl. FI
H01L 21/308 F

(56)参考文献 特開２０１０－０２１３３３（ＪＰ，Ａ）
特表２００９－５３３８８４（ＪＰ，Ａ）
特開２００９－１３０２０９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２１／３３６
Ｈ０１Ｌ　２１／３０６
Ｈ０１Ｌ　２１／３０８
Ｈ０１Ｌ　２９／７８６