(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2001年12月13日 (13.12.2001)

PCT

(10) 国際公開番号
WO 01/95298 A1

(51) 国際特許分類[7]: G09F 9/00, 9/30, G02F 1/1368

(21) 国際出願番号: PCT/JP01/04815

(22) 国際出願日: 2001年6月7日 (07.06.2001)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2000-171700 2000年6月8日 (08.06.2000) JP

(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 猪野益充 (INO, Masumitsu) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 小池 晃, 外(KOIKE, Akira et al.); 〒105-0001 東京都港区虎ノ門二丁目6番4号 第11森ビル Tokyo (JP).

(81) 指定国 (国内): CN, KR, NO, US.

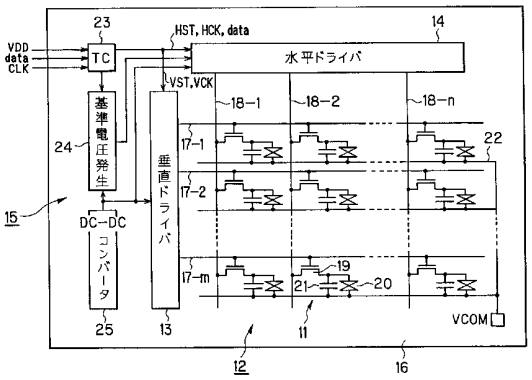
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: DISPLAY AND PERSONAL DIGITAL ASSISTANT WITH DISPLAY

(54) 発明の名称: 表示装置及びこれを用いた携帯端末装置



13...VERTICAL DRIVER
14...HORIZONTAL DRIVER
24...REFERENCE VOLTAGE GENERATOR
25...DC-DC CONVERTER

(57) Abstract: A liquid crystal display comprises a first substrate on which are provided a matrix (12) of pixels (11) and drive systems (13, 14) for driving the matrix of pixels with pixel signals, a second substrate opposed to the first substrate, and a liquid crystal layer held between the substrates. The drive systems (13, 14) are controlled by control systems (23, 24, 25), which are implemented in a semiconductor chip on the first substrate by a COG method to make the whole device compact.

(57) 要約:

本発明は、液晶表示装置であり、この液晶表示装置は、複数の画素（１１）が行列状に配置されてなる画素部（１２）とこの画素部（１２）に対して画素信号を書き込むべく駆動する駆動系（１３，１４）とが形成された第１の基板と、この第１の基板に対して対向配置された第２の基板と、これら基板間に保持された液晶層とを具備する液晶表示装置において、駆動系（１３，１４）を制御する制御系（２３，２４，２５）を、半導体チップで第１の基板上にＣＯＧ法によって実装することにより、装置全体の薄型化を実現する。

WO 01/95298 A1

明細書

表示装置及びこれを用いた携帯端末装置

技術分野

本発明は、表示装置及びこれを用いた携帯端末装置に関し、特に液晶ディスプレイ（ＬＣＤ；liquid crystal display）やエレクトロルミネセンス（ＥＬ；electroluminescence）ディスプレイなどの表示装置及びこれを表示部として用いる携帯端末装置に関する。

背景技術

テレビジョン受像機、コンピュータあるいは携帯端末などの表示装置として、薄型で低消費電力のパネルディスプレイが広く用いられている。この種のパネルディスプレイとして、ガラス基板等の透明絶縁基板（パネル）上に、スイッチング素子として、例えばＴＦＴ(thin film transistor；薄膜トランジスタ）を用いた画素を行列状に多数配列し、液晶やエレクトロルミネセンス等の電気光学効果を有する物質と組み合わせたアクティブマトリクス型表示装置が知られている。

このアクティブマトリクス型表示装置として、従来、例えば、画素部を駆動するために基板上に形成される周辺回路のうちの少なくとも一部の周辺回路を、画素接続されたアクティブ素子と同様の相補型のＴＦＴで構成し、残りの周辺回路を半導体チップで構成した液晶表示装置が知られている（特開平４－２４２７２４号公報参照）。

上記公報に記載される液晶表示装置は、図１２に示すように、一部の周辺回路１０１が形成された透明絶縁基板１０２と、これと対向配置された透明絶縁基板（対向基板）１０３との間に液晶層１０４を保持している。この装置は、半導体チップで構成した周辺回路、すなわちＩＣチップ１０５を、透明絶縁基板１０２の周辺回路１０１とは反対側の面に取り付け、フレキシブルケーブル１０６を用

いて周辺回路１０１との間の電気的接続をなす構成を採用している。

このような構成を備えた液晶表示装置は、図１２から明らかなように、ＩＣチップ１０５及びフレキシブルケーブル１０６の厚みｔａ（例えば、１ｍｍ程度）の分だけ液晶表示装置全体の肉厚ｔｂが厚くなる。したがって、液晶表示装置を表示部として用いる機器の厚みも厚くなってしまう。特に、携帯端末装置、例えば携帯電話機では、装置本体の薄型化が要望されており、この携帯電話機の表示部として用いられる液晶表示装置の肉厚ｔｂが厚いと、電話機本体の薄型化の妨げとなる。

発明の開示

本発明は、上述のような技術的な背景及び要望に鑑みて提案されるものであり、その目的とするところは、装置全体の薄型化を可能とした表示装置及びこれを用いた携帯端末を提供することにある。

本発明は、複数の画素が行列状に配置されてなる画素部と、この画素部に対して画素信号を書き込むべく駆動する駆動系とが形成された第１の基板と、第１の基板に対して所定の間隔をもって対向配置された第２の基板と、第１及び第２の基板間に保持された電気光学効果を有する物質層とを具備する表示装置であって、駆動系を制御する制御系を有し、この制御系が半導体チップで第１の基板上に形成された構成となっている。この表示装置は、携帯電話機などの携帯端末において、その表示部として用いられる。

本発明に係る表示装置及びこれを用いた携帯端末装置は、駆動系が形成された基板上に、当該駆動系を制御する制御系を半導体チップで形成することで、表示装置全体の厚さが半導体チップの厚さに依存することがない。したがって、表示装置全体の薄型化、ひいてはこれを表示部として用いる携帯端末の薄型化が図られる。

本発明の更に他の目的、本発明によって得られる具体的な利点は、以下に説明される実施例の説明から一層明らかにされるであろう。

図面の簡単な説明

図１は、本発明に係る液晶表示装置の一例を示すブロック回路図である。

図２は、アナログ点順次駆動方式のアクティブマトリクス型液晶表示装置における垂直ドライバの一例を示すブロック回路図である。

図３は、アナログ点順次駆動方式のアクティブマトリクス型液晶表示装置における水平ドライバの構成の一例を示すブロック回路図である。

図４Ａ、図４Ｂは、ポリシリコンＴＦＴの断面構造を示す断面図であり、図４Ａはボトムゲート構造の場合を、図４Ｂはトップゲート構造の場合をそれぞれ示している。

図５は、本発明に係る液晶表示装置を示す横断面図である。

図６は、透明絶縁基板上の回路部分とＩＣチップとの電気的な接続部分の構造を示す断面図である。

図７は、本発明が適用された時分割駆動方式のアクティブマトリクス型液晶表示装置を示すブロック図である。

図８は、時分割駆動方式のアクティブマトリクス型液晶表示装置における水平ドライバの一例を示すブロック回路図である。

図９は、時分割スイッチ部の一例を示す回路図である。

図１０は、本発明が適用された他の例を示すブロック回路図である。

図１１は、本発明に係る携帯電話機の外観を示す斜視図である。

図１２は、従来の液晶表示装置を示す横断面図である。

発明を実施するための最良の形態

以下、本発明に係る液晶表示装置及びこれを用いた携帯端末装置を図面を参照して説明する。

まず、本発明をアナログ点順次駆動方式のアクティブマトリクス型液晶表示装置に適用した例を挙げて説明する。この液晶表示装置は、図１に示すように、画素１１が行列状に多数配列されてなる画素部（有効画素領域）１２、画素部１２

の各画素１１を行単位で順次選択する垂直ドライバ１３、行単位で選択された各画素１１に画素信号を書き込む水平ドライバ１４及びこれらドライバ１３，１４をコントロールする制御系１５がＬＣＤパネル１６上に実装された構成を備えている。

ＬＣＤパネル１６は、２枚の透明絶縁基板（例えば、ガラス基板）を有し、画素部１２において、一方の基板上にｍ行分のゲートライン（垂直選択ライン）１７-1～１７-mとｎ列分の信号ライン（ソースライン）１８-1～１８-nとがマトリクス状に配線されるとともに、所定の間隔をもって対向配置された他方の基板との間に液晶層が保持された構造を備えている。画素１１は、ゲートライン１７-1～１７-mと信号ライン１８-1～１８-nとの各交叉部分に配される。

画素１１の各々は、ゲート電極がゲートライン１７-1～１７-mに接続され、ソース電極が信号ライン１８-1～１８-nに接続された画素トランジスタであるポリシリコンＴＦＴ１９と、このＴＦＴ１９のドレイン電極に画素電極が接続された液晶セル（液晶容量）２０と、ＴＦＴ１９のドレイン電極に一方の電極が接続された補助容量２１とから構成されている。

この画素構造において、液晶セル２０は、ＴＦＴ１９で形成される画素電極とこれに対応して形成される対向電極との間で発生する容量を意味する。この液晶セル２０の対向電極は、補助容量２１の他方の電極と共にコモン線２２に接続されている。コモン線２２には、所定の直流電圧がコモン電圧ＶＣＯＭとして与えられる。

ここで、液晶セル２０の駆動法として、例えばコモン電圧ＶＣＯＭを１Ｈ（１水平期間）ごとに反転するいわゆるコモン反転駆動法が採られる。このコモン反転駆動法を用いることにより、コモン電圧ＶＣＯＭの極性が１Ｈごとに反転することから、各画素１１に画素信号を書き込むための水平ドライバ１４の低電源電圧化が図れ、デバイス全体の消費電力の低減に寄与できることになる。

垂直ドライバ１３は、例えば図２に示すように、シフトレジスタ３１、レベルシフタ３２及びゲートバッファ３３を有する構成となっている。シフトレジスタ３１は、垂直スタートパルスＶＳＴが入力されると、この垂直スタートパルスＶＳＴを垂直クロックＶＣＫに同期して順次転送することによって各転送段からシ

フトパルスとして順次出力する。

レベルシフタ３２は、シフトレジスタ３１の各転送段から出力されるシフトパルスを昇圧してゲートバッファ３３に供給する。ゲートバッファ３３は、レベルシフタ３２で昇圧されたシフトパルスを垂直走査パルスとして画素部１２のゲートライン１７-1～１７-mに順次印加し、画素部１２の各画素１１を行単位で選択駆動することによって垂直走査を行う。

水平ドライブ１４は、例えば図３に示すように、シフトレジスタ３４、レベルシフタ、データラッチ回路３６、Ｄ／Ａコンバータ３７及びバッファ３８を有する構成を備える。シフトレジスタ３４は、水平スタートパルスＨＳＴが入力されると、この水平スタートパルスＨＳＴを水平クロックＨＣＫに同期して順次転送することによって各転送段からシフトパルスとして順次出力し、水平走査を行う。

レベルシフタ３５は、シフトレジスタ３４の各転送段から出力されるシフトパルスを昇圧してデータラッチ回路３６に供給する。データラッチ回路３６は、レベルシフタ３５を通してシフトレジスタ３４から与えられるシフトパルスに応答して、入力される所定ビットのデジタル画像データｄａｔａを順次ラッチする。Ｄ／Ａコンバータ３７は、例えば基準電圧選択型の構成を採用し、データラッチ回路３６にラッチされたデジタル画像データをアナログ画像信号に変換し、バッファ３８を通して画素部１２の信号ライン１８-1～１８-nに与える。

再び図１において、垂直ドライバ１３及び水平ドライバ１４を制御する制御系１５は、タイミングコントローラ（ＴＣ）２３、基準電圧発生源２４及びＤＣ-ＤＣコンバータ２５などを有し、これら回路が画素部１２と同一の基板、すなわちＬＣＤパネル１６上に垂直ドライバ１３及び水平ドライバ１４と共に実装された構成となっている。

この制御系１５において、タイミングコントローラ２３には、例えば、外部の電源部（図示せず）から電源電圧ＶＤＤが、外部のＣＰＵ（図示せず）からデジタル画像データｄａｔａが、外部のクロック発生器（図示せず）からクロックＣＬＫがそれぞれ図示せぬＴＣＰ(tape carrier package)を通して入力される。

なお、本例では、ＣＰＵ、画像データを格納するメモリあるいはクロック発生器をＬＣＤパネル１６の外部に設けるとしたが、それらの少なくとも１つを制御

系１５の一部としてＬＣＤパネル１６上に実装することも可能である。

タイミングコントローラ２３は、タイミング制御しつつ、垂直スタートパルスＶＳＴ、垂直クロックＶＣＫなどのクロック信号及び各種のコントロール信号を垂直ドライバ１３に、水平スタートパルスＨＳＴ、水平クロックＨＣＫなどのクロック信号、各種のコントロール信号及びデジタル画像データｄａｔａを水平ドライバ１４にそれぞれ供給する。

基準電圧発生源２４は、互いに電圧値の異なる複数の基準電圧を発生し、これら複数の基準電圧を水平ドライバ１４の基準電圧選択型Ｄ／Ａコンバータ３７に対してその基準電圧として与える。ＤＣ-ＤＣコンバータ２５は、低い電圧の直流電圧（低電圧)を２種類以上の高い直流電圧（高電圧）に変換して垂直ドライバ１３、水平ドライバ１４、基準電圧発生源２４などの各回路部に与える。

上述のように構成された点順次駆動方式のアクティブマトリクス型液晶表示装置において、垂直ドライバ１３及び水平ドライバ１４を構成するトランジスタは、ＴＦＴ、特に画素部１２の画素トランジスタと同じポリシリコンＴＦＴにより、画素部１２と同じ透明絶縁基板上でかつ液晶層がシール部材によって封止される領域内に形成される。この場合、ポリシリコンの移動度の関係で、垂直ドライバ１３及び水平ドライバ１４の駆動周波数の動作範囲は１０ＭＨｚ以下に限定される。

画素部１２の画素トランジスタ及び駆動系を構成とするトランジスタとして用いられるポリシリコンＴＦＴには、ゲート電極が酸化膜の下に配置されるボトムゲート構造のものと、ゲート電極が酸化膜の上に配置されるトップゲート構造のものとがある。これらポリシリコンＴＦＴの断面構造を図４Ａ、図４Ｂに示す。

図４Ａに示すボトムゲート構造のＴＦＴでは、ガラス基板４１の上にゲート電極４２が形成され、その上にゲート酸化膜４３を介してポリシリコン（Ｐｏｌｙ－Ｓｉ）層４４が形成され、さらにその上に層間絶縁膜４５が形成されている。また、ゲート電極４２の側方のゲート絶縁膜４３上には、N^+拡散層からなるソース領域４６及びドレイン領域４７が形成され、これら領域４６，４７にはソース電極４８及びドレイン電極４９がそれぞれ接続されている。

図４Ｂに示すトップゲート構造のＴＦＴでは、ガラス基板５１の上にポリシリ

コン層５２が形成され、その上にゲート酸化膜５３を介してゲート電極５４が形成され、さらにその上に層間絶縁膜５５が形成されている。また、ポリシリコン層５２の側方のガラス基板５１上には、N^+拡散層からなるソース領域５６及びドレイン領域５７が形成され、これら領域５６，５７にはソース電極５８及びドレイン電極５９がそれぞれ接続されている。

一方、制御系１５のタイミングコントローラ２３、基準電圧発生源２４及びＤＣ-ＤＣコンバータ２５は、単結晶シリコンによってＩＣ化される。このシリコンＩＣは、垂直ドライバ１３及び水平ドライバ１４と同一平面上、すなわち、これらドライバ１３，１４が形成された基板（透明絶縁基板）上に例えばＣＯＧ(chip on glass)法によって実装される。この単結晶シリコンによって形成されたシリコンＩＣは、１００ＭＨｚでも駆動することが可能である。

上述したように、低速駆動で特性バラツキが大きい回路部分、すなわち垂直ドライバ１３及び水平ドライバ１４に関してポリシリコンＴＦＴを用いて構成することにより、信頼性の面において、ポリシリコンＴＦＴによる回路部分は画素部１２の密閉された空間で封印された構造になるため、ＴＦＴのＶｔｈ（閾値電圧）シフトの原因となるＮａ＋イオン等の混入がなくなる。このとき、液晶表示装置の厚さの面においては、ＴＦＴは液晶セル（液晶層）に比べて無視できるほど薄いため、液晶表示装置自体の厚さを増加させる要因とはならない。

一方、高速駆動する回路部分、若しくは特性バラツキが小さい回路部分、すなわち、制御系１５のタイミングコントローラ２３、基準電圧発生源２４及びＤＣ-ＤＣコンバータ２５に関しては単結晶シリコンでＩＣ化し、垂直ドライバ１３及び水平ドライバ１４と同一基板上に配置する構成を採る。この場合の液晶表示装置の横断面を、図５に示す。

図５において、前述したように、垂直ドライバ１３などが形成された透明絶縁基板６１と、これと対向配置された透明絶縁基板（対向基板）６２との間に液晶層６３を保持し、かつシール部材６４で封止してなる液晶表示装置において、制御系１５をＩＣ化してなるＩＣチップ６５は、垂直ドライバ１３などが形成された透明絶縁基板６１上にＣＯＧ法によって実装される。

図６に、透明絶縁基板６１上の回路部分とＩＣチップ６５との電気的な接続部

分の構造を示す。図６において、ＩＣチップ６５はシリコン基板６５１上に回路部分６５２が形成され、その回路部分６５２が外部接続端子（バンプ材）６５３に電気的に結線された構成となっている。そして、その外部接続端子６５３が異方性導電膜６６を介して透明絶縁基板６１上の回路配線、例えばアルミ配線６１１に電気的に接続されることになる。なお、透明絶縁基板６１とＩＣチップ６５との間には、層間絶縁膜６７が介在している。

このように、ＩＣチップ６５を透明絶縁基板６１上に実装した場合、ＩＣチップ６５自体については、ＩＣ作製時に保護層がシリコンＩＣ上に形成されるため信頼性の面で問題になることはない。なお、ＣＯＧ構造であるため、透明絶縁基板との接続部の金属材料に対して信頼性強化を施す必要がある。そのためには、ＩＣチップ６５を透明絶縁基板６１に形成した後に、ＩＣチップ６５と基板６１を囲むように、シリコンレジンによる保護層を形成するようにすればよい。

上述のような実装構造において、ＩＣチップ６５は、その厚さｔ１（０．７ｍｍ程度）が対向側の透明絶縁基板６２及びシール部材６４を合わせた厚さｔ２以下になるように形成される。これにより、液晶表示装置全体の厚さ（肉厚）ｔ３がＩＣチップ６５の厚さｔ１に依存することがないため、液晶表示装置の薄型化が図れる。すなわち、透明絶縁基板６１、透明絶縁基板６２及びシール部材６４の全体の厚さｔ３が液晶表示装置自体の厚さとなる。

また、周辺回路をＩＣ化し、このＩＣチップ６５を透明絶縁基板６１上に実装することにより、ＬＣＤパネル１６の外部回路と電気的に接続する箇所を少なくすることができるため、ＬＣＤパネル１６の機械振動などに対する信頼性を向上できるとともに、製造工程での電気的な接続不良の発生も少なくなる。

ところで、モジュール実装に当たり、ＣＯＧ法によって実装されるＩＣチップ６５の機械的強度は、画素部１２の液晶セルを形成している部分の接着強度よりも弱くなりがちである。これに対して、ＩＣチップ６５の厚さｔ１を、透明絶縁基板６２及びシール部材６４を合わせた厚さｔ２以下、好ましくは当該厚さｔ２よりも薄くなるように設定することで、ＩＣチップ６５に対して外部から力が加わりにくい構造とすることができる。

また、本発明に係る液晶表示装置においては、装置自体の薄型化を図ることに

加えて、装置自体の軽量化を図るために、透明絶縁基板６１，６２の基板材料としてＰＥＴ(polyethylene telephtalete)やＰＥＳ(polyethersulfone)などの有機材料を用いるようにする。

透明絶縁基板６１，６２の基板材料の組み合わせとしては、次の４つのケースが考えられる。ケース１では、透明絶縁基板６１，６２の基板材料として共にシリコン酸化物を用いる。ケース２では、透明絶縁基板６１の基板材料としてシリコン酸化物を用い、透明絶縁基板６２の基板材料としてＰＥＴやＰＥＳなどの有機材料を用いる。ケース３では、透明絶縁基板６１，６２の基板材料として共にＰＥＴやＰＥＳなどの有機材料を用いる。ケース４では、透明絶縁基板６１の基板材料としてＰＥＴやＰＥＳなどの有機材料を用い、透明絶縁基板６２の基板材料としてシリコン酸化物を用いる。

ケース１～ケース４の基板材料の組み合わせのうち、ケース３の組み合わせ、すなわち透明絶縁基板６１，６２の基板材料として共にＰＥＴやＰＥＳなどの有機材料を用いるのが、当該材料が非常に軽量であることから、液晶表示装置自体の薄型化及び軽量化を図る上で一番有利である。

なお、上述の例では、本発明をアナログ点順次駆動方式のアクティブマトリクス型液晶表示装置に適用した場合について説明したが、本発明は、これに限られるものではなく、以下に説明するいわゆる時分割駆動方式（セレクタ方式）のアクティブマトリクス型液晶表示装置にも適用可能である。

図７は、本発明が適用された時分割駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す概略構成図である。

図７において、時分割駆動方式のアクティブマトリクス型液晶表示装置は、画素７１が行列状に多数配列されてなる画素部７２、画素部７２の各画素７１を行単位で順次選択する垂直ドライバ７３、行単位で選択された各画素７１に画素信号を書き込む水平ドライバ７４、時分割駆動のための時分割スイッチ部７５及び垂直、水平ドライバ７３，７４や時分割スイッチ部７５をコントロールする制御系７６がＬＣＤパネル７７上に実装された構成となっている。

画素７１の各々は、ゲート電極がゲートライン７８-1～７８-mに接続され、ソース電極が信号ライン７９-1～７９-nに接続されたポリシリコンＴＦＴ８０と、

このＴＦＴ８０のドレイン電極に画素電極が接続された液晶セル８１と、ＴＦＴ２０のドレイン電極に一方の電極が接続された補助容量８２とから構成されている。かかる構成の画素７１の各々において、液晶セル８１の対向電極は、補助容量８２の他方の電極と共にコモン線８３に接続されている。コモン線８３には、所定の直流電圧がコモン電圧ＶＣＯＭとして与えられる。

ここで、時分割駆動法について説明する。時分割駆動法とは、画素部７２の互いに隣り合う複数本の信号ラインを１単位（ブロック）として分割し、この１分割ブロック内の複数本の信号ラインに与える信号電圧を時系列で水平ドライバ７４の各出力端子から出力する一方、複数本の信号ラインを１単位として時分割スイッチ部７５を設け、この時分割スイッチ部７５によって水平ドライバ７４から出力される時系列の信号電圧を時分割でサンプリングして複数本の信号ラインに順次与える駆動方法である。

この時分割駆動を実現するために、水平ドライバ７４は、複数本の信号ラインを１単位とし、これら複数本の信号ラインに与える信号電圧を時系列で出力する構成となっている。この水平ドライバ７４の構成の一例を、図８に示す。

水平ドライバ７４は、図８に示すように、シフトレジスタ８４、サンプリングスイッチ群８５、レベルシフタ８６、データラッチ回路８７及びＤ／Ａコンバータ８８を有し、本例では、例えば５ビットのデジタル画像データｄａｔａ１～ｄａｔａ５や電源電圧Ｖｄｄ，Ｖｓｓをシフトレジスタ８４のシフト方向における両側から取り込む構成となっている。

図８に示すように構成された水平ドライバ７４において、シフトレジスタ８４は、水平スタートパルスＨＳＴが入力されると、この水平スタートパルスＨＳＴを水平クロックＨＣＫに同期して順次転送することによって各転送段からシフトパルスとして順次出力し、水平走査を行う。サンプリングスイッチ群８５におけるサンプリングスイッチの各々は、シフトレジスタ８４から順次出力されるシフトパルス（サンプリングパルス）に応答して、入力されるデジタル画像データｄａｔａ１～ｄａｔａ５を順次サンプリングする。

レベルシフタ８６は、サンプリングスイッチ群８５でサンプリングされた例えば５Ｖのデジタルデータを液晶駆動電圧のデジタルデータに昇圧する。データラ

ッチ回路８７は、レベルシフタ８６で昇圧されたデジタルデータを１Ｈ分蓄積するメモリである。Ｄ／Ａコンバータ８８は例えば基準電圧選択型の構成をとり、データラッチ回路８７から出力される１Ｈ分のデジタル画像データをアナログ画像信号に変換して出力する。

水平ドライバ７４として、いわゆるカラム反転駆動方式のものが用いられる。この水平ドライバ７４は、カラム反転駆動を実現するために、各出力端子の奇数、偶数ごとに電位が反転する信号電圧を出力し、かつその信号電圧の極性を１フィールドごとに反転する。ここで、カラム反転駆動方式とは、垂直方向に隣接する画素間では同極性となり、しかもこの画素極性の状態を１フィールドごとに反転させる駆動方式である。なお、水平ドライバ７４は、１Ｈコモン（ＶＣＯＭ）反転駆動にも対応可能である。

一方、時分割スイッチ部７５は、水平ドライバ７４から出力される時系列の信号電圧を時分割でサンプリングするアナログスイッチ（トランスミッションスイッチ）によって構成されている。この時分割スイッチ部７５の具体的な構成例を図９に示す。なお、この時分割スイッチ部７５は、水平ドライバ７４の各出力に対して１個ずつ設けられるものである。ここでは、Ｒ（赤），Ｇ（緑），Ｂ（青）に対応して３時分割駆動を行う場合を例に挙げる。

この時分割スイッチ部７５は、ＰｃｈＭＯＳトランジスタ及びＮｃｈＭＯＳトランジスタが並列に接続されてなるＣＭＯＳ構成のアナログスイッチ７５-1，７５-2，７５-3によって構成されている。なお、本例では、アナログスイッチ７５-1，７５-2，７５-3として、ＣＭＯＳ構成のものを用いるとしたが、ＰＭＯＳあるいはＮＭＯＳ構成のものを用いることも可能である。

この時分割スイッチ部７５において、３個のアナログスイッチ７５-1，７５-2，７５-3の各入力端が共通に接続され、各出力端が３本の信号ライン７９-1，７９-2，７９-3の各一端にそれぞれ接続されている。そして、これらアナログスイッチ７５-1，７５-2，７５-3の各入力端には、水平ドライバ７４から時系列で出力される信号電位が与えられる。

また、１個のアナログスイッチにつき２本ずつ、合計６本の制御ライン８９-1～８９-6が配線されている。そして、アナログスイッチ７５-1の２つ制御入力端、

すなわち、ＣＭＯＳトランジスタの各ゲートが制御ライン８９-1，８９-2に、アナログスイッチ７５-2の２つ制御入力端が制御ライン８９-3，８９-4に、アナログスイッチ７５-3の２つ制御入力端が制御ライン８９-5，８９-6にそれぞれ接続されている。

６本の制御ライン８９-1～８９-6に対して、３個のアナログスイッチ７５-1，７５-2，７５-3を順に選択するためのゲート選択信号Ｓ１～Ｓ３，ＸＳ１～ＸＳ３が、後述するタイミングコントローラ（ＴＣ）９０（図７を参照）から与えられる。ただし、ゲート選択信号ＸＳ１～ＸＳ３は、ゲート選択信号Ｓ１～Ｓ３の反転信号である。

ゲート選択信号Ｓ１～Ｓ３，ＸＳ１～ＸＳ３は、水平ドライバ７４から出力される時系列の信号電位に同期して、３個のアナログスイッチ７５-1，７５-2，７５-3を順次オンさせる。これにより、アナログスイッチ７５-1，７５-2，７５-3は、水平ドライバ７４から出力される時系列の信号電位を、１Ｈ期間に３時分割でサンプリングしつつ、対応する信号ライン７９-1，７９-2，７９-3にそれぞれ供給する。

再び図７において、垂直ドライバ７３、水平ドライバ７４及び時分割スイッチ部７５を制御する制御系７６は、タイミングコントローラ（ＴＣ）９０、基準電圧発生源９１及びＤＣ-ＤＣコンバータ９２などを有し、これら回路が画素部７２と同一の基板、すなわちＬＣＤパネル７７上に垂直ドライバ７３、水平ドライバ７４及び時分割スイッチ部７５と共に実装された構成となっている。

この制御系７６において、タイミングコントローラ９０には、例えば、外部の電源部（図示せず）から電源電圧ＶＤＤが、外部のＣＰＵ（図示せず）からデジタル画像データｄａｔａが、外部のクロック発生器（図示せず）からクロックＣＬＫがそれぞれＴＣＰ（図示せず）を通して入力される。

なお、本例では、ＣＰＵ、画像データを格納するメモリあるいはクロック発生器をＬＣＤパネル７７の外部に設けるとしたが、それらの少なくとも１つを制御系７６の一部とし、この制御系７６を単結晶シリコンＩＣ（ＣＯＧ）化してＬＣＤパネル７７上に実装することも可能である。

また、ＣＰＵ、メモリあるいはクロック発生器以外にも、ＬＣＤ用光源制御回

路やＬＣＤ（ＥＬ）表示用のグラフィックコントローラ、さらには本表示装置を後述するように例えば携帯電話機の表示部として用いる場合にはトランシーバ回路やバッテリ制御回路等の各種の制御回路について、それらの少なくとも１つを制御系７６の一部として単結晶シリコンＩＣ化し、ＬＣＤパネル７７上に実装することも可能である。

ここで、ＬＣＤ用光源制御回路は、ＬＣＤのバックライトあるいはフロントライトを制御する回路であり、携帯電話機の待機時は、光源（発光ダイオード、蛍光表示管）に電源を供給しないが、携帯電話機の入力操作時に電源を供給する機能を持っている。ＬＣＤ（ＥＬ）表示用のグラフィックコントローラは、トランシーバ回路から供給される画像データをＬＣＤ，ＥＬの画像領域で表示できるような画像フォーマットに変換する回路であり、例えば、水平１６０画素×垂直１６０画素の表示方式に変換する。

トランシーバ回路は通信用の回路であり、電磁波で到来するデジタル信号やアナログ信号を受信し、これを電気信号のデジタル信号やアナログ信号に変換して出力する。バッテリ制御回路は、使用していないときに、一定時間経過後に自動的にＣＰＵ、ＬＣＤ（ＥＬ）パネル、グラフィックコントローラのクロックを低速動作にして低消費電力化を図る。なお、携帯電話機の表示部として用いた場合は、ＣＰＵは、携帯電話で言うボタン操作時の入力情報をデジタルデータに変換する機能をも持つことになる。

タイミングコントローラ９０は、タイミング制御しつつ、垂直スタートパルスＶＳＴ、垂直クロックＶＣＫなどのクロック信号及び各種のコントロール信号を垂直ドライバ７３に、水平スタートパルスＨＳＴ、水平クロックＨＣＫなどのクロック信号、各種のコントロール信号及びデジタル画像データｄａｔａを水平ドライバ７４に、先述したゲート選択信号Ｓ１～Ｓ３，ＸＳ１～ＸＳ３を時分割スイッチ部７５にそれぞれ供給する。

基準電圧発生源９１は、互いに電圧値の異なる複数の基準電圧を発生し、これら複数の基準電圧を水平ドライバ７４の基準電圧選択型Ｄ／Ａコンバータ８７に対してその基準電圧として与える。ＤＣ-ＤＣコンバータ９２は、低い電圧の直流電圧（低電圧）を２種類以上の高い直流電圧（高電圧）に変換して垂直ドライバ７

３、水平ドライバ７４、基準電圧発生源９１などの各回路部に与える。

上記構成の時分割駆動方式のアクティブマトリクス型液晶表示装置において、垂直ドライバ７３、水平ドライバ７４を構成するトランジスタ、及び時分割スイッチ部７５を構成する各アナログスイッチは、ＴＦＴ、特に画素部７２の画素トランジスタと同じポリシリコンＴＦＴにより、画素部７２と同じ透明絶縁基板上でかつ液晶層がシール部材によって封止される領域内に形成される。

一方、制御系７６のタイミングコントローラ９０、基準電圧発生源９１及びＤＣ-ＤＣコンバータ９２は、単結晶シリコンによってＩＣ化される。このシリコンＩＣは、垂直ドライバ７３及び水平ドライバ７４と同一平面上、すなわち、これらドライバ７３，７４が形成された基板上に例えばＣＯＧ法によって形成される。

上述のように、低速駆動で特性バラツキが大きい回路部分、すなわち垂直ドライバ７３、水平ドライバ７４及び時分割スイッチ部７５に関してポリシリコンＴＦＴを用いて構成する一方、高速駆動する回路部分、若しくは特性バラツキが小さい回路部分、すなわち制御系７６のタイミングコントローラ９０、基準電圧発生源９１およびＤＣ-ＤＣコンバータ９２に関しては単結晶シリコンでＩＣ化し、垂直ドライバ７３及び水平ドライバ７４と同一基板上に配置する構成を採ることにより、前述したアナログ点順次駆動方式のアクティブマトリクス型液晶表示装置と同様の作用効果を得ることができる。

なお、本例では、タイミングコントローラ９０、基準電圧発生源９１及びＤＣ-ＤＣコンバータ９２を垂直ドライバ７２側に実装するとしたが、図１０に示すように、タイミングコントローラ９０、基準電圧発生源９１及びＤＣ-ＤＣコンバータ９２を水平ドライバ７３と一体に単結晶シリコンＩＣ（ＣＯＧ）化し、当該ＩＣ９８をＬＣＤパネル７７に実装することも可能である。

これによれば、垂直ドライバ７２の横には、タイミングコントローラ９０、基準電圧発生源９１及びＤＣ-ＤＣコンバータ９２が占有していた面積分の領域が不要になり、その占有面積分だけＬＣＤパネル７７の水平方向の額縁幅を削減できるため、水平方向の額縁を狭くしたい仕様の表示装置に適用した場合に有用なものとなる。

その際、タイミングコントローラ９０、基準電圧発生源９１及びＤＣ-ＤＣコン

バータ９２以外にも、先述したように、ＣＰＵ、メモリあるいはクロック発生器、さらにはＬＣＤ用光源制御回路、ＬＣＤ（ＥＬ）表示用のグラフィックコントローラ、電話用のトランシーバ回路、バッテリ制御回路等の各種の制御回路の少なくとも一つを水平ドライバ７３と一体に単結晶シリコンＩＣ化するようにしても良いことは勿論である。

また、上述の各実施例では、本発明を電気光学効果を有する物質として液晶を用いたアクティブマトリクス型液晶表示装置に適用した場合を例に採って説明したが、エレクトロルミネセンス（ＥＬ）を用いたＥＬ表示装置などの他のアクティブマトリクス型表示装置にも同様に適用可能である。

また、本発明に係る表示装置は、パーソナルコンピュータ、ワードプロセッサ等のＯＡ機器やテレビジョン受像機などのディスプレイとして用いられる外、特に装置本体の薄型化が進められている携帯電話機やＰＤＡ(personal digital assistants)などの携帯端末装置の表示部として用いて好適なものである。

図１１は、本発明が適用される携帯端末装置、例えば携帯電話機の外観を示す斜視図である。

本発明は適用された携帯電話機は、図１１に示すように、装置筐体９３の前面側に、スピーカ部９４、表示部９５、操作部９６及びマイク部９７が上部側から順に配置された構成を備えている。かかる構成の携帯電話機において、表示部９５には例えば液晶表示装置が用いられ、この液晶表示装置として先述した本発明に係る液晶表示装置が用いられる。

このように、携帯電話機などの携帯端末装置において、本発明に係る液晶表示装置を表示部９５として用いることにより、当該液晶表示装置は装置本体を薄型化できる構成となっていることから、携帯端末の装置本体の薄型化に大きく寄与できる利点がある。

産業上の利用可能性

上述したように、本発明に係る表示装置は、駆動系が形成された基板上に、当該駆動系を制御する制御系を半導体チップで形成するようにしたことにより、表

示装置全体の厚さが半導体チップの厚さに依存することがないため、表示装置全体の薄型化、ひいてはこれを表示部として用いる携帯端末装置の薄型化を図ることができる。

請求の範囲

１．複数の画素が行列状に配置されてなる画素部とこの画素部に対して画素信号を書き込むべく駆動する駆動系とが形成された第１の基板と、前記第１の基板に対して所定の間隔をもって対向配置された第２の基板と、前記第１の基板と前記第２の基板との間に保持された電気光学効果を有する物質層とを具備する表示装置であって、

前記駆動系を制御する制御系を有し、この制御系が半導体チップで前記第１の基板上に形成されてなることを特徴とする表示装置。

２．前記画素部の画素トランジスタ及び前記駆動系を構成するトランジスタが薄膜トランジスタであることを特徴とする請求の範囲第１項記載の表示装置。

３．前記薄膜トランジスタがポリシリコンからなることを特徴とする請求の範囲第１項記載の表示装置。

４．前記薄膜トランジスタが前記液晶層と共に、前記第１の基板と前記第２の基板との間に封止されていることを特徴とする請求の範囲第２項記載の表示装置。

５．前記半導体チップが前記駆動系と同一平面上に形成されていることを特徴とする請求の範囲第１項記載の表示装置。

６．前記半導体チップの厚さが、前記第１の基板と前記第２の基板との間を封止する部材及び前記第２の基板を合わせた厚さ以下に設定されていることを特徴とする請求の範囲第５項記載の表示装置。

７．前記半導体チップがＣＯＧ法によって実装されていることを特徴とする請求の範囲第１項記載の表示装置。

８．前記第１の基板及び前記第２の基板の少なくとも一方がシリコン酸化膜又は有機材料からなることを特徴とする請求の範囲第１項記載の表示装置。

９．前記物質層が液晶層であることを特徴とする請求の範囲第１項記載の表示装置。

１０．前記物質層がエレクトロルミネセンス層であることを特徴とする請求の範囲第１項記載の表示装置。

１１．複数の画素が行列状に配置されてなる画素部とこの画素部に対して画素信

号を書き込むべく駆動する駆動系とが形成された第１の基板と、前記第１の基板に対して所定の間隔をもって対向配置された第２の基板と、前記第１の基板と前記第２の基板との間に保持された電気光学効果を有する物質層とを具備し、

前記駆動系を制御する制御系が半導体チップで前記第１の基板上に形成されてなる表示装置を表示部として用いたことを特徴とする携帯端末装置。

１２．前記画素部の画素トランジスタ及び前記駆動系を構成するトランジスタが薄膜トランジスタであることを特徴とする請求の範囲第１１項記載の携帯端末装置。

１３．前記薄膜トランジスタがポリシリコンからなることを特徴とする請求の範囲第１２項記載の携帯端末装置。

１４．前記薄膜トランジスタが前記液晶層と共に、前記第１の基板と前記第２の基板との間に封止されていることを特徴とする請求の範囲第１１項記載の携帯端末装置。

１５．前記半導体チップが前記駆動系と同一平面上に形成されていることを特徴とする請求の範囲第１１項記載の携帯端末装置。

１６．前記半導体チップの厚さが、前記第１の基板と前記第２の基板との間を封止する部材及び前記第２の基板を合わせた厚さ以下に設定されていることを特徴とする請求の範囲第１５項記載の携帯端末装置。

１７．前記半導体チップがＣＯＧ法によって実装されていることを特徴とする請求の範囲第１１項記載の携帯端末装置。

１８．前記第１の基板及び前記第２の基板の少なくとも一方がシリコン酸化膜または有機材料からなることを特徴とする請求の範囲第１１項記載の携帯端末装置。

１９．前記物質層が液晶層であることを特徴とする請求の範囲第１１項記載の携帯端末装置。

２０．前記物質層がエレクトロルミネセンス層であることを特徴とする請求の範囲第１１項記載の携帯端末装置。

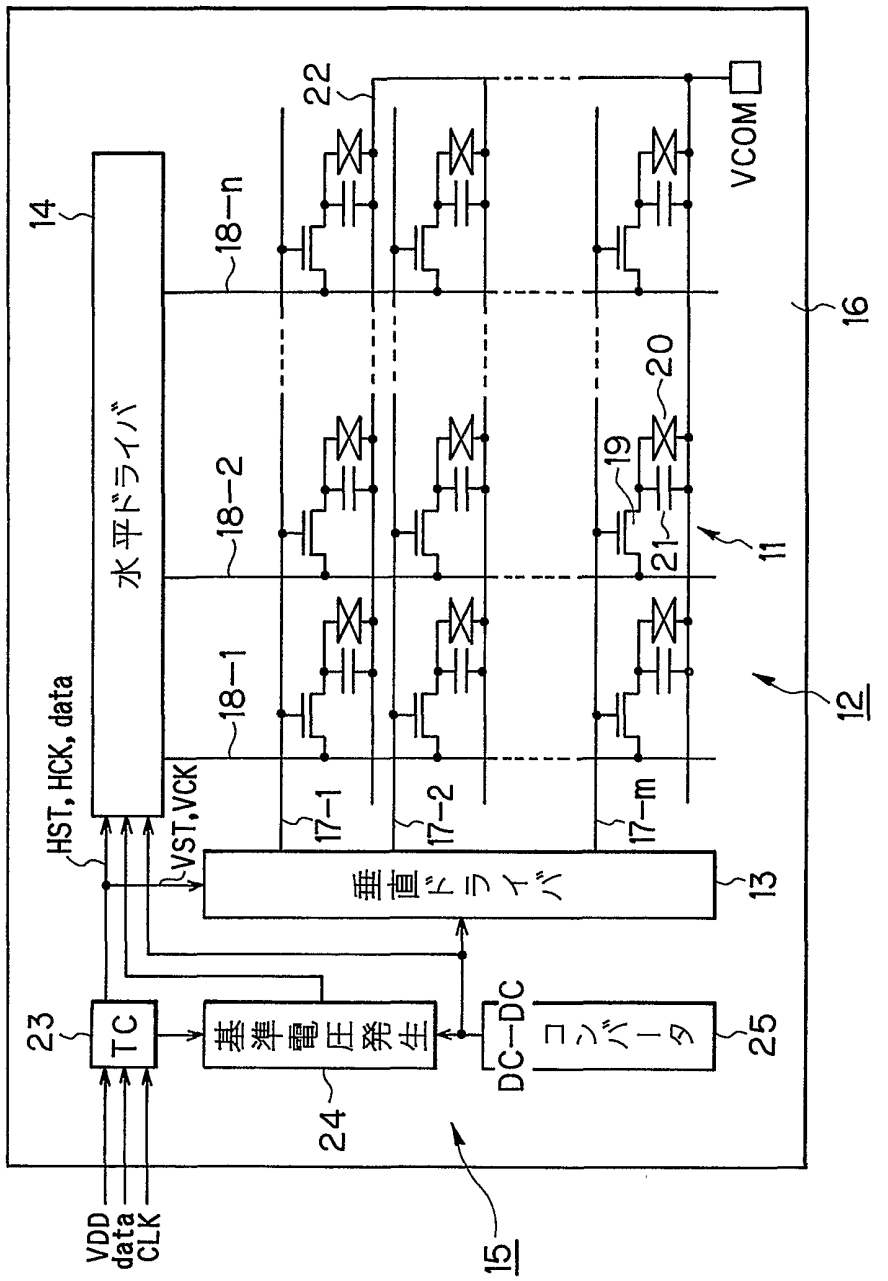

14
水平ドライバ
HST, HCK, data
VST, VCK
18-n
18-2
18-1
22
VCOM
16
20
19
21
11
12
17-1
17-2
17-m
垂直ドライバ
13
23
TC
基準電圧発生
24
DC-DC コンバータ
25
VDD
data
CLK
15

図 1

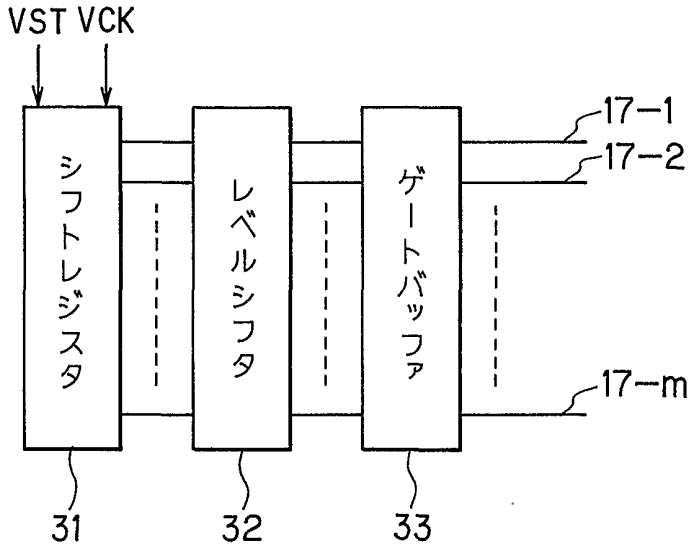

VST VCK
シフトレジスタ
レベルシフタ
ゲートバッファ
17−1
17−2
17−m
31
32
33

図 2

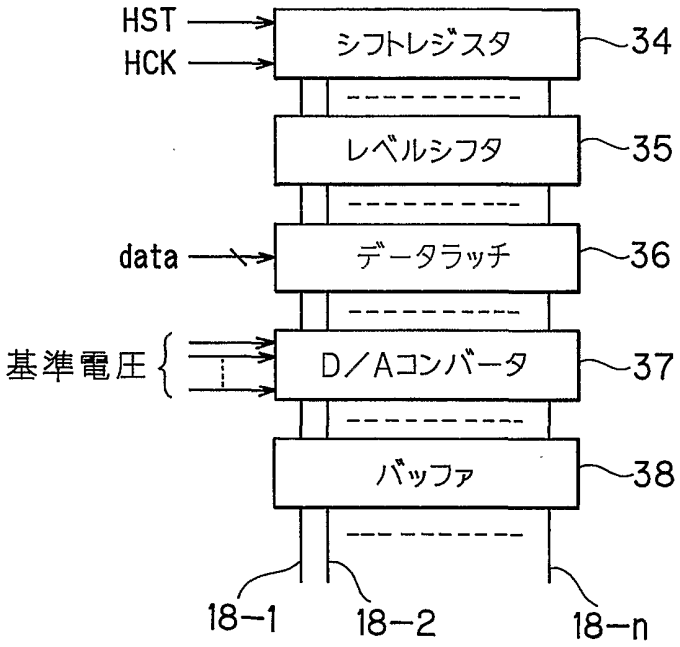

HST
HCK
シフトレジスタ
34
レベルシフタ
35
data
データラッチ
36
基準電圧
D/Aコンバータ
37
バッファ
38
18−1
18−2
18−n

図 3

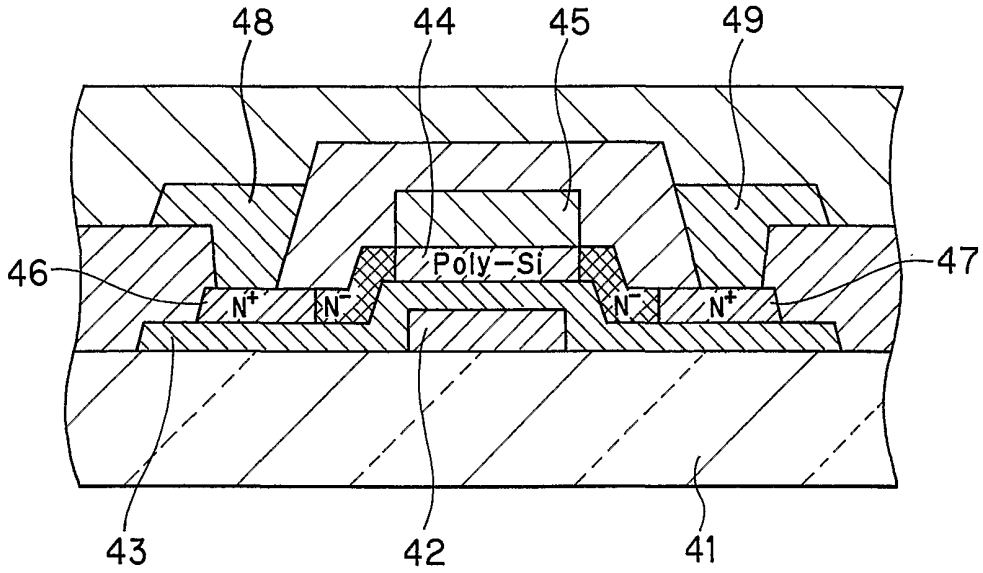

48
44
45
49
46
47
Poly-Si
N+
N-
N-
N+
43
42
41

図 4A

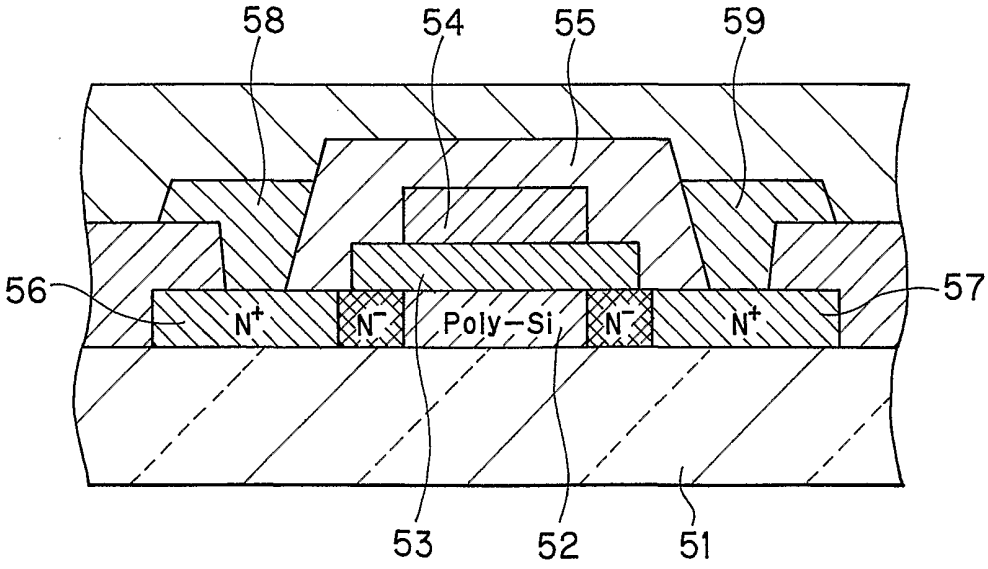

58
54
55
59
56
57
N+
N-
Poly-Si
N-
N+
53
52
51

図 4B

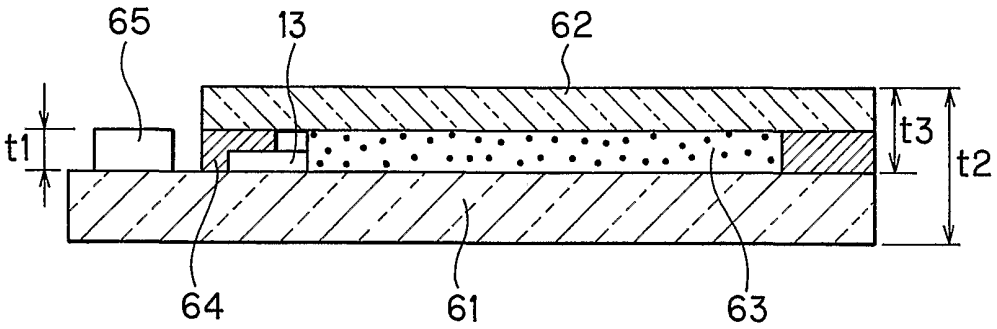


図 5

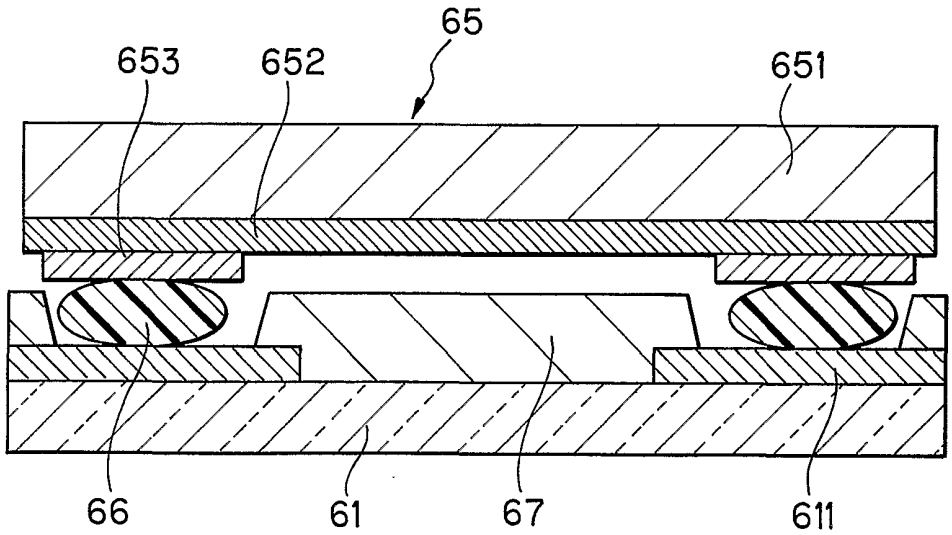


図 6

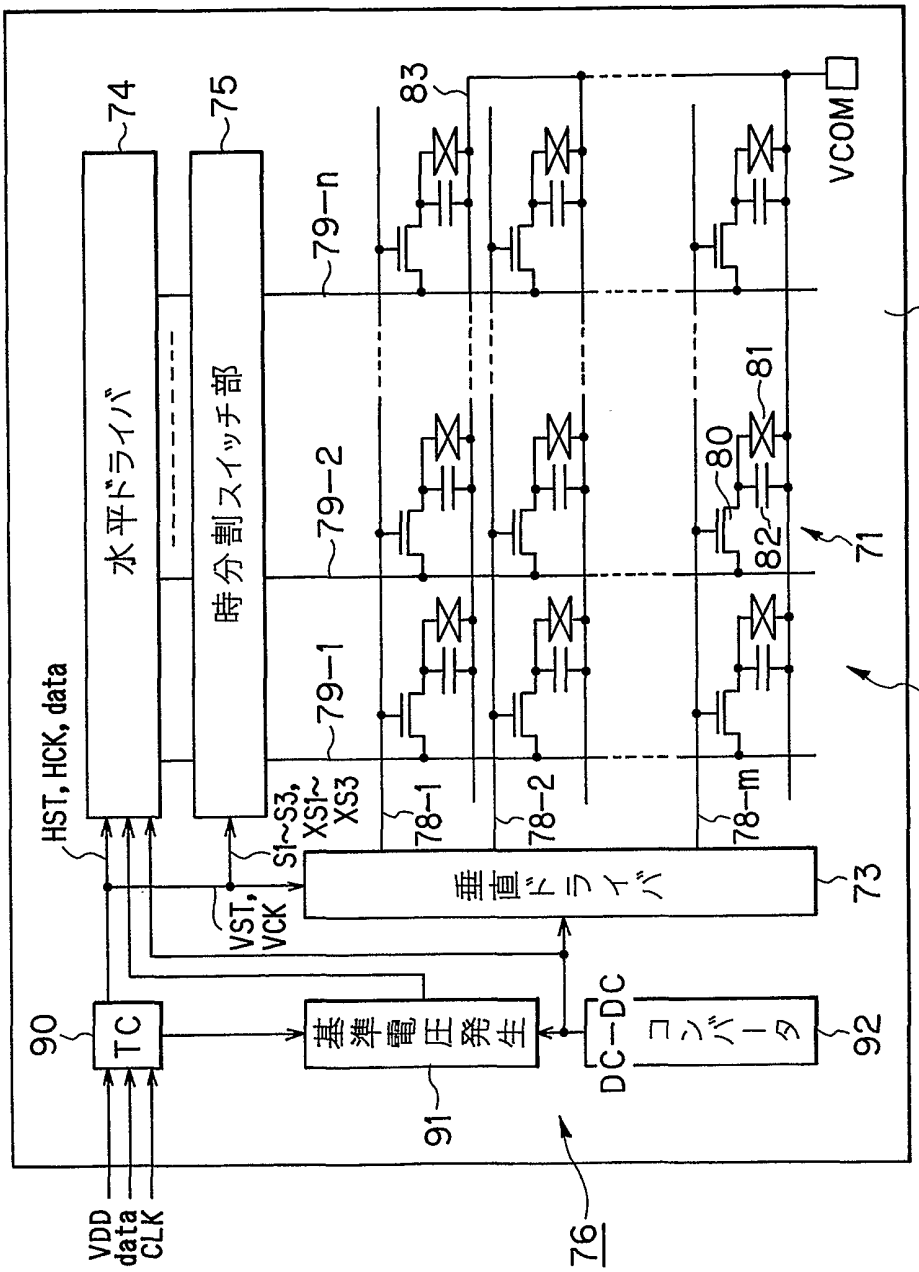

水平ドライバ
時分割スイッチ部
垂直ドライバ
基準電圧発生
DC-DC コンバータ
TC
VCOM
HST, HCK, data
VST, VCK
S1~S3, XS1~XS3
VDD
data
CLK
74
75
83
79-n
79-2
79-1
78-1
78-2
78-m
81
80
82
71
72
73
77
76
90
91
92

図 7

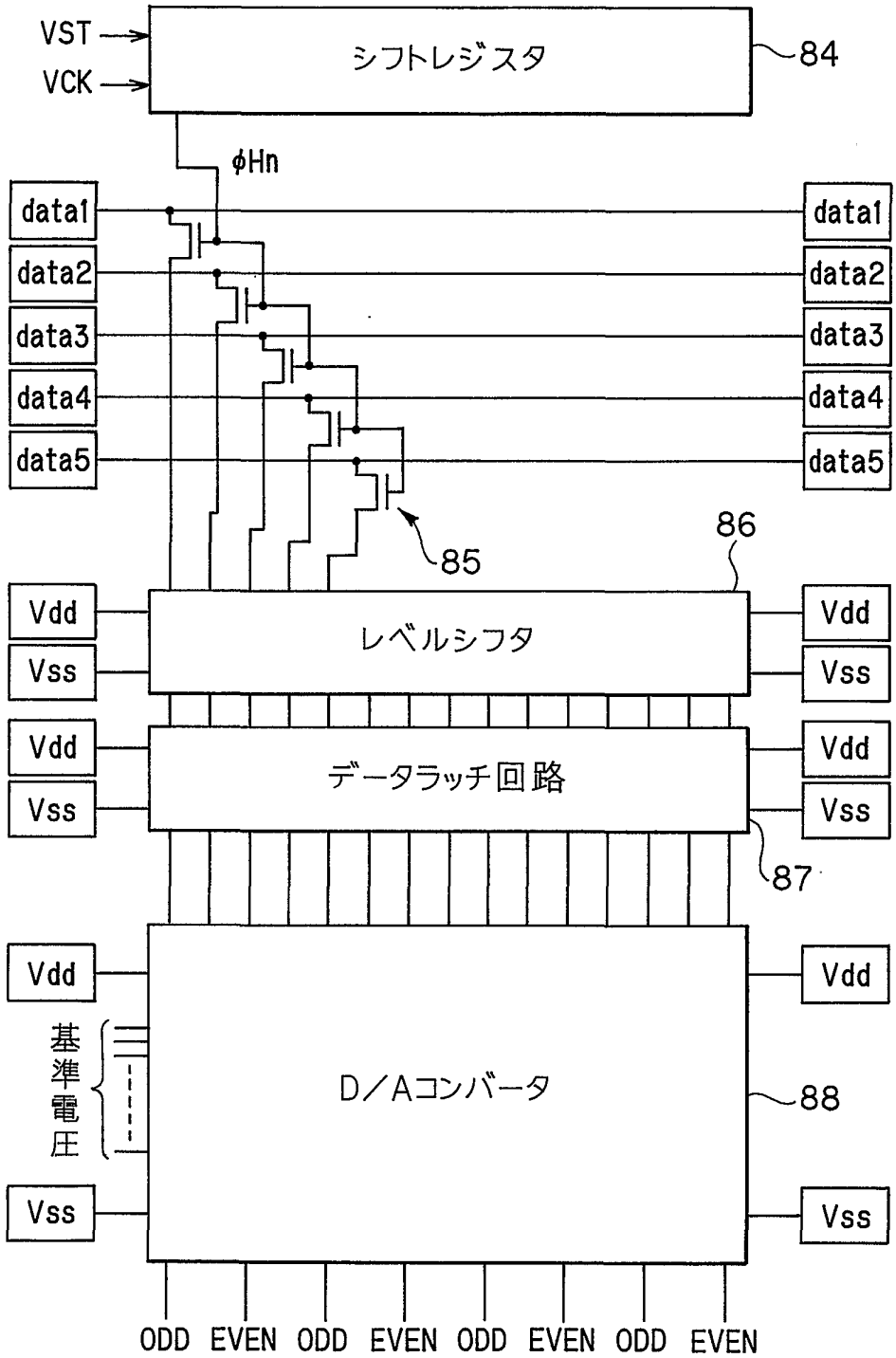

VST
VCK
シフトレジスタ
84
φHn
data1
data2
data3
data4
data5
85
86
Vdd
Vss
レベルシフタ
データラッチ回路
87
基準電圧
D/Aコンバータ
88
ODD
EVEN

図 8

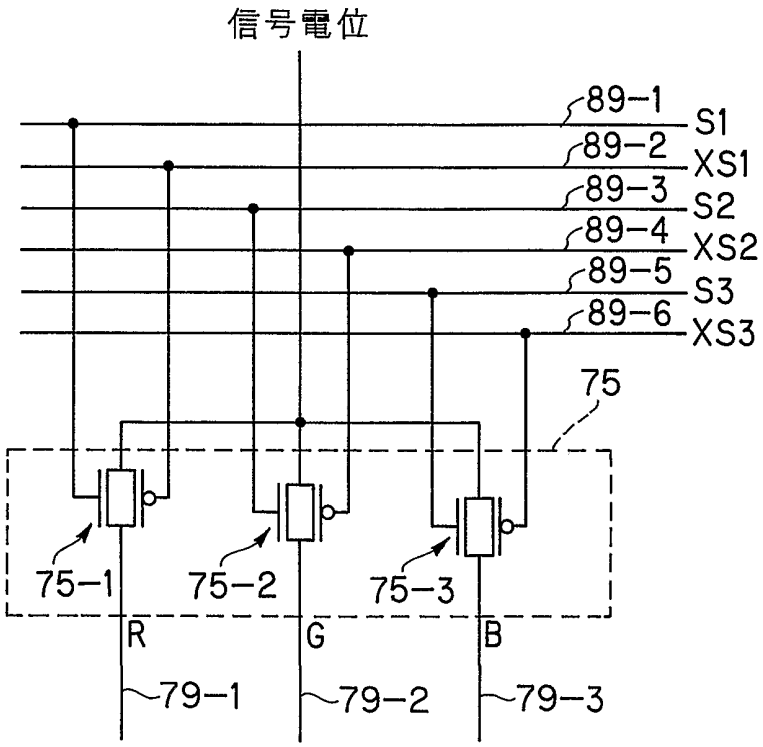

信号電位
89-1
S1
89-2
XS1
89-3
S2
89-4
XS2
89-5
S3
89-6
XS3
75
75-1
75-2
75-3
R
G
B
79-1
79-2
79-3

図 9

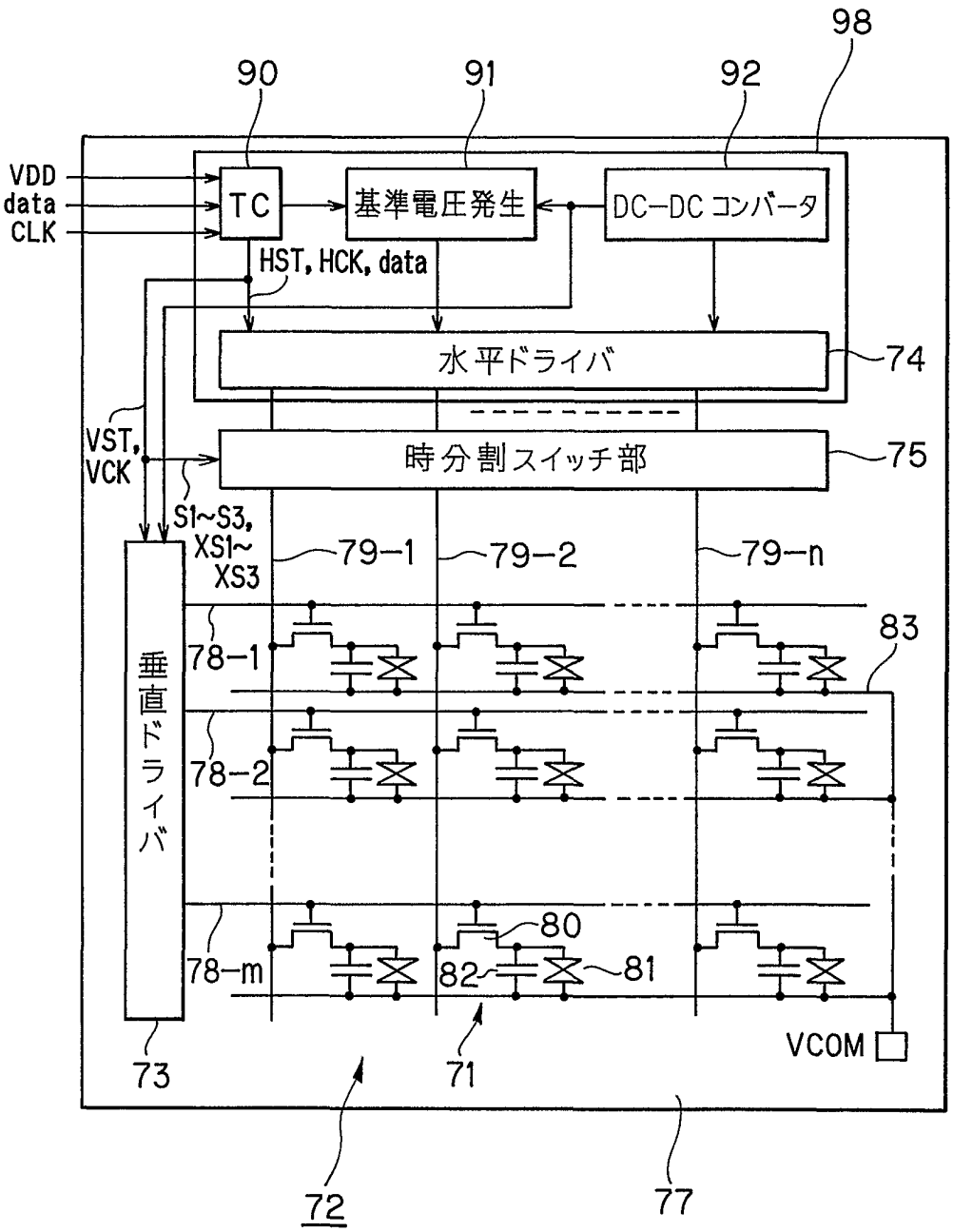

98
90
91
92
VDD
data
CLK
TC
基準電圧発生
DC-DC コンバータ
HST, HCK, data
水平ドライバ
74
VST,
VCK
時分割スイッチ部
75
S1~S3,
XS1~
XS3
79-1
79-2
79-n
83
垂直ドライバ
78-1
78-2
78-m
80
82
81
VCOM
73
71
72
77

図 10

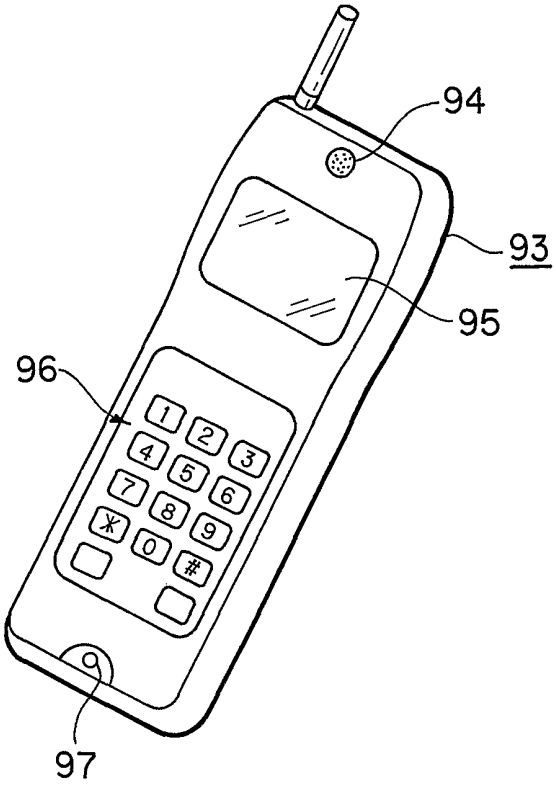


図 11

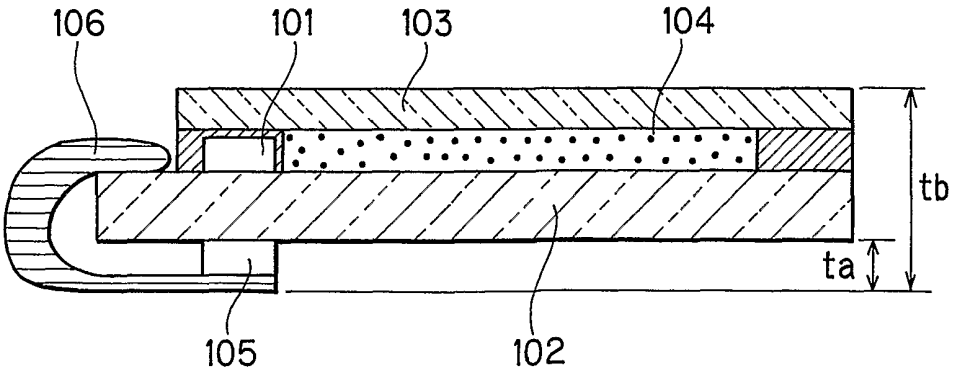


図 12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP01/04815

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G09F9/00, G09F9/30, G02F1/1368

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G09F9/00, G09F9/30, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-84425 A (Semiconductor Energy Lab. Co., Ltd.), 26 March, 1999 (26.03.99) (Family: none)	1-7,9-17, 19,20
Y		8,18
Y	JP 11-265155 A (Toshiba Corporation), 28 September, 1999 (28.09.99) (Family: none)	8,18
X	JP 11-352516 A (Matsushita Electric Ind. Co., Ltd.), 24 December, 1999 (24.12.99) (Family: none)	1-3,5,7,9, 11-13,15,17,19

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 August, 2001 (30.08.01)	11 September, 2001 (11.09.01)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０１／０４８１５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ⁷　Ｇ０９Ｆ９／００，Ｇ０９Ｆ９／３０，Ｇ０２Ｆ１／１３６８

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ⁷　Ｇ０９Ｆ９／００，Ｇ０９Ｆ９／３０，Ｇ０２Ｆ１／１３６８

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　　１９２６－１９９６年
日本国公開実用新案公報　　１９７１－２００１年
日本国登録実用新案公報　　１９９４－２００１年
日本国実用新案登録公報　　１９９６－２００１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ Ｙ	ＪＰ　１１－８４４２５　Ａ（株式会社半導体エネルギー研究所），２６．３月．１９９９（２６．０３．９９）（ファミリーなし）	1-7, 9-17, 19, 20 8, 18
Ｙ	ＪＰ　１１－２６５１５５　Ａ（株式会社東芝），２８．９月．１９９９（２８．０９．９９）（ファミリーなし）	8, 18
Ｘ	ＪＰ　１１－３５２５１６　Ａ（松下電器産業株式会社），２４．１２月．１９９９（２４．１２．９９）（ファミリーなし）	1-3, 5, 7, 9, 11-13, 15, 17, 19

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
３０．０８．０１	11.09.01

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	３Ｘ	９２３５
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	柿崎　拓 電話番号　０３－３５８１－１１０１　内線　３３７１		

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９８年７月）