

(43) 国際公開日
2006年4月27日 (27.04.2006)

PCT

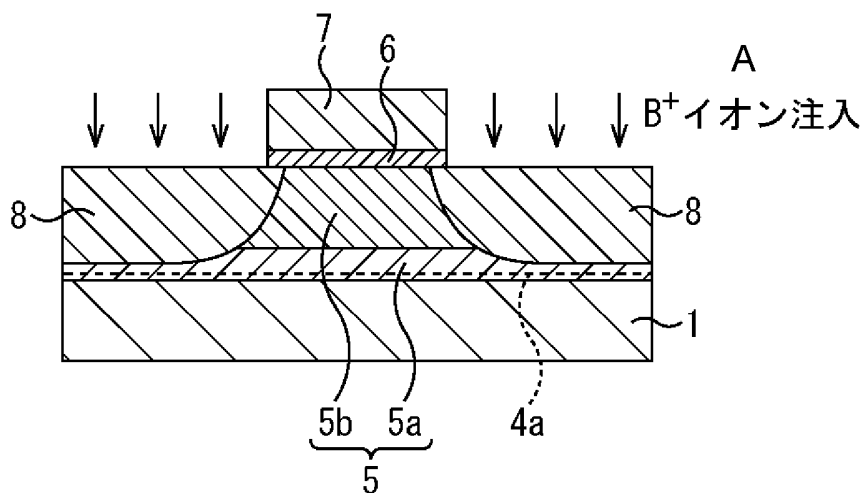
(10) 国際公開番号
WO 2006/043323 A1

- (51) 国際特許分類: **H01L 29/78**,
21/336, 29/786, 21/20, 21/265
- (21) 国際出願番号: PCT/JP2004/015532
- (22) 国際出願日: 2004年10月20日 (20.10.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 蛸子 芳樹 (EBIKO, Yoshiki) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 鈴木 邦広 (SUZUKI, Kunihiro) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 竹内 文
- 代 (TAKEUCHI, Fumiyo) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 國分 孝悦 (KOKUBUN, Takayoshi); 〒1700013 東京都豊島区東池袋1丁目17番8号 池袋T Gホームストビル5階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 半導体装置及びその製造方法

A. B⁺ ION IMPLANTATION

(57) Abstract: An Si transistor has a structure wherein a channel layer (5) is formed by laminating a phosphorus-doped lower layer (5a) and a non-doped upper layer (5b), a Ge-implanted layer (4) including germanium, which is an impurity that makes a substance amorphous, is formed from the upper layer (5b) into the lower layer (5a), and a source/drain (8) is provided in the channel layer (5), being separated from a lowermost side (4a) of the Ge-implanted layer (4a). With such structure, unnecessary impurity diffusion is not generated at the time of impurity activation, short channel effects can be suppressed, increase of threshold voltage can be suppressed and a high mobility is ensured. The highly reliable Si transistor that meets requirements of further miniaturization and size reduction is provided.

[続葉有]



WO 2006/043323 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: Siトランジスタの主要構成は、リンドープの下層(5a)とノンドープの上層(5b)とが積層してなるチャンネル層(5)を有し、上層(5b)から下層(5a)内まで非晶質化不純物であるゲルマニウムを含有してなるGe注入層(4)が形成されており、このチャンネル層(5)内にGe注入層(4)の最下面(4a)と離間するようにソース/ドレイン(8)を有する構造である。この構成により、不純物活性化の際における不純物の不要な拡散を生ぜしめることなく、ショートチャンネル効果を抑止するとともに閾値電圧の増加を抑えて高い移動度を確保することを可能とし、更なる微細化・小型化の要請に応える信頼性の高いSiトランジスタが実現する。

明 細 書

半導体装置及びその製造方法

技術分野

- [0001] 本発明は、ゲート電極及び一対の不純物拡領域(ソース/ドレイン)を有する半導体装置に関し、特にMOSトランジスタに適用して好適である。

背景技術

- [0002] 近時では、半導体装置の微細化・小型化の要請が更に高まっており、これに伴い半導体装置、例えばMOSFET等のシリコン(Si)トランジスタのチャネル長が益々短くなりつつある。この場合、短チャネルの閾値電圧が負へシフトするショートチャネル効果が顕著になってくる。このショートチャネル効果を防ぐためには、基板中の不純物濃度を増加させる必要がある。しかしながら、基板中の不純物濃度を増加させると、閾値電圧の増加及び移動度の減少を招く。そのため、チャネル下方の不純物濃度を高くしてパンチスルーを防止し、基板表面側の不純物濃度を低くして閾値電圧の増加を抑止することが考えられている。
- [0003] その一つの解決方法として、一様に不純物が導入されているシリコン基板上に新たにノンドープのシリコン層をエピタキシャル成長させてチャネル層とするエピチャネル構造が提案されている。この不純物濃度が2段階とされたエピチャネル構造により、高いショートチャネル耐性を実現して不純物散乱を防止することができる。
- [0004] しかしながらこの場合、シリコン層のエピ成長時には800℃程度の高温が必要とされる。そのため、基板側の不純物がエピチャネル層に拡散し、不純物プロファイルがだれてしまうという問題がある。
- [0005] また、もう一つの解決方法として、基板表面側に基板中の不純物と逆導電型の不純物を導入するカウンタードープ法が提案されている。
- [0006] ところがこの場合も、基板中の不純物と逆導電型の不純物を導入した後、不純物活性化に900℃程度の高温が必要となる。そのため、基板表面側の逆導電型の不純物が基板内部へ拡散し、不純物プロファイルがだれてしまうという上記と同様の問題が生じる。

[0007] 特許文献1:特開平11-260828号公報

発明の開示

[0008] 本発明は、上述の課題に鑑みてなされたものであり、不純物活性化の際における不純物の不要な拡散を生ぜしめることなく、ショートチャネル効果を抑止するとともに閾値電圧の増加を抑えて高い移動度を確保することを可能とし、更なる微細化・小型化の要請に応える信頼性の高い半導体装置及びその製造方法を提供することを目的とする。

[0009] 本発明の半導体装置は、基板の半導体領域上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体領域の前記ゲート電極の両側に相当する部位に第1導電型の第1の不純物が導入されてなる一対の不純物拡散領域とを含み、前記半導体領域は、その上層部分に下層及び上層を有する少なくとも2層構造のチャネル層を有し、前記チャネル層の前記下層に前記第1の不純物の逆導電型である第2導電型の第2の不純物が導入されており、前記チャネル層は、前記上層から前記下層内まで、前記半導体領域を非晶質化する機能を有する非晶質化不純物を含有してなる不純物層を有しており、前記不純物層内に前記不純物拡散領域が包含されている。

[0010] 本発明の半導体装置の一態様では、前記不純物層の最下面は、前記チャネル層の前記下層内に形成されてなる。

[0011] 本発明の半導体装置の一態様では、前記非晶質化不純物は、Ge, Si, 不活性ガスのうちから選ばれた少なくとも1種である。

[0012] 本発明の半導体装置の一態様では、前記不純物層の最下面に結晶欠陥が形成されており、前記不純物拡散領域と前記結晶欠陥とが離間している。

[0013] 本発明の半導体装置の一態様では、前記結晶欠陥は、当該半導体装置の空乏層よりも下方に形成されている。

[0014] 本発明の半導体装置の一態様では、前記チャネル層の前記下層は、前記非晶質化不純物(例えばGe)の濃度が $1 \times 10^{18} / \text{cm}^3$ である部位を有しており、当該部位の前記第2の不純物の濃度が $1 \times 10^{18} / \text{cm}^3$ 以上である。

[0015] 本発明の半導体装置の一態様では、前記チャネル層の前記上層は、前記非晶質化不純物のみを含有するものである。

- [0016] 本発明の半導体装置の一態様では、前記チャネル層の前記上層は、前記非晶質化不純物に加え、前記第1導電型の不純物及び前記第2導電型の不純物を含有するものである。
- [0017] 本発明の半導体装置の一態様では、前記基板は、絶縁層上に前記半導体領域を有してなるものである。
- [0018] 本発明の半導体装置の一態様では、前記基板は、ガラス基板上に絶縁層を介して前記半導体領域を有してなるものである。
- [0019] 本発明の半導体装置の製造方法1は、基板の半導体領域の表層に第1の不純物の逆導電型である第2導電型の第2の不純物を導入する工程と、前記半導体領域上に低温でシリコン膜を堆積形成する工程と、前記シリコン膜及び前記第2の不純物の導入部位を含む前記半導体領域の表層に非晶質化不純物を導入し、前記シリコン膜及び前記第2の不純物の導入部位を含む前記半導体領域の表層を非晶質化する工程と、アニール処理により、前記シリコン膜及び前記第2の不純物の導入部位を含む前記半導体領域の表層を単結晶化し、前記第2の不純物の導入部位を下層、前記シリコン膜を上層とする少なくとも2層構造のチャネル層を形成する工程と、前記チャネル層上にゲート絶縁膜を介してゲート電極をパターン形成する工程と、前記チャネル層における前記ゲート電極の両側に相当する部位に第1導電型の第1の不純物を導入して、一対の不純物拡散領域を形成する工程とを含む。
- [0020] 本発明の半導体装置の製造方法2は、基板の半導体領域の表層に第1の不純物の逆導電型である第2導電型の第2の不純物を導入する工程と、前記第2の不純物の導入部位を含むように、基板の半導体領域の表層に非晶質化不純物を導入し、前記半導体領域の表層を非晶質化する工程と、非晶質化された前記半導体領域の表層の上部に第1導電型の第1の不純物を導入する工程と、アニール処理により、非晶質化された前記半導体領域の表層を単結晶化し、前記半導体領域内の前記非晶質化不純物及び前記第2の不純物の導入部位を下層、前記非晶質化不純物、前記第1の不純物及び前記第2の不純物の導入部位を上層とする少なくとも2層構造のチャネル層を形成する工程と、前記チャネル層上にゲート絶縁膜を介してゲート電極をパターン形成する工程と、前記チャネル層における前記ゲート電極の両側に相当

する部位に第1導電型の第1の不純物を導入して、一对の不純物拡散領域を形成する工程とを含む。

[0021] 本発明の半導体装置の製造方法1, 2の一態様では、単結晶化された前記半導体領域の表層の最下面を、前記チャネル層の前記下層内に形成する。

[0022] 本発明の半導体装置の製造方法1, 2の一態様では、前記非晶質化不純物は、Ge, Si, 不活性ガスのうちから選ばれた少なくとも1種である。

[0023] 本発明の半導体装置の製造方法1, 2の一態様では、単結晶化された前記半導体領域の前記チャネル層の前記下層中に結晶欠陥が形成されており、前記不純物拡散領域を前記結晶欠陥と離間するように形成する。

[0024] 本発明の半導体装置の製造方法1, 2の一態様では、前記結晶欠陥は、当該半導体装置の空乏層よりも下方に形成されている。

[0025] 本発明の半導体装置の製造方法1, 2の一態様では、前記不純物層を、当該不純物層中の前記非晶質化不純物(例えばGe)の濃度が $1 \times 10^{18} / \text{cm}^3$ である部位を有し、当該部位の前記第2の不純物の濃度が $1 \times 10^{18} / \text{cm}^3$ 以上となるように形成する。

[0026] 本発明の半導体装置の製造方法1, 2の一態様では、前記アニール処理を700℃以下の温度で行う。

[0027] 本発明の半導体装置の製造方法1, 2の一態様では、前記基板は、絶縁層上に前記半導体領域を有してなるものである。

[0028] 本発明の半導体装置の製造方法1, 2の一態様では、前記基板は、ガラス基板上に絶縁層を介して前記半導体領域を有してなるものである。

図面の簡単な説明

[0029] [図1A]図1Aは、第1の実施形態によるp型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図1B]図1Bは、第1の実施形態によるp型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図1C]図1Cは、第1の実施形態によるp型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図1D]図1Dは、第1の実施形態によるp型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図1E]図1Eは、第1の実施形態によるp型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図1F]図1Fは、第1の実施形態によるp型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図2A]図2Aは、第1の実施形態における変形例1によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図2B]図2Bは、第1の実施形態における変形例1によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図2C]図2Cは、第1の実施形態における変形例1によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図2D]図2Dは、第1の実施形態における変形例1によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図2E]図2Eは、第1の実施形態における変形例1によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図2F]図2Fは、第1の実施形態における変形例1によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図3A]図3Aは、第1の実施形態における変形例2によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図3B]図3Bは、第1の実施形態における変形例2によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図3C]図3Cは、第1の実施形態における変形例2によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図3D]図3Dは、第1の実施形態における変形例2によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図3E]図3Eは、第1の実施形態における変形例2によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図3F]図3Fは、第1の実施形態における変形例2によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図4A]図4Aは、第2の実施形態によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図4B]図4Bは、第2の実施形態によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図4C]図4Cは、第2の実施形態によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図4D]図4Dは、第2の実施形態によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図4E]図4Eは、第2の実施形態によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図4F]図4Fは、第2の実施形態によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図5]図5は、第2の実施形態によるSiトランジスタのチャネル層の下層におけるホウ素の濃度プロファイルを示す特性図である。

[図6A]図6Aは、第2の実施形態における変形例1によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図6B]図6Bは、第2の実施形態における変形例1によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図6C]図6Cは、第2の実施形態における変形例1によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図6D]図6Dは、第2の実施形態における変形例1によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図6E]図6Eは、第2の実施形態における変形例1によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図6F]図6Fは、第2の実施形態における変形例1によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図7A]図7Aは、第2の実施形態における変形例2によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図7B]図7Bは、第2の実施形態における変形例2によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図7C]図7Cは、第2の実施形態における変形例2によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図7D]図7Dは、第2の実施形態における変形例2によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図7E]図7Eは、第2の実施形態における変形例2によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[図7F]図7Fは、第2の実施形態における変形例2によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

発明を実施するための最良の形態

[0030] 本発明者は、半導体装置、例えばMOSFET等のSiトランジスタにおける不純物拡散領域(ソース/ドレイン)間のチャンネル部分を下層の不純物濃度が高い少なくとも2層構造とし、当該下層部分の不純物(ソース/ドレインと逆導電型の不純物)濃度をシャープで浅いプロファイルに保持すべく鋭意検討した。そして、当該Siトランジスタを製造するに際し、チャンネル層となる基板表層において、その2層構造の下層部分の不純物(ソース/ドレインと逆導電型の不純物)導入を行った状態で高温処理する状況を回避することが必須であることに着目し、以下に示す発明の諸態様に想到した。

以下、本発明の諸実施形態について、図面を参照しながら詳細に説明する。

[0031] ー第1の実施形態ー

図1Aー図1Fは、第1の実施形態によるp型のSiトランジスタの製造方法を工程順に示す概略断面図である。

先ず、基板の半導体領域、ここでは図1Aに示すように、n型不純物を例えば $1 \times 10^{15} / \text{cm}^3$ 程度含有するバルク型のn型シリコン基板1の表層に、後述するソース/ドレインの不純物(例えばp型、ここではホウ素(B))と逆導電型の不純物(例えばn型、ここではリン(P))を、例えば加速エネルギー100keV、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ の条

件でイオン注入する。そして、900℃で2時間のアニール処理を施し、導入されたリンを活性化して一様な不純物分布を有する逆導電型不純物層2を形成する。このとき、逆導電型不純物層2の不純物(リン)濃度は例えば $3 \times 10^{18} / \text{cm}^3$ 程度となる。なお、逆導電型不純物層2を不純物濃度が深さ方向に緩やかに変化する分布となるように形成しても良い。ここでは、チャンネル層となるシリコン基板1の表層は未だ2層構造に形成されていないため、高温のアニール処理を行うことに問題はない。その後、シリコン基板1に対し、アンモニア過水ボイル処理、フッ酸処理、塩酸過水ボイル処理及びフッ酸処理を施して表面洗浄する。

[0032] 続いて、図1Bに示すように、低温による成膜法、ここではプラズマCVD法により、シリコン基板1上にノンドープのシリコン膜、ここではアモルファスシリコン膜3を例えば膜厚50nm程度に堆積する。この場合、700℃以下の低温、例えば300℃程度の低温プロセスであるため、シリコン基板1の表層に形成された逆導電型不純物層2からアモルファスシリコン膜3へ不純物であるリンが拡散することはない。

[0033] 続いて、図1Cに示すように、アモルファスシリコン膜3及びシリコン基板1の表層の逆導電型不純物層2を含む領域に、半導体領域を構成するシリコンをアモルファス化する機能を有する比較的重い原子、ここではゲルマニウム(Ge)を注入する。ここで、ゲルマニウムの代わりにシリコン(Si)、またはアルゴン(Ar)等の不活性ガスを用いても良い。具体的には、アモルファスシリコン膜3から逆導電型不純物層2内までゲルマニウムが達する条件、例えば加速エネルギー100keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ の条件で注入する。この注入により、シリコン基板1の逆導電型不純物層2を含むアモルファスシリコン膜3の表面から例えば100nm程度の深さまでアモルファス状態となる。図1Cにおいて、このアモルファス化された不純物層(アモルファスシリコン膜3を含む)をGe注入層4として示し、その最下面4aを破線で示す。

[0034] 続いて、シリコン基板1を洗浄した後、図1Dに示すように、700℃以下の低温アニール、例えば600℃で1時間のアニール処理を施す。このアニール処理により、Ge注入層4が単結晶化する。このとき、Ge注入層4のなかに、逆導電型不純物層2が単結晶化してリンドープの下層5a、アモルファスシリコン膜3が単結晶化してノンドープの上層5bとなる2層構造のチャンネル層5が形成される。但し、残ったGe注入層4のシ

リコン基板1との界面となる最下面4aには、アニール処理を施しても回復せず単結晶化されない結晶欠陥が残存するが、リン($1 \times 10^{18} / \text{cm}^3$ の高濃度)によって中和されるため、問題はない。また、上層5b内にも若干単結晶化されない部位が残存することもある。本実施形態では、非晶質化不純物であるGeの注入によるアモルファス化及び低温アニールを行うので、ノンドープの上層5bにリンが拡散することはない。

[0035] 続いて、例えばECR-CVD法によりチャネル層5上に薄いシリコン酸化膜を成膜する。シリコン酸化膜の代わりに、 HfO_2 や Al_2O_3 等の高誘電率絶縁材料を用いて形成しても良い。その後、例えばCVD法により、シリコン酸化膜上にリンドープされた多結晶シリコン膜を形成する。そして、多結晶シリコン膜及びシリコン酸化膜を、フォトリソグラフィ及びドライエッチングにより電極形状にパターニングする。これにより、図1Eに示すように、チャネル層5上にゲート絶縁膜6を介してなるゲート電極7をパターン形成する。

[0036] 続いて、図1Fに示すように、ゲート電極7をマスクとしてp型不純物、ここではホウ素(B)をチャネル層5にイオン注入する。具体的には、ホウ素を加速エネルギー7keV、ドーズ量 $2 \times 10^{15} / \text{cm}^2$ の条件でイオン注入する。このイオン注入及びこれに続くアニール処理により、ゲート電極7の両側におけるチャネル層5内に、一対の不純物拡散領域であるソース/ドレイン8が形成される。ソース/ドレイン8は、チャネル層5内でGe注入層4の最下面4aと所定距離だけ離間する。

[0037] しかる後、ゲート電極7を覆う層間絶縁膜やコンタクト孔、上層配線等(不図示)の形成工程を経て、本実施形態のSiトランジスタを完成させる。

[0038] 以上の製造プロセスを経て形成されたSiトランジスタの主要構成は、図1Fのように、リンドープの下層5aとノンドープの上層5bとが積層してなるチャネル層5を有し、上層5bから下層5a内まで非晶質化不純物であるゲルマニウムを含有してなるGe注入層4が形成されており、チャネル層5内でGe注入層4の最下面4aと離間するようにソース/ドレイン8を有する構造である。

[0039] チャネル層5の上層5bは、結晶欠陥の残存する最下面4aから離間しているために電氣的影響はない。

[0040] また、Siトランジスタの使用時にチャネル層5に形成される空乏層もまた、Ge注入層

4の最下面4aと離間する。このように、チャネル層5に形成される空乏層を結晶欠陥が残存する最下面4aから離間するように保持することにより、電氣的影響を防止できる。

[0041] 以上説明したように、本実施形態によれば、低温処理を効率良く利用して、下層5aとなる厚みの領域にイオン注入された状態で高温処理する状況を回避できるため、チャネル層5をリンドーパの下層5aとノンドーパの上層5bとが不純物濃度の峻別された2層構造に構成できる。これにより、チャネル層5の垂直電界が緩和されて移動度が増加する。この場合、高リン濃度の下層5aによりパンチスルーが防止されるとともに、ノンドーパの上層5bにより閾値電圧の増加が抑止される。この閾値電圧は、下層5aを形成する際にリンのイオン注入の諸条件を調節し、下層5aのリン濃度を調節することにより制御することができる。以上により、更なる微細化・小型化の要請に応える信頼性の高いSiトランジスタが実現する。

[0042] ー変形例ー

以下、上述した第1の実施形態の諸変形例について説明する。これらの変形例では、第1の実施形態と同様の構成要素等について、記載の便宜上同一の符号等を記す。

[0043] (変形例1)

ここでは、第1の実施形態におけるバルク型のシリコン基板の代わりに、いわゆるSOI (Silicon(semiconductor) On Insulator) 基板を用いる。

図2Aー図2Fは、第1の実施形態における変形例1によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

SOI基板11は、シリコン基体12上に例えば膜厚200nm程度のシリコン酸化膜13を介して例えば膜厚150nm程度の単結晶のSOI層14が形成されてなり、SOI層14が本発明の半導体領域に相当する。

[0044] 先ず、図2Aに示すように、SOI基板11において、p型不純物を例えば $1 \times 10^{15} / \text{cm}^3$ 程度含有するp型のSOI層14の表層に、後述するソース／ドレインの不純物(例えばn型、ここではリン(P))と逆導電型の不純物(例えばp型、ここではホウ素(B))を、例えば加速エネルギー30keV、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ の条件でイオン注入する

。そして、900℃で2時間のアニール処理を施し、導入されたホウ素を活性化して一様な不純物分布を有する逆導電型不純物層15を形成する。このとき、逆導電型不純物層15の不純物(ホウ素)濃度は例えば $3 \times 10^{18} / \text{cm}^3$ 程度となる。なお、逆導電型不純物層15を不純物濃度が深さ方向に緩やかに変化する分布となるように形成しても良い。ここでは、チャンネル層となるSOI層14の表層は未だ2層構造に形成されていないため、高温のアニール処理を行うことに問題はない。その後、SOI層14に対し、アンモニア過水ボイル処理、フッ酸処理、塩酸過水ボイル処理及びフッ酸処理を施して表面洗浄する。

[0045] 続いて、図2Bに示すように、低温による成膜法、ここではプラズマCVD法により、SOI層14上にノンドープのシリコン膜、ここではアモルファスシリコン膜3を例えば膜厚50nm程度に堆積する。この場合、700℃以下の低温、例えば300℃程度の低温プロセスであるため、SOI層14の表層に形成された逆導電型不純物層15からアモルファスシリコン膜3へ不純物であるホウ素が拡散することはない。

[0046] 続いて、図2Cに示すように、アモルファスシリコン膜3及びSOI層14の表層の逆導電型不純物層15を含む領域に、半導体領域を構成するシリコンをアモルファス化する機能を有する比較的重い原子、ここではゲルマニウム(Ge)を注入する。ここで、ゲルマニウムの代わりにシリコン(Si)、またはアルゴン(Ar)等の不活性ガスを用いても良い。具体的には、アモルファスシリコン膜3からSOI層14の表層の逆導電型不純物層15内までゲルマニウムが達する条件、例えば加速エネルギー80keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ の条件で注入する。この注入により、SOI層14の逆導電型不純物層15を含むアモルファスシリコン膜3の表面から例えば100nm程度の深さまでアモルファス状態となる。図2Cにおいて、このアモルファス化された不純物層(アモルファスシリコン膜3を含む)をGe注入層18として示し、その最下面18aを破線で示す。

[0047] 続いて、SOI層14を洗浄した後、図2Dに示すように、700℃以下の低温アニール、例えば600℃で1時間のアニール処理を施す。このアニール処理により、Ge注入層18が単結晶化する。このとき、Ge注入層18のなかに、逆導電型不純物層15が単結晶化してホウ素ドープの下層16a、アモルファスシリコン膜3が単結晶化してノンドープの上層16bとなる2層構造のチャンネル層16が形成される。但し、残ったGe注入

層18のSOI層14との界面となる最下面18aには、アニール処理を施しても回復せず単結晶化されない結晶欠陥が残存し、また上層16b内にも若干単結晶化されない部位が残存することもある。変形例1では、非晶質化不純物であるGeの注入によるアモルファス化及び低温アニールを行うので、バンドープの上層16bにホウ素が拡散することはない。

[0048] 続いて、例えばECR-CVD法によりチャンネル層16上に薄いシリコン酸化膜を成膜する。シリコン酸化膜の代わりに、 HfO や Al_2O_3 等の高誘電率絶縁材料を用いて形成しても良い。その後、例えばCVD法により、シリコン酸化膜上にリンドーピングされた多結晶シリコン膜を形成する。そして、多結晶シリコン膜及びシリコン酸化膜を、フォトリソグラフィ及びドライエッチングにより電極形状にパターンニングする。これにより、図2Eに示すように、チャンネル層16上にゲート絶縁膜6を介してなるゲート電極7をパターン形成する。

[0049] 続いて、図2Fに示すように、ゲート電極7をマスクとしてn型不純物、ここではリン(P)をチャンネル層16にイオン注入する。具体的には、リンを加速エネルギー10keV、ドーズ量 $2 \times 10^{15} / \text{cm}^2$ の条件でイオン注入する。このイオン注入及びこれに続くアニール処理により、ゲート電極7の両側におけるチャンネル層16内に、一対の不純物拡散領域であるソース/ドレイン17が形成される。ソース/ドレイン17は、チャンネル層16内でGe注入層18の最下面18aと所定距離だけ離間する。

[0050] しかる後、ゲート電極7を覆う層間絶縁膜やコンタクト孔、上層配線等(不図示)の形成工程を経て、変形例1のSiトランジスタを完成させる。

[0051] 以上の製造プロセスを経て形成されたSiトランジスタの主要構成は、図2Fのように、リンドーピングの下層16aとバンドープの上層16bとが積層してなるチャンネル層16を有し、上層16bから下層16a内まで非晶質化不純物であるゲルマニウムを含有してなるGe注入層18が形成されており、チャンネル層16内でGe注入層18の最下面18aと離間するようにソース/ドレイン17を有する構造である。

[0052] チャンネル層16の上層16bは、結晶欠陥の残存する最下面18aから離間しているために電氣的影響はなく、また結晶欠陥が最下面18aの近傍に残存する場合でも、下層16aにはホウ素が存在するため、結晶欠陥が中和させる。

[0053] また、Siトランジスタの使用時にチャネル層16に形成される空乏層もまた、Ge注入層18の最下面18aと離間する。このように、チャネル層16に形成される空乏層を結晶欠陥が残存する最下面18aから離間するように保持することにより、電氣的影響を防止できる。

[0054] 下層16aは、Ge濃度が $1 \times 10^{18} / \text{cm}^3$ である部位を有し、当該部位のホウ素濃度が $1 \times 10^{18} / \text{cm}^3$ 以上であることを要する。

[0055] 以上説明したように、変形例1によれば、低温処理を効率良く利用して、下層16aとなる厚みの領域にイオン注入された状態で高温処理する状況を回避できるため、チャネル層16をホウ素ドープの下層16aとノンドープの上層16bとが不純物濃度の峻別された2層構造に構成できる。これにより、チャネル層16の垂直電界が緩和されて移動度が増加する。この場合、高ホウ素濃度の下層16aによりパンチスルーが防止されるとともに、ノンドープの上層16bにより閾値電圧の増加が抑止される。この閾値電圧は、下層16aを形成する際にホウ素のイオン注入の諸条件を調節し、下層16aのホウ素濃度を調節することにより制御することができる。以上により、更なる微細化・小型化の要請に応える信頼性の高いSiトランジスタが実現する。

[0056] (変形例2)

ここでは、第1の実施形態におけるバルク型のシリコン基板の代わりに、いわゆるガラス基板を用いる。

図3A～図3Fは、第1の実施形態における変形例2によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

[0057] 先ず、図3Aに示すように、ガラス基板21上に例えば膜厚200nm程度のシリコン酸化膜22、及び例えば膜厚100nm程度のアモルファスシリコン層(不図示)を順次積層する。このアモルファスシリコン層が本発明の半導体領域に相当する。その後、アモルファスシリコン層の表層に、後述するソース/ドレインの不純物(例えばn型、ここではリン(P))と逆導電型の不純物(例えばp型、ここではホウ素(B))を、例えば加速エネルギー10keV、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ の条件でイオン注入する。そして、アモルファスシリコン層にレーザアニール、例えばCWレーザを用いたアニール処理を施す。このとき、アモルファスシリコン層が単結晶化されてシリコン層23が形成される。

更に、シリコン層23の上層には、導入されたホウ素が活性化されて一様な不純物分布を有する逆導電型不純物層24が形成される。

[0058] このとき、逆導電型不純物層24の不純物(ホウ素)濃度は例えば $3 \times 10^{18} / \text{cm}^3$ 程度となる。なお、逆導電型不純物層24を不純物濃度が深さ方向に緩やかに変化する分布となるように形成しても良い。ここでは、レーザを用いて結晶化及び不純物活性化を行うため、熱の印加される時間が短く、高温プロセスを避けることができる。

[0059] 続いて、シリコン層23の表面を洗浄した後、図3Bに示すように、低温による成膜法、ここではプラズマCVD法により、シリコン層23上にノドープのシリコン膜、ここではアモルファスシリコン膜3を例えば膜厚50nm程度に堆積する。この場合、600℃以下、例えば300℃程度の低温プロセスであるため、シリコン層23の表層に形成された逆導電型不純物層24からアモルファスシリコン膜3へ不純物であるホウ素が拡散することはない。

[0060] 続いて、図3Cに示すように、アモルファスシリコン膜3及びシリコン層23の表層の逆導電型不純物層24を含む領域に、半導体領域を構成するシリコンをアモルファス化する機能を有する比較的重い原子、ここではゲルマニウム(Ge)を注入する。ここで、ゲルマニウムの代わりにシリコン(Si)、またはアルゴン(Ar)等の不活性ガスを用いても良い。具体的には、アモルファスシリコン膜3からシリコン層23の表層の逆導電型不純物層24内までゲルマニウムが達する条件、例えば加速エネルギー80keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ の条件で注入する。この注入により、シリコン層23の表面から逆導電型不純物層24を含み、例えば100nm程度の深さまでアモルファス化される。図3Cにおいて、このアモルファス化された不純物層(アモルファスシリコン膜3を含む)をGe注入層25として示し、その最下面25aを破線で示す。

[0061] 続いて、シリコン層23を洗浄した後、図3Dに示すように、700℃以下の低温アニール、例えば600℃で1時間のアニール処理を施す。このアニール処理により、Ge注入層25が単結晶化する。このとき、Ge注入層25のなかに、逆導電型不純物層24が単結晶化してホウ素ドープの下層26a、アモルファスシリコン膜3が単結晶化してノドープの上層26bとなる2層構造のチャネル層26が形成される。但し、残ったGe注入層25のシリコン層23との界面となる最下面25aには、アニール処理を施しても回

復せず単結晶化されない結晶欠陥が残存し、また上層26b内にも若干単結晶化されない部位が残存することもある。変形例2では、非晶質化不純物であるGeの注入によるアモルファス化及び低温アニールを行うので、ノンドープの上層26bにホウ素が拡散することはない。

[0062] 続いて、例えばECR-CVD法によりチャンネル層26上に薄いシリコン酸化膜を成膜する。シリコン酸化膜の代わりに、 HfO や Al_2O_3 等の高誘電率絶縁材料を用いて形成しても良い。その後、シリコン酸化膜上にモリブデン(Mo)膜を例えば膜厚300nm程度に形成する。そして、Mo膜及びシリコン酸化膜を、フォトリソグラフィ及びドライエッチングにより電極形状にパターンニングする。これにより、図3Eに示すように、チャンネル層26上にゲート絶縁膜6を介してなるゲート電極28をパターン形成する。

[0063] 続いて、図3Fに示すように、ゲート電極28をマスクとしてn型不純物、ここではリン(P)をチャンネル層26にイオン注入する。具体的には、リンを加速エネルギー10keV、ドーズ量 $2 \times 10^{15} / \text{cm}^2$ の条件でイオン注入する。このイオン注入及びこれに続くアニール処理により、ゲート電極28の両側におけるチャンネル層26内に、一対の不純物拡散領域であるソース/ドレイン27が形成される。ソース/ドレイン27は、チャンネル層26内でGe注入層25の最下面25aと所定距離だけ離間する。

[0064] しかる後、ゲート電極28を覆う層間絶縁膜やコンタクト孔、上層配線等(不図示)の形成工程を経て、変形例2のSiトランジスタを完成させる。

[0065] 以上の製造プロセスを経て形成されたSiトランジスタの主要構成は、図3Fのように、ノンドープの下層5aとノンドープの上層5bとが積層してなるチャンネル層5を有し、上層26bから下層26a内まで非晶質化不純物であるゲルマニウムを含有してなるGe注入層25が形成されており、チャンネル層26内でGe注入層25の最下面25aと離間するようにソース/ドレイン27を有する構造である。

[0066] チャンネル層26の上層26bは、結晶欠陥の残存する最下面25aから離間しているために電氣的影響はなく、また結晶欠陥が最下面25aの近傍に残存する場合でも、下層26aにはホウ素が存在するため、結晶欠陥が中和させる。

[0067] また、Siトランジスタの使用時にチャンネル層26に形成される空乏層もまた、Ge注入層25の最下面25aと離間する。このように、チャンネル層26に形成される空乏層を結

晶欠陥が残存する最下面25aから離間するように保持することにより、電氣的影響を防止できる。

[0068] 下層26aは、Ge濃度が $1 \times 10^{18} / \text{cm}^3$ である部位を有し、当該部位のホウ素濃度が $1 \times 10^{18} / \text{cm}^3$ 以上であることを要する。

[0069] 以上説明したように、変形例2によれば、低温処理を効率良く利用して、ガラス基板21が使用可能となるとともに、下層26aとなる厚みの領域にイオン注入された状態で高温処理する状況を回避できる。従って、ガラス基板21において、チャンネル層26をホウ素ドーパの下層26aとノンドープの上層26bとが不純物濃度の峻別された2層構造に構成できる。これにより、チャンネル層26の垂直電界が緩和されて移動度が増加する。この場合、高ホウ素濃度の下層26aによりパンチスルーが防止されるとともに、ノンドープの上層26bにより閾値電圧の増加が抑止される。この閾値電圧は、下層26aを形成する際にホウ素のイオン注入の諸条件を調節し、下層26aのホウ素濃度を調節することにより制御することができる。以上により、更なる微細化・小型化の要請に応える信頼性の高いSiトランジスタが実現する。

[0070] ー第2の実施形態ー

図4Aー図4Fは、第2の実施形態によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。本実施形態では、第1の実施形態と同様の構成要素等について、記載の便宜上同一の符号等を記す。

[0071] 先ず、基板の半導体領域、ここでは図4Aに示すように、p型不純物を例えば $1 \times 10^{15} / \text{cm}^3$ 程度含有するバルク型のp型シリコン基板31の表層に、後述するソース/ドレインの不純物(例えばn型、ここではリン(P))と逆導電型の不純物(例えばp型、ここではホウ素(B))を、例えば加速エネルギー50keV、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ の条件でイオン注入する。そして、900℃で2時間のアニール処理を施し、導入されたホウ素を活性化して一様な不純物分布を有する逆導電型不純物層32を形成する。このとき、逆導電型不純物層32の不純物(ホウ素)濃度は例えば $3 \times 10^{18} / \text{cm}^3$ 程度となる。なお、逆導電型不純物層32を不純物濃度が深さ方向に緩やかに変化する分布となるように形成しても良い。ここでは、チャンネル層となるシリコン基板31の表層は未だ2層構造に形成されていないため、高温のアニール処理を行うことに問題はない。

その後、シリコン基板31に対し、アンモニア過水ボイル処理、フッ酸処理、塩酸過水ボイル処理及びフッ酸処理を施して表面洗浄する。

[0072] 続いて、図4Bに示すように、逆導電型不純物層32を含むシリコン基板31の表層に、半導体領域を構成するシリコンをアモルファス化する機能を有する比較的重い原子、ここではゲルマニウム(Ge)を注入する。ここで、ゲルマニウムの代わりにシリコン(Si)、またはアルゴン(Ar)等の不活性ガスを用いても良い。具体的には、シリコン基板31の表層の逆導電型不純物層32内にゲルマニウムが達する条件、例えば加速エネルギー80keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ の条件で注入する。この注入により、シリコン基板31の表面から逆導電型不純物層32を含み、例えば100nm程度の深さまでアモルファス化される。図4Bにおいて、このアモルファス化された不純物層をGe注入層33として示し、その最下面33aを破線で示す。

[0073] 続いて、図4Cに示すように、Ge注入層33に後述するソース/ドレインの不純物(例えばn型、ここではリン(P))と同一導電型の不純物、ここではリンを、Ge注入層33における逆導電型不純物層32の上部領域にまで到達する条件で導入する。具体的には、例えば加速エネルギー5keV、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ の条件でリンをイオン注入する。これにより、Ge注入層33の上部領域にホウ素とリンとが混在する混在不純物層34が形成され、これによりGe注入層33には、混在不純物層34の形成によってその下部領域に残存する逆導電型不純物層32と、当該混在不純物層34とが積層した2層構造が形成されることになる。

[0074] 続いて、シリコン基板31を洗浄した後、図4Dに示すように、700℃以下の低温アニール、例えば600℃で1時間のアニール処理を施す。このアニール処理により、Ge注入層33が単結晶化する。このとき、Ge注入層33のなかに、逆導電型不純物層32が単結晶化してなるホウ素ドーパの下層35aと、混在不純物層34が単結晶化して実質的にみれば電氣的に逆型のドーパントのみが存在する状態、または中性の状態とされた上層35bとからなる2層構造のチャネル層35が形成され、実質的にGe注入層33は下層35aの中に残る。但し、残ったGe注入層33のシリコン基板31との界面となる最下面33aには、アニール処理を施しても回復せず単結晶化されない結晶欠陥が残存し、また上層35b内にも若干単結晶化されない部位が残存することもある。本実

施形態では、非晶質化不純物であるGeの注入によるアモルファス化及び低温アニールを行うので、上層35bにリンが拡散することはない。

- [0075] 続いて、例えばECR-CVD法によりチャネル層35上に薄いシリコン酸化膜を成膜する。シリコン酸化膜の代わりに、 HfO や Al_2O_3 等の高誘電率絶縁材料を用いて形成しても良い。その後、シリコン酸化膜上にモリブデン(Mo)膜を例えば膜厚300nm程度に形成する。そして、Mo膜及びシリコン酸化膜を、フォトリソグラフィー及びドライエッチングにより電極形状にパターニングする。これにより、図4Eに示すように、チャネル層35上にゲート絶縁膜6を介してなるゲート電極36をパターン形成する。
- [0076] 続いて、図4Fに示すように、ゲート電極36をマスクとしてn型不純物、ここではリン(P)をチャネル層35にイオン注入する。具体的には、リンを加速エネルギー10keV、ドーズ量 $2 \times 10^{15} / \text{cm}^2$ の条件でイオン注入する。このイオン注入及びこれに続くアニール処理により、ゲート電極36の両側におけるチャネル層35内に、一対の不純物拡散領域であるソース/ドレイン37が形成される。ソース/ドレイン37は、チャネル層35内でGe注入層33の最下面33aと所定距離だけ離間する。
- [0077] しかる後、ゲート電極36を覆う層間絶縁膜やコンタクト孔、上層配線等(不図示)の形成工程を経て、本実施形態のSiトランジスタを完成させる。
- [0078] 以上の製造プロセスを経て形成されたSiトランジスタの主要構成は、図4Fのように、リンドーブの下層35aとノンドープの上層35bとが積層してなるチャネル層35を有し、上層35bから下層35a内まで非晶質化不純物であるゲルマニウムを含有してなるGe注入層33が形成されており、チャネル層35内でGe注入層33の最下面33aと離間するようにソース/ドレイン37を有する構造である。
- [0079] チャネル層35の上層35bは、結晶欠陥の残存する最下面33aから離間しているために電氣的影響はなく、また結晶欠陥が最下面33aの近傍に残存する場合でも、下層35aにはホウ素が存在するため、結晶欠陥が中和させる。
- [0080] また、Siトランジスタの使用時にチャネル層35に形成される空乏層もまた、Ge注入層33の最下面33aと離間する。このように、チャネル層35に形成される空乏層を結晶欠陥が残存する最下面33aから離間するように保持することにより、電氣的影響を防止できる。

[0081] 下層35aは、Ge濃度が $1 \times 10^{18} / \text{cm}^3$ である部位を有し、当該部位のホウ素濃度が $1 \times 10^{18} / \text{cm}^3$ 以上であることを要する。

[0082] ここで、チャネル層35の下層35aにおけるホウ素の濃度プロファイルを図5に示す。図中、横軸が深さ、縦軸がホウ素の濃度を表している。下層35aのホウ素の平均濃度は $2 \times 10^{18} / \text{cm}^3$ 程度であり、図示のように下層35aでは急峻で浅いガウシアン分布となる濃度プロファイルが形成されていることが判る。

[0083] 以上説明したように、本実施形態によれば、低温処理を効率良く利用して、下層35aとなる厚みの領域にイオン注入された状態で高温処理する状況を回避できるため、チャネル層35をホウ素ドープの下層35aと電氣的にノンドープ状態の上層35bとが不純物濃度の峻別された2層構造に構成できる。これにより、チャネル層35の垂直電界が緩和されて移動度が増加する。この場合、高ホウ素濃度の下層35aによりパンチスルーが防止されるとともに、電氣的にノンドープ状態の上層35bにより閾値電圧の増加が抑止される。この閾値電圧は、下層35a及び上層35bを形成する際にホウ素及びリンのイオン注入の諸条件を調節し、下層35a及び上層35bのホウ素濃度及びリン濃度をそれぞれ調節することにより、きめ細かく制御することができる。以上により、更なる微細化・小型化の要請に応える信頼性の高いSiトランジスタが実現する。

[0084] 一変形例一

以下、上述した第2の実施形態の諸変形例について説明する。これらの変形例では、第2の実施形態と同様の構成要素等について、記載の便宜上同一の符号等を記す。

[0085] (変形例1)

ここでは、第2の実施形態におけるバルク型のシリコン基板の代わりに、いわゆるSOI (Silicon(semiconductor) On Insulator) 基板を用いる。

図6A～図6Fは、第2の実施形態における変形例1によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

SOI基板41は、シリコン基体42上に例えば膜厚200nm程度のシリコン酸化膜43を介して例えば膜厚150nm程度の単結晶のSOI層44が形成されてなり、SOI層44

が本発明の半導体領域に相当する。

[0086] 先ず、図6Aに示すように、SOI基板41において、p型不純物を例えば $1 \times 10^{15} / \text{cm}^3$ 程度含有するp型のSOI層44の表層に、後述するソース／ドレインの不純物(例えばn型、ここではリン(P))と逆導電型の不純物(例えばp型、ここではホウ素(B))を、例えば加速エネルギー50keV、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ の条件でイオン注入する。そして、900℃で2時間のアニール処理を施し、導入されたホウ素を活性化して一様な不純物分布を有する逆導電型不純物層45を形成する。このとき、逆導電型不純物層45の不純物(ホウ素)濃度は例えば $3 \times 10^{18} / \text{cm}^3$ 程度となる。なお、逆導電型不純物層45を不純物濃度が深さ方向に緩やかに変化する分布となるように形成しても良い。ここでは、チャネル層となるSOI層44の表層は未だ2層構造に形成されていないため、高温のアニール処理を行うことに問題はない。その後、SOI層44に対し、アンモニア過水ボイル処理、フッ酸処理、塩酸過水ボイル処理及びフッ酸処理を施して表面洗浄する。

[0087] 続いて、図6Bに示すように、逆導電型不純物層45を含むSOI層44の表層に、半導体領域を構成するシリコンをアモルファス化する機能を有する比較的重い原子、ここではゲルマニウム(Ge)を注入する。ここで、ゲルマニウムの代わりにシリコン(Si)、またはアルゴン(Ar)等の不活性ガスを用いても良い。具体的には、SOI層44の表層の逆導電型不純物層45内にゲルマニウムが達する条件、例えば加速エネルギー80 keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ の条件で注入する。この注入により、SOI層44の表面から逆導電型不純物層45を含み、例えば100nm程度の深さまでアモルファス化される。図6Bにおいて、このアモルファス化された不純物層をGe注入層46として示し、その最下面46aを破線で示す。

[0088] 続いて、図6Cに示すように、Ge注入層46に後述するソース／ドレインの不純物(例えばn型、ここではリン(P))と同一導電型の不純物、ここではリンを、Ge注入層46における逆導電型不純物層45の上部領域にまで到達する条件で導入する。具体的には、例えば加速エネルギー5keV、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ の条件でリンをイオン注入する。これにより、Ge注入層46の上部領域にホウ素とリンとが混在する混在不純物層47が形成され、これによりGe注入層46には、混在不純物層47の形成によっ

てその下部領域に残存する逆導電型不純物層45と、当該混在不純物層47とが積層した2層構造が形成されることになる。

[0089] 続いて、SOI層44を洗浄した後、図6Dに示すように、700℃以下の低温アニール、例えば600℃で1時間のアニール処理を施す。このアニール処理により、Ge注入層46が単結晶化する。このとき、Ge注入層46のなかに、逆導電型不純物層45が単結晶化してなるホウ素ドーパの下層48aと、混在不純物層47が単結晶化して実質的にみれば電氣的に逆型のドーパントのみが存在する状態、または中性の状態とされた上層48bとからなる2層構造のチャネル層48が形成され、実質的にGe注入層46は下層48aの下方のみに残る。但し、残ったGe注入層46のSOI層44との界面となる最下面46aには、アニール処理を施しても回復せず単結晶化されない結晶欠陥が残存し、また上層48b内にも若干単結晶化されない部位が残存することもある。本実施形態では、非晶質化不純物であるGeの注入によるアモルファス化及び低温アニールを行うので、上層48bにリンが拡散することはない。

[0090] 続いて、例えばECR-CVD法によりチャネル層48上に薄いシリコン酸化膜を成膜する。シリコン酸化膜の代わりに、 HfO_2 や Al_2O_3 等の高誘電率絶縁材料を用いて形成しても良い。その後、シリコン酸化膜上にモリブデン(Mo)膜を例えば膜厚300nm程度に形成する。そして、Mo膜及びシリコン酸化膜を、フォトリソグラフィ及びドライエッチングにより電極形状にパターニングする。これにより、図6Eに示すように、チャネル層48上にゲート絶縁膜6を介してなるゲート電極36をパターン形成する。

[0091] 続いて、図6Fに示すように、ゲート電極36をマスクとしてn型不純物、ここではリン(P)をチャネル層48にイオン注入する。具体的には、リンを加速エネルギー10keV、ドーズ量 $2 \times 10^{15} / \text{cm}^2$ の条件でイオン注入する。このイオン注入及びこれに続くアニール処理により、ゲート電極36の両側におけるチャネル層46内に、一対の不純物拡散領域であるソース/ドレイン49が形成される。ソース/ドレイン49は、チャネル層48内でGe注入層46の最下面46aと所定距離だけ離間する。

[0092] しかる後、ゲート電極36を覆う層間絶縁膜やコンタクト孔、上層配線等(不図示)の形成工程を経て、変形例1のSiトランジスタを完成させる。

[0093] 以上の製造プロセスを経て形成されたSiトランジスタの主要構成は、図6Fのように

、リンドーブの下層48aとノンドープの上層48bとが積層してなるチャンネル層48を有し、上層48bから下層48a内まで非晶質化不純物であるゲルマニウムを含有してなるGe注入層46が形成されており、チャンネル層48内でGe注入層46の最下面46aと離間するようにソース/ドレイン49を有する構造である。

[0094] チャンネル層48は、結晶欠陥の残存する最下面46aから離間しているために電氣的影響はなく、また結晶欠陥が最下面46aの近傍に残存する場合でも、下層48aにはホウ素が存在するため、結晶欠陥が中和させる。

[0095] また、Siトランジスタの使用時にチャンネル層48に形成される空乏層もまた、Ge注入層46の最下面46aと離間する。このように、チャンネル層48に形成される空乏層を結晶欠陥が残存する最下面46aから離間するように保持することにより、電氣的影響を防止できる。

[0096] 下層48aは、Ge濃度が $1 \times 10^{18} / \text{cm}^3$ である部位を有し、当該部位のホウ素濃度が $1 \times 10^{18} / \text{cm}^3$ 以上であることを要する。

[0097] 以上説明したように、変形例1によれば、低温処理を効率良く利用して、下層48aとなる厚みの領域にイオン注入された状態で高温処理する状況を回避できるため、チャンネル層48をホウ素ドーブの下層48aと電氣的にノンドープ状態の上層48bとが不純物濃度の峻別された2層構造に構成できる。これにより、チャンネル層48の垂直電界が緩和されて移動度が増加する。この場合、高ホウ素濃度の下層48aによりパンチスルーが防止されるとともに、電氣的にノンドープ状態の上層48bにより閾値電圧の増加が抑止される。この閾値電圧は、下層48a及び上層48bを形成する際にホウ素及びリンのイオン注入の諸条件を調節し、下層48a及び上層48bのホウ素濃度及びリン濃度をそれぞれ調節することにより、きめ細かく制御することができる。以上により、更なる微細化・小型化の要請に応える信頼性の高いSiトランジスタが実現する。

[0098] (変形例2)

ここでは、第2の実施形態におけるバルク型のシリコン基板の代わりに、いわゆるガラス基板を用いる。

図7A～図7Fは、第2の実施形態における変形例2によるn型のSiトランジスタの製造方法を工程順に示す概略断面図である。

- [0099] 先ず、図7Aに示すように、ガラス基板51上に例えば膜厚200nm程度のシリコン酸化膜52、及び例えば膜厚100nm程度のアモルファスシリコン層(不図示)を順次積層する。このアモルファスシリコン層が本発明の半導体領域に相当する。その後、アモルファスシリコン層の表層に、後述するソース/ドレインの不純物(例えばn型、ここではリン(P))と逆導電型の不純物(例えばp型、ここではホウ素(B))を、例えば加速エネルギー10keV、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ の条件でイオン注入する。そして、アモルファスシリコン層にレーザアニール、例えばCWレーザを用いたアニール処理を施す。このとき、アモルファスシリコン層が単結晶化されてシリコン層53が形成される。更に、シリコン層53の上層には、導入されたホウ素が活性化されて一様な不純物分布を有する逆導電型不純物層54が形成される。
- [0100] このとき、逆導電型不純物層54の不純物(ホウ素)濃度は例えば $3 \times 10^{18} / \text{cm}^3$ 程度となる。なお、逆導電型不純物層54を不純物濃度が深さ方向に緩やかに変化する分布となるように形成しても良い。ここでは、レーザを用いて結晶化及び不純物活性化を行うため、熱の印加される時間が短く、高温プロセスを避けることができる。
- [0101] 続いて、図7Bに示すように、逆導電型不純物層54を含むシリコン層53の表層に、半導体領域を構成するシリコンをアモルファス化する機能を有する比較的重い原子、ここではゲルマニウム(Ge)を注入する。ここで、ゲルマニウムの代わりにシリコン(Si)、またはアルゴン(Ar)等の不活性ガスをを用いても良い。具体的には、シリコン層53の表層の逆導電型不純物層54内までゲルマニウムが達する条件、例えば加速エネルギー80keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ の条件で注入する。この注入により、シリコン層53の表面から逆導電型不純物層54を含み、例えば100nm程度の深さまでアモルファス化される。図7Bにおいて、このアモルファス化された不純物層をGe注入層55として示し、その最下面55aを破線で示す。
- [0102] 続いて、図7Cに示すように、Ge注入層55に後述するソース/ドレインの不純物(例えばn型、ここではリン(P))と同一導電型の不純物、ここではリンを、Ge注入層55における逆導電型不純物層54の上部領域にまで到達する条件で導入する。具体的には、例えば加速エネルギー5keV、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ の条件でリンをイオン注入する。これにより、Ge注入層55の上部領域にホウ素とリンとが混在する混在不

純物層56が形成され、これによりGe注入層55には、混在不純物層56の形成によってその下部領域に残存する逆導電型不純物層54と、当該混在不純物層56とが積層した2層構造が形成されることになる。

[0103] 続いて、シリコン層53を洗浄した後、図7Dに示すように、700℃以下の低温アニール、例えば600℃で1時間のアニール処理を施す。このアニール処理により、Ge注入層55が単結晶化する。このとき、Ge注入層55のなかに、逆導電型不純物層54が単結晶化してなるホウ素ドーパの下層57aと、混在不純物層56が単結晶化して実質的にみれば電氣的に略ノンドープの状態とされた上層57bとからなる2層構造のチャネル層57が形成される。但し、残ったGe注入層55のシリコン層53との界面となる最下面55aには、アニール処理を施しても回復せず単結晶化されない結晶欠陥が残存し、また上層57b内にも若干単結晶化されない部位が残存することもある。本実施形態では、非晶質化不純物であるGeの注入によるアモルファス化及び低温アニールを行うので、ノンドープの上層57bにホウ素が拡散することはない。

[0104] 続いて、例えばECR-CVD法によりチャネル層57上に薄いシリコン酸化膜を成膜する。シリコン酸化膜の代わりに、 HfO_2 や Al_2O_3 等の高誘電率絶縁材料を用いて形成しても良い。その後、シリコン酸化膜上にモリブデン(Mo)膜を例えば膜厚300nm程度に形成する。そして、Mo膜及びシリコン酸化膜を、フォトリソグラフィ及びドライエッチングにより電極形状にパターニングする。これにより、図7Eに示すように、チャネル層57上にゲート絶縁膜6を介してなるゲート電極36をパターン形成する。

[0105] 続いて、図7Fに示すように、ゲート電極36をマスクとしてn型不純物、ここではリン(P)をチャネル層57にイオン注入する。具体的には、リンを加速エネルギー10keV、ドーズ量 $2 \times 10^{15} / \text{cm}^2$ の条件でイオン注入する。このイオン注入及びこれに続くアニール処理により、ゲート電極36の両側におけるチャネル層57内に、一対の不純物拡散領域であるソース/ドレイン58が形成される。ソース/ドレイン58は、チャネル層57内でGe注入層55の最下面55aと所定距離だけ離間する。

[0106] しかる後、ゲート電極36を覆う層間絶縁膜やコンタクト孔、上層配線等(不図示)の形成工程を経て、変形例2のSiトランジスタを完成させる。

[0107] 以上の製造プロセスを経て形成されたSiトランジスタの主要構成は、図7Fのように

、リンドーブの下層57aとノンドープの上層57bとが積層してなるチャンネル層57を有し、上層57bから下層57a内まで非晶質化不純物であるゲルマニウムを含有してなるGe注入層55が形成されており、チャンネル層57内でGe注入層55の最下面55aと離間するようにソース／ドレイン58を有する構造である。

[0108] チャンネル層57は、結晶欠陥の残存する最下面55aから離間しているために電気的影響はなく、また結晶欠陥が最下面55aの近傍に残存する場合でも、下層57aにはホウ素が存在するため、結晶欠陥が中和させる。

[0109] また、Siトランジスタの使用時にチャンネル層57に形成される空乏層もまた、Ge注入層55の最下面55aと離間する。このように、チャンネル層57に形成される空乏層を結晶欠陥が残存する最下面55aから離間するように保持することにより、電気的影響を防止できる。

[0110] 下層57aは、Ge濃度が $1 \times 10^{18} / \text{cm}^3$ である部位を有し、当該部位のホウ素濃度が $1 \times 10^{18} / \text{cm}^3$ 以上であることを要する。

[0111] 以上説明したように、本実施形態によれば、低温処理を効率良く利用して、ガラス基板51が使用可能となるとともに、下層57aとなる厚みの領域にイオン注入された状態で高温処理する状況を回避できるため、チャンネル層57をホウ素ドーブの下層57aと電気的にノンドープ状態の上層57bとが不純物濃度の峻別された2層構造に構成できる。これにより、チャンネル層57の垂直電界が緩和されて移動度が増加する。この場合、高ホウ素濃度の下層57aによりパンチスルーが防止されるとともに、電気的にノンドープ状態の上層57bにより閾値電圧の増加が抑止される。この閾値電圧は、下層57a及び上層57bを形成する際にホウ素及びリンのイオン注入の諸条件を調節し、下層57a及び上層57bのホウ素濃度及びリン濃度をそれぞれ調節することにより、きめ細かく制御することができる。以上により、更なる微細化・小型化の要請に応える信頼性の高いSiトランジスタが実現する。

産業上の利用可能性

[0112] 本発明によれば、不純物活性化の際における不純物の不要な拡散を生ぜしめることなく、ショートチャンネル効果を抑止するとともに閾値電圧の増加を抑えて高い移動度を確保することが可能となり、更なる微細化・小型化の要請に応える信頼性の高い

半導体装置が実現する。

請求の範囲

- [1] 基板の半導体領域上にゲート絶縁膜を介して形成されたゲート電極と、
前記半導体領域の前記ゲート電極の両側に相当する部位に第1導電型の第1の不純物が導入されてなる一対の不純物拡散領域と
を含み、
前記半導体領域は、その上層部分に下層及び上層を有する少なくとも2層構造のチャネル層を有し、前記チャネル層の前記下層に前記第1の不純物の逆導電型である第2導電型の第2の不純物が導入されており、
前記チャネル層は、前記上層から前記下層内まで、前記半導体領域を非晶質化する機能を有する非晶質化不純物を含有してなる不純物層を有しており、
前記不純物層内に前記不純物拡散領域が包含されていることを特徴とする半導体装置。
- [2] 前記不純物層の最下面は、前記チャネル層の前記下層内に形成されてなることを特徴とする請求項1に記載の半導体装置。
- [3] 前記非晶質化不純物は、Ge, Si, 不活性ガスのうちから選ばれた少なくとも1種であることを特徴とする請求項1に記載の半導体装置。
- [4] 前記チャネル層の前記下層内に結晶欠陥が形成されており、前記不純物拡散領域と前記結晶欠陥とが離間していることを特徴とする請求項1に記載の半導体装置。
- [5] 前記結晶欠陥は、当該半導体装置の空乏層よりも下方に形成されていることを特徴とする請求項4に記載の半導体装置。
- [6] 前記チャネル層の前記下層は、前記非晶質化不純物の濃度が $1 \times 10^{18} / \text{cm}^3$ である部位を有しており、当該部位の前記第2の不純物の濃度が $1 \times 10^{18} / \text{cm}^3$ 以上であることを特徴とする請求項1に記載の半導体装置。
- [7] 前記チャネル層の前記上層は、前記非晶質化不純物のみを含有するものであることを特徴とする請求項1に記載の半導体装置。
- [8] 前記チャネル層の前記上層は、前記非晶質化不純物に加え、前記第1導電型の不純物及び前記第2導電型の不純物を含有するものであることを特徴とする請求項1に記載の半導体装置。

- [9] 前記基板は、絶縁層上に前記半導体領域を有してなるものであることを特徴とする請求項1に記載の半導体装置。
- [10] 前記基板は、ガラス基板上に絶縁層を介して前記半導体領域を有してなるものであることを特徴とする請求項1に記載の半導体装置。
- [11] 基板の半導体領域の表層に第1の不純物の逆導電型である第2導電型の第2の不純物を導入する工程と、
前記半導体領域上に低温でシリコン膜を堆積形成する工程と、
前記シリコン膜及び前記第2の不純物の導入部位を含む前記半導体領域の表層に非晶質化不純物を導入し、前記シリコン膜及び前記第2の不純物の導入部位を含む前記半導体領域の表層を非晶質化する工程と、
アニール処理により、前記シリコン膜及び前記第2の不純物の導入部位を含む前記半導体領域の表層を単結晶化し、前記第2の不純物の導入部位を下層、前記シリコン膜を上層とする少なくとも2層構造のチャネル層を形成する工程と、
前記チャネル層上にゲート絶縁膜を介してゲート電極をパターン形成する工程と、
前記チャネル層における前記ゲート電極の両側に相当する部位に第1導電型の第1の不純物を導入して、一对の不純物拡散領域を形成する工程と
を含むことを特徴とする半導体装置の製造方法。
- [12] 単結晶化された前記半導体領域の表層の最下面を、前記チャネル層の前記下層内に形成することを特徴とする請求項11に記載の半導体装置の製造方法。
- [13] 前記非晶質化不純物は、Ge, Si, 不活性ガスのうちから選ばれた少なくとも1種であることを特徴とする請求項11に記載の半導体装置の製造方法。
- [14] 前記チャネル層の前記下層中に結晶欠陥が形成されており、前記不純物拡散領域を前記結晶欠陥と離間するように形成することを特徴とする請求項11に記載の半導体装置の製造方法。
- [15] 前記結晶欠陥は、当該半導体装置の空乏層よりも下方に形成されていることを特徴とする請求項14に記載の半導体装置の製造方法。
- [16] 前記チャネル層の前記下層を、前記非晶質化不純物の濃度が $1 \times 10^{18} / \text{cm}^3$ である部位を有し、当該部位の前記第2の不純物の濃度が $1 \times 10^{18} / \text{cm}^3$ 以上となるよう

に形成することを特徴とする請求項11に記載の半導体装置の製造方法。

[17] 前記アニール処理を700℃以下の温度で行うことを特徴とする請求項11に記載の半導体装置の製造方法。

[18] 前記基板は、絶縁層上に前記半導体領域を有してなるものであることを特徴とする請求項11に記載の半導体装置の製造方法。

[19] 前記基板は、ガラス基板上に絶縁層を介して前記半導体領域を有してなるものであることを特徴とする請求項11に記載の半導体装置の製造方法。

[20] 基板の半導体領域の表層に第1の不純物の逆導電型である第2導電型の第2の不純物を導入する工程と、

前記第2の不純物の導入部位を含むように、基板の半導体領域の表層に非晶質化不純物を導入し、前記半導体領域の表層を非晶質化する工程と、

非晶質化された前記半導体領域の表層の上部に第1導電型の第1の不純物を導入する工程と、

アニール処理により、非晶質化された前記半導体領域の表層を単結晶化し、前記半導体領域内の前記非晶質化不純物及び前記第2の不純物の導入部位を下層、前記非晶質化不純物、前記第1の不純物及び前記第2の不純物の導入部位を上層とする少なくとも2層構造のチャネル層を形成する工程と、

前記チャネル層上にゲート絶縁膜を介してゲート電極をパターン形成する工程と、

前記チャネル層における前記ゲート電極の両側に相当する部位に第1導電型の第1の不純物を導入して、一対の不純物拡散領域を形成する工程と

を含むことを特徴とする半導体装置の製造方法。

[21] 単結晶化された前記半導体領域の表層の最下面を、前記チャネル層の前記下層内に形成することを特徴とする請求項20に記載の半導体装置の製造方法。

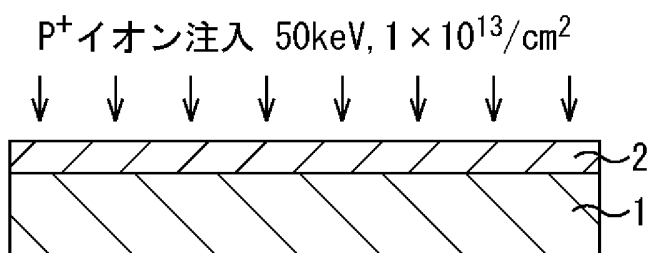
[22] 前記非晶質化不純物は、Ge, Si, 不活性ガスのうちから選ばれた少なくとも1種であることを特徴とする請求項20に記載の半導体装置の製造方法。

[23] 前記チャネル層の前記下層中に結晶欠陥が形成されており、前記不純物拡散領域を前記結晶欠陥と離間するように形成することを特徴とする請求項20に記載の半導体装置の製造方法。

- [24] 前記結晶欠陥は、当該半導体装置の空乏層よりも下方に形成されていることを特徴とする請求項20に記載の半導体装置の製造方法。
- [25] 前記不純物層を、当該不純物層中の前記非晶質化不純物(例えばGe)の濃度が $1 \times 10^{18} / \text{cm}^3$ である部位を有し、当該部位の前記第2の不純物の濃度が $1 \times 10^{18} / \text{cm}^3$ 以上となるように形成することを特徴とする請求項20に記載の半導体装置の製造方法。
- [26] 前記アニール処理を700℃以下の温度で行うことを特徴とする請求項20に記載の半導体装置の製造方法。
- [27] 前記基板は、絶縁層上に前記半導体領域を有してなるものであることを特徴とする請求項20に記載の半導体装置の製造方法。
- [28] 前記基板は、ガラス基板上に絶縁層を介して前記半導体領域を有してなるものであることを特徴とする請求項20に記載の半導体装置の製造方法。

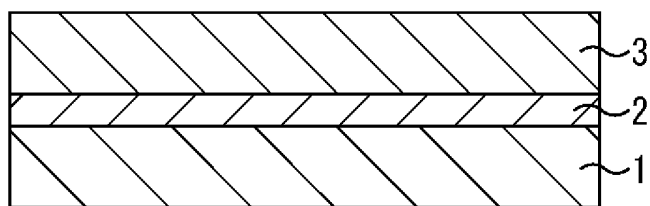
[図1A]

図1A



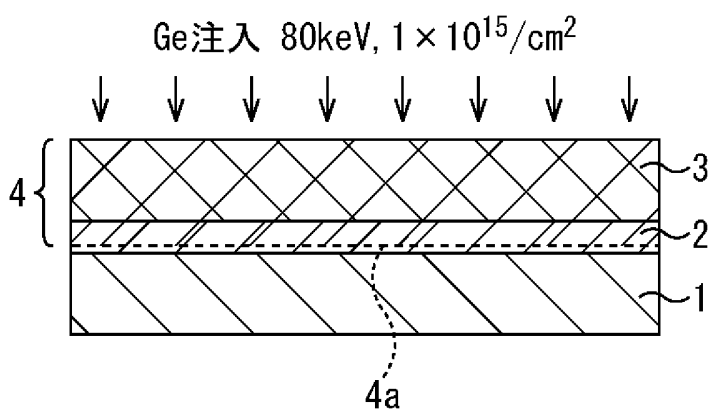
[図1B]

図1B



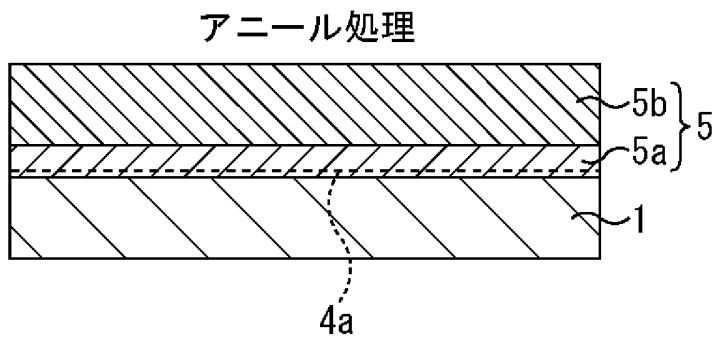
[図1C]

図1C



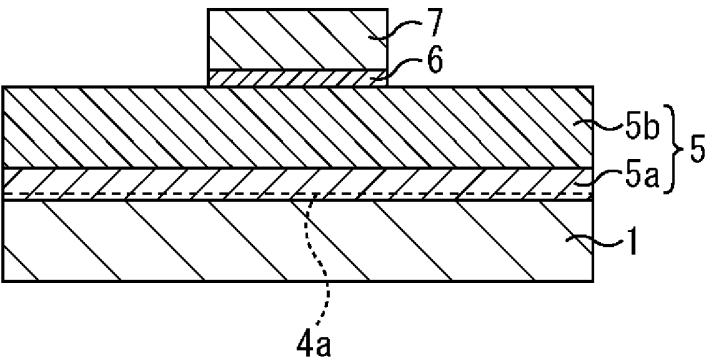
[図1D]

図1D



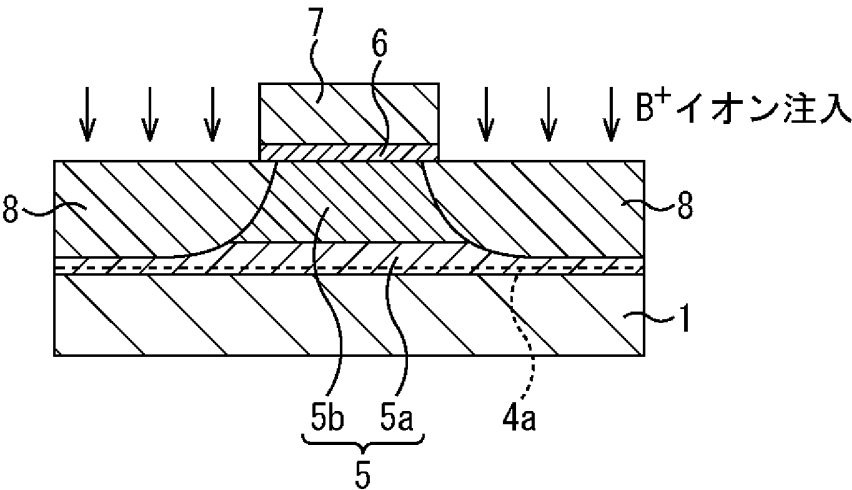
[図1E]

図1E



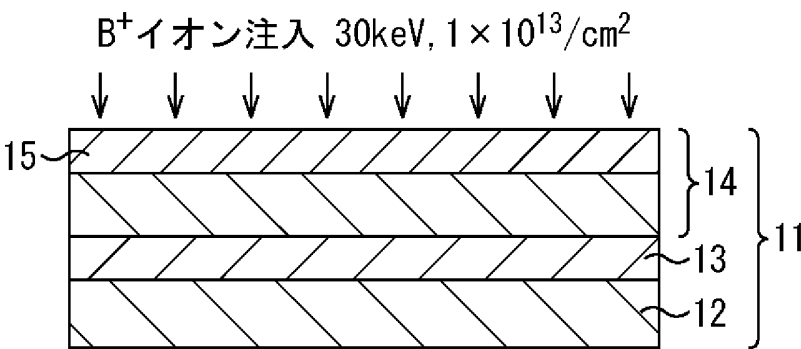
[図1F]

図1F



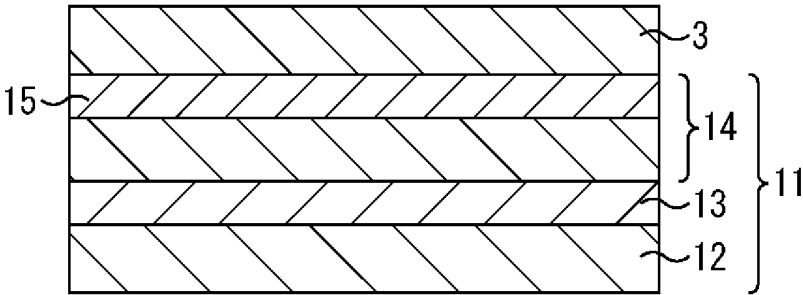
[図2A]

図2A



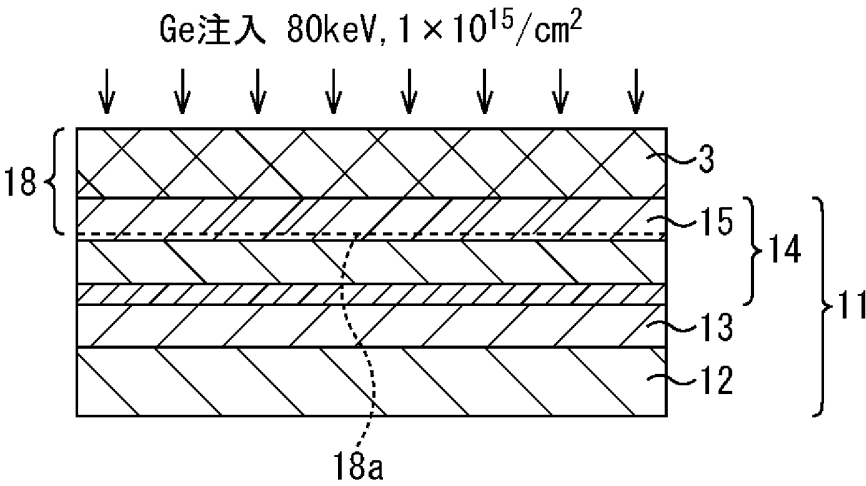
[図2B]

図2B



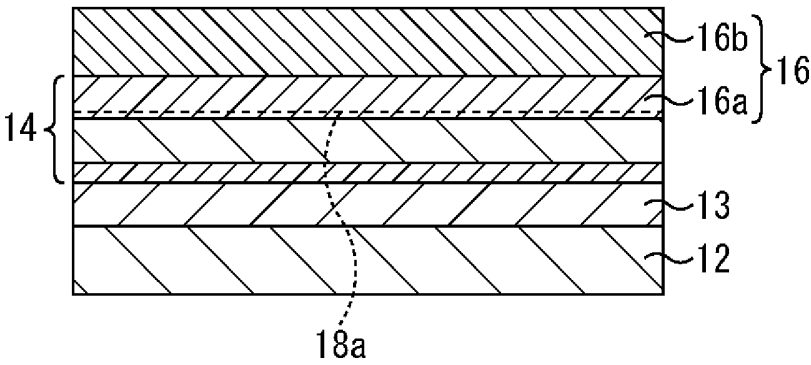
[図2C]

図2C

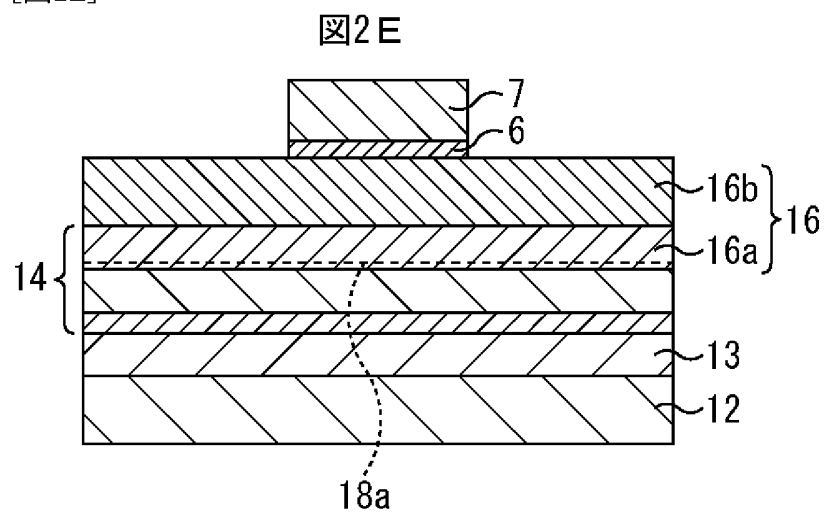


[図2D]

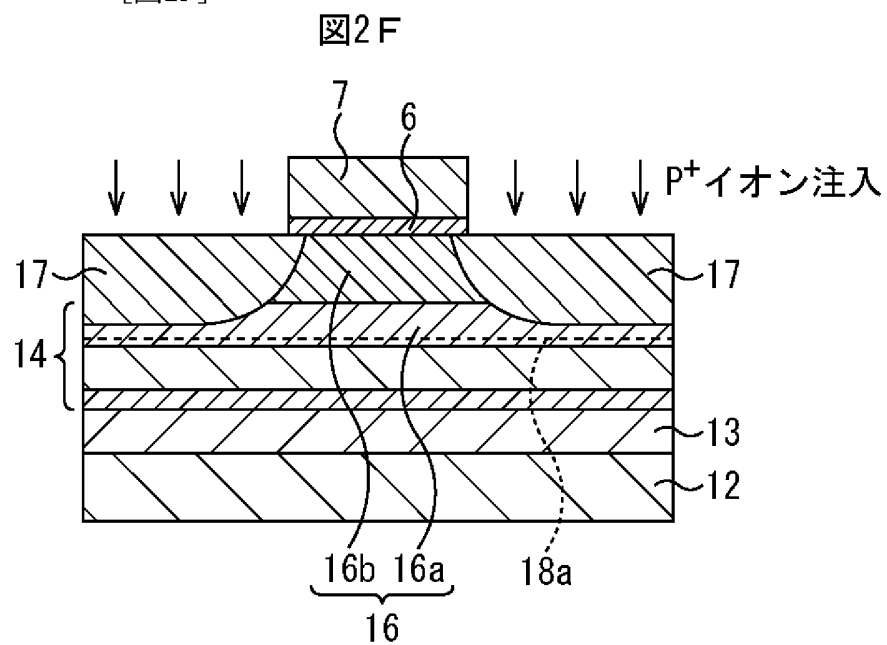
図2D



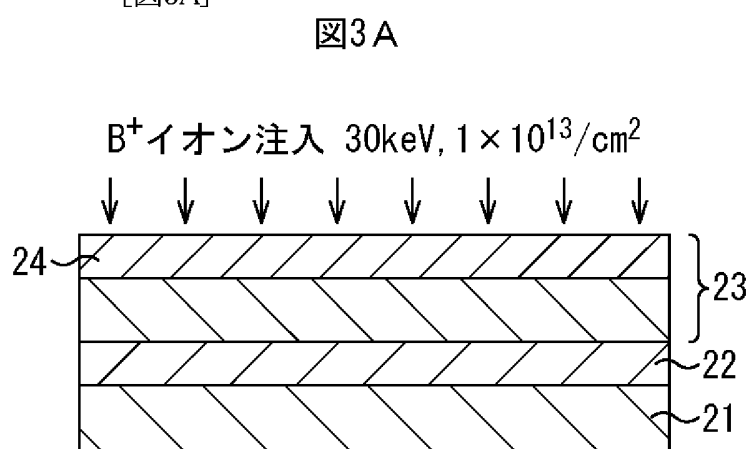
[図2E]



[図2F]

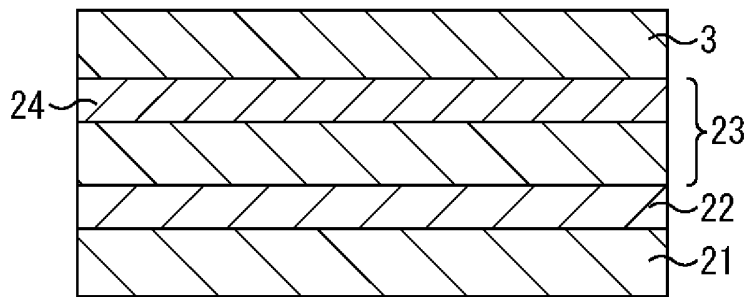


[図3A]



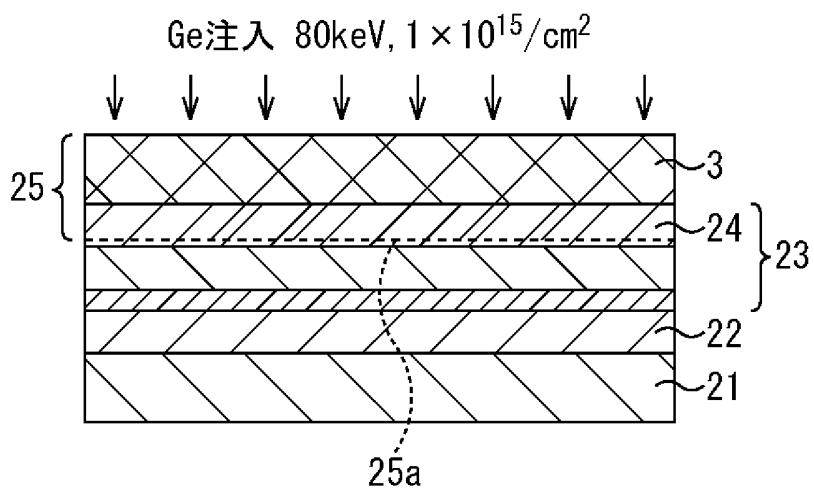
[図3B]

図3B



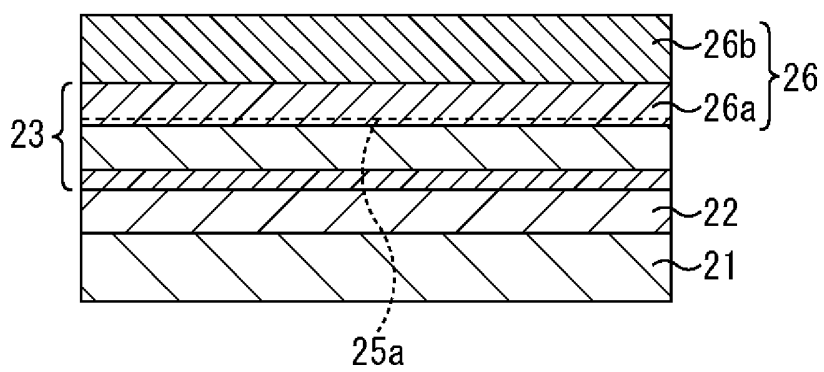
[図3C]

図3C

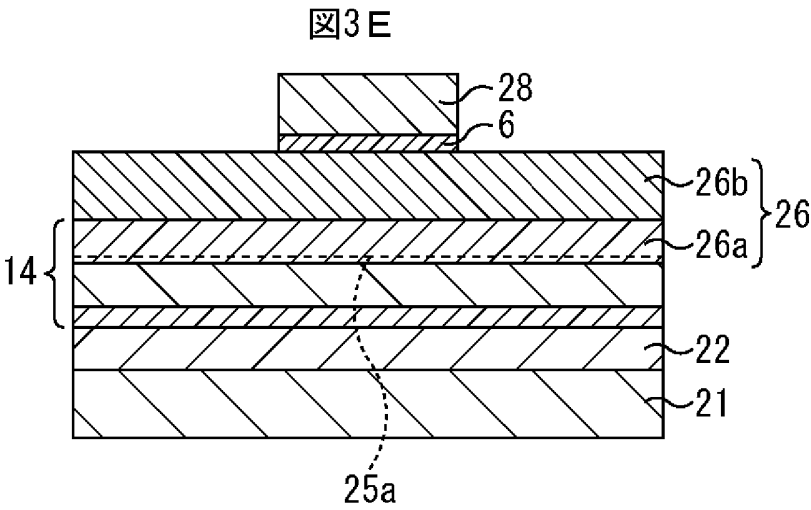


[図3D]

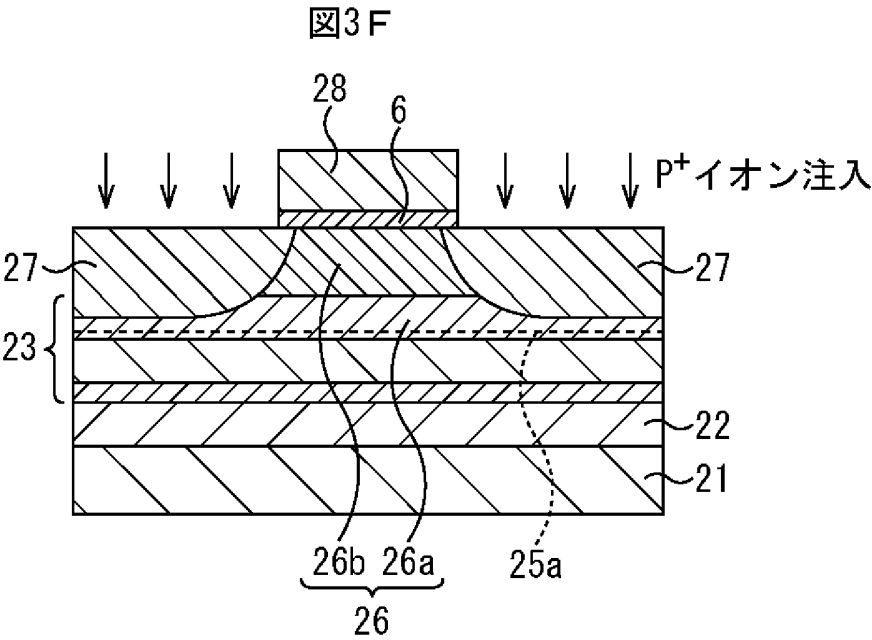
図3D



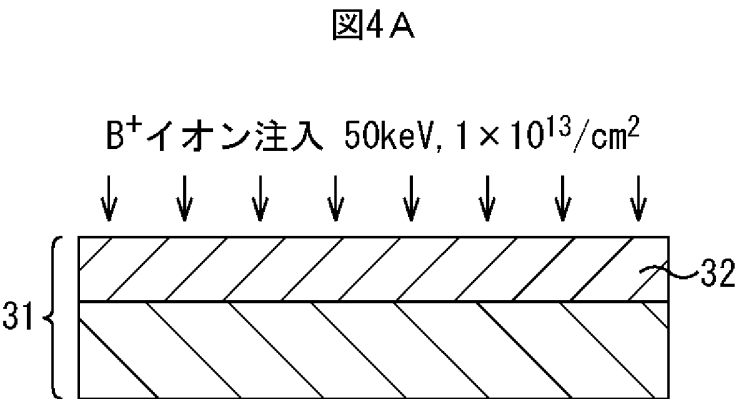
[図3E]



[図3F]

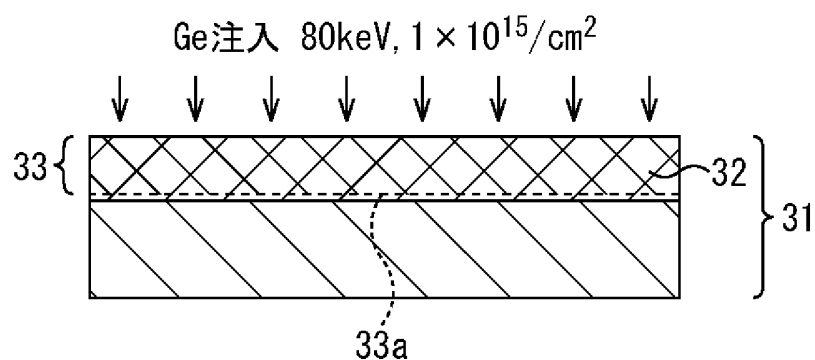


[図4A]



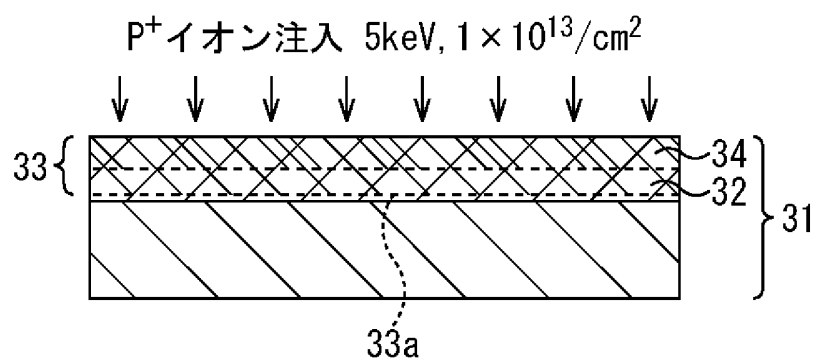
[図4B]

図4B



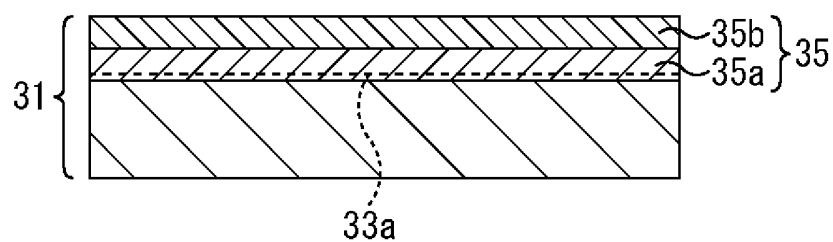
[図4C]

図4C



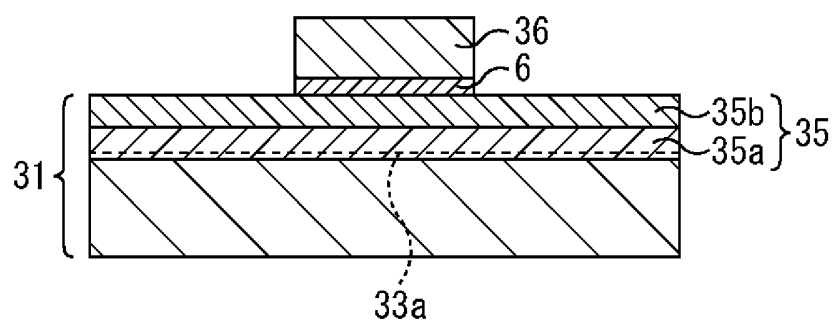
[図4D]

図4D



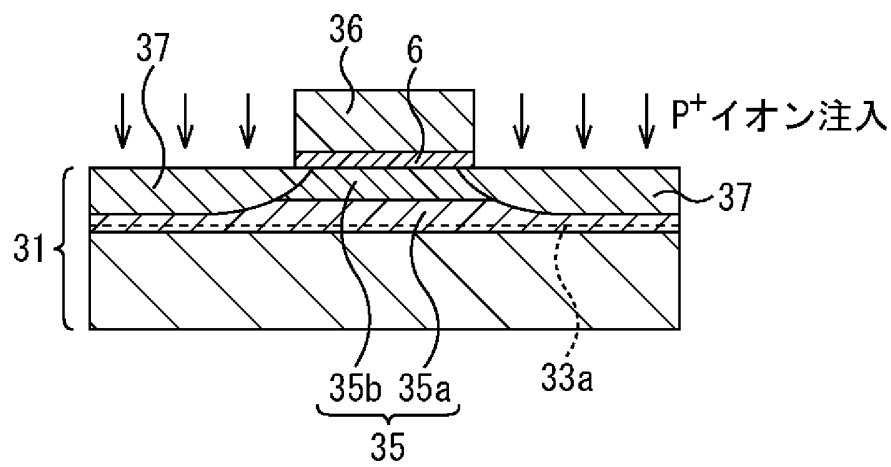
[図4E]

図4E



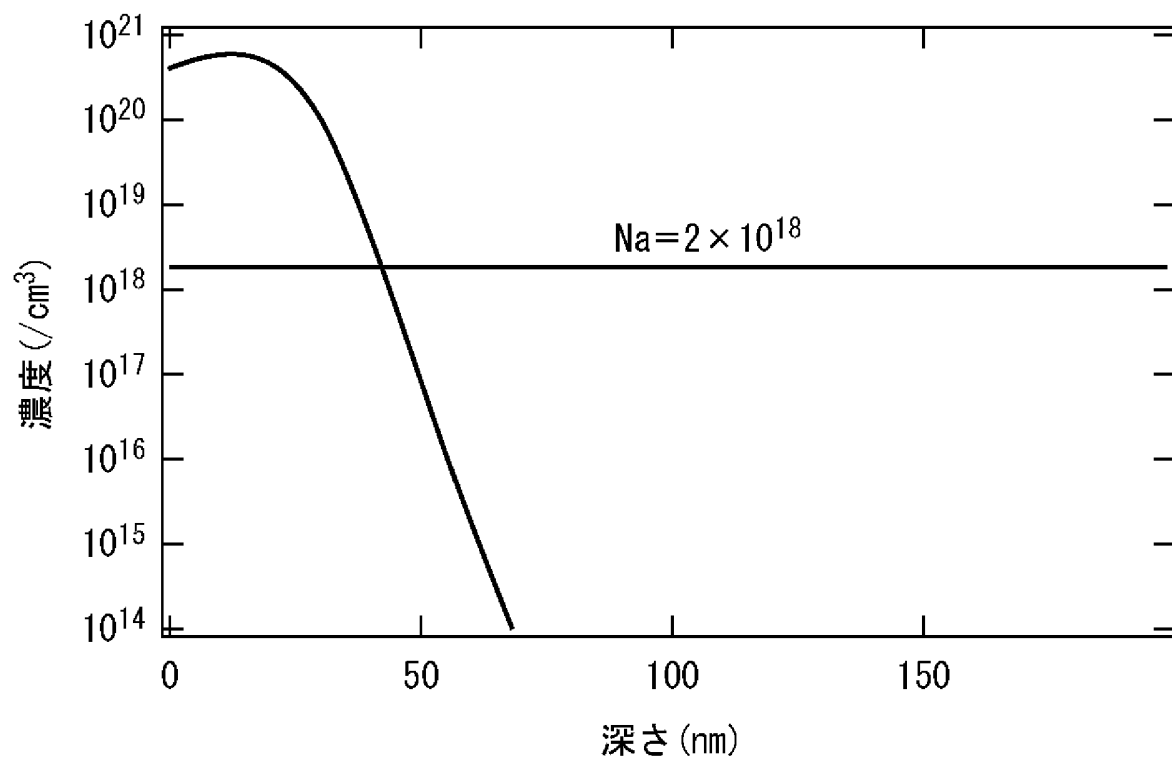
[図4F]

図4F



[図5]

図5



不純物プロファイル

[図6A]

図6A

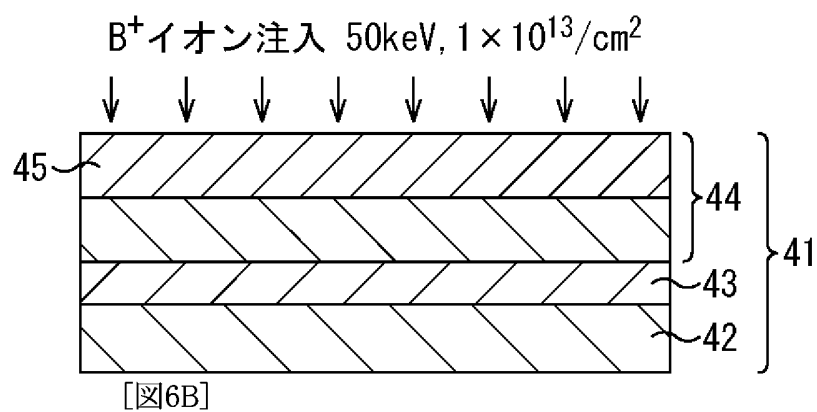


図6B

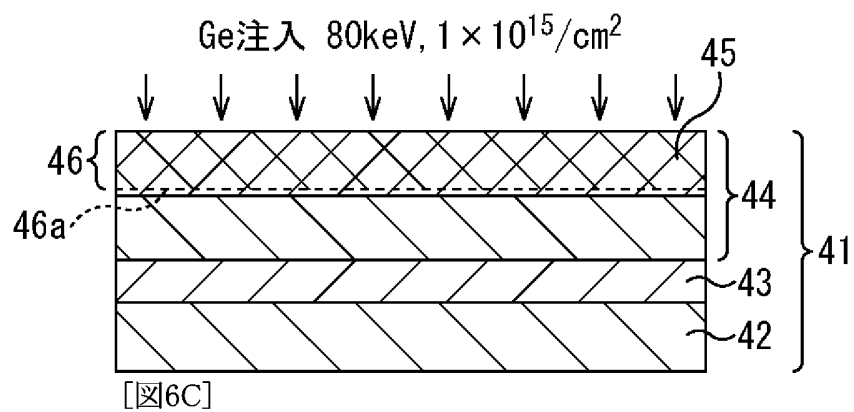


図6C

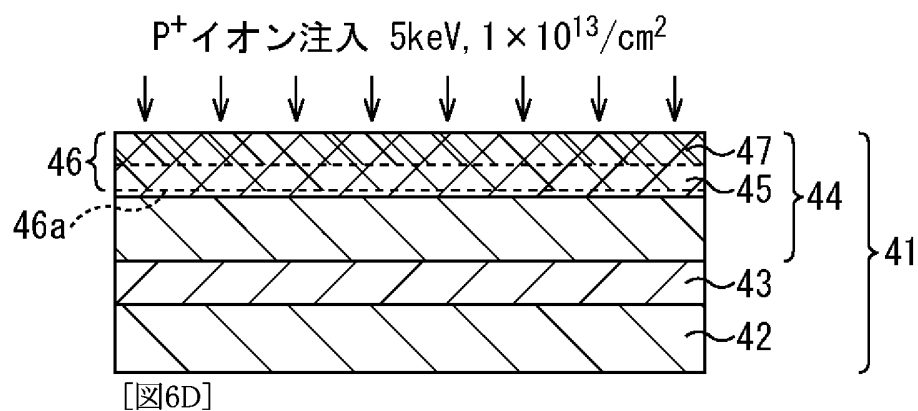
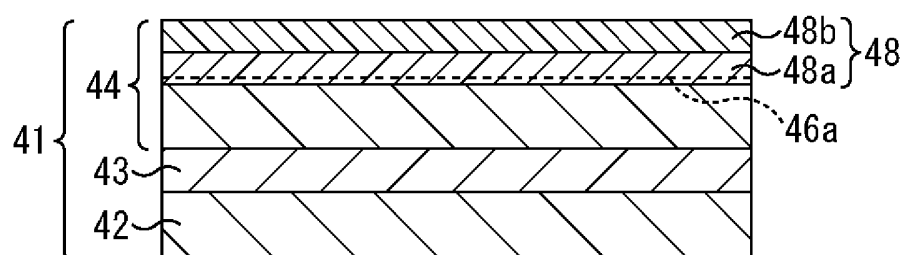
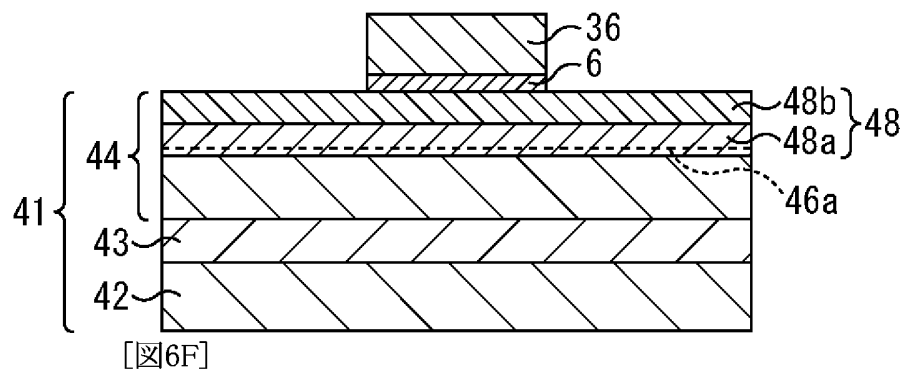


図6D



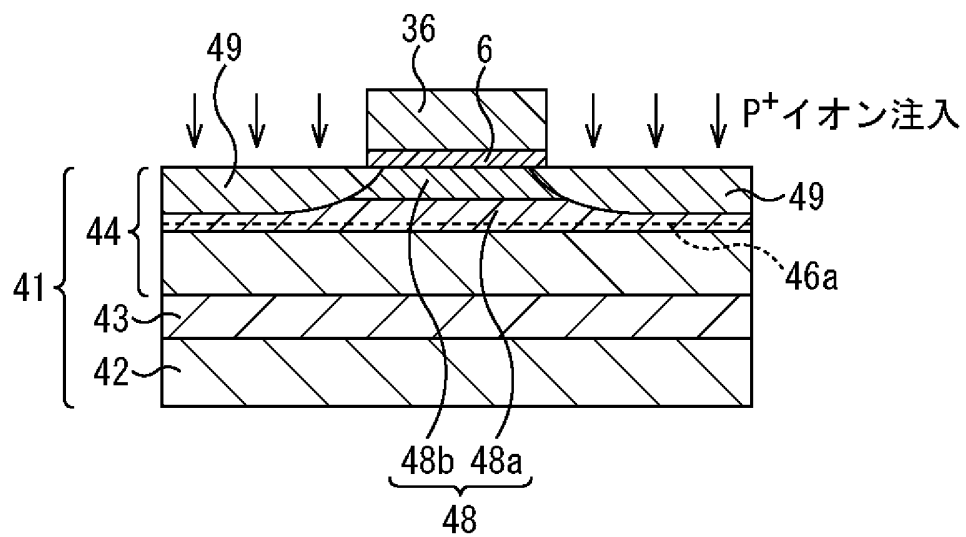
[図6E]

図6E



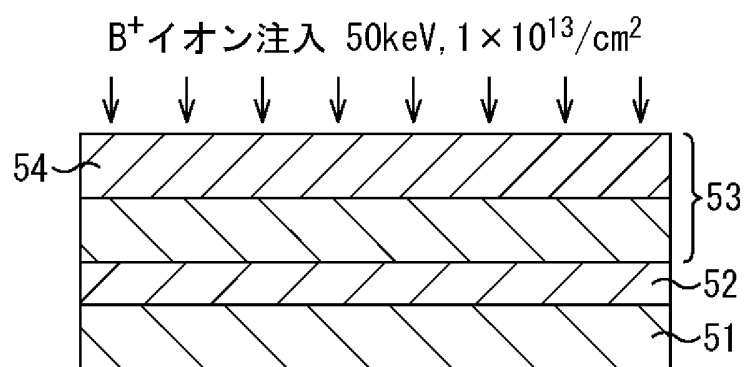
[図6F]

図6F



[図7A]

図7A



[図7B]

図7B

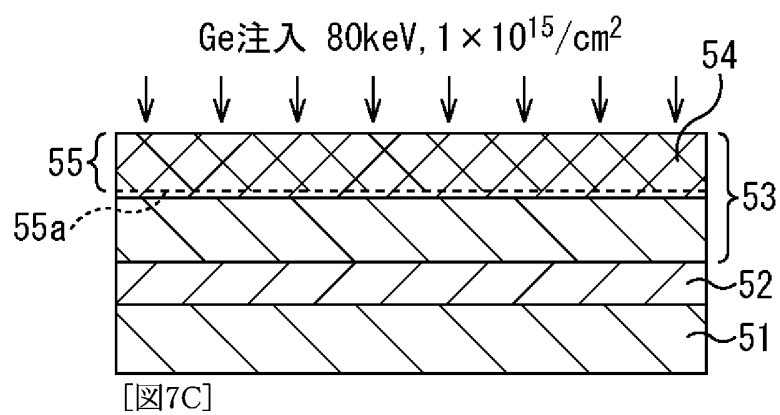


図7C

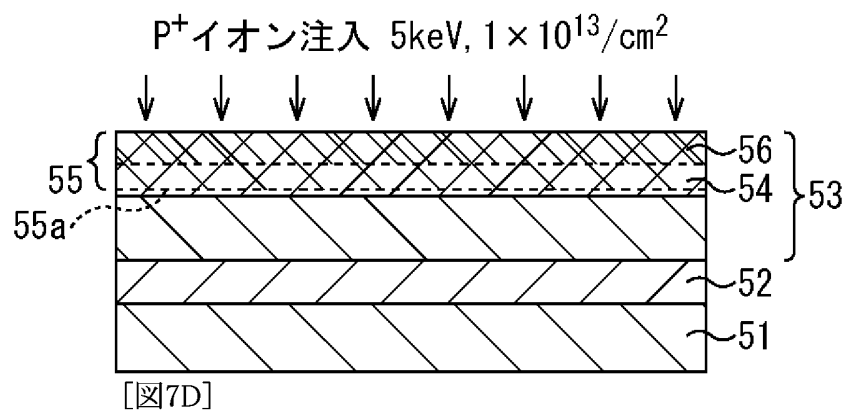


図7D

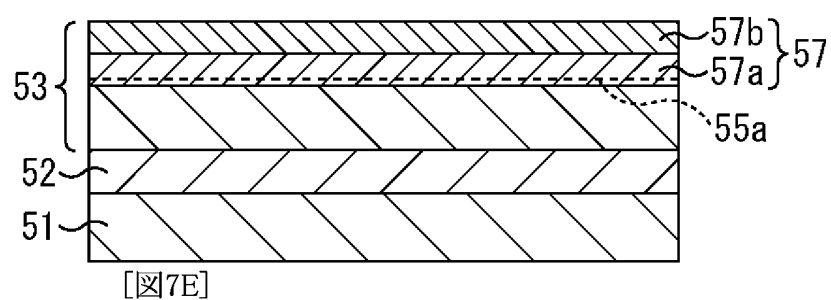
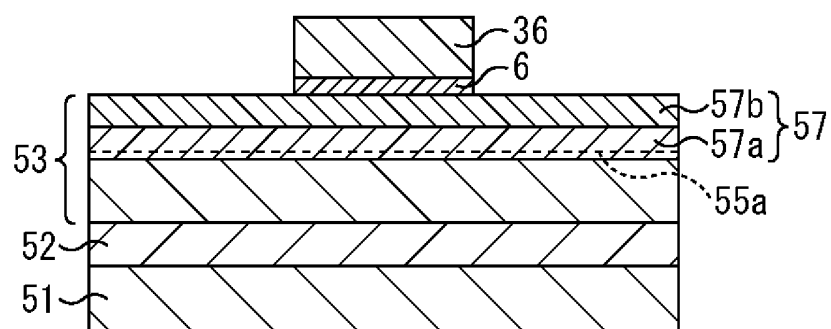
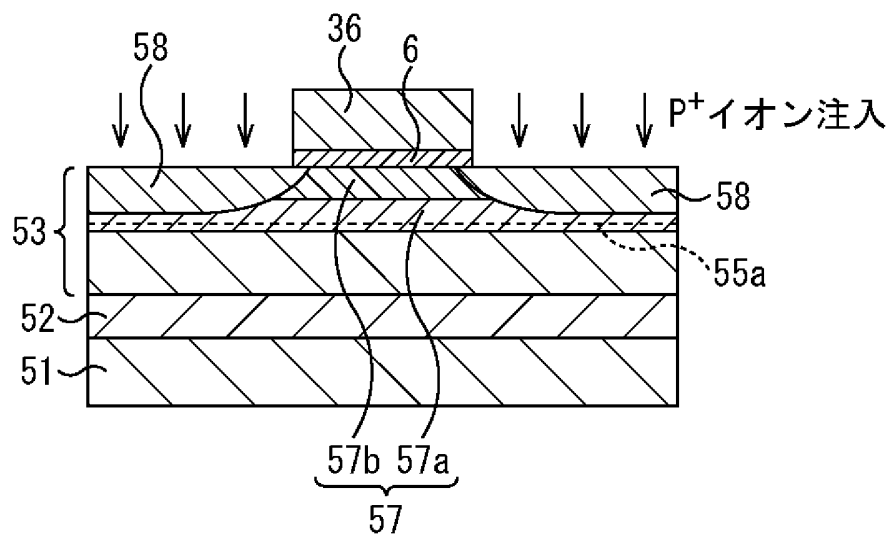


図7E



[図7F]

図7F



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015532

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L29/78, H01L21/336, H01L29/786, H01L21/20, H01L21/265

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L29/78, H01L21/336, H01L29/786, H01L21/20, H01L21/265

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Jitsuyo Shinan Toroku Koho	1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-343666 A (SGS-THOMSON MICROELECTRONICS, INC.), 24 December, 1993 (24.12.93), Par. No. [0013]; Figs. 1 to 4 & EP 530046 A1 & US 6190179 B1	1-7, 9-19
Y	JP 2002-25972 A (Asahi Kasei Microsystems Co., Ltd.), 25 January, 2002 (25.01.02), Par. Nos. [0036] to [0045]; Fig. 3 (Family: none)	1-7, 9-19
Y	JP 5-251695 A (Oki Electric Industry Co., Ltd.), 28 September, 1993 (28.09.93), Full text; all drawings (Family: none)	1-7, 9-19

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
14 January, 2005 (14.01.05)

Date of mailing of the international search report
01 February, 2005 (01.02.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015532

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 1-214172 A (Nippon Telegraph And Telephone Corp.), 28 August, 1989 (28.08.89), Full text; all drawings (Family: none)	1-28
Y	JP 10-41240 A (Mitsubishi Electric Corp.), 13 February, 1998 (13.02.98), Par. Nos. [0037] to [0043]; Figs. 10 to 12 (Family: none)	1-28
Y	JP 2-82576 A (Sanyo Electric Co., Ltd.), 23 March, 1990 (23.03.90), Full text; all drawings (Family: none)	1-6,8-10, 20-28
A	JP 62-219636 A (Hitachi, Ltd.), 26 September, 1987 (26.09.87), Full text; all drawings & EP 253059 A & US 4956693 A	1-28

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H01L29/78, H01L21/336, H01L29/786, H01L21/20, H01L21/265

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H01L29/78, H01L21/336, H01L29/786, H01L21/20, H01L21/265

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2005年

日本国登録実用新案公報 1994-2005年

日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 5-343666 A(エスビー・エーストムソン マイクロエレクトロニクス, インコーポレイテッド) 1993.12.24 【0013】, 図1-4 &EP 530046 A1 & US 6190179 B1	1-7, 9-19
Y	JP 2002-25972 A(旭化成マイクロシステム株式会社) 2002.01.25 【0036】 - 【0045】, 図3(ファミリーなし)	1-7, 9-19

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

14.01.2005

国際調査報告の発送日

01.2.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松嶋 秀忠

4M

9836

電話番号 03-3581-1101 内線 3460

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 5-251695 A(沖電気工業株式会社) 1993. 09. 28 全文, 全図(ファミリーなし)	1-7, 9-19
Y	JP 1-214172 A(日本電信電話株式会社) 1989. 08. 28 全文, 全図(ファミリーなし)	1-28
Y	JP 10-41240 A(三菱電機株式会社) 1998. 02. 13 【0037】 - 【0043】 , 図10-12(ファミリーなし)	1-28
Y	JP 2-82576 A(三洋電機株式会社) 1990. 03. 23 全文, 全図(ファミリーなし)	1-6, 8-10, 20-28
A	JP 62-219636 A(株式会社日立製作所) 1987. 09. 26 全文, 全図 &EP 253059 A &US 4956693 A	1-28