

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2004-221473

(P2004-221473A)

(43) 公開日 平成16年8月5日(2004. 8. 5)

(51) Int.Cl.⁷

H O 1 L 21/8242

G 1 1 C 11/401

G 1 1 C 11/404

H O 1 L 27/108

F I

HO 1 L 27/10

G 1 1 C 11/34

G 1 1 C 11/34

321

362B

3 5 2 D

テーマコード (参考)

5 F 083

5M024

審査請求 未請求 請求項の数 13 O L (全 23 頁)

(21) 出願番号 特願2003-9733 (P2003-9733)

(22) 出願日 平成15年1月17日 (2003. 1. 17)

(71) 出願人 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人 100064746

弁理士 深見 久郎

(74) 代理人 100085132

弁理士 森田 俊雄

(74) 代理人 100083703

弁理士 仲村 義平

(74) 代理人 100096781

弁理士 堀井 豊

(74) 代理人 100098316

弁理士 野田 久登

(74) 代理人 100109162

弁理士 酒井 將行

[最終頁に続く](#)

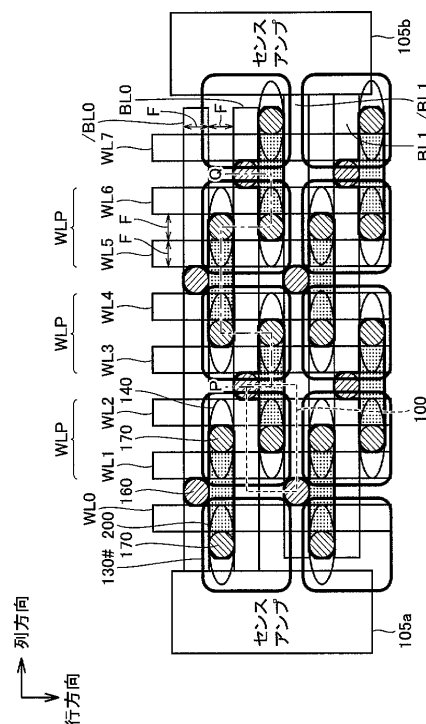
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】1ピットのデータを2つのDRAMセルで記憶するツインセルDRAMのリフレッシュ特性改善および製造歩留り改善を図る。

【解決手段】2つのDRAMセルによって構成されるツインセル101において、各ツインセル101ごとにセルプレート130を電氣的に分離する。これにより、同一ツインセル内の互いに相補データを記憶する2つのストレージノード140の電圧は、容量結合によって同様に変動する。

【選択図】 図 2



【特許請求の範囲】

【請求項 1】

行列状に配置される複数のメモリセルを備え、
前記複数のメモリセルは、相補データを書込まれる 2 つずつの前記メモリセルから構成される複数の記憶単位に分割され、
前記複数のメモリセルの列に対応して配置され、2 本ずつが対をなす複数のビット線と、
前記複数のメモリセルの行に対応して、前記複数のビット線と交差する方向に配置される複数のワード線と、
各々が各前記記憶単位に対応して設けられ、少なくとも電氣的に互いが分離される複数のセルプレートとをさらに備え、
前記複数のメモリセルの各々は、
対応する前記ビット線とストレージノードとの間に接続され、対応する前記ワード線の電圧に応じてオンまたはオフする選択トランジスタと、
前記ストレージノードと対応する前記セルプレートとの間に接続されるキャパシタとを含む、半導体記憶装置。

10

【請求項 2】

行列状に配置される複数のメモリセルを備え、
前記複数のメモリセルは、相補データを書込まれる 2 つずつの前記メモリセルから構成される複数の記憶単位に分割され、
前記複数のメモリセルの列に対応して配置され、2 本ずつが対をなす複数のビット線と、
前記複数のメモリセルの行に対応して、前記複数のビット線と交差する方向に配置される複数のワード線と、
前記複数の記憶単位の所定区分にそれぞれ対応して設けられ、少なくとも電氣的に互いが分離される複数のセルプレートとをさらに備え、
前記複数のメモリセルの各々は、
対応する前記ビット線とストレージノードとの間に接続され、対応する前記ワード線の電圧に応じてオンまたはオフする選択トランジスタと、
前記ストレージノードと対応する前記セルプレートとの間に接続されるキャパシタとを含む、半導体記憶装置。

20

【請求項 3】

行列状に配置される複数のメモリセルを備え、
前記複数のメモリセルは、各々が、相補データを書込まれる 2 つの前記メモリセルから構成される複数の記憶単位に分割され、
前記複数のメモリセルの列に対応して配置され、2 本ずつが対をなす複数のビット線と、
前記複数のメモリセルの行に対応して、前記複数のビット線と交差する方向に配置される複数のワード線と、
各々が各前記記憶単位に対応して設けられ、少なくとも電氣的に互いが分離される複数のセルプレートとをさらに備え、
前記記憶単位を構成する 2 つの前記メモリセルの一方の各々は、
前記対をなす 2 本のビット線の一方とストレージノードとの間に接続され、対応する前記ワード線の電圧に応じてオンまたはオフする選択トランジスタと、
前記ストレージノードと対応する前記セルプレートとの間に接続されるキャパシタとを含み、
前記記憶単位を構成する 2 つの前記メモリセルの他方の各々は、
キャパシタを介することなく、前記対をなす 2 本のビット線の他方と対応する前記セルプレートとの間に接続され、対応する前記ワード線の電圧に応じてオンまたはオフする選択トランジスタを含む、半導体記憶装置。

30

40

【請求項 4】

同一の前記記憶単位を形成する 2 つの前記メモリセルにおいて、前記選択トランジスタのそれぞれのゲートは、異なる前記ワード線と接続される、請求項 1 ~ 3 のいずれか 1 項に

50

記載の半導体記憶装置。

【請求項 5】

前記複数のメモリセルの各々は、対応する前記ビット線の延在方向に沿って延在して配置されて前記選択トランジスタの形成領域を規定する活性領域をさらに含み、

前記対応するビット線の延在方向に沿って隣接する 2 つずつの前記メモリセルの間において、前記活性領域は連続的に延在して形成され、

前記半導体記憶装置は、

前記隣接する 2 つずつのメモリセルの組ごとに設けられ、対応する前記活性領域と対応する前記ビット線との間を電氣的に接続するビット線コンタクトをさらに備える、請求項 4 記載の半導体記憶装置。

10

【請求項 6】

同一の前記記憶単位を形成する 2 つの前記メモリセルにおいて、前記選択トランジスタのそれぞれのゲートは、同一の前記ワード線と接続される、請求項 1 ~ 3 のいずれか 1 項に記載の半導体記憶装置。

【請求項 7】

同一の前記記憶単位を形成する 2 つの前記メモリセルにおいて、前記選択トランジスタのそれぞれのゲートは、同一の前記ワード線と接続され、

前記複数のメモリセルの各々は、対応する前記ワード線の延在方向および対応する前記ビット線の延在方向の間の方向に沿って延在して配置されて前記選択トランジスタの形成領域を規定する活性領域をさらに含み、

20

前記半導体記憶装置は、

前記複数のメモリセルの各々の前記活性領域を対応する前記ビット線と電氣的に接続する複数のビット線コンタクトをさらに備え、

前記複数のビット線コンタクトは、前記複数のワード線の延在方向において整列して、各前記ビット線に対応して設けられ、

前記複数のビット線の延在方向において隣接する前記ビット線コンタクトの間には 2 本のワード線が配置され、

前記活性領域の延在方向に沿って隣接する 2 つずつの前記メモリセルの間において、前記活性領域は連続的に延在して形成され、

各前記ビット線コンタクトは、前記隣接する 2 つずつのメモリセルにより共有される、請求項 1 ~ 3 のいずれか 1 項に記載の半導体記憶装置。

30

【請求項 8】

前記複数のビット線の延在方向に沿って隣接し、かつそれぞれが異なる前記ビット線コンタクトと対応付けられる前記メモリセルのそれぞれの前記ストレージノードの間の領域に、前記複数のワード線と同一方向に延在して設けられた複数のダミーワード線をさらに備える、請求項 7 記載の半導体記憶装置。

【請求項 9】

前記複数のダミーワード線の各々は、所定レベルの電圧に設定され、

前記活性領域は、各前記ダミーワード線の下領域において連続的に延在して形成される、請求項 8 記載の半導体記憶装置。

40

【請求項 10】

前記複数のダミーワード線の各々は、所定レベルの電圧に設定され、

隣接する前記行の隣接する前記列に配置される前記メモリセルの前記活性領域が連続するように、前記活性領域が実質的に同一方向に沿って連続的に延在して形成される、請求項 9 記載の半導体記憶装置。

【請求項 11】

前記複数のダミーワード線の各々は、所定レベルの電圧に設定され、

前記活性領域は、各前記ダミーワード線に関して対称的に配置されるように連続的に形成される、請求項 9 記載の半導体記憶装置。

【請求項 12】

50

前記複数のダミーワード線の各々は、所定レベルの電圧に設定される、請求項 8 記載の半導体記憶装置。

【請求項 13】

前記ワード線と前記ダミーワード線との間の間隔は、前記ワード線間の間隔と実質的に同じである、請求項 8 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、特に、1ビットのデータを2つのメモリセルで記憶するツインセルDRAM（ダイナミック・ランダム・アクセス・メモリ）に関する。より10
特定のには、この発明は、リフレッシュ特性が改善されたツインセル構成のDRAMのメモリセル構成に関する。

【0002】

【従来の技術】

メモリセルのレイアウト面積低減時における読出電圧低下などの動作マージンの低下を抑制するために、1ビットのデータを2つのメモリセルで記憶するツインセルDRAMが、たとえば特許文献1（特開平7-130172号公報）に開示されている。

【0003】

この特許文献1においては、メモリセルのレイアウトを、1ビット/1セル（シングルモード）でデータを記憶する通常のDRAMセルのレイアウトと同様とし、2本のワード線を20
並行して選択して、ビット線対の各ビット線にメモリセルデータを読出す。この2つのメモリセルに相補データを格納するツインセルDRAMでは、ビット線間の電圧差を、1ビット/1セルのシングルセルDRAMの場合に比べて2倍にすることができ、センス動作の安定化が図られる。

【0004】

図17は、一般に知られている従来のツインセルDRAMのアレイ構成を説明する図である。

【0005】

図17を参照して、ツインセルDRAMにおいては、ビット線対BLPを構成する相補のビット線BLおよび/BLとそれぞれ接続された2つのDRAMセル100によって、130
ビットデータの記憶単位であるツインセル101が構成される。同一のツインセルを構成するDRAMセル100に対応付けられる2本のワード線は、ワード線対WLPを構成する。たとえば、図17におけるワード線WLおよびWLは、ワード線対WLPを構成して、共通にすなわち同時に選択される。

【0006】

DRAMセル100は、対応するビット線BL（もしくは/BL）およびストレージノード140の間に接続された選択（アクセス）トランジスタ110と、セルプレート130およびストレージノード140の間に接続されたキャパシタ120とを有する。アクセストランジスタ110およびビット線BL（または/BL）は、ビット線コンタクト160によって電氣的に接続され、ストレージノード140とアクセストランジスタ110とは40
ストレージノードコンタクト170によって電氣的に接続される。

【0007】

前述のように、DRAMセル100においては、キャパシタ120によってストレージノード140に蓄積された電荷の形態でデータを記憶する。セルプレート130は、メモリセルアレイ全体に共通に設けられて、所定のセルプレート電圧VCPに固定されている。

【0008】

センスアンプ105は、ビット線対を構成する相補ビット線BLおよび/BLの電圧差を電源電圧Vddおよび接地電圧GNDの差へ増幅する。同一のツインセル101を構成する2つのDRAMセル100には、相補のHレベルおよびLレベルデータがそれぞれ書込まれる。

10

20

30

40

50

【0009】

図18には、ツインセルDRAMにおいてビット線のプリチャージ電圧を電源電圧 V_{dd} とした場合におけるビット線対の電圧挙動が示される。

【0010】

図18を参照して、ワード線選択前の時刻 T_1 以前において、相補ビット線の各々は電源電圧 V_{dd} にプリチャージされる。この状態から、選択されたワード線 WL がHレベルへ活性化されると、相補ビット線のうちの一方には、Lレベルデータに対応した負方向の電圧変化 V が必ず生じる。さらに、時刻 $T_2 \sim T_3$ 間におけるセンスアンプの増幅動作を経ることにより、プリチャージ電圧を電源電圧 V_{dd} としても、ビット線対 BLP を構成する相補ビット線間に電源電圧 V_{dd} ～接地電圧 GND の電圧差を発生させることができる。

【0011】

したがって、図19に示されるように、Hレベルデータを記憶する、すなわち電源電圧 V_{dd} に設定されたストレージノードの電圧が、Lレベルデータを記憶するストレージノードの電圧に相当する接地電圧 GND へ低下するまでの時間によって、ツインセルDRAMにおけるリフレッシュ時間 t_{REF2} は規定される。

【0012】

【特許文献1】

特開平7-130172号公報(第4図, 第2-3頁)

【0013】

【発明が解決しようとする課題】

DRAMセルにおいては、キャパシタをデータ記憶媒体として利用するため、リーク電流により記憶データが消失する可能性がある。このデータの消失を防止するために、DRAMにおいては、上述したように、メモリセルデータを内部で読出して再書込し、元のデータを復元するリフレッシュ動作が行なわれる。

【0014】

メモリセルの微細化に伴ってメモリセルキャパシタの静電容量値も低減され、応じてリフレッシュを行なう間隔を短くすることが要求される。一般に、リフレッシュ動作中はDRAMへアクセスできないため、リフレッシュ間隔が短くなると、システムの処理効率が低下する。また、リフレッシュのための消費電力が増大する。

【0015】

特許文献1に示されるような一般的なツインセルDRAMでは、シングルセルDRAMと比較して、リフレッシュ間隔を長くすることができる。しかしながら、近年、バッテリー駆動を前提とする携帯機器への搭載が増えていることから、半導体記憶装置に対する小型化および低消費電力化の要求は益々強くなっている。すなわち、ツインセルDRAMにおいても、リフレッシュ間隔をより長くする、すなわちリフレッシュ特性をさらに改善することが求められている。

【0016】

さらに、ツインセルDRAMにおいては、1ビットのデータを2つのメモリセルで記憶するため、必然的に1ビットのデータを記憶する単位セルの占有面積が増大する。単純に、従来のDRAMセルのレイアウトを2つ利用して、1ビットのデータを記憶するツインセルを実現した場合、このデータ記憶単位のツインセルのレイアウト面積が2倍になる。また、その場合には、記憶容量が通常の1ビット/1セルのシングルセルDRAMに比べて1/2倍となり、大記憶容量のツインセルDRAMを実現するのが困難となる。

【0017】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、リフレッシュ特性が改善されたツインセル構成の半導体記憶装置(DRAM)を提供することである。さらに、この発明の他の目的は、小レイアウト面積でツインセルを構成することのできる半導体記憶装置(DRAM)を提供することである。

【0018】

10

20

30

40

50

【課題を解決するための手段】

この発明に従う半導体記憶装置は、行列状に配置される複数のメモリセルを備え、複数のメモリセルは、相補データを書込まれる２つずつのメモリセルから構成される複数の記憶単位に分割される。半導体記憶装置は、複数のメモリセルの列に対応して配置され２本ずつが対をなす複数のビット線と、複数のメモリセルの行に対応して、複数のビット線と交差する方向に配置される複数のワード線と、各々が各記憶単位に対応して設けられ少なくとも電気的に互いが分離される複数のセルプレートとをさらに備え、複数のメモリセルの各々は、対応するビット線とストレージノードとの間に接続され、対応するワード線の電圧に応じてオンまたはオフする選択トランジスタと、ストレージノードと対応するセルプレートとの間に接続されるキャパシタとを含む。

10

【００１９】

この発明の他の構成に従う半導体記憶装置は、行列状に配置される複数のメモリセルを備え、複数のメモリセルは、相補データを書込まれる２つずつのメモリセルから構成される複数の記憶単位に分割される。半導体記憶装置は、複数のメモリセルの列に対応して配置され２本ずつが対をなす複数のビット線と、複数のメモリセルの行に対応して複数のビット線と交差する方向に配置される複数のワード線と、複数の記憶単位の所定区分にそれぞれ対応して設けられ少なくとも電気的に互いが分離される複数のセルプレートとをさらに備え、複数のメモリセルの各々は、対応するビット線とストレージノードとの間に接続され対応するワード線の電圧に応じてオンまたはオフする選択トランジスタと、ストレージノードと対応するセルプレートとの間に接続されるキャパシタとを含む。

20

【００２０】

この発明のさらに他の構成に従う半導体記憶装置は、行列状に配置される複数のメモリセルを備え、複数のメモリセルは、各々が、相補データを書込まれる２つのメモリセルから構成される複数の記憶単位に分割される。半導体記憶装置は、複数のメモリセルの列に対応して配置される複数のビット線と、複数のメモリセルの行に対応して、複数のビット線と交差する方向に配置される複数のワード線と、各々が各記憶単位に対応して設けられ、少なくとも電気的に互いが分離される複数のセルプレートとをさらに備え、記憶単位を構成する２つのメモリセルの一方の各々は、対をなす２本のビット線の一方とストレージノードとの間に接続され、対応するワード線の電圧に応じてオンまたはオフする選択トランジスタと、ストレージノードと対応するセルプレートとの間に接続されるキャパシタとを含み、記憶単位を構成する２つのメモリセルの他方の各々は、キャパシタを介することなく、対をなす２本のビット線の他方と対応するセルプレートとの間に接続され、対応するワード線の電圧に応じてオンまたはオフする選択トランジスタを含む。

30

【００２１】**【発明の実施の形態】****〔実施の形態１〕**

以下に、リフレッシュ特性を改善した本発明の実施の形態に従うツインセルＤＲＡＭのメモリセル構成について図面を用いて詳細に説明する。

【００２２】

図１は、本発明の実施の形態１に従う半導体記憶装置のメモリアレイ部の構成を概略的に示す図である。

40

【００２３】

図１を参照して、実施の形態１に従うツインセル１０１は、図１７に示した従来のツインセル１０１と同様に、対をなす相補ビット線ＢＬおよび／ＢＬとそれぞれ接続された２つのＤＲＡＭセル１００によって構成される。各ＤＲＡＭセル１００は、図１７で説明したのと同様に、アクセストランジスタ１１０およびキャパシタ１２０を含む。ツインセル１０１を構成する２つのＤＲＡＭセル１００のアクセストランジスタ１１０は、ワード線対ＷＬＰを構成する２本のワード線（たとえばＷＬ０およびＷＬ１）とそれぞれ接続されたゲートを有している。

【００２４】

50

さらに、実施の形態 1 に従うツインセル D R A M においては、セルプレートは、各ツインセル 1 0 1 に対応して分割された孤立セルプレート 1 3 0 として設けられる。各孤立セルプレート 1 3 0 は、少なくとも電氣的に互いに分離される。代表的には、各ツインセル 1 0 1 ごとにセルプレートを分割するようにパターンニングすることにより、各孤立セルプレート 1 3 0 を物理的に分離する。

【 0 0 2 5 】

図 2 は、実施の形態 1 に従う半導体記憶装置のメモリアレイ部のレイアウトを概略的に示す図である。

【 0 0 2 6 】

図 2 を参照して、ビット線の延在方向（以下、「列方向」と称する）に沿って形成され、かつワード線の延在方向（以下、「行方向」と称する）の突出部を有する逆 T 字形の活性領域（フィールド領域） 2 0 0 が行および列方向に配列される。各フィールド領域 2 0 0 は、2 つの D R A M セル 1 0 0 を配置する 1 つのレイアウト単位を構成する。すなわち、各フィールド領域 2 0 0 は、列方向に隣接する 2 つずつの D R A M セル間において連続的に延在して形成される。また、フィールド領域 2 0 0 は、図 1 に示したアクセストランジスタ 1 1 0 の形成領域を規定している。

【 0 0 2 7 】

フィールド領域 2 0 0 は、隣接する列において 2 行ずれて配置される。フィールド領域 2 0 0 の列に対して、ビット線 B L または / B L が 1 つおきに配置される。図 2 では、ビット線 B L 0 , / B L 0 および B L 1 , / B L 1 を代表的に示す。

【 0 0 2 8 】

ビット線 B L 0 , / B L 0 および B L 1 , / B L 1 はそれぞれ対をなしており、ビット線 B L 0 および / B L 0 のビット線対はセンスアンプ 1 0 5 a と接続され、ビット線 B L 1 および / B L 1 のビット線対はセンスアンプ 1 0 5 b と接続されている。ビット線 B L 0 , / B L 0 , B L 1 , / B L 1 の各々は、対応のメモリセル列のフィールド領域 2 0 0 の突出部分と、ビット線コンタクト 1 6 0 を介して電氣的に接続される。

【 0 0 2 9 】

各フィールド領域 2 0 0 において、2 つの D R A M セル 1 0 0 にそれぞれ対応する 2 つのストレージノード 1 4 0 がビット線コンタクト 1 6 0 に関して対向するように配置される。ストレージノード 1 4 0 は、行および列方向に整列して配置される。ストレージノード 1 4 0 は、フィールド領域 2 0 0 とストレージノードコンタクト 1 7 0 を介して電氣的に接続される。このストレージノードコンタクト 1 7 0 は、ストレージノード 1 4 0 と同様に、行および列方向に整列して配置される。

【 0 0 3 0 】

ストレージノードコンタクト 1 7 0 は、列方向において 2 行おきに形成され、行方向においては最端行を除き各列に形成される。ビット線コンタクト 1 6 0 が整列する行と、ストレージノードコンタクト 1 7 0 が整列する行とは交互に配設される。ビット線コンタクト 1 6 0 およびストレージノードコンタクト 1 7 0 を間に挟むように、かつフィールド領域 2 0 0 と交差するように、ワード線 W L が配置される。図 2 においては、ワード線 W L 0 ~ W L 7 を代表的に示している。メモリセルアレイ全体では、図 2 に示したレイアウトが行および列方向に繰返し配置されている。なお、図中の“ F ”は最小設計単位を示し、ワード線の幅、ビット線の幅およびそれぞれのピッチが、各々 F に設定される。

【 0 0 3 1 】

各 D R A M セル 1 0 0 において、対応するストレージノード 1 4 0 と孤立セルプレート 1 3 0 との間に、図 1 に示したキャパシタ 1 2 0 が形成され、記憶データに応じて電荷が保持される。

【 0 0 3 2 】

このように、実施の形態 1 に従う構成においては、行方向に隣接する 2 つずつの D R A M セル 1 0 0 によって 1 つのツインセルが構成され、各ツインセルごとに分離された孤立セルプレート 1 3 0 が配置される。すなわち、従来においてはメモリセルアレイ全体を覆

10

20

30

40

50

うように共通の電極として設けられたセルプレートが、実施の形態 1 に従う構成においては、同一のツインセルを構成する 2 つの D R A M セル 1 0 0 ごとに分離されている。各孤立セルプレート 1 3 0 は、特定の電圧の供給を受けることなく電気的にはフローティング状態とされる。

【 0 0 3 3 】

さらに、ストレージノードコンタクト 1 7 0 を間に挟む 2 本のワード線は、ワード線対 W L P を構成し、同時に選択される。したがって、ワード線 W L 1 および W L 2、ワード線 W L 3 および W L 4、ならびにワード線 W L 5 および W L 6 のそれぞれが、ワード線対 W L P を構成する。

【 0 0 3 4 】

図 2 に示すようなツインセル構成においては、両側のワード線 W L 0 および W L 7 はダミーワード線のように示されるが、図 2 に示す配置が行および列方向に繰返し配置される。

【 0 0 3 5 】

図 3 には、図 2 における P - Q 断面図が示される。

図 3 を参照して、負電圧 V B B に設定される P ウェル 2 1 0 上に、分離絶縁膜 2 2 0 によって互いに分離されたフィールド領域 2 0 0 が設けられる。フィールド領域 2 0 0 上にはアクセストランジスタ 1 1 0 のソース/ドレインとして作用する不純物領域 2 3 1 ~ 2 3 3 が設けられる。不純物領域 2 3 1 および 2 3 2 間の活性領域の直上には、絶縁膜を介してワード線 W L 4 がポリシリコン層を用いて形成される。同様に、不純物領域 2 3 2 および 2 3 3 間の活性領域の直上には、絶縁膜を介してワード線 W L 5 がポリシリコン層を用いて形成される。

【 0 0 3 6 】

さらに、隣接する 2 つの D R A M セルのそれぞれのアクセストランジスタ 1 1 0 によって共有される不純物領域 2 3 2 は、図 2 に示したフィールド領域の突出部において、第 1 メタル配線層に形成されたビット線 / B L 0 とビット線コンタクト 1 6 0 を介して電気的に接続される。

【 0 0 3 7 】

さらに、D R A M セルごとに設けられたストレージノード 1 4 0 が、ストレージノードコンタクト 1 7 0 を介して、不純物領域 2 3 1 および 2 3 3 と電気的に接続されている。孤立セルプレート 1 3 0 は、ストレージノード 1 4 0 と対向するように設けられる。

【 0 0 3 8 】

図 3 にも示されるように、孤立セルプレート 1 3 0 は、ツインセル 1 0 1 間で分離されている。たとえば、孤立セルプレート 1 3 0 に相当する金属膜の製膜工程の後に、孤立セルプレート間の分離領域 1 5 0 の当該金属膜を除去することによって、特殊な製造手法を伴うことなくこのような孤立セルプレート 1 3 0 を作製できる。

【 0 0 3 9 】

また、各ツインセル 1 0 1 において、孤立セルプレート 1 3 0 とストレージノード 1 4 0 との間隙部 2 4 0 には、キャパシタ 1 2 0 の容量値を確保するための容量膜が形成されている。

【 0 0 4 0 】

なお、図 3 には、ストレージノード 1 4 0 および孤立セルプレート 1 3 0 がビット線 B L よりも上層に形成された C O B (キャパシタ・オーバー・ビット線) 構造が例示されているが、ストレージノード 1 4 0 および孤立セルプレート 1 3 0 をビット線 B L よりも下層に形成する C U B (キャパシタ・アンダー・ビット線) 構造を用いることもできる。

【 0 0 4 1 】

図 4 には、実施の形態 1 に従うツインセルにおけるリフレッシュ時間を説明するためのストレージノード電圧波形が示される。

【 0 0 4 2 】

図 4 には、図 1 9 で既に表示した、従来のツインセルにおける H レベル記憶時のストレージノード電圧 V R 2 の推移を示す曲線に加えて、実施の形態 1 に従うツインセルにおける、

10

20

30

40

50

Hレベルを記憶するストレージノード（以下、「H側ストレージノード」とも称する）およびLレベルを記憶するストレージノード（以下、「L側ストレージノード」とも称する）のそれぞれのストレージノード電圧 V_{RH} および V_{RL} の推移を示す曲線とが示される。

【0043】

既に説明したように、従来構成のツインセルDRAMにおいては、リフレッシュ時間 t_{REF2} は、ストレージノード電圧 V_{R2} が電源電圧 V_{dd} から接地電圧 GND に低下するまでの時間で定義される。

【0044】

一方、実施の形態1に従うツインセルにおいては、同一のツインセルに含まれて互いに相補データ（HレベルおよびLレベル）を書込まれたストレージノード同士は、孤立セルプレート130によって直列に接続されているので、H側のストレージノード電圧 V_{RH} が下がってくると、L側のストレージノードの電圧 V_{RL} も、容量結合によって同様に下がってくる。

【0045】

したがって、L側のストレージノード電圧 V_{RL} は、接地電圧 GND 以下に低下するが、基板電圧である負電圧 V_{BB} よりも下がることはなく V_{BB} でクランプされる。なぜなら、ストレージノード電圧が基板電圧 V_{BB} に達すると、図3に示された、Pウェル210および、ストレージノード140が電氣的に接続された不純物領域231, 233（N型領域）の間に形成されるPN接合が、順バイアスされるからである。

【0046】

なお、L側のストレージノード電圧 V_{RL} が低下して負電圧に達すると、L側ストレージノードと電氣的に接続された不純物領域をソースとし、非選択状態（接地電圧 GND ）のワード線をゲートとする選択トランジスタがオンする可能性がある。すなわち、L側のストレージノード電圧 V_{RL} が負電圧（基板電圧） V_{BB} まで低下する前に、アクセストランジスタがオンする可能性もある。この場合には、L側のストレージノード電圧 V_{RL} は、基板電圧 V_{BB} ではなく、アクセストランジスタのしきい値電圧 V_{th} を用いて示される、 $(GND - V_{th})$ の負電圧にクランプされることになる。いずれにしても、L側のストレージノード電圧 V_{RL} は、基板電圧 V_{BB} または $(GND - V_{th})$ のいずれかの負電圧でクランプされることになる。

【0047】

これに対して、H側のストレージノード電圧 V_{RH} は、L側のストレージノード電圧 V_{RL} がクランプされた後も下がり続け、最終的にはL側のストレージノード電圧 V_{RL} と同レベルにまで低下する。この時点でツインセルの記憶データは失われることになる。

【0048】

従来ツインセルおよび実施の形態1に従うツインセルの間で、接合リーク電流が同レベルであるとすれば、実施の形態1に従うツインセルでのH側のストレージノード電圧 V_{RH} の低下速度は、従来ツインセルにおけるH側のストレージノード電圧の下降速度よりも速い。なぜなら、実施の形態1に従うツインセルにおいては、容量値 C_s のキャパシタが2つ直列接続されるので、孤立セルプレートに対する保持容量値は $C_s/2$ 、すなわち従来ツインセルの半分になるからである。

【0049】

このように、実施の形態1に従うツインセルにおいてはH側のストレージノード電圧 V_{RH} の低下速度は従来ツインセルよりも大きいものの、電源電圧 V_{dd} から負電圧 V_{BB} （または $GND - V_{th}$ ）まで低下する時間によって、リフレッシュ時間 t_{REF} が定義される。したがって、上述したように、 $C_s = 25\text{ fF}$ 、 $C_b = 100\text{ fF}$ として、電源電圧 $V_{dd} = 2\text{ V}$ 、基板電圧 $V_{BB} = -1\text{ V}$ としてシミュレーションを行なった結果、実施の形態1に従うツインセルにおけるリフレッシュ時間 t_{REF} は、従来ツインセルにおけるリフレッシュ時間 t_{REF2} の2倍程度確保されることがわかった。

【0050】

10

20

30

40

50

このように、実施の形態 1 に従うツインセル D R A M においては、セルプレートをつインセルに対応して分離することによって、相補レベルのデータをそれぞれ記憶するストレージノード電圧が容量結合によって同様に変動するように設計できるので、リフレッシュ時間を延ばすことができる。

【 0 0 5 1 】

さらに、このような孤立セルプレート構造とすることにより、以下のような効果も発生する。

【 0 0 5 2 】

実施の形態 1 に従うツインセルにおいては、製造時にストレージノードと他のノード（代表的にはワード線）との間に形成された短絡経路が存在しても、H 側ストレージノードの電圧が電源電圧 V d d から接地電圧 G N D まで低下するのに伴って、同一のツインセルを構成する L 側ストレージノードの電圧も容量結合により接地電圧 G N D から負電圧まで低下する。したがって、ツインセルを構成する 2 つの D R A M セルの一方においてストレージノードに短絡経路が発生しても、H 側ストレージノードおよび L 側ストレージノード間には、依然としてある程度の電圧差が保たれることになる。この結果、このような短絡経路が発生した D R A M セルが不良メモリセルとなることを回避できる。

【 0 0 5 3 】

なお、同様の効果は、ストレージノードおよびワード線間の短絡経路のみだけでなく、ストレージノードおよびビット線間の短絡経路、ストレージノードおよびセルプレート間の短絡経路等が発生した場合にも得られる。このように、実施の形態 1 に従うツインセル D R A M は、従来のツインセル D R A M よりも、製造歩留りが向上する。

【 0 0 5 4 】

また、図 2 に示されたセルプレート 1 3 0 を孤立パターンから連続パターンに変更することで、通常のシングルセル D R A M のメモリセルに容易に変更できる点でも優れている。

【 0 0 5 5 】

[実施の形態 2]

既に説明したように、ツインセル D R A M においては、小レイアウト面積化のために D R A M セルの集積配置が重要となる。したがって、以下の実施の形態 2 および 3 においては、実施の形態 1 で説明したツインセルを効率的に配置するためのレイアウトについて説明する。

【 0 0 5 6 】

図 5 は、本発明の実施の形態 2 に従う半導体記憶装置のメモリアレイ部の構成を概略的に示す図である。

【 0 0 5 7 】

図 5 を参照して、実施の形態 2 に従う構成においては、同一のツインセル 1 0 1 を構成する 2 つの D R A M セル 1 0 0 は、共通のワード線 W L によって選択される。その他の点は、図 1 に示した実施の形態 1 に従う構成と同様であるので、対応する部分には同一参照符号を付して、それらの詳細説明は繰り返さない。

【 0 0 5 8 】

図 6 は、実施の形態 2 に従う半導体記憶装置のメモリアレイ部のレイアウトを概略的に示す図である。

【 0 0 5 9 】

図 6 において、行方向に延在してワード線 W L 0 ~ W L 5 が配設され、また列方向に延在してビット線 B L 0 , / B L 0 ~ B L 4 , / B L 4 が配設される。これらのワード線 W L 0 ~ W L 5 およびビット線 B L , / B L 0 ~ B L 4 , / B L 4 は、互いに交差する方向、代表的には互いに直交するように配設される。図 3 で説明したのと同様に、これらのワード線 W L 0 ~ W L 5 はたとえばポリシリコン配線として形成され、ビット線 B L 0 , / B L 0 ~ B L 4 , / B L 4 はそれぞれ上層のたとえば第 1 メタル配線層に形成される。

【 0 0 6 0 】

10

20

30

40

50

これらのワード線 $W L 0 \sim W L 5$ およびビット線 $B L 0, / B L 0 \sim B L 4, / B L 4$ と交差する方向に、フィールド領域 200 が配置される。すなわち、実施の形態 2 に従う構成においては、フィールド領域 200 は、ワード線 $W L$ の延在方向およびビット線 $B L, / B L$ の延在方向の間の方向に延在して設けられる。各フィールド領域 200 において、実施の形態 1 のレイアウトと同様に 2 つの $D R A M$ セル 100 が形成される。フィールド領域 200 とビット線 $B L 0, / B L 0 \sim B L 4, / B L 4$ の交差部に、ビット線コンタクト 160 がそれぞれ形成される。さらに、フィールド領域 200 において、ワード線 $W L$ ($W L 0 \sim W L 5$ を総括的に示す) に関して、ビット線コンタクト 160 と対向する端部にストレージノードコンタクト 170 が配置される。

【0061】

フィールド領域 200 の両端に配置されるストレージノードコンタクト 170 を介して、ストレージノード 140 がフィールド領域 200 に電氣的に接続される。ストレージノード 140 は、 $D R A M$ セル 100 の各々に対応して、フィールド領域 200 の上部領域に形成される。

【0062】

このように、実施の形態 2 に従う構成においても、ストレージノード 140 と対向するセルプレートは、実施の形態 1 と同様に各ツインセルに対応して分離される孤立セルプレート 130 として設けられている。したがって、実施の形態 2 に従う構成においても、各ツインセルは、実施の形態 1 と同様にリフレッシュ特性が改善され、かつストレージノードと他のノードとの間で短絡経路が発生しても不良セルとなりにくいという利点を有している。すなわち、実施の形態 1 および実施の形態 2 の間では、ツインセルのレイアウト配置のみが異なる。メモリアレイにおいて、図 6 に示す配置が行および列方向に繰返し配置される。

【0063】

実施の形態 2 に従うレイアウトでは、ワード線 $W L$ のピッチは 2 種類存在する。すなわち、ビット線コンタクト 160 を間に挟むワード線 (たとえば $W L 0$ および $W L 1$) のピッチは、 $2 \cdot F$ である。一方、ストレージノードコンタクト 170 を間に挟むワード線 (たとえば $W L 1$ および $W L 2$) のピッチは、 $4 \cdot F$ である。ワード線 $W L$ は、この $2 \cdot F$ および $4 \cdot F$ のピッチで交互に配置される。

【0064】

ビット線コンタクト 160 は、行方向に整列して、各ビット線 $B L, / B L$ に対応して配置される。また、ストレージノードコンタクト 170 も、行方向に整列して、各メモリセル列に対応して配置される。ビット線 $B L, / B L$ のピッチは $2 \cdot F$ である。ビット線コンタクト 160 は、列方向においては $6 \cdot F$ のピッチで配置される。

【0065】

したがって、 $D R A M$ セル 100 を形成する基本セル領域は、 1 つのビット線コンタクト 160 とストレージノードコンタクト 170 を含む矩形領域により規定される。この基本セル領域は、行方向の長さが $2 \cdot F$ 、列方向の長さが $3 \cdot F$ であり、その面積は $6 \cdot F^2$ となる。

【0066】

これに対して、図 2 に示した実施の形態 1 に従うレイアウトにおいては、 $D R A M$ セル 100 を形成する基本セル領域は、行方向の長さが $2 \cdot F$ であり列方向の長さが $4 \cdot F$ である。したがって、基本セル領域の面積は $8 \cdot F^2$ となる。したがって、実施の形態 2 に従うレイアウトにおいては、実施の形態 1 に従うレイアウトと比較して、 1 つの $D R A M$ セルを形成するための基本セル領域の占有面積を低減して、より高密度に $D R A M$ セルを配置することができる。この結果、実施の形態 1 に従うツインセル $D R A M$ をより高集積化できる。

【0067】

[実施の形態 3]

図 7 は、本発明の実施の形態 3 に従う半導体記憶装置のメモリアレイ部の構成を概略的に

10

20

30

40

50

示す図である。

【0068】

図7を参照して、実施の形態3に従う構成においては、図5に示した実施の形態2に従う構成に加えて、ワード線WLと同一方向に沿って形成されるダミーワード線DWLがさらに配置される。その他の点は、図5に示した実施の形態2に従う構成と同様であるので、対応する部分には同一参照符号を付して、それらの詳細説明は繰り返さない。

【0069】

図8は、実施の形態3に従う半導体記憶装置のメモリアレイ部のレイアウトを概略的に示す図である。

【0070】

図8を参照して、実施の形態3に従うレイアウトは、図6に示した実施の形態2に従うレイアウトと以下の点で異なっている。すなわち、列方向において隣接するフィールド領域200に形成されたストレージノードコンタクト170の間の領域に、ダミーワード線DWLが配置される。すなわち、ピッチが $4 \cdot F$ のワード線WLの間に、ダミーワード線DWLを配置する。さらに、図8に示すように、最端のワード線WLの外側に、形状の連続性を確保するためのダミーワード線DWLを設けてもよい。その他の部分のレイアウトは図6と同様であるので、対応する部分には同一参照符号を付して、それらの詳細説明は繰り返さない。

【0071】

これらのダミーワード線DWLは、ワード線WLと同一の配線層に形成され、ワード線WLと同一製造工程で作製される。したがって、ダミーワード線DWLを配置するための余分の製造工程およびマスクは必要とされない。

【0072】

ワード線WL(WL0~WL5)とダミーワード線DWLとのピッチは $2 \cdot F$ である。したがって、ワード線WLおよびダミーワード線DWLを含むワード線のピッチは $2 \cdot F$ で一樣となり、規則的にワード線WLおよびダミーワード線DWLを配置することができる。これにより、同一のパターンを繰り返し配置することができ、パターンの規則性のずれに起因する段差部での露光光の乱反射などの影響を抑制でき、正確なパターンニングを行なうことができる。これにより、微細加工時においても、ストレージノードなどを正確にパターンニングすることができる。

【0073】

図9には、図8におけるR-S断面図が示される。

図9を参照して、ダミーワード線DWLを挟んで両側に位置するフィールド領域200同士の間は分離絶縁膜220によって電氣的に切り離されている。分離絶縁膜220は、たとえばCMP(ケミカル・メカニカル・ポリッシング)によりその表面が平坦にされる。通常、ワード線WLとダミーワード線DWLは、このようにダミーワード線DWL形成時の下地の段差を低減することにより、同一製造工程で作成される。

【0074】

それぞれのフィールド領域200において、異なるツインセル101を構成するDRAMセルが形成される。したがって、これらのDRAMセル間において孤立セルプレート130同士は分離されている。なお、各DRAMセルの構造は、図3に説明したのと同様であるので、対応部分には同一符号を付して詳細説明は繰り返さない。

【0075】

さらに、ダミーワード線DWLの各々を、常に接地電圧GNDまたはそれより低い負電圧に固定することにより、フィールド領域200間の厚い分離絶縁膜220下部には、正電荷が引き寄せられて、フィールド領域200の電子に対するポテンシャル障壁が形成される。これにより、分離絶縁膜220によって電氣的に切り離された2つのフィールド領域200間の絶縁性を高めて、異なるツインセル101を構成するストレージノード間の絶縁性を高くすることができる。この結果、分離絶縁膜220によって分離されるDRAMセルのそれぞれは、より安定にデータを記憶することができる。

10

20

30

40

50

【0076】

以上のように、実施の形態3に従うツインセルDRAMは、列方向において隣接するストレージノード間の間の領域に、ワード線と同一配線層のダミーワード線を配置しており、ワード線のピッチを等価的にすべて同じとすることができる。この結果、実施の形態2に従うツインセルDRAMでの効果に加えて、微細加工時の寸法精度をさらに向上できる。

【0077】

また、ダミーワード線に所定の電圧を印加することにより、このダミーワード線下層領域に、異なるツインセルに属するストレージノード間を電氣的に分離するためのポテンシャル障壁を形成できる。したがって、各DRAMセルにおけるデータ記憶をより安定化できる。

10

【0078】

[実施の形態3の変形例1]

図10は、実施の形態3の変形例1に従う半導体記憶装置のメモリアレイ部のレイアウトを概略的に示す図である。

【0079】

図10に示すレイアウトにおいては、各ダミーワード線DWLの下層領域にもフィールド領域が形成され、したがって、フィールド領域200は、連続的に形成される。このフィールド領域200は、隣接行かつ隣接列のDRAMセルのフィールド領域200同士が連続的に接続されて、一定方向に沿って延在して配置される。各ダミーワード線DWLの下層領域に形成されるフィールド領域は、列方向に沿って直接的に延在し、ダミーワード線DWLに関して対向して配置されるストレージノード140に対して設けられるフィールド領域200同士を物理的に接続する。各ダミーワード線DWLに対しては、実施の形態3と説明したのと同様に、接地電圧GNDまたは負電圧が与えられる。

20

【0080】

図11は、図10におけるX-Y断面図である。

図11を参照して、フィールド領域200は、ダミーワード線DWLの下層領域において連続的に延在して形成される。ダミーワード線DWLを挟んで対向する領域のそれぞれにおいて、図3および図9で示した構造と同様のDRAMセルが形成される。

【0081】

ダミーワード線DWLには、接地電圧GNDまたは負電圧の所定電圧レベルが与えられる。この所定電圧に従って、ダミーワード線DWLを挟んで対向する不純物領域231および232の間で形成されるトランジスタがオフ状態となるため、ダミーワード線DWLを挟んで対向する2つの領域は、電氣的に分離されることになる。

30

【0082】

したがって、Pウェル210表面に、連続的にフィールド領域200を形成しても、ダミーワード線DWLにより、異なるDRAMセルにそれぞれ対応するストレージノード間の電氣的な分離を確実に行なうことができる。

【0083】

以上のように、実施の形態3の変形例1に従えば、ダミーワード線下部にも、フィールド領域を形成し、このフィールド領域を連続的にストライプ状に形成できる。したがって、フィールド領域を隣接ストレージノード間で分離するための厚い分離絶縁膜が不要となるので、実施の形態3での効果に加えて、フィールド領域を容易にパターンニングすることができる。また、このフィールド分離用の絶縁膜が不要となるので、DRAMセルが形成される基本セル領域のレイアウト面積を低減でき、微細メモリセルを実現することができる。

40

【0084】

さらに、ダミーワード線に所定の電圧を印加することにより、このフィールド領域内においてトランジスタをオフ状態とさせることにより、正確に、メモリセルのストレージノード間の分離を行なうことができ、正確なデータ記憶を行なうことができる。

【0085】

50

[実施の形態 3 の変形例 2]

図 1 2 は、実施の形態 3 の変形例 2 に従う半導体記憶装置のメモリアレイ部のレイアウトを概略的に示す図である。図 1 2 においても、ワード線 W L 0 ~ W L 5 と、ダミーワード線 D W L と、ビット線 B L 0 , / B L 0 ~ B L 4 , / B L 4 が代表的に示される。

【 0 0 8 6 】

この図 1 2 に示すレイアウトにおいては、フィールド領域 2 0 0 が、ダミーワード線 D W L に関して対称的となるように、その勾配方向が、列方向において上向き方向と下向き方向とが交互に入れ替えられる。フィールド領域 2 0 0 は、図 1 0 のレイアウトと同様に、ダミーワード線 D W L の下部において、フィールド領域が列方向に連続的に形成される。したがって、同一列のメモリセルに対して、フィールド領域 2 0 0 が連続的に形成される

10

【 0 0 8 7 】

隣接するワード線の間領域に、ビット線コンタクト 1 6 0 が、各ビット線に対応して配置される。ストレージノードコンタクト 1 7 0 は、ダミーワード線 D W L とワード線 W L (ワード線 W L 0 ~ W L 5 を総称的に示す) との間領域に、各 D R A M セル 1 0 0 に対応して配置される。すなわち、ストレージノードコンタクト 1 7 0 は、ダミーワード線 D W L に関して対向して配置される。

【 0 0 8 8 】

図 1 2 に示すレイアウトにおいて、D R A M セル 1 0 0 が形成される基本セル領域の占有面積は、 $6 \cdot F^2$ である。この図 1 2 に示すレイアウトは、フィールド領域 2 0 0 のストライプ形状が、実施の形態 3 の変形例 1 (図 1 0) に示すように一方方向に右肩上がりで上昇するストライプ形状と異なり、列方向においてジグザグ状に連続的に配置される点を除いて同じである。

20

【 0 0 8 9 】

実施の形態 3 の変形例 2 に従うレイアウトにおいても、フィールド領域 2 0 0 は、各ダミーワード線 D W L の下領域において形成されるフィールド領域により連続して形成され、フィールド分離のための厚い分離絶縁膜等は不要である。

【 0 0 9 0 】

各ダミーワード線 D W L に対しては、実施の形態 3 の変形例 1 と同様に、接地電圧 G N D またはそれより低い負電圧が与えられる。これにより、各ダミーワード線 D W L 下部のフィールド領域が、図 9 における分離絶縁膜 2 2 0 と同様に機能するフィールド分離領域となる。

30

【 0 0 9 1 】

したがって、フィールド絶縁のための分離絶縁膜を設ける必要がなく、フィールド領域 2 0 0 を連続的に形成することができる。この結果、実施の形態 3 での効果に加えて、実施の形態 3 の変形例 1 と同様にフィールド領域のパターニングが容易となる。

【 0 0 9 2 】

なお、実施の形態 1 から 3 およびその変形例においては、孤立セルプレートを各ツインセルに対応して配置する構成を説明したが、所定区分の複数個のツインセルごとに孤立セルプレートを設ける構成としても、リフレッシュ特性の改善および製造歩留りの向上を図ることができる。

40

【 0 0 9 3 】

たとえば、図 1 3 に示すように、図 2 に示した実施の形態 1 に従うレイアウトにおいて、孤立セルプレート 1 3 0 をメモリセル行ごとに設ける構成とすることができる。この場合には、各孤立セルプレート 1 3 0 は、同一のメモリセル列に属する複数個 (図 1 3 では 2 個) のツインセルによって共有できる。しかしながら、このようなアレンジを行なうには、各ツインセル内において、相補レベルのデータをそれぞれ記憶するストレージノードの電圧が容量結合によって同様に変動する範囲内であることが条件となる。なお、このような電圧変動は、各孤立セルプレートの容量値を抑制することによって生じるため、各ツインセル毎にセルプレートを分離することによって、本願発明の効果が最も顕著に現わ

50

れる。

【0094】

[実施の形態4]

実施の形態4では、リフレッシュ特性をさらに改善するツインセルの構成について説明する。

【0095】

図14は、本発明の実施の形態4に従う半導体記憶装置のメモリアレイ部の構成を概略的に示す図である。

【0096】

図14を参照して、実施の形態4に従う構成においては、各ツインセル101は、DRAMセル100と、DRAMセル100からキャパシタ120の配置が省略されたDRAMセル100とから構成される。

【0097】

図14では、実施の形態1から3に従う構成と同様に、同一のツインセル101を構成する2つのDRAMセル100および100は、対をなす相補ビット線BLおよび/BLの一方ずつとそれぞれ接続されている。孤立セルプレート130は、図1と同様に、各ツインセルに対応して分離されている。

【0098】

また、図7に示した実施の形態3に従う構成と同様に、同一ツインセル101内のアクセストランジスタ110の各ゲートは、共通のワード線WLと接続され、さらに、所定間隔でワード線WLに加えてダミーワード線DWLが配置されている。その他の点は、図7に示した実施の形態3に従う構成と同様であるので、対応する部分には同一参照符号を付して、それらの詳細説明は繰り返さない。

【0099】

図15は、実施の形態4に従う半導体記憶装置のメモリアレイ部のレイアウトを概略的に示す図である。図15には、実施の形態4に従うツインセル101を、図10に示した実施の形態3の変形例1と同様に配置した場合のレイアウトが示されている。

【0100】

図15を参照して、実施の形態4においては、ツインセルを構成する2つのDRAMセルの一方のみに、ストレージノード140が設けられる。図15に示すように、各メモリセル行において、1列おきにストレージノード140を設け、かつ行方向に隣接する2つずつのDRAMセルによってツインセルを構成することによって、各ツインセルをDRAMセル100および100で構成することができる。

【0101】

各ストレージノード140は、ストレージノードコンタクト170によって、対応のフィールド領域200と電氣的に接続される。一方、ツインセルを構成するもう一方のセルのフィールド領域に、セルプレートコンタクト180が設けられる。各セルプレートコンタクト180は、対応のフィールド領域200と対応の孤立セルプレート130とを、間にキャパシタを介在させることなく、電氣的に接続する。

【0102】

孤立セルプレートを含むその他の部分のレイアウトは、図10に示した実施の形態3の変形例1に従う構成と同様であるので、対応する部分には同一参照符号を付して、それらの詳細説明は繰り返さない。

【0103】

図16は、図15におけるV-W断面図である。

図16を参照して、同一のフィールド領域200上にビット線コンタクト160を挟んで形成された2つのDRAMセルについて、一方のDRAMセル100の構成はこれまで説明したのと同様である。すなわち、DRAMセル100は、不純物領域232, 233によって形成されるアクセストランジスタ110と、ストレージノード140と、孤立セルプレート130およびストレージノード140の間の間隙部240を用いて形成される

10

20

30

40

50

キャパシタ 120 とを有する。

【0104】

これに対して、他方の DRAMセル 100 は、不純物領域 231, 232 によって形成されるアクセストランジスタ 110 を有するが、不純物領域 231 が孤立セルプレート 130 とセルプレートコンタクト 180 によって電氣的に接続されるため、孤立セルプレート 130 およびアクセストランジスタ 110 の間には、キャパシタは形成されない。不純物領域 232 は、2つの DRAMセル 100, 100 によって共有され、共通のビット線コンタクト 160 によって、対応のビット線 BL0 と電氣的に接続される。

【0105】

ダミーワード線 DWL および孤立セルプレート 130 等の配置は、図 11 と同様であるので、詳細な説明は繰り返さない。なお、図 16 では、DRAMセル 100 中のセルプレートコンタクト 180 を、DRAMセル 100 中のストレージノード 140 およびストレージノードコンタクト 170 と同様の形状とする例を示している。このような構造とすることにより、DRAMセル 100 および 100 の間で形状の連続性を確保して、製造時における寸法精度を向上することができる。

10

【0106】

すなわち、実施の形態 4 に従うツインセルにおいても、各ツインセルごとに分離された孤立セルプレートが設けられるので、実施の形態 1 から 3 と同様に、リフレッシュ特性の改善および製造歩留りの向上を図ることができる。さらに、実施の形態 4 に従う構成では、同一のツインセルを構成する DRAMセルのうちの一方のみにストレージノード（キャパシタ）を設けることにより、以下に述べるようなさらなる効果が得られる。

20

【0107】

既に説明したように、実施の形態 1 ~ 3 においては、ストレージノードに対して容量値 C_s のキャパシタが 2 つ直列に接続されるため、ストレージノードに対する電荷保持容量は $C_s / 2$ になってしまう。これに対して、実施の形態 4 に従うツインセルにおいては、ストレージノードに対する電荷保持容量は、キャパシタ 1 個分の容量値 C_s となり、実施の形態 1 ~ 3 の場合よりも大きくなる。

【0108】

あるいは、図 16 の構造例とは異なり、セルプレートコンタクト 180 について、電氣的接続の確保に最小限必要な形状となるように小型化すれば、削減された空間を利用して、キャパシタ 120 の容量値を増大するようなレイアウト設計を行なうことも可能である。この場合には、ストレージノードに対する電荷保持容量がさらに大きく確保される。

30

【0109】

したがって、実施の形態 4 に従うツインセルでは、図 4 に示した動作波形図において、H 側のストレージノード電圧 V_{RH} の降下速度を、従来のツインセルの H 側のストレージノード電圧 V_{R2} の低下速度レベルまで改善、あるいはそれよりも遅くすることができるので、リフレッシュ時間をさらに長くできる。すなわち、リフレッシュ特性をさらに改善できる。

【0110】

なお、図 15 および図 16 では、実施の形態 4 に従うツインセルを、実施の形態 3 の変形例 1 と同様のレイアウトで配置する例を示した。しかし、実施の形態 4 に従うツインセルの配置レイアウトは、このような場合に限定されるものではなく、実施の形態 1（図 2）、実施の形態 2（図 6）、実施の形態 3（図 8）、および実施の形態 3 の変形例 2（図 12）のいずれに従ったレイアウトとすることも可能である。

40

【0111】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0112】

50

【発明の効果】

以上説明したように、本発明の半導体記憶装置によれば、記憶単位（ツインセル）に対応してセルプレートが少なくとも電氣的に分離されるので、同一のツインセルに含まれて、相補データのデータをそれぞれ記憶するストレージノードの電圧が、容量結合によって同様に変動するようになるので、リフレッシュ時間を延ばすことができる。さらに、ストレージノードと他のノードとの間に短絡経路が発生しても、同一のツインセルに含まれるストレージノード間には、ある程度の電圧差が保たれることになるので、このような短絡経路が発生したメモリセルが不良メモリセルとなることを回避できる。この結果、半導体記憶装置のリフレッシュ特性の改善および製造歩留りの向上を図ることができる。

【0113】

10

さらに、ツインセルを構成する2つのメモリセル（DRAMセル）の一方でキャパシタの配置を省略することにより、記憶単位（ツインセル）に対応して電氣的に分離されたセルプレートの各々の電荷保持容量を大きく確保できる。したがって、半導体記憶装置のリフレッシュ特性をさらに改善できる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に従う半導体記憶装置のメモリアレイ部の構成を概略的に示す図である。

【図2】実施の形態1に従う半導体記憶装置のメモリアレイ部のレイアウトを概略的に示す図である。

【図3】実施の形態1に従う半導体記憶装置におけるメモリセルの構造を示すための図2における断面図である。 20

【図4】実施の形態1に従う半導体記憶装置におけるリフレッシュ時間を説明する波形図である。

【図5】本発明の実施の形態2に従う半導体記憶装置のメモリアレイ部の構成を概略的に示す図である。

【図6】実施の形態2に従う半導体記憶装置のメモリアレイ部のレイアウトを概略的に示す図である。

【図7】本発明の実施の形態3に従う半導体記憶装置のメモリアレイ部の構成を概略的に示す図である。

【図8】実施の形態3に従う半導体記憶装置のメモリアレイ部のレイアウトを概略的に示す図である。 30

【図9】実施の形態3に従う半導体記憶装置におけるメモリセルの構造を示すための図8における断面図である。

【図10】実施の形態3の変形例1に従う半導体記憶装置のメモリアレイ部のレイアウトを概略的に示す図である。

【図11】実施の形態3の変形例1に従う半導体記憶装置におけるメモリセルの構造を示すための図10における断面図である。

【図12】実施の形態3の変形例2に従う半導体記憶装置のメモリアレイ部のレイアウトを概略的に示す図である。

【図13】複数個のツインセルごとに孤立セルプレートを設けた場合のレイアウト例を概略的に示す図である。 40

【図14】本発明の実施の形態4に従う半導体記憶装置のメモリアレイ部の構成を概略的に示す図である。

【図15】実施の形態4に従う半導体記憶装置のメモリアレイ部のレイアウトを概略的に示す図である。

【図16】実施の形態4に従う半導体記憶装置におけるメモリセルの構造を示すための図15における断面図である。

【図17】従来のツインセルDRAMのアレイ構成を説明する図である。

【図18】図17に示したツインセルDRAMにおいてビット線プリチャージ電圧を電源電圧V_{dd}とした場合におけるビット線対の電圧挙動を示す動作波形図である。 50

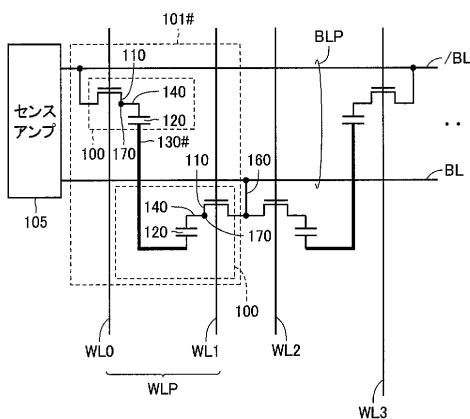
【図 19】従来のツインセル D R A Mにおけるリフレッシュ時間を説明する波形図である。

【符号の説明】

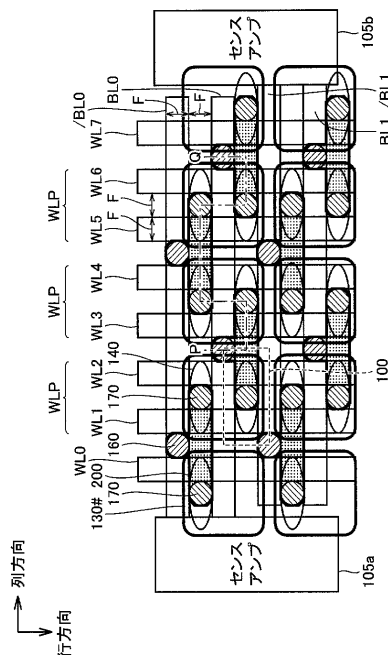
100, 100 D R A Mセル、101, 101 ツインセル、105a, 105b センスアンプ、110 アクセストランジスタ、120 キャパシタ、130 セルプレート、130 孤立セルプレート、140 ストレージノード、160 ビット線コンタクト、170 ストレージノードコンタクト、180 セルプレートコンタクト、200 フィールド領域、210 P型ウェル、220 分離絶縁膜、231~233 不純物領域、240 間隙部、BL, BL0~BL4, /BL, /BL0~/BL4 ビット線、BLP ビット線対、DWL ダミーワード線、GND 接地電圧、VBB 負電圧（基板電圧）、Vdd メモリアレイ電源電圧、WL, WL0~WL6 ワード線、WLP ワード線対。

10

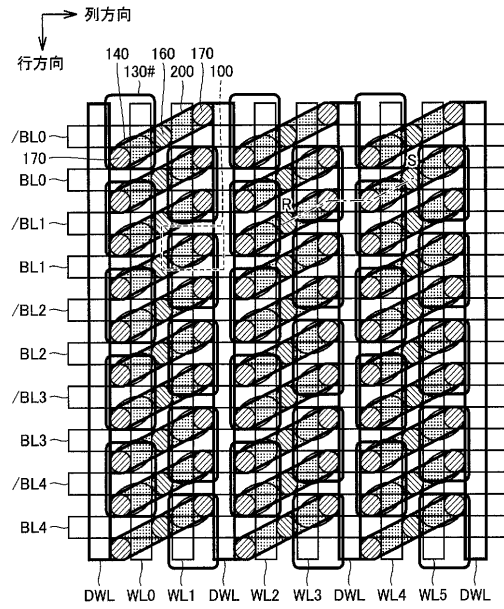
【図 1】



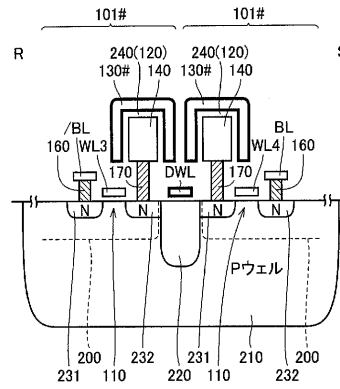
【図 2】



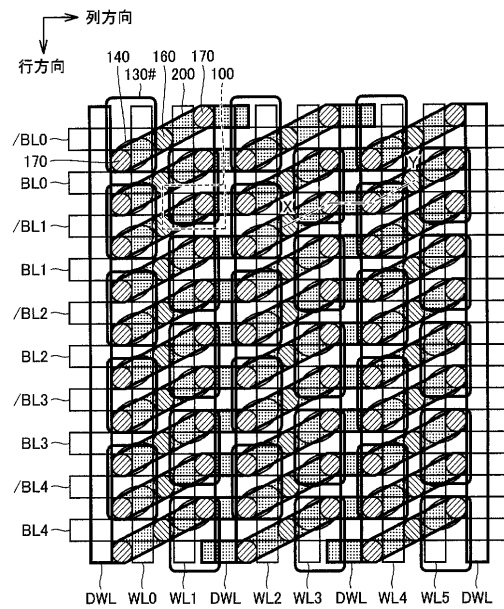
【図 8】



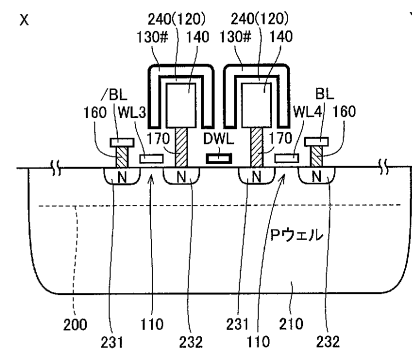
【図 9】



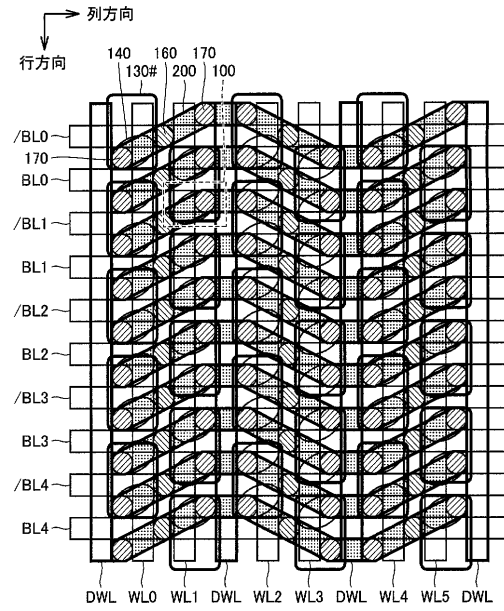
【図 10】



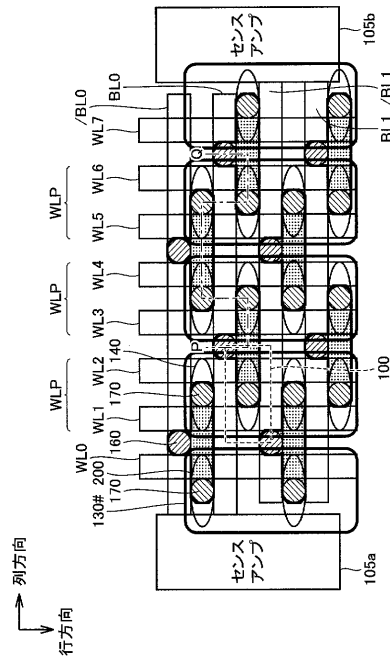
【図 11】



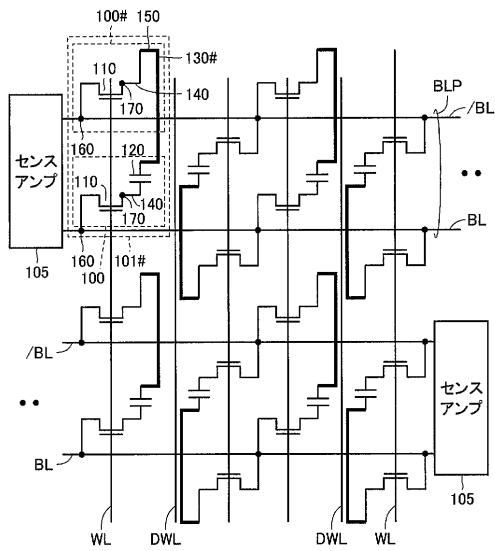
【図 1 2】



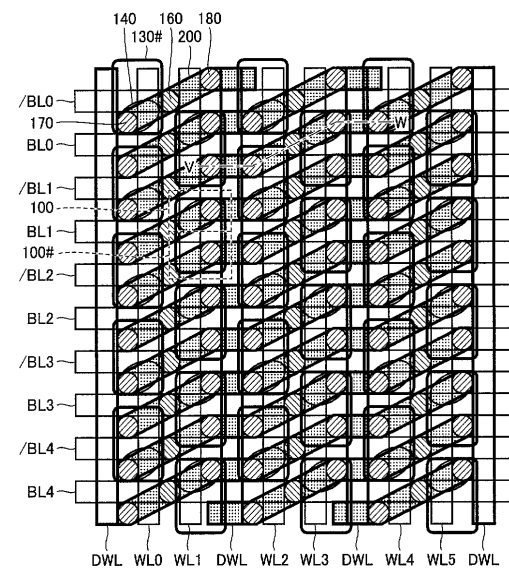
【図 1 3】



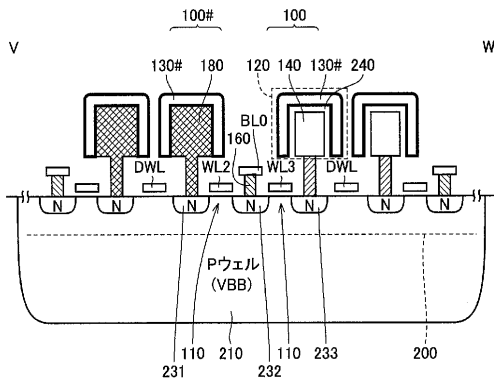
【図 1 4】



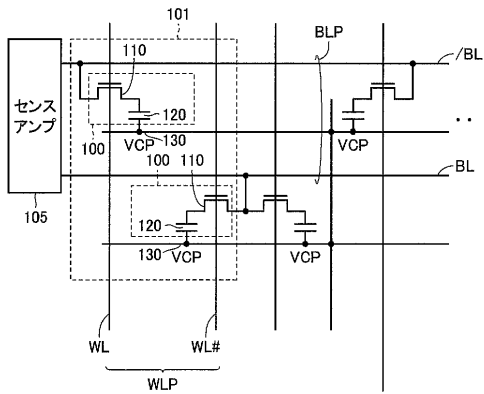
【図 1 5】



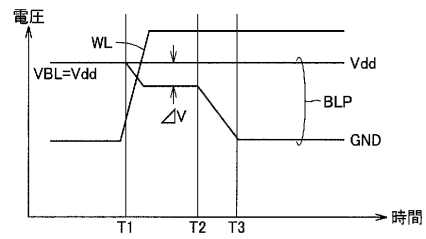
【図 16】



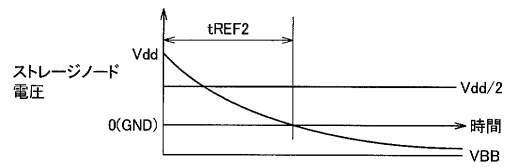
【図 17】



【図 18】



【図 19】



フロントページの続き

(72)発明者 月川 靖彦

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 伊藤 孝

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 5F083 AD42 AD48 AD49 AD56 AD69 GA05 GA09 LA14 LA16 LA21
NA01 NA05 PR01 PR40 ZA28
5M024 AA02 AA04 AA40 AA50 AA62 BB02 BB12 CC02 CC12 CC44
EE10 HH01 LL04 LL05 PP03 PP05 PP07