

(21)申請案號：102108595

(22)申請日：中華民國 102 (2013) 年 03 月 12 日

(51)Int. Cl.：

H01L25/04 (2014.01)

H01L23/52 (2006.01)

(71)申請人：矽品精密工業股份有限公司 (中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路 3 段 123 號

(72)發明人：林峻棠 LIN, CHUN TANG (TW)；賴顥喆 LAI, YI CHE (TW)

(74)代理人：陳昭誠

申請實體審查：有 申請專利範圍項數：25 項 圖式數：3 共 37 頁

(54)名稱

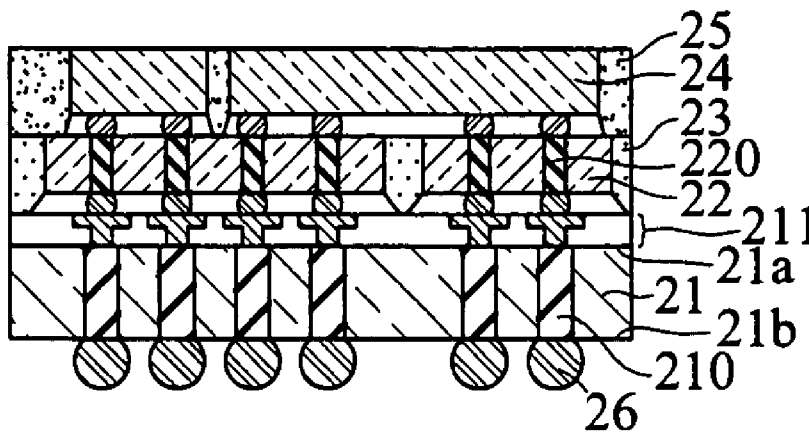
半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND METHOD OF MANUFACTURE

(57)摘要

一種半導體封裝件之製法，其先結合複數第一半導體元件於該中介板上，再以第一封裝膠體包覆該第一半導體元件；接著，設置複數第二半導體元件於該第一半導體元件上，並以第二封裝膠體包覆該第二半導體元件；之後，薄化該中介板。藉由先堆疊半導體元件，再薄化中介板，不僅能降低整體堆疊厚度，且使該中介板不翹曲。本發明復提供該半導體封裝件。

2



第2J圖

2：半導體封裝件

21：中介板

21a：第一側

21b：第二側

22：第一半導體元件

23：第一封裝膠體

24：第二半導體元件

25：第二封裝膠體

26：導電元件

210：第一導電穿孔

211：第一線路重佈結構

220：第二導電穿孔

發明摘要

※申請案號：102108595

※申請日：102. 3. 12

※IPC分類：

【發明名稱】(中文/英文)

半導體封裝件及其製法

H01L 25/04 2014.01

H01L 23/12 2006.01

SEMICONDUCTOR PACKAGE AND METHOD OF
MANUFACTURE

【中文】

一種半導體封裝件之製法，其先結合複數第一半導體元件於該中介板上，再以第一封裝膠體包覆該第一半導體元件；接著，設置複數第二半導體元件於該第一半導體元件上，並以第二封裝膠體包覆該第二半導體元件；之後，薄化該中介板。藉由先堆疊半導體元件，再薄化中介板，不僅能降低整體堆疊厚度，且使該中介板不翹曲。本發明復提供該半導體封裝件。

【英文】

Disclosed is a method of manufacturing a semiconductor package, including connecting a plurality of first semiconductor elements to a medium board and encapsulating the first semiconductor elements by a first encapsulant; disposing a plurality of second semiconductor elements on the first semiconductor elements and encapsulating the second semiconductor elements by a second encapsulant; and thinning the medium board. The semiconductor elements are first stacked onto one another and then the medium board is thinned to thereby reduce the overall stack thickness and prevent the medium board from warping. The invention further provides the semiconductor package as described above.

【代表圖】

【本案指定代表圖】：第（ 2J ）圖。

【本代表圖之符號簡單說明】：

2	半導體封裝件
21	中介板
21a	第一側
21b	第二側
210	第一導電穿孔
211	第一線路重佈結構
22	第一半導體元件
220	第二導電穿孔
23	第一封裝膠體
24	第二半導體元件
25	第二封裝膠體
26	導電元件

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND METHOD OF
MANUFACTURE

【技術領域】

本發明係有關一種半導體封裝件，尤指一種具中介板(interposer)之半導體封裝件及其製法。

【先前技術】

隨著電子產業的蓬勃發展，電子產品在型態上趨於輕薄短小，而為了滿足半導體裝置之高積集度(Integration)以及微型化(Miniaturization)需求，可藉由覆晶(Flip chip)封裝方式，例如，晶片尺寸構裝(Chip Scale Package, CSP)、晶片直接貼附封裝(Direct Chip Attached, DCA)以及多晶片模組封裝(Multi-Chip Module, MCM)等型態的封裝模組，以提升佈線密度、縮小晶片封裝面積及縮短訊號傳輸路徑。

在覆晶封裝製程中，在信賴度熱循環測試，因半導體晶片與封裝基板間的熱膨脹係數(thermal expansion coefficient, CTE)的差異甚大，故半導體晶片外圍的導電凸塊易因熱應力不均而產生破裂，致使其無法與封裝基板上所對應的接點形成良好的接合，造成鉚錫凸塊自封裝基板上剝離，導致產品可靠度不佳。

再者，隨著積體電路之積集度的增加，因半導體晶片

與線路基板間的熱膨脹係數不匹配(mismatch)，其所產生的熱應力(thermal stress)與翹曲(warpage)的現象亦日漸嚴重，導致半導體晶片與封裝基板之間的電性連接可靠度(reliability)下降，而造成信賴性測試的失敗。

此外，習知封裝基板表面係以二維(2D)方式佈設複數個晶片於封裝基板上，隨者佈設數目越多，其封裝基板面積亦須隨之擴大，現今為迎合終端產品體積微型化及高效能的需求，其習知之封裝方式及封裝結構已不敷使用。

又，隨著電子產品更趨於輕薄短小及功能不斷提昇之需求，半導體晶片之佈線密度愈來愈高，以奈米尺寸作單位，因而半導體晶片上之電極墊的間距更小；然，習知封裝基板之接點的間距係以微米尺寸作單位，而無法有效縮小至對應該電極墊的間距大小，導致雖有高線路密度之半導體晶片，卻無可配合之封裝基板，以致於無法將電子產品有效生產。

為了解決上述問題，遂採用半導體基材作中介板以結合半導體晶片與封裝基板的三維(3D)晶片堆疊技術。

如第 1 圖所示之半導體封裝件 1，係增設一矽中介板(Silicon interposer) 11 於一封裝基板 10 與一半導體晶片 14 之間。習知半導體封裝件 1 之製法，係形成複數矽穿孔(Through-silicon via, TSV) 110 在一整片晶圓之後，一方面以半導體晶圓製程將線路重佈結構(Redistribution layer, RDL) 111 依需求形成於欲接置半導體晶片 14 之一側，故矽中介板 11 可在不放大面積的情況下，容置複數個半導體

晶片 14；另一方面，再將導電凸塊 12a 形成於其欲接置封裝基板 10 之一側。當該晶圓被切割形成複數矽中介板 11 後，再將每一矽中介板 11 放至於該封裝基板 10 上並於該矽中介板 11 與該封裝基板 10 之間填充膠材 12b，以包覆該些導電凸塊 12a。之後，該半導體晶片 14 與該線路重佈結構 111 藉由複數導電凸塊 14a 進行電性連接，再以膠材 14b 填入該矽中介板 11 與該半導體晶片 14 之間，以包覆該些導電凸塊 14a。最後，形成複數鉚球 15 於該封裝基板 10 底側用以接置電路板。

因此，該封裝基板 10 可藉該矽中介板 11 以結合具有高佈線密度之半導體晶片 14，而達到整合高佈線密度之半導體晶片 14 之目的。

再者，該矽中介板 11 與該半導體晶片 14 的材質接近，兩者具有相同或相似的熱膨脹係數，故可有效避免熱膨脹係數不匹配所產生的問題，例如，可避免該半導體晶片 14 與該矽中介板 11 間的導電凸塊 14a 破裂，有效提升產品之可靠度。

又，相較於覆晶式封裝件，習知半導體封裝件 1 之長寬方向之面積可更加縮小。例如，一般覆晶式封裝基板最小之線寬/線距僅能製出 $12/12\ \mu\text{m}$ ，而當半導體晶片之電極墊（I/O）數量增加時，以現有覆晶式封裝基板之線寬/線距並無法再縮小，故須加大覆晶式封裝基板之面積以提高佈線密度，才能接置高 I/O 數之半導體晶片。反觀第 1 圖之半導體封裝件 1，因該矽中介板 11 可採用半導體製程做

出 $3/3\ \mu\text{m}$ 以下之線寬/線距，故當該半導體晶片 14 具高 I/O 數時，該矽中介板 11 之長寬方向之面積足以連接高 I/O 數之半導體晶片 14，故不需增加該封裝基板 10 之面積，使該半導體晶片 14 經由該矽中介板 11 作為一轉接板而電性連接至該封裝基板 10 上。

另外，該矽中介板 11 之細線/寬線距特性而使電性傳輸距離短，故相較於直接覆晶結合至封裝基板之半導體晶片的電性傳輸速度（效率），設於該矽中介板 11 上之半導體晶片 14 的電性傳輸速度（效率）更快（更高）。

惟，習知製法中，係先薄化該半導體晶片 14 及矽中介板 11，再將兩者相接，故當該半導體晶片 14 及矽中介板 11 極薄時，該矽中介板 11 亦會發生翹曲的問題，雖然相較於晶片直接置於基板，該矽中介板 11 之翹曲程度較輕微，但仍會提高該半導體晶片 14 與矽中介板 11 相接之難度。因此，為了降低翹曲程度，該矽中介板 11 需具有一定之厚度，因而無法進一步薄化，致使習知半導體封裝件 1 無法達到輕、薄、短、小之需求。

再者，雖然該矽中介板 11 可以二維方式接置複數半導體晶片 14 而提升產品功能，但目前已無法滿足多功能之需求。

又，若於該矽中介板 11 上接置欲複數半導體晶片 14，習知之製法中，係先研磨複數半導體晶片 14 後，再逐一放置矽中介板 11 上，故不僅大幅增加生產之時間及成本，且各該半導體晶片 14 之薄化程度不會相同，致使平坦均一度

不佳，因而無法於各該半導體晶片 14 上進一步堆疊或跨接其它晶片。

因此，如何克服上述習知技術的種種問題，實已成目前亟欲解決的課題。

【發明內容】

鑑於上述習知技術之種種缺失，本發明係提供一種半導體封裝件，係包括：一中介板，係具有相對之第一側及第二側，及複數連通該第一側與該第二側之第一導電穿孔；至少一第一半導體元件，係結合於該中介板之第一側上且電性連接該中介板；第一封裝膠體，係形成於該中介板之第一側上以包覆該第一半導體元件，並令該第一半導體元件外露於該第一封裝膠體；至少一第二半導體元件，係設置於該第一半導體元件上並電性連接於該第一半導體元件；以及第二封裝膠體，係形成於該第一半導體元件與第一封裝膠體上，以包覆該第二半導體元件。

前述之半導體封裝件中，該第一半導體元件具有用以電性連接該第一導電穿孔之第二導電穿孔。

本發明復提供一種半導體封裝件之製法，係包括：提供一中介板，該中介板具有相對之第一側及第二側，及複數連通該第一側而未連通該第二側之第一導電穿孔；結合至少一第一半導體元件於該中介板之第一側上；形成第一封裝膠體於該中介板之第一側上，以令該第一封裝膠體包覆該第一半導體元件，並令該第一半導體元件外露於該第一封裝膠體；於該第一半導體元件中形成複數第二導電穿

孔，令該第二導電穿孔電性連接該中介板；設置至少一第二半導體元件於該第一半導體元件上，並電性連接該第二半導體元件至該第一半導體元件；形成第二封裝膠體於該第一半導體元件與第一封裝膠體上，使該第二封裝膠體包覆該第二半導體元件；以及移除該中介板之第二側之部分材質，以令該第一導電穿孔外露於該中介板之第二側，而使該第一導電穿孔連通該第一側與第二側。

本發明另提供一種半導體封裝件之製法，係包括：提供一中介板，該中介板具有相對之第一側及第二側，及複數連通該第一側而未連通該第二側之第一導電穿孔；結合至少一第一半導體元件於該中介板之第一側上，且該第一半導體元件復具有複數用以電性連接該第一半導體元件至該中介板之第二導電穿孔；形成第一封裝膠體於該中介板之第一側上，以令該第一封裝膠體包覆該第一半導體元件，並令該第一半導體元件外露於該第一封裝膠體；設置至少一第二半導體元件於該第一半導體元件上，並電性連接該第二半導體元件至該第一半導體元件；形成第二封裝膠體於該第一半導體元件與第一封裝膠體上，使該第二封裝膠體包覆該第二半導體元件；以及移除該中介板之第二側之部分材質，以令該第一導電穿孔外露於該中介板之第二側，而使該第一導電穿孔連通該第一側與第二側。

前述之兩種製法中，該第一半導體元件具有相對之第一表面與第二表面，令該第一半導體元件之第二表面結合於該中介板之第一側上，且於形成該第一封裝膠體之後，

移除該第一封裝膠體之部分材質，使該第一半導體元件之第一表面外露於該第一封裝膠體。

前述之兩種製法中，復包括於移除該中介板之第二側之部分材質之後，進行切單製程。

前述之半導體封裝件及其製法中，該中介板係為含矽材質之板體。

前述之半導體封裝件及製法中，該中介板之第一側具有用以結合該第一半導體元件之線路重佈結構，使該第一半導體元件藉由該線路重佈結構電性連接該第一導電穿孔。

前述之半導體封裝件及其製法中，該第一半導體元件係為具功能之晶片。

再者，該第一半導體元件具有用以結合並電性連接該第二半導體元件之線路重佈結構。

前述之半導體封裝件中及製法中，該第一半導體元件具有相對之第一表面與第二表面，令該第一半導體元件之第二表面結合於該中介板之第一側上，該第一半導體元件之第一表面並齊平於該第一封裝膠體之表面。

前述之半導體封裝件中及製法中，該第二半導體元件具有相對之第三表面與第四表面，令該第二半導體元件之第四表面設置於該第一半導體元件上，且該第二半導體元件之第三表面並外露於該第二封裝膠體。例如，藉由移除該第二封裝膠體之部分材質，使該第二半導體元件之第三表面外露於該第二封裝膠體、或使該第二半導體元件之第

三表面齊平於該第二封裝膠體之表面。

前述之半導體封裝件中及製法中，於移除該中介板之第二側之部分材質之後，形成至少一線路層於該中介板之第二側上，使該第一導電穿孔電性連接該線路層。

另外，前述之半導體封裝件中及製法中，復包括結合封裝基板於該中介板之第二側上且令電性連接該中介板。

由上可知，本發明之半導體封裝件及其製法，係藉由先堆疊複數層半導體元件，再薄化該中介板，不僅能使該半導體封裝件之堆疊厚度有效降低，且該中介板不會發生翹曲，又能整合複數異質或同質晶片，而有效降低製程之成本，並能增加產能。

再者，藉由堆疊複數層半導體元件，以滿足多功能之需求。

【圖式簡單說明】

第 1 圖係為習知半導體封裝件之剖視示意圖；以及

第 2A 至 2K 圖係為本發明之半導體封裝件之製法之第一實施例的上視及剖視示意圖；以及

第 3A 至 3K 圖係為本發明之半導體封裝件之製法之第二實施例的上視及剖視示意圖。

【實施方式】

以下藉由特定的具體實施例依序說明本發明之實施方式，對於熟悉此技藝之人士可以由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

本說明書所附圖式所繪示之結構、比例、大小等，均

僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如“上”、“第一”、“第二”及“一”等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

第 2A 至 2K 圖係為本發明之半導體封裝件 2,2' 之製法之第一實施例的剖面示意圖。

如第 2A 圖所示，提供一中介板 21，該中介板 21 具有相對之第一側 21a 及第二側 21b，且該中介板 21 中具有連通該第一側 21a 而未連通該第二側 21b 之第一導電穿孔 210。

於本實施例中，該中介板 21 係為含矽材質之板體，如半導體晶片、晶圓或玻璃等，且該第一導電穿孔 210 之導電材質係為銅材。

再者，該中介板 21 之第一側 21a 係依需求形成電性連接該第一導電穿孔 210 之第一線路重佈結構(Redistribution layer, RDL) 211。

如第 2B 圖所示，覆晶結合複數第一半導體元件 22 於該中介板 21 之第一側 21a 上，以令該第一半導體元件 22

電性連接該中介板 21。具體地，該第一半導體元件 22 係設於該第一線路重佈結構 211 上，使該第一半導體元件 22 藉由複數導電凸塊 221 連接該第一線路重佈結構 211 而電性連接該第一導電穿孔 210。因此，可形成作為底膠之膠材 222 於該第一半導體元件 22 之第一線路重佈結構 211 與該中介板 21 之第一側 21a 之間，以包覆該些導電凸塊 221。

於本實施例中，該第一半導體元件 22 係為具功能之晶片，且該些第一半導體元件 22 可具有相同功能或不同功能，又該些導電凸塊 221 係為錫球、銅凸塊或兩者之組合。

再者，該第一半導體元件 22 具有相對之第一表面 22a' 與第二表面 22b，令該第一半導體元件 22 之第二表面 22b 結合於該中介板 21 之第一側 21a 上。

本發明之製法中，因該中介板 21 尚未進行薄化，故堆疊該些第一半導體元件 22 時，該中介板 21 不會發生翹曲。

如第 2C 圖所示，利用模壓製程形成第一封裝膠體 23 於該中介板 21 之第一側 21a 之第一線路重佈結構 211 上，使該第一封裝膠體 23 包覆該第一半導體元件 22 與膠材 222。

於本實施例中，該第一封裝膠體 23 係為散熱材，但亦可為玻璃材質、底膠材、絕緣材等，並無特別限制。

如第 2D 圖所示，移除該第一封裝膠體 23 之部分材質，使該第一半導體元件 22 之第一表面 22a 外露於該第一封裝膠體 23。接著，形成複數第二導電穿孔 220 於該第一半導體元件 22 中，使該第一半導體元件 22 作為另一中介

板，且令該第二導電穿孔 220 藉由該第一線路重佈結構 211 電性連接該第一導電穿孔 210。

於本實施例中，該第一封裝膠體 23 係以研磨方式進行移除製程，亦可採用切割、蝕刻等方式來取代研磨方式。

再者，該第一半導體元件 22 之第一表面 22a 與第一封裝膠體 23 之表面齊平，以提供一平坦度高之置放表面，且可依需求一併移除該第一半導體元件 22 之第一表面 22a' 之部分材質，以薄化該第一半導體元件 22。

又，該第二導電穿孔 220 係以雷射鑽孔製程及電鍍製程製作，且該第二導電穿孔 220 之導電材質係為銅材。

本發明之製法中，該第一半導體元件 22 可依電性需求直接藉由該第二導電穿孔 220 電性連接該第一導電穿孔 210，亦即不需藉由該第一線路重佈結構 211，以縮短電訊傳輸距離。

如第 2E 圖所示，結合複數第二半導體元件 24 於該第一半導體元件 22 與該第一封裝膠體 23 之上。具體地，該第二半導體元件 24 與第一半導體元件 22 之間係藉由複數導電凸塊 241 相連接，以令該第二半導體元件 24 電性連接該第二導電穿孔 220。因此，可形成作為底膠之膠材 242 於該第一半導體元件 22 與該第二半導體元件 24 之間，以包覆該些導電凸塊 241。其中，該些導電凸塊 241 係為錫球、銅凸塊或兩者之組合。

於本實施例中，該些第二半導體元件 24 係為相同或不相同之晶片，且該些第二半導體元件 24 與該第一半導體元

件 22 亦可為相同或不相同之晶片。

再者，第二半導體元件 24 係以覆晶方式設置並電性連接該第一半導體元件 22；於另一實施例中，該第二半導體元件 24 亦可以打線方式設置並電性連接該第一半導體元件 22。

又，單一個第二半導體元件 24 可依需求跨接於兩個第一半導體元件 22，且該第二半導體元件 24 中亦可依需求形成導電穿孔，如圖中體積較大之第二半導體元件 24。

另外，該第二半導體元件 24 具有相對之第三表面 24a' 與第四表面 24b，令該第二半導體元件 24 之第四表面 24b 設置於該第一半導體元件 22 之第一表面 22a 上。

本發明之製法中，藉由於該中介板 21 上同時研磨複數第一半導體元件 22，不僅能大幅降低生產之時間及成本，且該些第一半導體元件 22 之薄化程度相同，因而能提供一平坦度高之置放表面，供置放該第二半導體元件 24，而使該第二半導體元件 24 能有效跨接該些第一半導體元件 22。

如第 2F 圖所示，利用模壓製程形成第二封裝膠體 25 於該第一半導體元件 22 與第一封裝膠體 23 上，以令該第二封裝膠體 25 包覆該第二半導體元件 24 與膠材 242。

如第 2G 圖所示，進行整平及薄化製程，移除該第二封裝膠體 25 之部分材質與該第二半導體元件 24 之部分材質，使該第二半導體元件 24 之第三表面 24a 外露於該第二封裝膠體 25。

於本實施例中，該第二封裝膠體 25 係以研磨方式進行

移除製程，亦可採用切割、蝕刻等方式來取代研磨方式。

再者，該第二半導體元件 24 之第三表面 24a 與第二封裝膠體 25 之表面齊平，以提供一平坦度高之置放表面，且可依需求一併移除該第二半導體元件 24 之第三表面 24a' 之部分材質，以薄化該第二半導體元件 24。

又，若該第二半導體元件 24 以打線置晶方式設置，則無需進行整平及薄化製程，一方面係因該第二半導體元件 24 於設置時，其厚度已經達到薄化之需求，而另一方面係因考量避免損及打線用之鉀線。

另外，亦可於該第二半導體元件 24 與該第二封裝膠體 25 上方繼續堆疊，亦即重複第 2E 至 2G 圖之製程，以依需求堆疊更多層之晶片。若無需繼續堆疊，則可不需整平及薄化製程。

如第 2H 圖所示，移除該中介板 21 之第二側 21b 之部分材質，以令該第一導電穿孔 210 之端面外露於該中介板 21 之第二側 21b，而使該第一導電穿孔 210 連通該第一側 21a 與第二側 21b。

如第 2I 圖所示，形成如鉀球之導電元件 26 於該中介板 21 之第二側 21b 之第一導電穿孔 210 之外露表面上。

如第 2J 圖所示，沿如第 2I 圖所示之切割路徑 S 進行切單製程，使該第一及第二封裝膠體 23,25 之側面與該中介板 21 之側面齊平。

如第 2K 圖所示，結合一封裝基板 20 於該中介板 21 之第二側 21b 之導電元件 26 上，使該封裝基板 20 藉由該

些導電元件 26 電性連接該第一導電穿孔 210。

第 3A 至 3K 圖係為本發明之半導體封裝件 3,3'之製法之第二實施例的剖面示意圖。本實施例與第一實施例之主要差異在於第一半導體元件 32 之第二導電穿孔 320 之製程，其它製程大致相同，但於相同製程中亦有其它實施態樣，於此將一併說明。

如第 3A 圖所示，提供一如第 2A 圖所示之中介板 21。

如第 3B 圖所示，覆晶結合一第一半導體元件 32 於該中介板 21 之第一側 21a 之第一線路重佈結構 211 上，以令該第一半導體元件 32 電性連接該第一導電穿孔 210，且該第一半導體元件 32 復具有藉由複數導電凸塊 221 電性連接該第一導電穿孔 210 之第二導電穿孔 320，使該第一半導體元件 32 作為另一中介板。

如第 3C 圖所示，形成第一封裝膠體 23 於該中介板 21 之第一側 21a 之第一線路重佈結構 211 上，以包覆該第一半導體元件 32。

如第 3D 圖所示，移除該第一封裝膠體 23 之部分材質，使該第一半導體元件 32 及該第二導電穿孔 320 之端面外露於該第一封裝膠體 23。接著，於該第一半導體元件 32 與該第一封裝膠體 23 上係依需求形成電性連接該第二導電穿孔 320 之第二線路重佈結構（RDL）321。

於本實施例中，該第一半導體元件 32 與該第一封裝膠體 23 之表面齊平，且薄化該第一半導體元件 32。

再者，於另一實施例中，該第二導電穿孔 320 亦可凸

出該第一半導體元件 32 表面，以作為導電凸塊，俾供電性連接該第二線路重佈結構 321 或後續製程之第二半導體元件 34。

如第 3E 圖所示，覆晶結合一第二半導體元件 34 於該第二線路重佈結構 321 上，以令該第二半導體元件 34 藉由複數導電凸塊 241 電性連接該第二線路重佈結構 321 與該第二導電穿孔 320。

於本實施例中，單一個第二半導體元件 34 係接置於單一個第一半導體元件 32，而未跨接於兩個第一半導體元件 32。

於另一實施例中，該第二半導體元件 34 亦可以打線置晶方式設置並電性連接該第二導電穿孔 320（或該第二線路重佈結構 321）。

如第 3F 圖所示，形成第二封裝膠體 25 於該第二線路重佈結構 321 上，以包覆該第二半導體元件 34。

如第 3G 圖所示，移除該第二封裝膠體 25 之部分材質與該第二半導體元件 34 之部分材質，使該第二半導體元件 34 與該第二封裝膠體 25 之表面齊平，以令該第二半導體元件 34 外露於該第二封裝膠體 25，且薄化該第二半導體元件 34。

另外，若該第二半導體元件 34 以打線置晶方式設置，則無需進行移除製程或整平製程，一方面係因該第二半導體元件 34 於設置時，其厚度已經達到薄化之需求，而另一方面係因考量避免損及打線用之鐳線。

如第 3H 圖所示，移除該中介板 21 之第二側 21b 之部分材質，以令該第一導電穿孔 210 外露於該中介板 21 之第二側 21b，而使該第一導電穿孔 210 連通該第一側 21a 與第二側 21b。

如第 3I 圖所示，形成至少一線路層 36 於該中介板 21 之第二側 21b 上，使該第一導電穿孔 210 電性連接該線路層 36，再形成複數導電元件 26 於該線路層 36 上。具體地，於該中介板 21 之第二側 21b 上具有至少一介電層 37，使該些線路層 36 形成於該介電層 37 上，且該些導電元件 26 係形成於最外層之線路層 36 上。

如第 3J 圖所示，沿如第 3I 圖所示之切割路徑 S 進行切單製程。

如第 3K 圖所示，結合一封裝基板 20 於該些導電元件 26 上，使該封裝基板 20 藉由該線路層 36 電性連接該第一導電穿孔 210。

本發明之製法，將該些第一半導體元件 22,32 與第二半導體元件 24,34 堆疊於該中介板 21 上之後再薄化該中介板 21，不僅能整合複數異質或同質晶片，且能有效薄化該中介板 21 而使該中介板 21 不會發生翹曲，並能有效降低製程難度與成本，又能增加產能（因製程縮短時間）。

再者，不論堆疊多少層半導體元件，最外層之半導體元件於封裝後可選擇性地外露於封裝膠體，且該最外層之半導體元件之外露表面上可選擇性地覆蓋散熱材質。

本發明提供一種半導體封裝件 2,2',3,3'，係包括：一

中介板 21、至少一第一半導體元件 22,32、第一封裝膠體 23、至少一第二半導體元件 24,34、以及第二封裝膠體 25。

所述之中介板 21 係具有相對之第一側 21a 及第二側 21b，且該中介板 21 復具有連通該第一側 21a 與該第二側 21b 之第一導電穿孔 210，又該中介板 21 係為含矽材質之板體。

所述之第一半導體元件 22,32 係結合於該中介板 21 之第一側 21a 上，且該第一半導體元件 22,32 係為具功能之晶片。

所述之第一封裝膠體 23 係形成於該中介板 21 之第一側 21a 上以包覆該第一半導體元件 22,32，且該第一半導體元件 22,32 外露於該第一封裝膠體 23。

所述之第二半導體元件 24,34 係設於該第一半導體元件 22,32 上並電性連接該第一半導體元件 22,32。

所述之第二封裝膠體 25 係形成於該第一半導體元件 22,32 與第一封裝膠體 23 上，以包覆該第二半導體元件 24,34。

於一實施例中，該中介板 21 之第一側 21a 具有用以結合該第一半導體元件 22,32 之第一線路重佈結構 211，使該第一半導體元件 22,32 藉由該第一線路重佈結構 211 電性連接該第一導電穿孔 210。

於一實施例中，該第一半導體元件 22,32 具有電性連接該第一導電穿孔 210 之第二導電穿孔 220,320。

於一實施例中，該第一半導體元件 22,32 具有相對之

第一表面 22a 與第二表面 22b，令該第一半導體元件 22,32 之第二表面 22b 結合於該中介板 21 之第一側 21a 上，且該第一半導體元件 22,32 之第一表面 22a 與該第一封裝膠體 23 之表面齊平。

於一實施例中，該第一半導體元件 32 具有用以結合並電性連接該第二半導體元件 34 之第二線路重佈結構 321。

於一實施例中，該第二半導體元件 24,34 係具有相對之第三表面 24a 與第四表面 24b，令該第二半導體元件 24,34 之第四表面 24b 結合於該第一半導體元件 22,32 之第一表面 22a 上，且該第三表面 24a 外露於該第二封裝膠體 25。例如，該第二半導體元件 24,34 之第三表面 24a 與該第二封裝膠體 25 之表面齊平。

於一實施例中，所述之半導體封裝件 2',3' 復包括一封裝基板 20，係結合於該中介板 21 之第二側 21b 上並電性連接該中介板 21。

於一實施例中，所述之半導體封裝件 3,3' 復包括至少一線路層 36，係設於該中介板 21 之第二側 21b 上並電性連接該第一導電穿孔 210。

綜上所述，本發明之半導體封裝件及其製法，主要藉由先堆疊複數層半導體元件，再薄化該中介板，不僅能使該半導體封裝件之堆疊厚度有效降低，且該中介板不會發生翹曲。

再者，藉由堆疊跨接之技術，能整合複數異質或同質晶片，且能有效降低製程之成本，並能增加產能。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【符號說明】

1,2,2',3,3'	半導體封裝件
10,20	封裝基板
11	矽中介板
110	矽穿孔
111	線路重佈結構
12a,14a,221,241	導電凸塊
12b,14b,222,242	膠材
14	半導體晶片
15	鉚球
21	中介板
21a	第一側
21b	第二側
210	第一導電穿孔
211	第一線路重佈結構
22,32	第一半導體元件
22a,22a'	第一表面
22b	第二表面
220,320	第二導電穿孔

23	第一封裝膠體
24,34	第二半導體元件
24a,24a'	第三表面
24b	第四表面
25	第二封裝膠體
26	導電元件
321	第二線路重佈結構
36	線路層
37	介電層
S	切割路徑

申請專利範圍

1. 一種半導體封裝件，係包括：

一中介板，係具有相對之第一側及第二側，及複數連通該第一側與該第二側之第一導電穿孔；

至少一第一半導體元件，係結合於該中介板之第一側上且電性連接該中介板；

第一封裝膠體，係形成於該中介板之第一側上以包覆該第一半導體元件，並令該第一半導體元件外露於該第一封裝膠體；

至少一第二半導體元件，係設置於該第一半導體元件上並電性連接於該第一半導體元件；以及

第二封裝膠體，係形成於該第一半導體元件與第一封裝膠體上，以包覆該第二半導體元件。

2. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該中介板係為含矽材質之板體。

3. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該中介板之第一側具有用以結合該第一半導體元件之線路重佈結構，使該第一半導體元件藉由該線路重佈結構電性連接該第一導電穿孔。

4. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該第一半導體元件係為具功能之晶片。

5. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該第一半導體元件具有用以電性連接該第一導電穿孔之第二導電穿孔。

6. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該第一半導體元件具有用以結合並電性連接該第二半導體元件之線路重佈結構。
7. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該第一半導體元件具有相對之第一表面與第二表面，令該第一半導體元件之第二表面結合於該中介板之第一側上，該第一半導體元件之第一表面並齊平於該第一封裝膠體之表面。
8. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該第二半導體元件具有相對之第三表面與第四表面，令該第二半導體元件之第四表面設置於該第一半導體元件上，該第二半導體元件之第三表面並齊平於該第二封裝膠體之表面。
9. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該第二半導體元件具有相對之第三表面與第四表面，令該第二半導體元件之第四表面設置於該第一半導體元件上，且該第二半導體元件之第三表面係外露於該第二封裝膠體。
10. 如申請專利範圍第 1 項所述之半導體封裝件，復包括至少一線路層，係形成於該中介板之第二側上並電性連接該第一導電穿孔。
11. 如申請專利範圍第 1 項所述之半導體封裝件，復包括封裝基板，係結合於該中介板之第二側上並電性連接該中介板。

12. 一種半導體封裝件之製法，係包括：

提供一中介板，該中介板具有相對之第一側及第二側，及複數連通該第一側而未連通該第二側之第一導電穿孔；

結合至少一第一半導體元件於該中介板之第一側上；

形成第一封裝膠體於該中介板之第一側上，以令該第一封裝膠體包覆該第一半導體元件，並令該第一半導體元件外露於該第一封裝膠體；

於該第一半導體元件中形成複數第二導電穿孔，令該第二導電穿孔電性連接該中介板；

設置至少一第二半導體元件於該第一半導體元件上，並電性連接該第二半導體元件至該第一半導體元件；

形成第二封裝膠體於該第一半導體元件與第一封裝膠體上，使該第二封裝膠體包覆該第二半導體元件；以及

移除該中介板之第二側之部分材質，以令該第一導電穿孔外露於該中介板之第二側，而使該第一導電穿孔連通該第一側與第二側。

13. 一種半導體封裝件之製法，係包括：

提供一中介板，該中介板具有相對之第一側及第二側，及複數連通該第一側而未連通該第二側之第一導電穿孔；

結合至少一第一半導體元件於該中介板之第一側上，且該第一半導體元件復具有複數用以電性連接該第一半導體元件至該中介板之第二導電穿孔；

形成第一封裝膠體於該中介板之第一側上，以令該第一封裝膠體包覆該第一半導體元件，並令該第一半導體元件外露於該第一封裝膠體；

設置至少一第二半導體元件於該第一半導體元件上，並電性連接該第二半導體元件至該第一半導體元件；

形成第二封裝膠體於該第一半導體元件與第一封裝膠體上，使該第二封裝膠體包覆該第二半導體元件；以及

移除該中介板之第二側之部分材質，以令該第一導電穿孔外露於該中介板之第二側，而使該第一導電穿孔連通該第一側與第二側。

14. 如申請專利範圍第 12 或 13 項所述之半導體封裝件之製法，其中，該中介板係為含矽材質之板體。
15. 如申請專利範圍第 12 或 13 項所述之半導體封裝件之製法，其中，該中介板之第一側具有用以結合該第一半導體元件之線路重佈結構，使該第一半導體元件藉由該線路重佈結構電性連接該第一導電穿孔。
16. 如申請專利範圍第 12 或 13 項所述之半導體封裝件之製法，其中，該第一半導體元件係為具功能之晶片。
17. 如申請專利範圍第 12 或 13 項所述之半導體封裝件之製

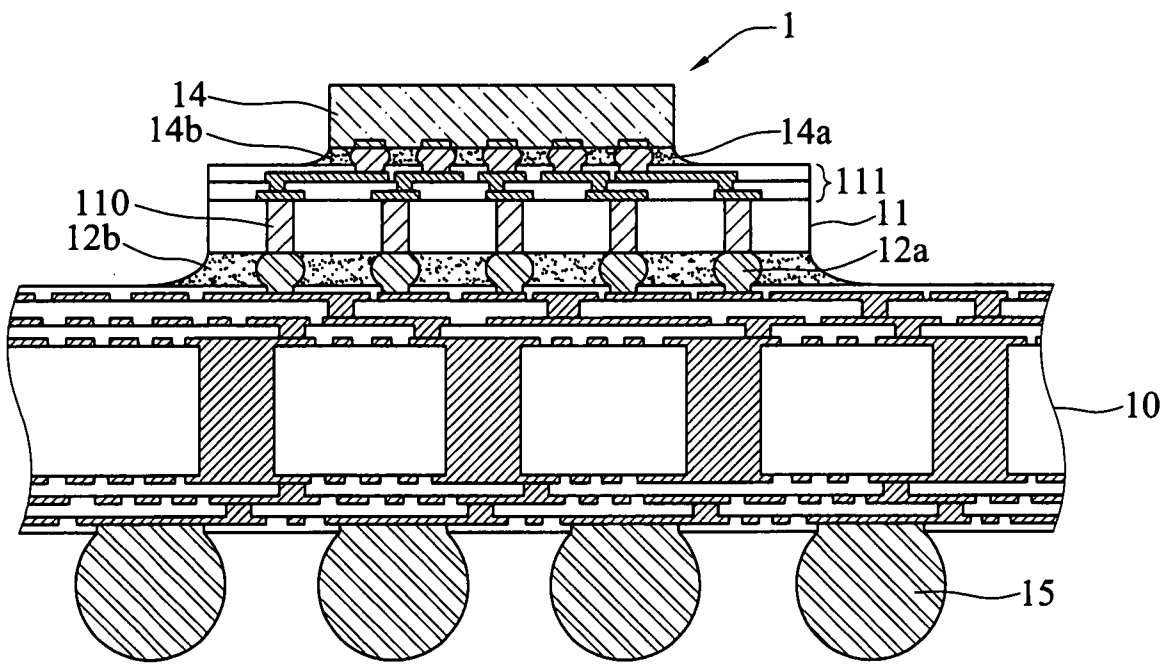
法，其中，該第一半導體元件具有用以結合並電性連接該第二半導體元件之線路重佈結構。

18. 如申請專利範圍第 12 或 13 項所述之半導體封裝件之製法，其中，該第一半導體元件具有相對之第一表面與第二表面，令該第一半導體元件之第二表面結合於該中介板之第一側上，且於形成該第一封裝膠體之後，移除該第一封裝膠體之部分材質，使該第一半導體元件之第一表面外露於該第一封裝膠體。
19. 如申請專利範圍第 12 或 13 項所述之半導體封裝件之製法，其中，該第一半導體元件具有相對之第一表面與第二表面，令該第一半導體元件之第二表面結合於該中介板之第一側上，該第一半導體元件之第一表面並齊平於該第一封裝膠體之表面。
20. 如申請專利範圍第 12 或 13 項所述之半導體封裝件之製法，其中，該第二半導體元件具有相對之第三表面與第四表面，令該第二半導體元件之第四表面設置於該第一半導體元件上，該第二半導體元件之第三表面並外露於該第二封裝膠體。
21. 如申請專利範圍第 20 項所述之半導體封裝件之製法，其中，藉由移除該第二封裝膠體之部分材質，使該第二半導體元件之第三表面外露於該第二封裝膠體。
22. 如申請專利範圍第 12 或 13 項所述之半導體封裝件之製法，其中，該第二半導體元件具有相對之第三表面與第四表面，令該第二半導體元件之第四表面設置於該

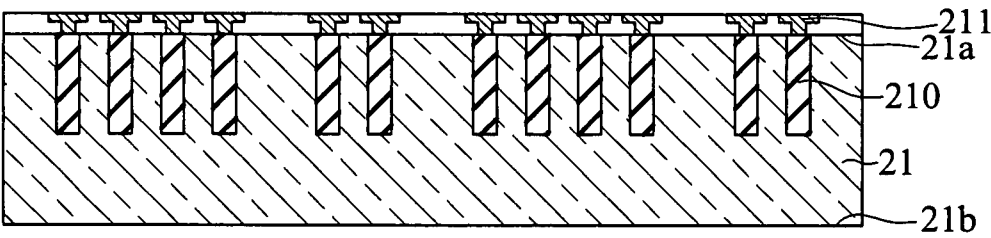
第一半導體元件上，該第二半導體元件之第三表面齊平於該第二封裝膠體之表面。

23. 如申請專利範圍第 12 或 13 項所述之半導體封裝件之製法，其中，於移除該中介板之第二側之部分材質之後，形成至少一線路層於該中介板之第二側上，使該第一導電穿孔電性連接該線路層。
24. 如申請專利範圍第 12 或 13 項所述之半導體封裝件之製法，復包括於移除該中介板之第二側之部分材質之後，進行切單製程。
25. 如申請專利範圍第 12 或 13 項所述之半導體封裝件之製法，復包括結合封裝基板於該中介板之第二側上，且令該封裝基板電性連接該中介板。

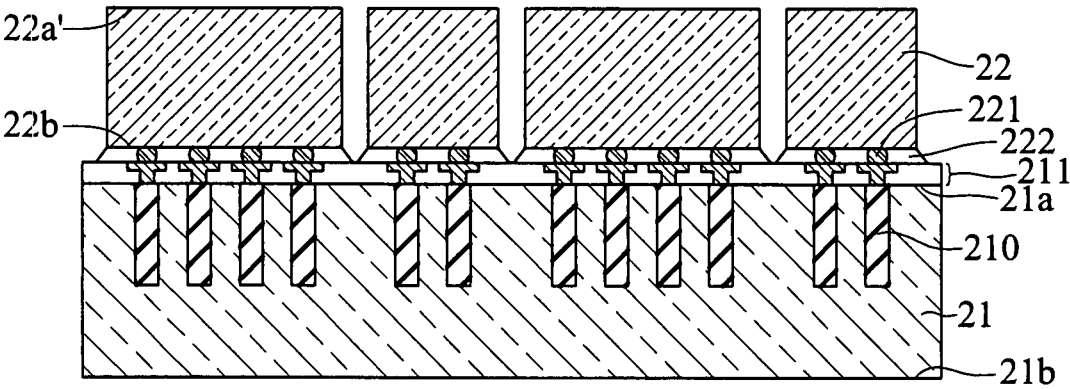
圖式



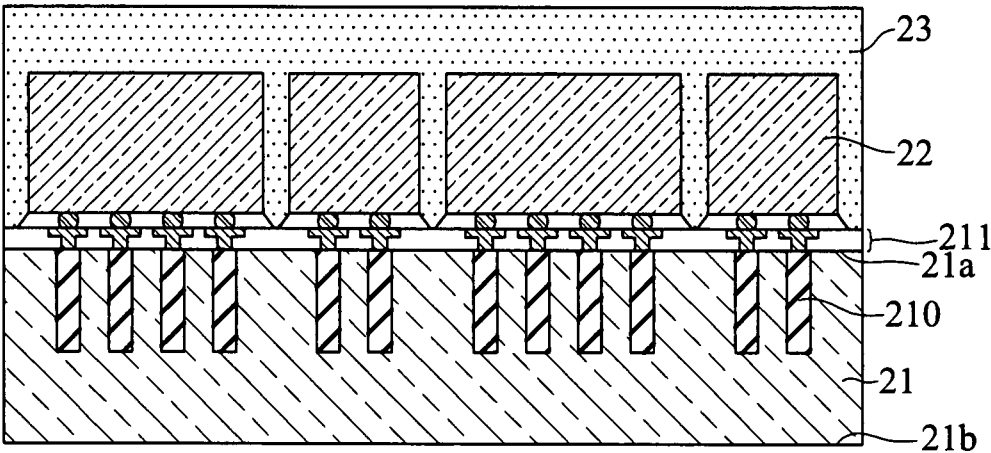
第1圖



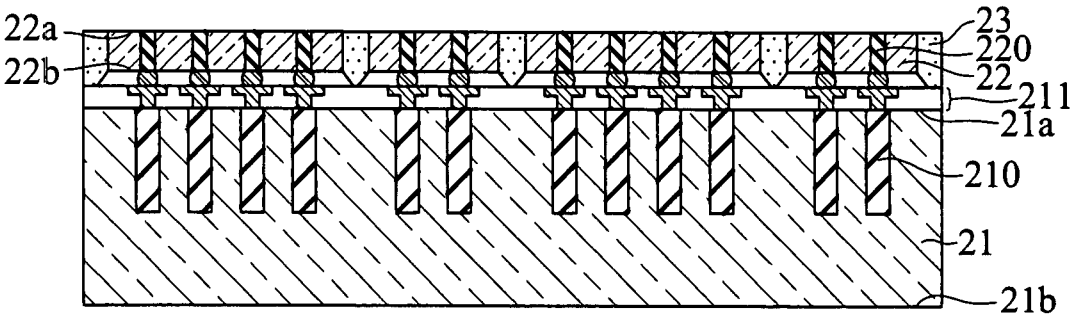
第2A圖



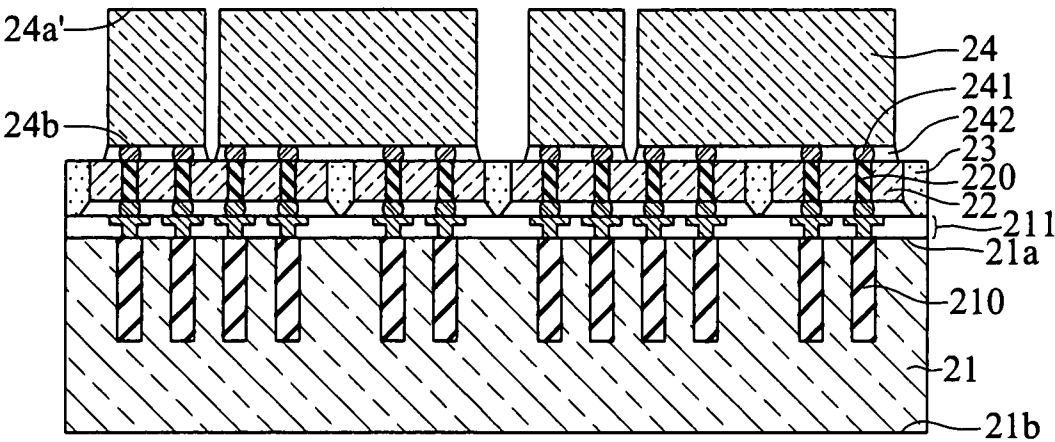
第2B圖



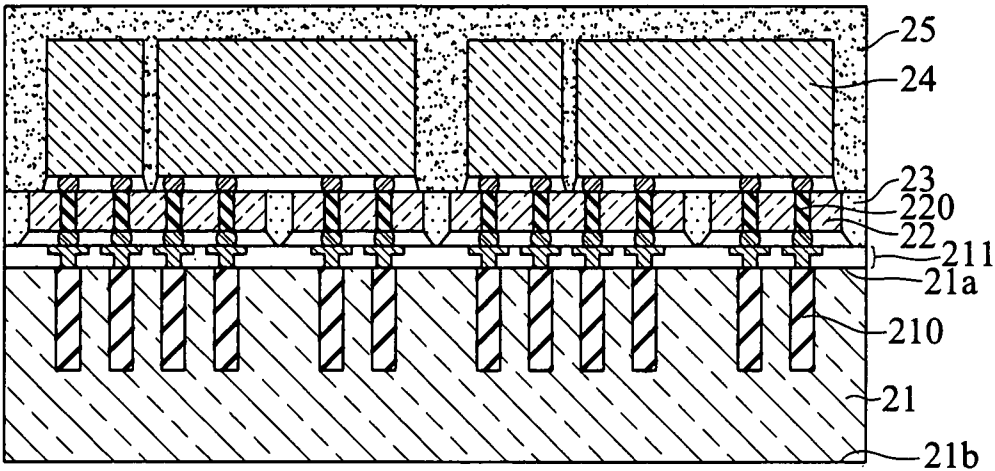
第2C圖



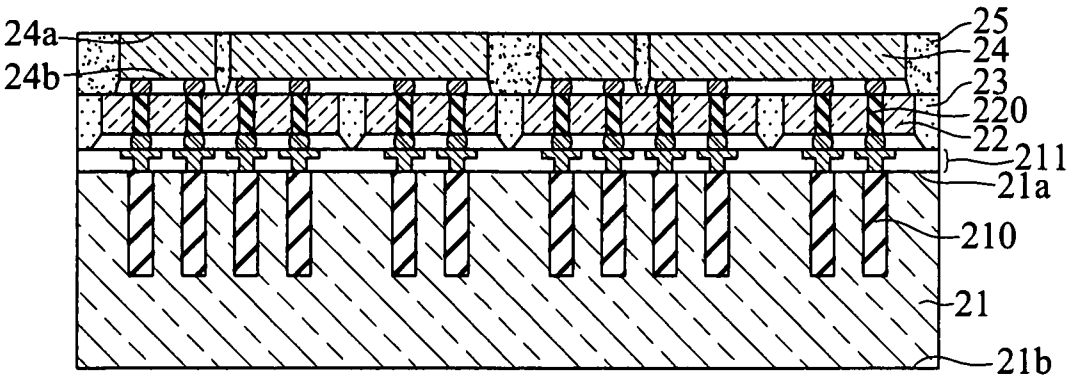
第2D圖



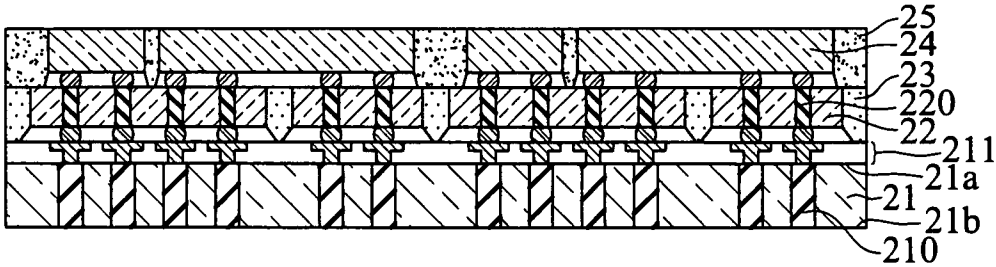
第2E圖



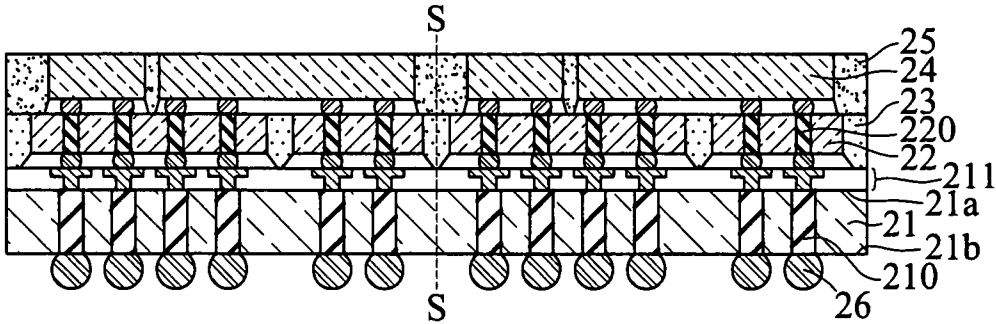
第2F圖



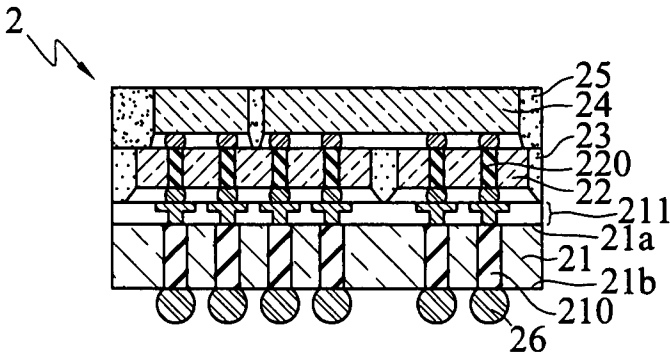
第2G圖



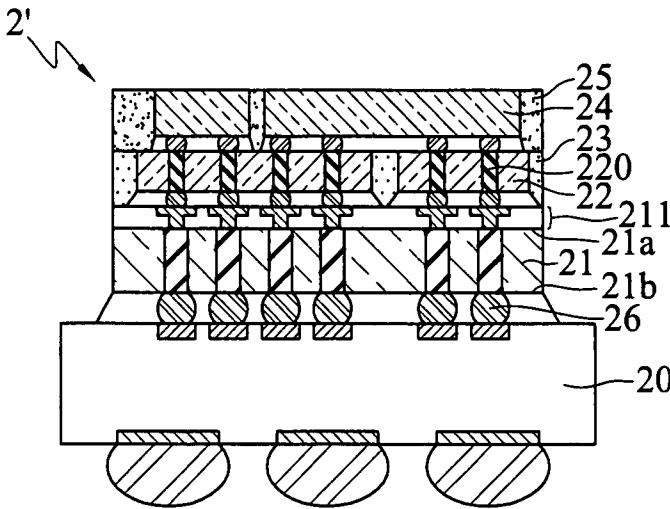
第2H圖



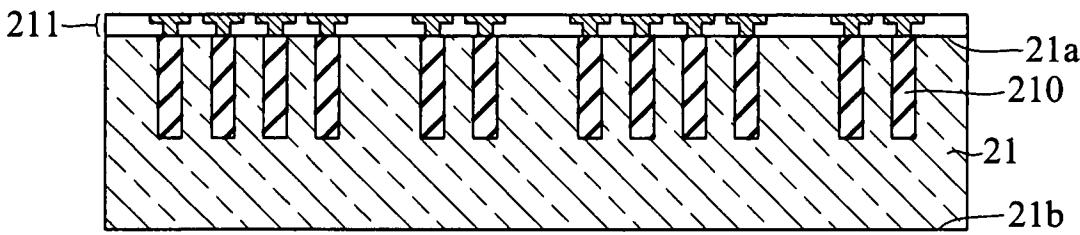
第2I圖



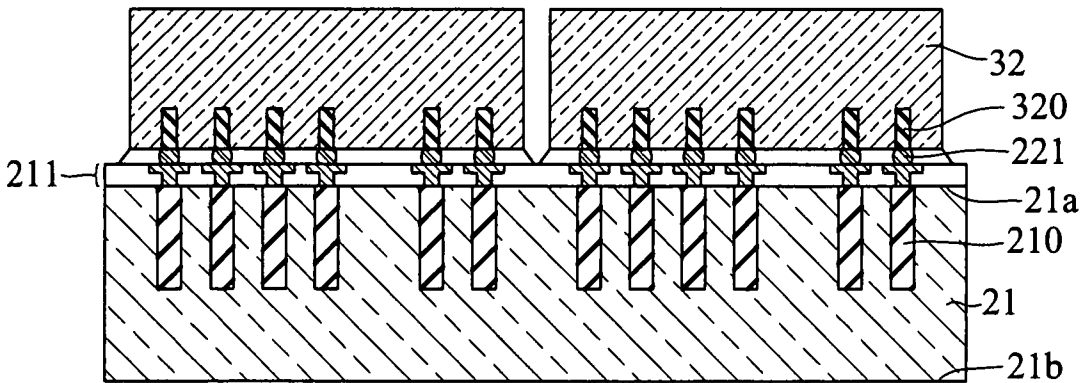
第2J圖



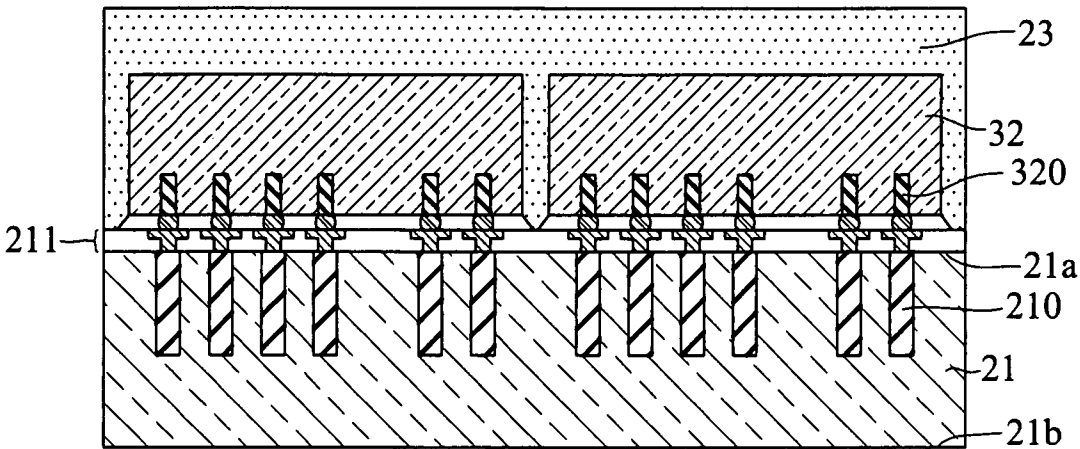
第2K圖



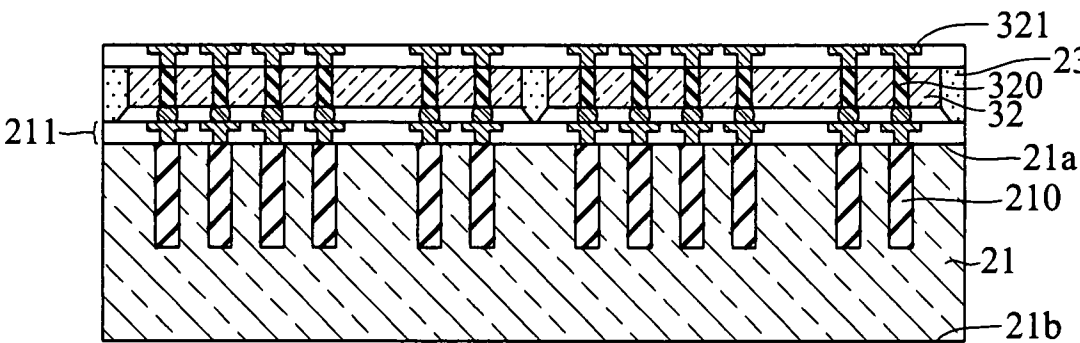
第3A圖



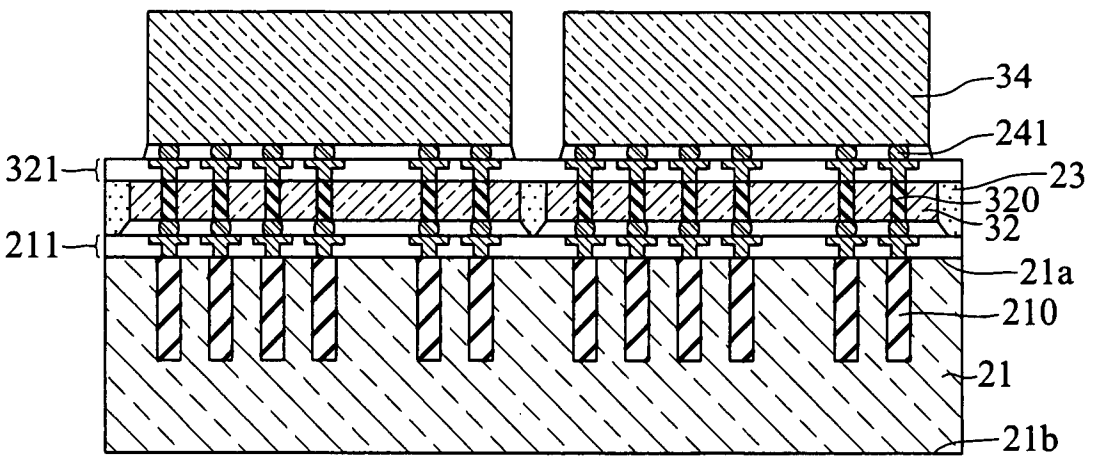
第3B圖



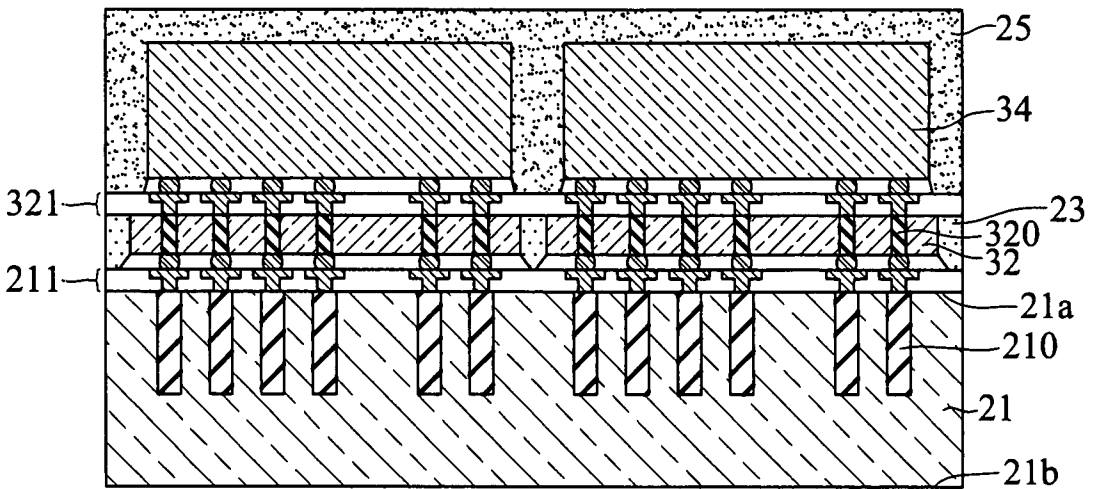
第3C圖



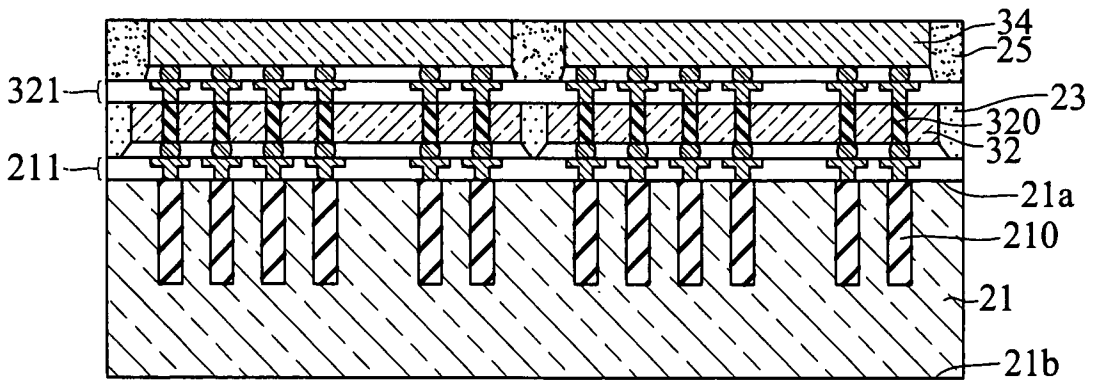
第3D圖



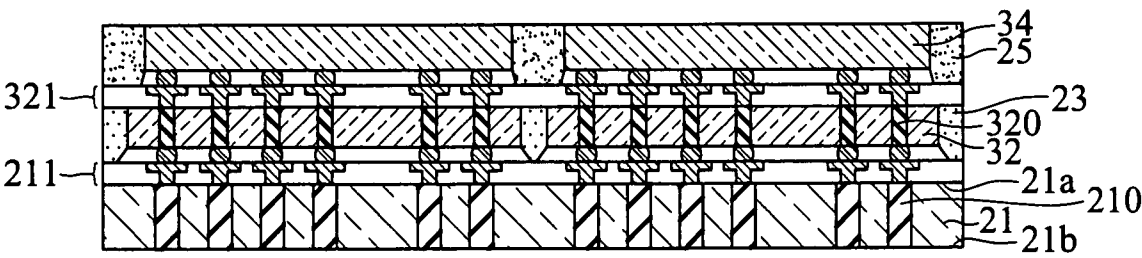
第3E圖



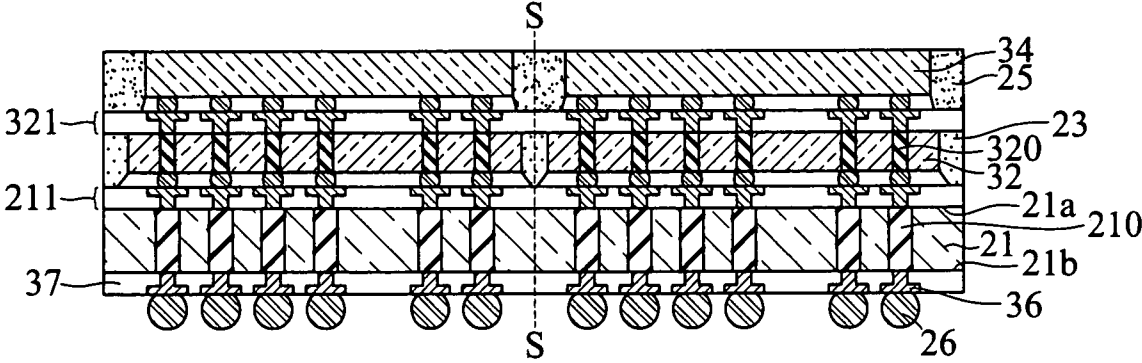
第3F圖



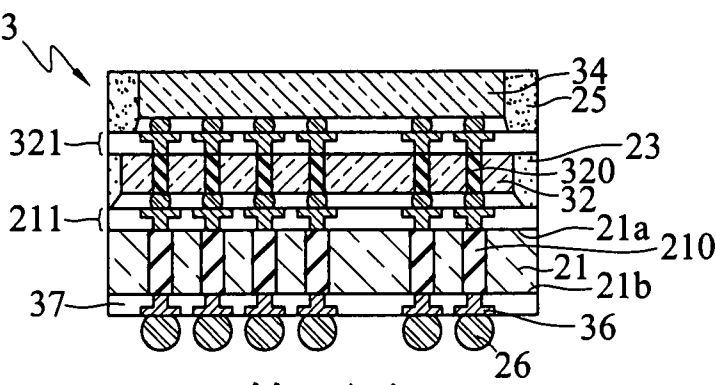
第3G圖



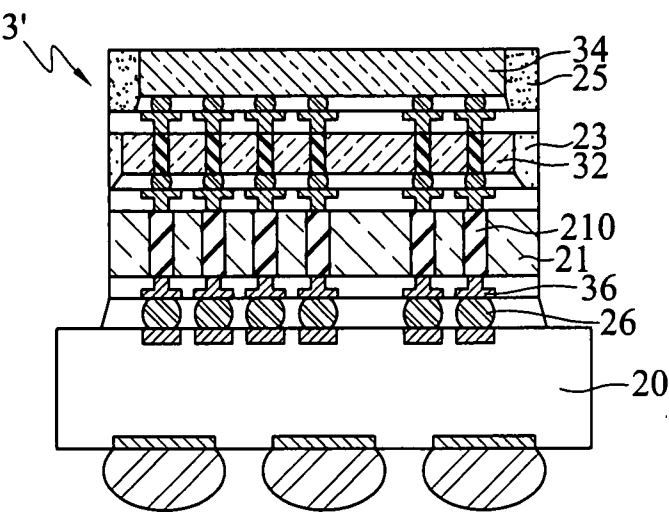
第3H圖



第3I圖



第3J圖



第3K圖