(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3544617号
(P3544617)
(45)発行日　平成16年7月21日(2004.7.21)　(24)登録日　平成16年4月16日(2004.4.16)

(51)Int.Cl.[7]　F I
H03H 17/02　H03H 17/02　615A
H04Q 3/42　H03H 17/02　635Z
H03H 17/02　641Z
H04Q 3/42　104

請求項の数 2　(全 15 頁)

(21)出願番号　特願平10-75183
(22)出願日　平成10年3月24日(1998.3.24)
(65)公開番号　特開平11-274895
(43)公開日　平成11年10月8日(1999.10.8)
審査請求日　平成14年8月22日(2002.8.22)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100089071
弁理士　玉村　静世
(72)発明者　阿部　義孝
東京都青梅市新町六丁目１６番地の３　株式会社日立製作所　デバイス開発センタ内
(72)発明者　岡崎　孝男
東京都青梅市新町六丁目１６番地の３　株式会社日立製作所　デバイス開発センタ内

審査官　畑中　博幸

最終頁に続く

(54)【発明の名称】信号処理回路及び加入者回路

(57)【特許請求の範囲】
【請求項１】
入力されたアナログ信号を所定のフィルタ特性で処理するための第１のアナログフィルタと、上記第１のアナログフィルタの出力信号をディジタル信号に変換するための第１の変換手段と、上記第１の変換手段の出力信号を所定のフィルタ係数に従って処理するためのディジタルフィルタと、上記ディジタルフィルタでの処理結果をアナログ信号に変換するための第２の変換手段とを含む信号処理回路であって、
複数のフィルタ係数がテーブル化されたフィルタ係数テーブルと、
上記第２のアナログフィルタの出力信号を上記第１のアナログフィルタに伝達可能な信号経路を形成するためのスイッチと、
上記スイッチにより上記信号経路が形成された状態で、上記第２の変換手段にディジタルの正弦波信号を入力し、この正弦波信号と上記第１の変換手段の出力信号との乗算値を上記の正弦波信号の周期の１以上の倍数期間だけ積分した結果とひとつ以上の任意のしきい値とを比較することで、上記アナログフィルタを構成する素子のプロセスばらつきに呼応するフィルタ係数を決定するための判定手段と、
上記判定手段の決定に基づいて、上記フィルタ係数テーブルから対応するフィルタ係数を選択的に上記ディジタルフィルタに出力させるための手段と、
を含むことを特徴とする信号処理回路。
【請求項２】
加入者線に結合された加入者線インタフェースと、この加入者線インタフェースと上位装

置との間に配置された信号処理手段とを含む加入者回路であって、請求項１記載の信号処理回路を上記信号処理手段に適用して成ることを特徴とする加入者回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、ディジタル信号処理の分野に関し、特にＡ／Ｄ変換後の信号をディジタル信号処理によりフィルタリング処理した後、Ｄ／Ａ変換器により出力して終端インピーダンス特性を設定する電話交換機用の加入者回路に適用して有効な技術に関する。

【０００２】

【従来の技術】

入力フィルタを介して入力されたアナログの入力信号をＡ／Ｄ変換した後に、ディジタル信号処理によりフィルタリング処理を行い、さらにＤ／Ａ変換し、出力フィルタを通してアナログ信号を得る従来技術としては特公平４－７７４９３号公報の例に示される信号処理回路がある。この場合、終端インピーダンスを決定するインピーダンスフィルタの構成を「４（または８）タップＦＩＲフィルタ」で実現するようになっており、当該インピーダンスフィルタの係数は、制御Ｉ／Ｏバスによってプログラムされる構成となっている。

【０００３】

【発明が解決しようとする課題】

一般に、上記従来技術と同様に、Ａ／Ｄ変換器の前段に置かれる入力フィルタ、Ｄ／Ａ変換器の後段の出力フィルタには、抵抗やコンデンサの組み合わせによって形成される低域通過フィルタ（ＬＰＦ）が使用される。半導体チップに抵抗やコンデンサを搭載した場合、抵抗間の比精度、及び容量間の比精度は、比較的高精度で実現できるが、抵抗値の絶対値や容量の絶対値は、ばらつきが大きく、精度を上げるのが難しい。このため、上記入力フィルタや出力フィルタに使用されている低域通過フィルタのカットオフ周波数は、抵抗やコンデンサのばらつきの影響を強く受ける。

【０００４】

しかしながら、上記従来技術では、係数を決定する手段が制御Ｉ／Ｏバスによりプログラムされるのみであるため、内部の抵抗やコンデンサのばらつきに対する配慮がされない。そのため、加入者回路などにおいて終端特性を均一化するには、個別にフィルタ係数を調整しなければならず、面倒となる。

【０００５】

本発明の目的は、素子のプロセスばらつきを容易に補償するための技術を提供することにある。

【０００６】

本発明の上記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【０００７】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【０００８】

すなわち、入力されたアナログ信号を所定のフィルタ特性で処理するためのアナログフィルタ（ＬＰＦ１，ＬＰＦ２）と、ディジタル信号を所定のフィルタ係数に従って処理するためのディジタルフィルタ（ＤＦＩＬ１，ＤＦＩＬ２，ＤＦＩＬ３，ＤＦＩＬ４）とを含んで信号処理回路が構成されるとき、複数のフィルタ係数がテーブル化されたフィルタ係数テーブル（６）と、上記アナログフィルタを構成する素子のプロセスばらつきに呼応するフィルタ係数を上記フィルタ係数テーブルから選択的に上記ディジタルフィルタに出力させるための切り替え手段（７）とを設ける。

【０００９】

上記した手段によれば、切り替え手段は、上記アナログフィルタを構成する素子のプロセ

スばらつきに呼応するフィルタ係数を上記フィルタ係数テーブルから選択的に上記ディジタルフィルタに出力させる。このことが、上記アナログフィルタにおける素子のプロセスばらつきの補償を達成する。

【００１０】

また、入力されたアナログ信号を所定のフィルタ特性で処理するための第１のアナログフィルタ（ＬＰＦ１）と、上記第１のアナログフィルタの出力信号をディジタル信号に変換するための第１の変換手段（ＡＤＣ）と、上記第１の変換手段の出力信号を所定のフィルタ係数に従って処理するためのディジタルフィルタ（ＤＦＩＬ１，ＤＦＩＬ２，ＤＦＩＬ３，ＤＦＩＬ４）と、上記ディジタルフィルタでの処理結果をアナログ信号に変換するための第２の変換手段（ＤＡＣ）とを含んで信号処理回路が構成されるとき、複数のフィルタ係数がテーブル化されたフィルタ係数テーブル（６）と、上記アナログフィルタを構成する素子のプロセスばらつきに呼応するフィルタ係数を上記フィルタ係数テーブルから選択的に上記ディジタルフィルタに出力させるための切り替え手段（７）とを設けることができる。

【００１１】

そして、入力されたアナログ信号を所定のフィルタ特性で処理するための第１のアナログフィルタ（ＬＰＦ１）と、上記第１のアナログフィルタの出力信号をディジタル信号に変換するための第１の変換手段（ＡＤＣ）と、上記第１の変換手段の出力信号を所定のフィルタ係数に従って処理するためのディジタルフィルタ（ＤＦＩＬ１，ＤＦＩＬ２，ＤＦＩＬ３，ＤＦＩＬ４）と、上記ディジタルフィルタでの処理結果をアナログ信号に変換するための第２の変換手段（ＤＡＣ）とを含んで信号処理回路が構成されるとき、複数のフィルタ係数がテーブル化されたフィルタ係数テーブル（６）と、上記第２のアナログフィルタの出力信号を上記第１のアナログフィルタに伝達可能な信号経路を形成するためのスイッチ（ＳＷ１）と、上記スイッチにより上記信号経路が形成された状態で、上記第２の変換手段にディジタルの正弦波信号を入力し、この正弦波信号と上記第１の変換手段の出力信号との乗算値を上記の正弦波信号の周期の１以上の倍数期間だけ積分した結果とひとつ以上の任意のしきい値とを比較することで、上記アナログフィルタを構成する素子のプロセスばらつきに呼応するフィルタ係数を決定するための判定手段（５０１）と、上記判定手段の決定に基づいて、上記フィルタ係数テーブルから対応するフィルタ係数を選択的に上記ディジタルフィルタに出力させるための手段（９６）とを設けることができる。

【００１２】

上記した手段によれば、判定手段は、上記アナログフィルタを構成する素子のプロセスばらつきに呼応するフィルタ係数を決定し、この結果に基づいて記フィルタ係数テーブルから対応するフィルタ係数を選択的に上記ディジタルフィルタに出力される。このことが、上記アナログフィルタにおける素子のプロセスばらつきの補償を達成する。

【００１３】

さらに、加入者線に結合された加入者線インタフェースと、この加入者線インタフェースと上位装置との間に配置された信号処理手段とを含む加入者回路において、上記信号処理回路を上記信号処理手段に適用することができる。

【００１４】

【発明の実施の形態】

図２には、本発明にかかる信号処理回路が適用される加入者回路が示される。

【００１５】

加入者回路３０は、特に制限されないが、電話交換機などに内蔵されるものであり、加入者線に結合された加入者線インタフェース２０と、この加入者線インタフェース２０と上位装置４０との間に配置される信号処理回路１０とを含む。

【００１６】

図１には、上記信号処理回路１０の構成例が示される。

【００１７】

１はアナログ入力端子であり、このアナログ入力端子１から入力されたアナログ信号は、

エイリアスを防ぐための第１の低域通過フィルタＬＰＦ１に入力され、さらに後段のＡ／Ｄ変換器ＡＤＣに入力されてディジタル信号化される。このディジタル化された信号は、ディジタル信号処理手段５によって処理される。

【００１８】

上記ディジタル信号処理手段５は、ワイヤードロジックによる信号処理回路でも良いし、プロセッサを用いたものでも良い。

【００１９】

上記ディジタル信号処理手段５では、以下に述べるディジタルフィルタの信号処理が行われる。

【００２０】

ディジタルフィルタＤＦＩＬ１は、加入者線インピーダンスなどをディジタル的に設定する場合のために設けられたフィルタであり、上記Ａ／Ｄ変換器ＡＤＣの出力信号を処理してその結果を加算器１２へ出力する。加算器１２は、ディジタルフィルタＤＦＩＬ１の出力信号とディジタルフィルタＤＦＩＬ４の出力信号とを加算してＤ／Ａ変換器ＤＡＣに帰還する。ディジタル入力端子４は、ＰＣＭ（Ｐｕｌｓｅ　Ｃｏｄｅ　Ｍｏｄｕｌａｔｉｏｎ）信号の入力であり、ディジタルフィルタＤＦＩＬ４に入力される。上記ＤＦＩＬ４では低域フィルタ、周波数補正などのフィルタ処理が行われ、上記ディジタルフィルタＤＦＩＬ１の出力信号との加算器と反響などを打ち消すために設けられたディジタルフィルタＤＦＩＬ２へ入力とされる。ディジタルフィルタＦＩＬ２の出力信号は、加算器１１において上記Ａ／Ｄ変換器ＡＤＣの出力信号と加算され、ディジタルフィルタＤＦＩＬ３へ入力される。当該ディジタルフィルタＤＦＩＬ３では、ＰＣＭ信号にするための周波数補正処理、及び、音声帯域のみを取り出す帯域通過フィルタの処理が行われる。上記Ｄ／Ａ変換器ＤＡＣの出力信号は、高調波成分を除去するための第２の低域通過フィルタＬＰＦ２を介して、出力端子２から出力される。６は、上記ディジタルフィルタＤＦＩＬ１、ＤＦＩＬ２、ＤＦＩＬ３、ＤＦＩＬ４のフィルタ処理におけるフィルタ係数の組み合わせを記憶したフィルタ係数テーブル（ＣＯＥＦ－ＴＢＬ）、７は、上記フィルタ係数テーブルに記載されたフィルタ係数の組み合わせのうち、どれを使用するかを選択するためのフィルタ係数切り替え手段であり、８は、上記フィルタ係数切り替え手段７から上記フィルタ係数テーブル６を選択する制御線である。

【００２１】

一般に図１に記載の上記信号処理回路１０に内蔵される低域通過フィルタＬＰＦ１、ＬＰＦ２の一構成例としては、図３に示されるような２次のアクティブフィルタが用いられる。アンプＯＰの反転入力端子と出力端子とが結合されてボルテージホロワとされる。抵抗値をＲとする二つの抵抗が互いに直列接続され、その一端が入力端子、他端がアンプＯＰの非反転入力端子に結合される。また、アンプＯＰの非反転入力端子は、容量Ｃのコンデンサを介してグランドに結合されている。上記二つの抵抗の直列接続ノードとアンプＯＰの出力端子との間に、容量２Ｃのコンデンサが結合される。

【００２２】

上記低域通過フィルタＬＰＦ１、ＬＰＦ２は、アナログ回路であり、本信号処理回路１０を半導体化した場合、半導体製造プロセスのばらつきの影響を受ける。

【００２３】

図４、図５には抵抗Ｒの抵抗値を１００ｋΩとし、コンデンサの単位容量Ｃを１００ｐＦとした場合において、仮に抵抗Ｒ及びコンデンサＣが±３０％ばらついた場合の伝送利得特性と位相特性がそれぞれ示される。

【００２４】

電話交換などの音声帯域（３００～３４００Ｈｚ）を処理すると仮定した場合に、抵抗Ｒ及びコンデンサＣのばらつきは、伝送利得Ｇへの影響が少ないことが分かる（図４参照）。しかし、位相φは、１ｋＨｚ近辺から上記抵抗Ｒ及びコンデンサＣのばらつきの影響を受けている（図５参照）。この位相φへの影響は、加入者回路の終端特性への影響として非常に大きいものとなる。

【００２５】
例えば、加入者回路の終端インピーダンスは、アナログ入力端子１からアナログ出力端子２への伝達特性によって決定しており、伝送利得特性だけでなく、位相特性においても高精度に伝達特性を合わせることが要求される。それについて図６を用いて以下に説明する。
【００２６】
図６には、前述の加入者線インタフェース回路３０の基本的な構成が示される。
【００２７】
ここでＢＡ１は、加入者線２３、２４の線間の差動電圧を任意の係数倍で伝達する電圧電圧変換回路であり、ＡＦＩＬは、上記電圧電圧変換回路ＢＡ１からの信号を信号処理回路１０を通さないで帰還するアナログフィルタであり、ＢＡ２は、端子２２から入力された信号と前述のアナログフィルタＡＦＩＬの出力信号を加入者線２３、２４に差動電流として出力する電圧電流変換回路である。また、ディジタル信号処理回路１０５内のディジタルフィルタＤＦＩＬ１１～ＤＦＩＬ１４は、図１に示されるのとは異なり、係数の切り替えが行われない。
【００２８】
加入者回路には、加入者線側から見える加入者回路３０の終端インピーダンスＺＳＬＩＣの良否を判定する項目として図７に示される回路で測定されるリターンロス（ＲＥＴＵＲＮ　ＬＯＳＳ）特性がある。これは、抵抗Ｒ１、Ｒ２を互いに等しく（Ｒ１＝Ｒ２）、抵抗Ｒ１、Ｒ２と基準インピーダンスＺｒｅｆと加入者回路側のインピーダンスＺＳＬＩＣによりブリッジを構成した状態で信号源ＶＩＮより信号を印加した場合に発生する電圧ＶＭを測定し、次の数１で示される特性を評価するものである。
【００２９】
ＲＥＴＵＲＮ　ＬＯＳＳ＝２０ｌｏｇ（２ＶＩＮ／ＶＭ）［ｄＢ］……数１
上記で得られるリターンロスの値は、加入者回路４０のインピーダンスＺＳＬＩＣが、基準インピーダンスＺｒｅｆに近いほど大きな値となり、良好な特性であることが示される。図７では、基準インピーダンスＺｒｅｆとして以下に述べる説明を容易にするため、抵抗Ｒ６００とコンデンサＣ１ＵＦによる２素子による複素インピーダンスを一例として示しているが、加入者回路に求められるインピーダンスは、使用される地域によって異なり、この限りでは無い。
【００３０】
図６に示される加入者回路３０の電圧電圧変換回路ＢＡ１の伝達関数をＡとし、電圧電流変換回路ＢＡ２の伝達関数をＧｍとし、アナログフィルタＡＦＩＬの伝達関数をＨＡＦＩＬ、低域通過フィルタＬＰＦ１、ＬＰＦ２の伝達関数をそれぞれＨＬＰＦ１、ＨＬＰＦ２とし、ディジタルフィルタＤＦＩＬ１１の伝達関数をＨＤＦＩＬ１１とし、Ａ／Ｄ変換器、Ｄ／Ａ変換器の伝達関数は、ＨＡＤＣ、ＨＤＡＣとする。この場合、加入者回路４０のインピーダンスＺＳＬＩＣは、次の数２で表される。
【００３１】
ＺＳＬＩＣ＝１／（Ａ・Ｇｍ・（ＨＡＦＩＬ＋ＨＬＰＦ１・ＨＡＤＣ・ＨＤＦＩＬ１１・ＨＤＡＣ・ＨＬＰＦ２））……数２
ここで、低域通過フィルタＬＰＦ１、ＬＰＦ２には、図３に示されるようにコンデンサの単位容量をＣ、抵抗値をＲとした回路を使用したとし、式の簡単化のためにアンプＯＰを理想アンプとすると、その伝達関数ＨＬＰＦ１およびＨＬＰＦ２は、数３に示されるようになる。
【００３２】
ＨＬＰＦ１＝ＨＬＰＦ２＝１／（１＋２ｓＣＲ＋２（ｓＣＲ）^{2}）……数３
ここで、ｓ＝ｊω、ω＝２πｆであり、πは円周率、ｆは周波数である。また、ｊ＝√－１である。
【００３３】
ディジタルフィルタＤＦＩＬ１１の構成としては、図８に示されるようなＩＩＲ（Ｉｎｆ

ｉｎｉｔｅ Ｉｍｐｌｕｓｅ Ｒｅｓｐｏｎｓｅ）型のディジタルフィルタを考える。同図においてＺ－１は、単位時間の遅延処理を示し、伝達関数としては、サンプリング時間をＴｓとしたとき、Ｚ＝ｅｘｐ（ｊωＴｓ）である。また、Ｋ、Ａ０、Ａ１、Ａ２、Ｂ１、Ｂ２は、入力された信号に任意の係数を乗算して出力するための乗算処理が示される。これらの遅延処理、及び、乗算処理などによりディジタルフィルタＤＦＩＬ１１によって実現される伝達関数ＨＤＦＩＬ１１は、次の数４に示されるようになる。

【００３４】

$$HDFIL11=K\cdot(A0+A1\cdot Z^{-1}+A2\cdot Z^{-2})/(1-B1\cdot Z^{-1}-B2\cdot Z^{-2})\quad\cdots\cdots\text{数}4$$

数４においてＫ、Ａ０、Ａ１、Ａ２、Ａ２、Ａ３は、各乗算処理で乗算される任意の係数であり、以下の説明では、フィルタ係数と称する。

【００３５】

そこで、一例としてディジタルフィルタＤＦＩＬ１１における単位遅延時間ＴｓをＴｓ＝３１．２５μｓ（＝１／３２ｋＨｚ）とし、フィルタ係数としてＫ＝０．１２１、Ａ０＝１．０００、Ａ１＝－０．７９９、Ａ２＝０．２５０、Ｂ１＝０．８７５、Ｂ２＝０．０７０とし、リターンロス特性測定における基準インピーダンスＺｒｅｆを構成する抵抗Ｒ６００としてＲ６００＝６００Ω、容量Ｃ１ＵＦとしてＣ１ＵＦ＝１μＦとした場合について、リターンロス特性を計算した結果を図９に示す。

【００３６】

ここで、説明の便宜上、電圧電圧変換器ＢＡ１の伝達関数ＡをＡ＝１、電圧電流変換器ＢＡ２の伝達関数ＧｍをＧｍ＝１／６００、アナログフィルタＡＦＩＬの伝達関数を１、Ａ／Ｄ変換器ＡＤＣの伝達関数ＨＡＤＣをＨＡＤＣ＝１、Ｄ／Ａ変換器ＤＡＣの伝達関数ＨＤＡＣをＨＤＡＣ＝１としている。低域通過フィルタＬＰＦ１、ＬＰＦ２は、単位容量Ｃの中心値をＣ＝１００ＰＦ、同じく抵抗Ｒの中心値をＲ＝１００ｋΩとした。尚、上記単位容量Ｃと抵抗Ｒがばらついた場合として単位容量Ｃが－３０％と抵抗Ｒ＝－３０％の時、及び、単位容量Ｃが＋３０％と抵抗Ｒが＋３０％のときについて計算した結果も同時に示している。

【００３７】

図１８には、周波数１ｋＨｚにおけるＣＲ時定数のばらつきに対するリターンロス特性の劣化が示される。図９及び図１８に示されるようにフィルタ係数を切り替えない場合は、低域通過フィルタＬＰＦ１、ＬＰＦ２におけるコンデンサと抵抗のばらつきによりリターンロス特性に劣化を生じる。

【００３８】

以上の説明では、ディジタルフィルタＤＦＩＬ１１の場合について述べたが、同様に、ＤＦＩＬ１２、ＤＦＩＬ１３、ＤＦＩＬ１４の場合についてもフィルタ係数を切り替えない場合は、低域通過フィルタＬＰＦ１、ＬＰＦ２内のコンデンサと抵抗のばらつきにより影響を受け、劣化度合いは異なるが、伝送損失周波数特性などの他の特性が劣化することが考えられる。そこで、伝達関数を決定しているのディジタルフィルタのフィルタ係数を抵抗Ｒ及びコンデンサＣのばらつきに合わせて変更することで、プロセスばらつきを補償する。

【００３９】

つまり、図１に示されるように上記抵抗Ｒ及びコンデンサＣのばらつきを吸収するためにフィルタ係数切り替え手段（ＳＥＬ）７を設け、ディジタルフィルタＤＦＩＬ１～４のフィルタ係数をフィルタ係数切り替え手段７により切り替える。この切り替えは、フィルタ係数切り替え手段７から制御線８を介してフィルタ係数テーブル６に制御信号が伝達されることによって可能とされる。

【００４０】

図１０には、フィルタ係数を切り替える様子が示される。

【００４１】

ここでは、前述の図８と比較できるようにディジタルフィルタＤＦＩＬ１の場合が示され

る。
【００４２】
図１０ではディジタルフィルタＤＦＩＬ１として示しているが、図１に示されるように他のディジタルフィルタＤＦＩＬ２～４についても同様にフィルタ係数を切り替えることができる。しかし、４つのディジタルフィルタＤＦＩＬ１～４のすべてにフィルタ係数の切り替えを適用することに限定する必要は無く、ディジタルフィルタＤＦＩＬ１のみに適用しても良いし、ＤＦＩＬ１とＤＦＩＬ２に適用しても良い。なぜなら、低域通過フィルタＬＰＦ１、ＬＰＦ２の抵抗、コンデンサのばらつきがすべての特性に大きく劣化要因となる訳では無く、多少の劣化が許される場合もあるからである。
【００４３】
図１０に示されるフィルタ係数テーブル６で選択されるディジタルフィルタＤＦＩＬ１のフィルタ係数Ｋ、Ａ０、Ａ１、Ａ２、Ｂ１、Ｂ２の値の一例として、図１７に示されるように組み合わせの種類が３種類で、抵抗とコンデンサによるＣＲ時定数の中心値に対し、ＣＲ時定数が－２０％以下のばらつきの時に組合せ２のフィルタ係数を使用し、ＣＲ時定数が＋２０％以上のばらつきのときには、組合せ３のフィルタ係数を使用し、それ以外のときには、組合せ１のフィルタ係数を使用する場合のリターンロス特性について計算した結果を図１１に示す。
【００４４】
また、図１９には、周波数１ｋＨｚにおけるＣＲ時定数ばらつきに対するリターンロス特性が示される。その結果は、抵抗、コンデンサのばらつきに対応して、フィルタ係数が切り替わりディジタルフィルタＤＦＩＬ１の特性が変わるので、図９及び図１８に示される結果より良好な特性が得られるようになっている。
【００４５】
図１３には、上記フィルタ係数切り替え手段７の一構成例が示される。
【００４６】
ここで７１は、トリミングパッドであり、７２は、フィルタ係数テーブルに切り替え情報を送るバッファ、７３はトリミングにより切断されるヒューズ、Ｒｐｕｌｌは、プルアップ抵抗、ＶＣＣは電源である。半導体製造において、通常は半導体ウェーハ上に抵抗Ｒの単位抵抗やコンデンサＣの単位容量を確認することにより、製造ばらつきが許容範囲内であることの確認作業が行われるから、それによって、プロセスばらつき情報を得ることができる。そして、この情報に基づいて、チップトリミング時に、フィルタ係数切り替え手段７内のトリミングヒューズによりフィルタ係数の切り替えを行う。つまり、トリミングヒューズが溶断されたか否かによってフィルタ係数の切り替えを行う。この場合、フィルタ係数テーブル６への制御線８は、単線の１ビットで示しているが、フィルタ係数切り替え手段７を複数用意することにより、多ビットに拡張できることは、言うまでもない。
【００４７】
図１４には、抵抗Ｒのばらつきのみに着目したフィルタ係数切り替え手段７の第２の構成例が示される。
【００４８】
上記の説明では抵抗Ｒのばらつきと容量Ｃのばらつきに着目しているが、抵抗Ｒのばらつきの比率が大きく、容量Ｃのばらつきが無視できる場合がある。このような場合のフィルタ係数切り替え手段は図１４に示されるように構成することができる。
【００４９】
同図において８１は、外部に外部抵抗Ｒｅｘｔを取り付けるための端子であり、内部抵抗Ｒｉｎｔを通して電源ＶＣＣに接続される。ＣＭＰ１、ＣＭＰ２は、それぞれ、第１、第２の基準電圧Ｖｒｅｆ１、Ｖｒｅｆ２に対して電圧比較を行う第１、第２のコンパレータであり、端子８１の電圧と任意の基準電圧Ｖｒｅｆ１、Ｖｒｅｆ２と比較を行い、その比較結果を制御線８へ出力する。ここで、第１、第２の基準電圧を内部抵抗Ｒｉｎｔと外部抵抗Ｒｅｘｔの分圧で決まる電圧として、基準電圧Ｖｒｅｆ１、Ｖｒｅｆ２を設定しておくことで、内部抵抗Ｒｉｎｔの絶対値のばらつきを得ることができる。一般に半導体プロ

セスでは、抵抗値の絶対値のばらつきが大きいものの、内部の抵抗同士の比率は比較的高精度であるので、内部抵抗Ｒｉｎｔの絶対値のばらつきを得ることで、低域通過フィルタＬＰＦ１、ＬＰＦ２に使用されている抵抗の絶対値のばらつきを把握することができる。このため、フィルタ係数テーブル（ＣＯＥＦ－ＴＢＬ）６をこのフィルタ係数切り替え手段で制御することが可能となる。

【００５０】

図１５には、ディジタル信号処理回路５で信号処理プロセッサを使用した場合に適用例が示される。図１５におけるＳＷ１～ＳＷ４の状態は、抵抗Ｒ及びコンデンサＣのばらつきを判定する状態を示している。５はディジタル信号処理回路であるが、ディジタル信号処理プロセッサを使用した場合には、信号処理内容をソフトウェアにより切り替えることが可能である。同図におけるＳＷ３、ＳＷ４は、このソフトウェアによる切り替えを示し、抵抗やコンデンサのばらつきを判定するための判定手段５０１や、この判定後の信号処理を行うための信号処理手段５０２は、ソフトウェアによる信号処理によって機能的に形成される機能実現手段である。ただし、ディジタル信号処理回路５に信号処理プロセッサではなく、ワイヤードロジックを用いてこれらの信号処理相当で行っても良いことは言うまでもない。

【００５１】

ＳＷ１は、第２の低域通過フィルタＬＰＦ１の出力信号が第１の低域通過フィルタＬＰＦ１の入力に入力できるようにするスイッチである。ＳＷ２は、アナログ出力端子２へ低域通過フィルタＬＰＦ２の出力信号が出力されないようにするためのスイッチである。９１は、ディジタル信号処理による発振手段であり、ディジタルフィルタ手段ＤＬＰＦ９５に信号Ｖｓを入力する。ディジタルフィルタ手段９５は、発振手段９１によって作成されたＶｓ信号から高長波成分を除去し、基本波成分のみにするフィルタである。当該ディジタルフィルタ手段９５の出力信号Ｖｘは、Ｄ／Ａ変換器の入力と乗算器９２の一方の入力に入力される。Ｄ／Ａ変換器に入力されたＶｘ信号は、Ｄ／Ａ変換器ＤＡＣによりアナログ信号化され、第２のＬＰＦ２、スイッチＳＷ１、Ａ／Ｄ変換器ＡＤＣを通って再度ディジタル化され、ディジタル信号Ｖｙとして乗算器９２の他方の入力に入力される。９２は乗算器であり、この乗算器９２は、上記信号Ｖｘと信号Ｖｙを入力として乗算し、その結果の出力信号Ｖｚを積分器９３に入力する。積分器９３は、入力された信号Ｖｚを信号Ｖｘの周期の整数倍の期間積分処理を行い、積分結果信号Ｖｓｕｍを判定しきい値ＶＴＨと比較するコンパレータ９４に入力する。コンパレータ９４は、積分結果Ｖｓｕｍと判定しきい値ＶＴＨとの判定結果を結果保持手段（Ｆ／Ｆ）９６に出力する。結果保持手段９６は、制御線８を通してフィルタ係数テーブル６を制御するように接続される。

【００５２】

今、ディジタルフィルタＤＬＰＦの出力信号Ｖｘが次の数５で表されるものとする。

【００５３】

Ｖｘ＝ｓｉｎ（ωｔ）……数５

次に、Ｄ／Ａ変換器ＤＡＣによってアナログ信号に変換された信号Ｖｘが、次段の低域通過フィルタＬＰＦ２、ＬＰＦ１を介してＡ／Ｄ変換器ＡＤＣに入力され、そこでディジタル信号に変換されて出力された信号Ｖｙは、次の数６で表される。

【００５４】

Ｖｙ＝ｓｉｎ（ωｔ＋θ）……数６

ここで、θは、低域通過フィルタＬＰＦ１、ＬＰＦ２内の抵抗やコンデンサのばらつきにより発生した位相遅れであり、抵抗Ｒ及びコンデンサＣの時定数が増大すると位相θが大きい値となり、逆に抵抗Ｒ及びコンデンサＣの時定数が小さいと位相θも小さくなる。乗算器９２は、上記信号Ｖｘと信号Ｖｙを乗算するのでその乗算結果Ｖｚは、数７に示されるようになる。

【００５５】

Ｖｚ＝（ｃｏｓ（θ）－ｃｏｓ（２ωｔ＋θ））／２……数７

積分器９３は、上記乗算結果Ｖｚを信号Ｖｘの周期の整数倍だけ積分するので、今、周期

をＴとしてｎ周期分だけ積分するとすると積分結果Ｖｓｕｍは次の数８によって得られる。

【００５６】

Ｖｓｕｍ＝ｎＴｃｏｓ（θ）……数８

この結果、抵抗Ｒ及びコンデンサＣのばらつきによる時定数が小さいときは、積分結果Ｖｓｕｍの値が大きくなり、時定数が大きいときは、小さくなる。したがって、抵抗Ｒ及びコンデンサＣのばらつきを判定する判定しきい値ＶＴＨと上記積分結果Ｖｓｕｍとをコンパレータ９４により比較することにより抵抗Ｒ及びコンデンサＣのばらつきを得ることができる。この結果を結果保持手段９６に保持し、制御線８を介してフィルタ係数テーブル６を制御する。ここで判定しきい値ＶＴＨは、ひとつであっても良いし２つ以上の複数用意しても良い。

【００５７】

尚、本例においてディジタルフィルタ９５は、発振手段９１における信号Ｖｓの作成を簡単にするために付加したものであり、発振手段９１でクリアな信号が得られれば特に必要は無い。

【００５８】

以上のようにして判定手段５０１で、低域通過フィルタＬＰＦ１、ＬＰＦ２の抵抗、コンデンサのばらつきを判定した後、信号処理回路５は、信号処理フローを信号処理手段５０２に切り替える。処理的には、スイッチＳＷ３、ＳＷ４において破線側にスイッチが切り替わるようにする。同時にスイッチＳＷ１、ＳＷ２も破線で示されるように切り替えられる。切り替えた後の信号処理は、図１に基づいて説明したように、結果保持手段９６によってフィルタ係数テーブル６より選択されたフィルタ係数を用いてディジタルフィルタＤＦＩＬ１～４が信号処理が行われ、加入者回路の終端などの処理が行われる。

【００５９】

このようにディジタル信号処理回路５に信号処理プロセッサを用いる場合においては、容易に抵抗Ｒ及びコンデンサＣのばらつきを得ることができるのでディジタル信号処理回路５により簡単にフィルタ係数の選択をできる利点がある。

【００６０】

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【００６１】

例えば、図３には２次フィルタが示されるが、高次のフィルタを適用することができる。

【００６２】

また、図１０では、ディジタルフィルタの一構成例としてＩＩＲ構成のディジタルフィルタを示しているが、図１２に示されるようにＦＩＲ（Ｆｉｎｉｔｅ Ｉｍｐｕｌｓｅ Ｒｅｓｐｏｎｓｅ）構成でも良く、フィルタ構成に特にこだわらないことは、言うまでも無い。さらに図１０ではディジタルフィルタＤＦＩＬ１をひとつのＩＩＲ構成のディジタルフィルタで構成したが、図１６に示されるように２つ以上のディジタルフィルタ（同図ではＤＦＩＬｋとＤＦＩＬｍの２つ）に分割し、ディジタルフィルタＤＦＩＬｋのフィルタ係数のみをフィルタ係数テーブルで設定し、残りのディジタルフィルタＤＦＩＬｍのフィルタ係数は、固定値とすることも可能である。ここで、図１０、図１２、図１６においてディジタルフィルタＤＦＩＬｎ、ＤＦＩＬｋ、ＤＦＩＬｍ内におけるZ^{-1}は、遅延を示し、Ｋ、Ａ０、Ａ１、Ａ２、Ａ３…Ａｎ、Ｂ１、Ｂ２、ｋ、ａ０、ａ１、ａ２、ｂ１、ｂ２は、ディジタルフィルタの係数で乗算することを示している。

【００６３】

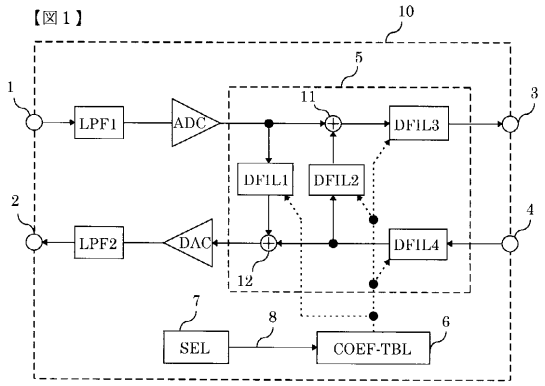
以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である加入者回路に適用した場合について説明したが、本発明はそれに限定されるものではなく、各種信号処理回路に適用することができる。

【００６４】

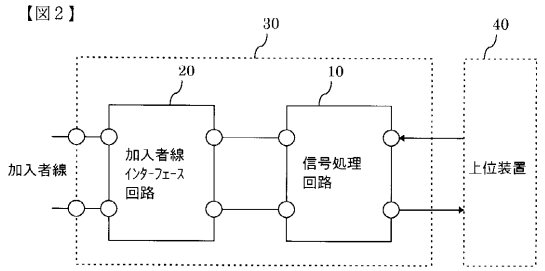
本発明は、少なくともフィルタを備えることを条件に適用することができる。
【００６５】
【発明の効果】
本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。
【００６６】
すなわち、半導体製造プロセスのばらつきで発生した抵抗の絶対値ばらつき、容量の絶対値ばらつきに対応して、予め用意されたディジタルフィルタ係数の組み合わせの中から選択的に切り替えることで、信号処理回路における上記ばらつきを容易に補償することができる。それにより、半導体製造プロセスのばらつきに対する特性の向上、さらには半導体製品の歩留りの向上を図ることができる。
【００６７】
また、上記信号処理回路を加入者回路に適用した場合、半導体製造プロセスのばらつきが補償されるので、加入者回路の終端インピーダンスなどの電気的特性の品質を均一化することができる。
【図面の簡単な説明】
【図１】本発明係る信号処理回路の第１の構成例ブロック図である。
【図２】上記信号処理回路を含む加入者回路の構成例ブロック図である。
【図３】上記信号処理回路に含まれる低域通過フィルタの構成例回路図である。
【図４】上記低域通過フィルタの伝送利得特性図である。
【図５】上記低域通過フィルタの位相特性図である。
【図６】上記加入者回路の構成例ブロック図である。
【図７】上記加入者回路リターンロス特性の測定回路図である。
【図８】上記信号処理回路に含まれるディジタルフィルタの構成例回路図である。
【図９】フィルタ係数を切り替えない場合のリターンロス特性図である。
【図１０】係数テーブルに対応して行われるフィルタ特性切り替えの説明図である。
【図１１】係数テーブルに対応してフィルタ特性を切り替えた場合のリターンロス特性図である。
【図１２】係数テーブルに対応して行われる別のフィルタ特性切り替えの説明図である。
【図１３】係数切り替え回路の構成例回路図である。
【図１４】係数切り替え回路の別の構成例回路図である。
【図１５】本発明に係る信号処理回路の別の構成例ブロック図である。
【図１６】係数テーブルに対応して行われる別のフィルタ特性切り替えの説明図である。
【図１７】上記係数テーブルのフィルタ係数説明図である。
【図１８】フィルタ係数を切り替えない場合の周波数１ｋＨｚにおけるリターンロス特性図である。
【図１９】係数テーブルに対応してフィルタ特性を切り替えた場合の周波数１ｋＨｚにおけるリターンロス特性図である。
【符号の説明】
１　アナログ入力端子
２　アナログ出力端子
３　ディジタル出力端子
４　ディジタル入力端子
５　ディジタル信号処理回路
６　フィルタ係数テーブル
７　フィルタ係数切り替え手段
８　制御線
９　ディジタルフィルタ
１０　信号処理回路
１１、１２　加算器

２０　加入者線インタフェース回路
２１　加入者線インタフェース回路の信号処理回路への出力端子
２２　加入者線インタフェース回路の信号処理回路からの入力端子
２３、２４　加入者線インタフェース回路の加入者線側の入出力端子
３０　加入者回路
３１、３２　加入者回路３０の加入者線側の入出力端子
４０　上位装置
７１　トリミングパッド
７２　バッファ
７３　トリミングヒューズ
８１　端子
８２　比較器
９１　発振手段
９２　乗算器
９３　積分器
９４　コンパレータ
９５　ディジタルＬＰＦ
９６　結果保持手段
１０５　ディジタル信号処理回路
５０１　判定手段
５０２　信号処理手段
ＬＰＦ１　第１のＬＰＦ
ＬＰＦ２　第２のＬＰＦ
Ａ／Ｄ　Ａ／Ｄ変換器
Ｄ／Ａ　Ｄ／Ａ変換器
ＤＦＩＬ１、ＤＦＩＬ２、ＤＦＩＬ３、ＤＦＩＬ４　ディジタルフィルタ
Ａ１、Ａ２、Ａ３、Ａｎ、Ｂ１、Ｂ２、ａ１、ａ２、ｂ１、ｂ２　フィルタ係数
ＶＩＮ　信号源
Ｒ１、Ｒ２　抵抗
Ｚｒｅｆ　基準インピーダンス
Ｒ６００　基準インピーダンスＺｒｅｆの抵抗成分
Ｃ１ＵＦ　基準インピーダンスＺｒｅｆの容量成分
Ｒｐｕｌｌ　プルアップ抵抗
Ｒｅｘｔ　外部抵抗
Ｒｉｎｔ　内部抵抗
ＣＭＰ１、ＣＭＰ２　コンパレータ
Ｖｒｅｆ１、Ｖｒｅｆ２　基準電圧
ＤＬＰＦ　ディジタル低域通過フィルタ
Ｖｓ　発振器
Ｖｘ　ディジタル低域通過フィルタの出力信号
Ｖｙ　Ａ／Ｄの出力信号
Ｖｚ　乗算器の出力
Ｖｓｕｍ　積分器の出力
ＶＴＨ　判定しきい値
ＳＷ１、ＳＷ２、ＳＷ３、ＳＷ４　スイッチ

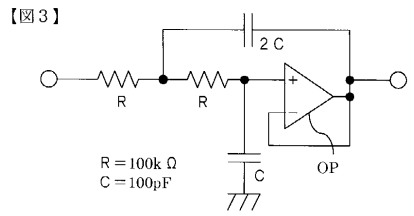
【図１】



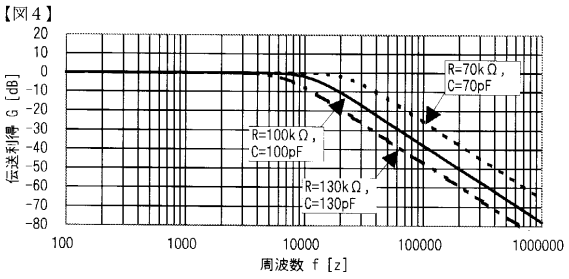
【図２】



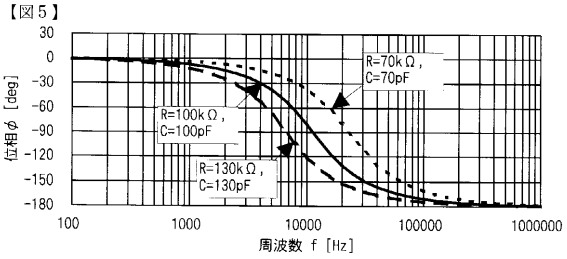
【図３】



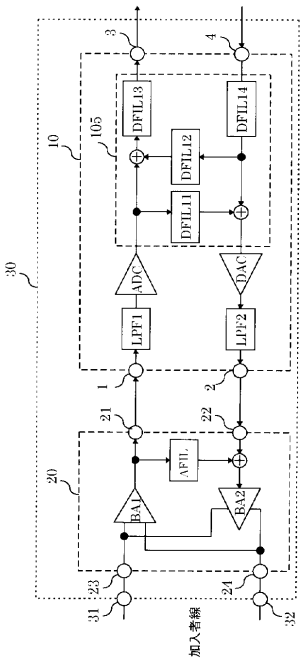
【図４】



【図５】

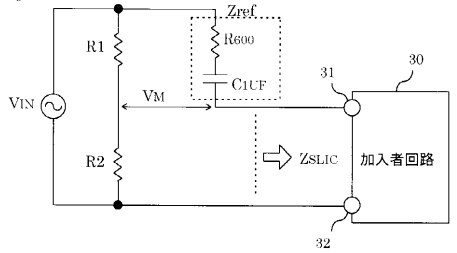


【図６】



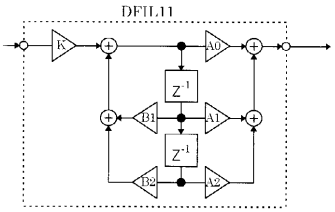
【図７】

【図７】



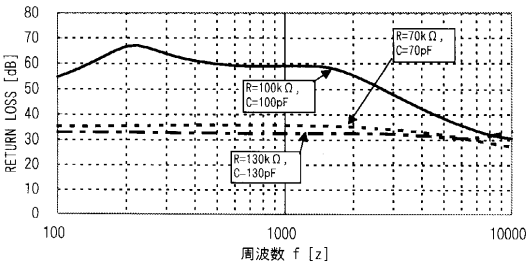
【図８】

【図８】



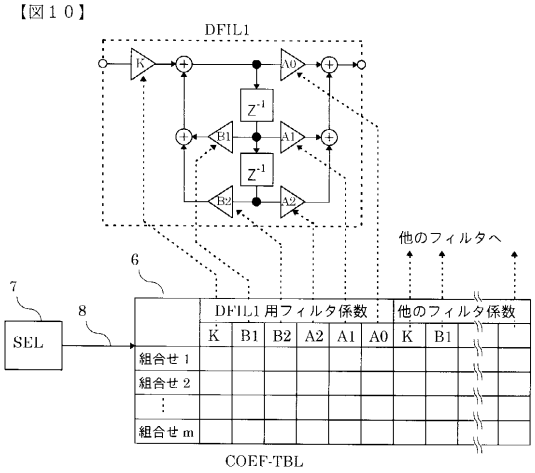
【図９】

【図９】



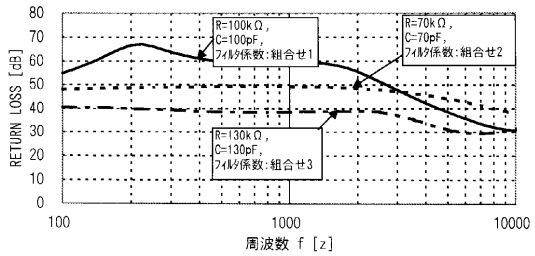
【図１０】

【図１０】



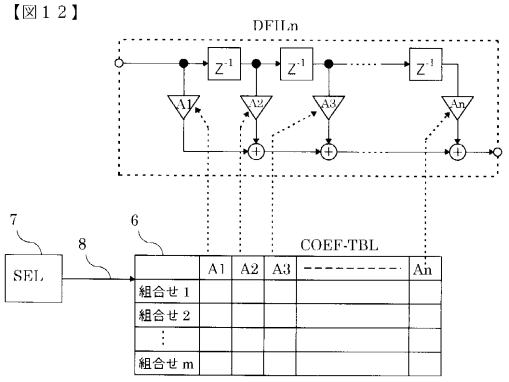
【図１１】

【図１１】



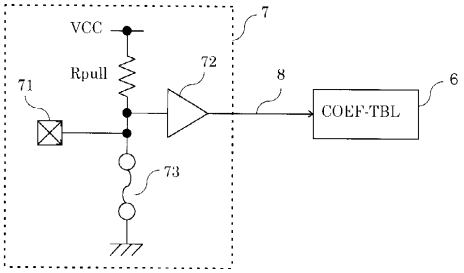
【図１２】

【図１２】



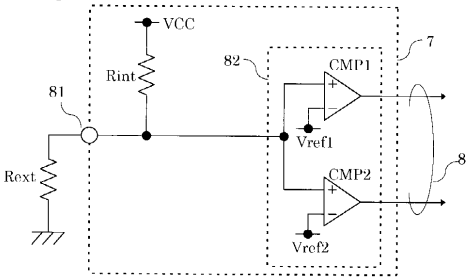
【図１３】

【図１３】

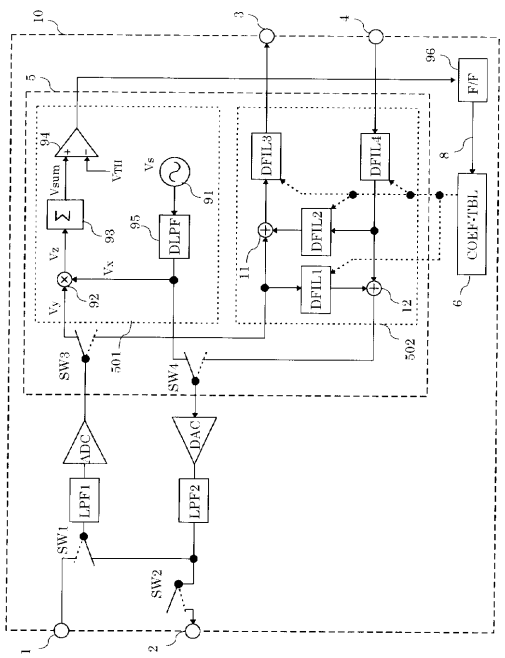


【図１４】

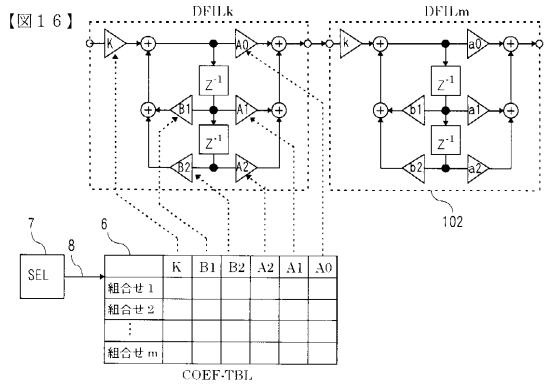
【図１４】



【図１５】



【図１６】



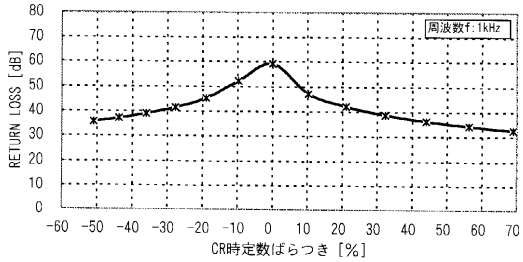
【図１７】

【図１７】

	DFIL1のフィルタ係数					
	K	A0	A1	A2	B1	B2
組合せ１	0.121	1.000	-0.799	0.250	0.875	0.070
組合せ２	0.074	1.000	-0.380	0.122	0.873	0.072
組合せ３	0.180	1.000	-1.059	0.363	0.881	0.064

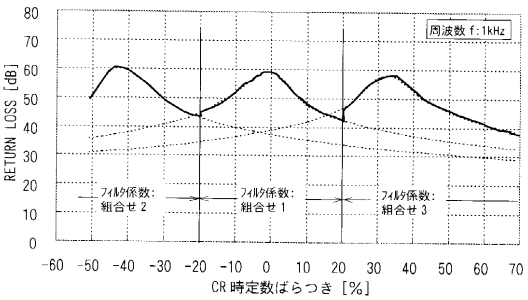
【図１８】

【図１８】



【図１９】

【図１９】



フロントページの続き

(56)参考文献 特開昭６３－１７４４１９（ＪＰ，Ａ）
特開昭６２－０３０４１５（ＪＰ，Ａ）
特開平０６－０３７６３５（ＪＰ，Ａ）
特開平０９－２１９６６３（ＪＰ，Ａ）
特開平０６－１１２７６８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03H 17/02 615
H03H 17/02 635
H03H 17/02 641
H04Q 3/42 104