

公告本

申請日期	91. 6. 19
案 號	911_08115
類 別	H01L 27/08

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書 I223434		
一、發明 新型 名稱	中 文	半導體積體電路裝置及其製造方法
	日 文	半導体集積回路装置およびその製造方法
二、發明 創作 人	姓 名	1.石橋 亨介 2.園部 泰夫 3.田井中 靖
	國 籍	均日本 JAPAN
	住、居所	1.2.3.均日本國東京都千代田區丸內一丁目5番1號 新丸大樓日立製作所股份有限公司知的財產權本部
三、申請人	姓 名 (名稱)	日商日立製作所股份有限公司 HITACHI, LTD.
	國 籍	日本 JAPAN
	住、居所 (事務所)	日本國東京都千代田區神田駿河台四丁目6番地
	代 表 人 姓 名	庄山 悦彦 ETSUHIKO SHOYAMA

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 2001年06月05日 特願2001-169631 ☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明 (1)

發明說明

發明的技術領域

本發明係關於半導體積體電路裝置及其製造方法，特別係關於可有效適用於具有 MISFET (metal insulator semiconductor field effect transistor：金屬絕緣體半導體場效電晶體)之半導體積體電路裝置之技術。

先前技藝

將鄰接之半導體元件互相電性分離之元件分離技術之一，有溝分離法存在。此溝分離法係在構成元件分離區域之基板上，設置例如深 $0.3 \sim 0.4 \mu\text{m}$ 程度之溝，將絕緣膜埋入此溝中所形成。

以下係有關本發明人所檢討之溝分離部之形成技術，其概要如下：

首先，蝕刻基板表面而在元件分離區域形成深 $0.3 \sim 0.4 \mu\text{m}$ 程度之溝。接著，對基板施以 900°C 程度之熱氧化後，在含溝內部之基板上，以CVD (chemical vapor deposition：化學氣相沉積)法，沉積厚 $0.6 \mu\text{m}$ 程度之氧化矽膜。此氧化矽膜係利用例如以氧(或臭氧)與四乙氧基矽烷(TEOS)作為源氣體使用之電漿CVD法沉積而成。其後，施行 1000°C 程度之熱處理，使薄膜稠密化(densify)。其次，以CMP (chemical mechanical polishing：化學機械研磨)法，研磨氧化矽膜表面，使其平坦化，藉以將氧化矽膜埋入溝內部而在基板主面上形成溝分離部。

又，例如在培風館發行之「ULSI (超大型積體電路)製程

五、發明說明 (2)

技術」(1997年6月10日發行、原央編、P236~P238)中，曾有有關溝元件分離之技術的記載。

發明所欲解決之問題

然而，依據本發明人檢討之結果，在以最小加工尺寸 $0.14\ \mu\text{m}$ 製程所製造之CMOS (complementary metal oxide semiconductor：互補型金屬氧化物半導體)裝置中，臨限值電壓或驅動電流等會產生差異，例如在n通道MISFET中，臨限值電壓顯然會發生 $40\sim 70\ \text{mV}$ 程度之變動。

此現象在前述溝分離部之分離寬度小於約 $0.35\ \mu\text{m}$ 時，就會顯現，然後，隨著分離寬度之減少，此現象愈來愈顯著，因此，推測此現象係肇因於埋入溝內部之氧化矽膜與基板之熱膨脹係數之差而在溝之角部產生應力之影響所致。

又，MISFET之臨限值電壓之變動，例如可利用提高基板之雜質濃度之方式加以防止。但因需要施行臨限值電壓調整用之離子植入處理，以致有製程數增加，甚至於發生因基板之高濃度化而增強接合電場之問題。

本發明之目的係在於利用調整元件分離部之分離寬度，以提供可獲得具有所希望特性之MISFET之技術。

本發明之前述及其他目的與新穎之特徵可由本專利說明書之記述及附圖獲得更明確之瞭解。

解決問題之手段

本案所揭示之發明中，較具有代表性之發明之概要可簡單說明如下：

本發明係利用調整包圍形成MISFET之活性區域之元件分

五、發明說明 (3)

離部之至少閘長方向之一方分離寬度，以控制 MISFET 之臨限值電壓或驅動電流。

又，本發明係利用調整包圍形成 MISFET 之活性區域之元件分離部之至少閘長方向之一方分離寬度，以形成具有所希望之臨限值電壓或驅動電流之 MISFET。

另外，將本案之其他之發明之概要分項加以簡單說明時，即：

1. 本發明之半導體積體電路裝置係利用調整由 MISFET 之閘極至閘長方向之元件分離部之至少一方之距離，以控制 MISFET 之臨限值電壓或驅動電流。

2. 本發明之半導體積體電路裝置係利用調整包圍形成 MISFET 之活性區域之元件分離部之至少閘長方向之一方分離寬度、及由 MISFET 之閘極至閘長方向之元件分離部之至少一方之距離，以控制 MISFET 之臨限值電壓或驅動電流。

3. 本發明之半導體積體電路裝置之製造方法係利用調整由 MISFET 之閘極至閘長方向之元件分離部之至少一方之距離，以形成具有所希望之臨限值電壓或驅動電流之 MISFET。

4. 本發明之半導體積體電路裝置之製造方法係利用調整包圍形成 MISFET 之活性區域之元件分離部之至少閘長方向之一方分離寬度、及由上述 MISFET 之閘極至閘長方向之元件分離部之至少一方之距離，以形成具有所希望之臨限值電壓或驅動電流之 MISFET。

5. 本發明之半導體積體電路裝置係在基板之主面上設有臨限值電壓互異之第一 MISFET 與第二 MISFET，將第一

五、發明說明 (4)

MISFET形成於分離寬度相對較寬之元件分離部所包圍之第一活性區域，將第二MISFET形成於至少閘長方向之一方被分離寬度相對較窄之元件分離部所包圍之第二活性區域。

6. 本發明之半導體積體電路裝置係在基板之主面上設有臨限值電壓互異之第一MISFET與第二MISFET，由形成第一MISFET之第一活性區域之閘極至閘長方向之元件分離部之距離相對較大，由形成第二MISFET之第二活性區域之閘極至閘長方向之元件分離部之至少一方之距離相對較小。

7. 本發明之半導體積體電路裝置係在基板之主面上設有臨限值電壓互異之第一MISFET與第二MISFET，將第一MISFET形成於分離寬度相對較寬之元件分離部所包圍之第一活性區域，將第二MISFET形成於至少閘長方向之一方被分離寬度相對較窄之元件分離部所包圍之第二活性區域，由第一活性區域之閘極至閘長方向之元件分離部之距離相對較大，由第二活性區域之閘極至閘長方向之元件分離部之至少一方之距離相對較小。

發明之實施形態

以下，依據圖式詳細說明有關本發明之實施形態。又，在說明實施形態之所有圖中，對具有同一機能之構件，附以同一號碼予以顯示，而省略其重複之說明。

圖1係表示用於說明本發明之一實施形態之第一群n通道MISFET之臨限值電壓及第二群n通道MISFET之臨限值電壓之曲線圖。上述第一群n通道MISFET形成於分離寬度相對較寬之溝分離部所包圍之活性區域，上述第二群n通道

五、發明說明 (5)

MISFET形成於分離寬度相對較窄之溝分離部所包圍之活性區域。

第一群n通道MISFET之臨限值電壓為0.07~0.09 V程度，但第二群n通道MISFET之臨限值電壓為0.11~0.14 V程度，比第一群n通道MISFET之臨限值電壓增加約0.04~0.05 V程度。

圖2係表示用於說明本發明之一實施形態之溝分離部之真性應力與溝分離部之分離寬度之關係之曲線圖。

分離寬度比約2 μm 更寬之溝分離部之真性應力係大致保持一定，為-230 MPa之程度。但在分離寬度比約2 μm 更窄之溝分離部之情形，隨著分離寬度的變窄，真性應力會顯著地增加，分離寬度約0.25 μm 時之真性應力為-2000 MPa之程度。

即，依據前述圖1及圖2可以認定：隨著使鄰接之活性區域保持電性分離之溝分離部之分離寬度的變窄，對活性區域之通道區域之應力會增加，因而導致MISFET之臨限值電壓發生變動。

圖3(a)係表示在用於說明本發明之一實施形態中，對MISFET之通道區域之應力與配置於活性區域之閘極數之關係之曲線圖。圖3(b)係表示閘極之配置情形之基板之要部剖面圖。圖中，A為活性區域，STI為溝分離部，G為MISFET之閘極。

包圍活性區域A之溝分離部STI之分離寬度 L_1 與閘極數之多少無關，均為約0.25 μm 。又，配置於溝分離部STI之最

五、發明說明(6)

近處之 MISFET 之閘極中央部與溝分離部 STI 之端部之距離 L_2 為約 $0.3 \mu\text{m}$ 。鄰接之 MISFET 約以 $0.5 \mu\text{m}$ 之間隔 (L_3) 被配置。又，圖 3(a) 中係表示在 MISFET 之閘極中央部下之通道區域所測定之應力，並表示由同圖 (b) 之虛線圍成之活性區域中心至一方之溝分離部 STI 之端部之區域之應力。

活性區域 A 配置 2 條閘極 G 時 (在圖中，記載為「2 閘構造」)，位於距離溝分離部 STI 之端部約 $0.3 \mu\text{m}$ 位置之 MISFET 之通道區域之應力增加至 -800 MPa 附近。

但活性區域 A 配置 4 條閘極 G 時 (在圖中，記載為「4 閘構造」)，位於距離溝分離部 STI 之端部約 $0.3 \mu\text{m}$ 位置之 MISFET 之通道區域之應力約為 -600 MPa ，位於距離溝分離部 STI 之端部約 $0.8 \mu\text{m}$ 位置之 MISFET 之通道區域之應力則減少至約為 -350 MPa 。

另外，活性區域 A 配置 10 條閘極 G 時 (在圖中，記載為「10 閘構造」) 及活性區域 A 配置 30 條閘極 G 時 (在圖中，記載為「30 閘構造」) 時，位於距離溝分離部 STI 之端部約 $0.3 \mu\text{m}$ 位置之 MISFET 之通道區域之應力約 -600 MPa ，位於距離溝分離部 STI 之端部約 $0.8 \mu\text{m}$ 位置之 MISFET 之通道區域之應力約為 -300 MPa ，但位於距離溝分離部 STI 之端部約 $1.3 \mu\text{m}$ 以上之活性區域位置之 MISFET 之通道區域之應力則減少至約為 -200 MPa 以下。

即，可依此認定：隨著位置的遠離溝分離部 STI 之端部，對活性區域 A 之通道區域之應力會逐漸減少，因此使 MISFET 之臨限值電壓之變化量變小。

五、發明說明 (7)

又，MISFET之臨限值電壓會因對通道區域之應力之增加，而呈現比幾乎不受應力影響之MISFET之臨限值電壓增加或減少之現象。但在本發明之一實施形態中，MISFET之臨限值電壓會因對通道區域之應力之增加而增加，以下說明該形態之情形。

圖4係表示本發明之一實施形態之MISFET之第一配置例之要部平面圖。在說明中，係使用依據前述圖1至圖3中所得之結果所配置之第一MISFET至第五MISFET。圖中， Q_1 為第一MISFET， Q_2 為第二MISFET， Q_3 為第三MISFET， Q_4 為第四MISFET， Q_5 為第五MISFET。

在基板1主面上配置著第一MISFET Q_1 至第五MISFET Q_5 ，此等第一MISFET Q_1 至第五MISFET Q_5 之閘極2之寬(閘長) L_g 大致相同。上述閘長 L_g 例如可設定於 $0.14\ \mu\text{m}$ 之程度。包圍活性區域3而使第一MISFET Q_1 至第五MISFET Q_5 互相分離之元件分離部4例如係由溝分離法所構成。又，此等第一MISFET Q_1 至第五MISFET Q_5 係被配置於閘長方向。在被配置於閘極2之延伸方向(閘寬方向)之MISFET方面，元件分離部4之分離寬度相離 $0.35\ \mu\text{m}$ 以上，閘寬方向之元件分離部4對第一MISFET Q_1 至第五MISFET Q_5 之特性，例如臨限值電壓或驅動電流不會有影響。

分離第一MISFET Q_1 與第二MISFET Q_2 之元件分離部4之分離寬度 La 及分離第二MISFET Q_2 與第三MISFET Q_3 之元件分離部4之分離寬度 La' 係設定於相對較窄之值。因此，對第二MISFET Q_2 之通道區域之應力的影響會變大，可藉此相對地

五、發明說明 (8)

增大應力所引起之臨限值電壓之變化。上述分離寬度 La 例如可設定於 $0.25 \mu m$ 之程度。另一方面，分離第三 MISFET Q_3 之與第四 MISFET Q_4 之元件分離部 4 之分離寬度 Lb 及分離第四 MISFET Q_4 與第五 MISFET Q_5 之元件分離部 4 之分離寬度 Lb' 係設定於相對較寬之值。因此，對第四 MISFET Q_4 之通道區域之應力的影響會變小，可藉此相對地縮小應力所引起之臨限值電壓之變化。

在此，由第二 MISFET Q_2 之閘極 2 之第一 MISFET Q_1 側之側壁至元件分離部 4 之端部之距離與由第四 MISFET Q_4 之閘極 2 之第三 MISFET Q_3 側之側壁至元件分離部 4 之端部之距離為大致相同之距離 Lc 。上述之距離 Lc 例如可設定於 $0.305 \mu m$ 之程度。又，由第二 MISFET Q_2 之閘極 2 之第三 MISFET Q_3 側之側壁至元件分離部 4 之端部之距離 Lc' 與由第四 MISFET Q_4 之閘極 2 之第五 MISFET Q_5 側之側壁至元件分離部 4 之端部之距離 Lc'' 之關係可任意選定。

$$\text{即, } La \leq La'$$

$$Lb \leq Lb'$$

$$Lc \leq Lc', Lc''$$

時，如果 $La < Lb$ ，則第二 MISFET Q_2 之臨限值電壓之變化量 ($\Delta V_{th}(Q_2)$) 與第四 MISFET Q_4 之臨限值電壓之變化量 ($\Delta V_{th}(Q_4)$) 之關係可滿足下式：

$$\Delta V_{th}(Q_2) > \Delta V_{th}(Q_4)$$

圖 5 係表示本發明之一實施形態之 MISFET 之第二配置例之要部平面圖。與前述圖 1 同樣，在說明中，係使用第一

五、發明說明(9)

MISFETQ₁至第五MISFETQ₅。

由第二MISFETQ₂之閘極2之第一MISFETQ₁側之側壁至元件分離部4之端部之距離Lc與由第二MISFETQ₂之閘極2之第三MISFETQ₃側之側壁至元件分離部4之端部之距離Lc'係設定於相對較窄之值。因此，對第二MISFETQ₂之通道區域之應力的影響會變大，可藉此相對地增大應力所引起之臨限值電壓之變化。另一方面，由第四MISFETQ₄之閘極2之第三MISFETQ₃側之側壁至元件分離部4之端部之距離Ld與由第四MISFETQ₄之閘極2之第五MISFETQ₅側之側壁至元件分離部4之端部之距離Ld'係設定於相對較寬之值。因此，對第四MISFETQ₄之通道區域之應力的影響會變小，可藉此相對地縮小應力所引起之臨限值電壓之變化。

在此，分離第一MISFETQ₁與第二MISFETQ₂之元件分離部4之分離寬度、與分離第三MISFETQ₃與第四MISFETQ₄之元件分離部4之分離寬度係設定於大致相同之分離寬度La。上述分離寬度La例如可設定於0.25 μm之程度。又，分離第二MISFETQ₂與第三MISFETQ₃之元件分離部4之分離寬度、及分離第四MISFETQ₄與第五MISFETQ₅之元件分離部4之分離寬度係設定於大致相同之分離寬度La'。

即， $La \leq La'$

$Lc \leq Lc'$

$Ld \leq Ld'$

時，如果 $Lc < Ld$ 及 $Lc' < Ld'$ ，則第二MISFETQ₂之臨限值電壓之變化量($\Delta V_{th}(Q_2)$)與第四MISFETQ₄之臨限值電壓之變化

五、發明說明 (10)

量 ($\Delta V_{th}(Q_4)$) 之關係可滿足下式：

$$\Delta V_{th}(Q_2) > \Delta V_{th}(Q_4)$$

圖 6 係表示本發明之一實施形態之 MISFET 之第三配置例之要部平面圖。與前述圖 1 同樣，在說明中，係使用第一 MISFET Q_1 至第五 MISFET Q_5 。

分離第一 MISFET Q_1 與第二 MISFET Q_2 之元件分離部 4 之分離寬度 La 、及分離第二 MISFET Q_2 與第三 MISFET Q_3 之元件分離部 4 之分離寬度 La' 係設定於相對較窄之值。上述分離寬度 La 例如可設定於 $0.25 \mu m$ 之程度。另外，由第二 MISFET Q_2 之閘極 2 之第一 MISFET Q_1 側之側壁至元件分離部 4 之端部之距離 Lc 及由第二 MISFET Q_2 之閘極 2 之第三 MISFET Q_3 側之側壁至元件分離部 4 之端部之距離 Lc' 係設定於相對較窄之值。因此，對第二 MISFET Q_2 之通道區域之應力的影響會變大，可藉此相對地增大應力所引起之臨限值電壓之變化。

另一方面，分離第三 MISFET Q_3 與第四 MISFET Q_4 之元件分離部 4 之分離寬度 Lb 係設定於相對較寬之值。另外，由第四 MISFET Q_4 之閘極 2 之第五 MISFET Q_5 側之側壁至元件分離部 4 之端部之距離 Ld 係設定於相對較寬之值。因此，對第四 MISFET Q_4 之通道區域之應力的影響會變小，可藉此相對地縮小應力所引起之臨限值電壓之變化。

即， $La \leq La'$

$$Lc \leq Lc'$$

時，如果 $La < Lb$ 、 $Lc' < Ld$ ，則第二 MISFET Q_2 之臨限值電壓

五、發明說明 (11)

之變化量($\Delta V_{th}(Q_2)$)與第四 MISFET Q_4 之臨限值電壓之變化量($\Delta V_{th}(Q_4)$)之關係可滿足下式：

$$(\Delta V_{th}(Q_2)) > (\Delta V_{th}(Q_4))$$

圖7係表示本發明之一實施形態之 MISFET之第四配置例之要部平面圖。在說明中，係使用依據前述圖1至圖3中所得之結果所配置之第一 MISFET Q_1 至第四 MISFET Q_4 。在配置第一 MISFET Q_1 之活性區域之兩側，與此鄰接地配置虛設活性區域 DA_1 、 DA_2 ，此虛設活性區域 DA_1 、 DA_2 例如可使用於供電等。

分離第一 MISFET Q_1 與一方虛設活性區域 DA_1 之元件分離部4之分離寬度 La 、及分離第一 MISFET Q_1 與他方虛設活性區域 DA_2 之元件分離部4之分離寬度 La' 係設定於相對較窄之值，因此，對第一 MISFET Q_1 之通道區域之應力的影響會變大，可藉此相對地增大應力所引起之臨限值電壓之變化。上述分離寬度 La 例如可設定於 $0.25 \mu m$ 之程度。另一方面，分離第二 MISFET Q_2 與第三 MISFET Q_3 之元件分離部4之分離寬度 Lb 、及分離第三 MISFET Q_3 與第四 MISFET Q_4 之元件分離部4之分離寬度 Lb' 係設定於相對較寬之值，因此，對第三 MISFET Q_3 之通道區域之應力的影響會變小，可藉此相對地縮小應力所引起之臨限值電壓之變化。

在此，由第一 MISFET Q_1 之閘極2之虛設活性區域 DA_1 側之側壁至元件分離部4之端部之距離與由第三 MISFET Q_3 之閘極2之第二 MISFET Q_2 側之側壁至元件分離部4之端部之距離係設定於大致相同之距離 Lc 。又，由第一 MISFET Q_1 之閘極

五、發明說明 (12)

2 之虛設活性區域 DA_2 側之側壁至元件分離部 4 之端部之距離 Lc' 與由第三 MISFET Q_3 之閘極 2 之第四 MISFET Q_4 側之側壁至元件分離部 4 之端部之距離 Lc'' 之關係可任意選定。

$$\text{即, } La \leq La'$$

$$Lb \leq Lb'$$

$$Lc \leq Lc', Lc''$$

時，如果 $La < Lb$ ，則第一 MISFET Q_1 之臨限值電壓之變化量 ($\Delta V_{th}(Q_1)$) 與第三 MISFET Q_3 之臨限值電壓之變化量 ($\Delta V_{th}(Q_3)$) 之關係可滿足下式：

$$\Delta V_{th}(Q_1) > \Delta V_{th}(Q_3)$$

圖 8 係表示本發明之一實施形態之 MISFET 之第五配置例之要部平面圖。與前述圖 7 同樣，在說明中，係使用第一 MISFET Q_1 至第四 MISFET Q_4 及虛設活性區域 DA_1 、 DA_2 。

由第一 MISFET Q_1 之閘極 2 之虛設活性區域 DA_1 側之側壁至元件分離部 4 之端部之距離 Lc 與由第一 MISFET Q_1 之閘極 2 之虛設活性區域 DA_2 側之側壁至元件分離部 4 之端部之距離 Lc' 係設定於相對較窄之值。因此，對第一 MISFET Q_1 之通道區域之應力的影響會變大，可藉此相對地增大應力所引起之臨限值電壓之變化。另一方面，由第三 MISFET Q_3 之閘極 2 之第二 MISFET Q_2 側之側壁至元件分離部 4 之端部之距離 Ld 與由第三 MISFET Q_3 之閘極 2 之第四 MISFET Q_4 側之側壁至元件分離部 4 之端部之距離 Ld' 係設定於相對較寬之值。因此，對第三 MISFET Q_3 之通道區域之應力的影響會變小，可藉此相對地縮小應力所引起之臨限值電壓之變化。

五、發明說明 (13)

在此，分離第一 MISFETQ₁ 與一方虛設活性區域 DA₁ 之元件分離部 4 之分離寬度、及分離第二 MISFETQ₂ 與第三 MISFETQ₃ 之元件分離部 4 之分離寬度係設定於大致相同之分離寬度 La。又，分離第一 MISFETQ₁ 與他方虛設活性區域 DA₂ 之元件分離部 4 之分離寬度、與分離第三 MISFETQ₃ 與第四 MISFETQ₄ 之元件分離部 4 之分離寬度係設定於大致相同之分離寬度 La'。

即， $La \leq La'$

$Lc \leq Lc'$

$Ld \leq Ld'$

時，如果 $Lc < Lb$ 及 $Lc' < Ld'$ ，則第一 MISFETQ₁ 之臨限值電壓之變化量 ($\Delta V_{th}(Q_1)$) 與第三 MISFETQ₃ 之臨限值電壓之變化量 ($\Delta V_{th}(Q_3)$) 之關係可滿足下式：

$$\Delta V_{th}(Q_1) > \Delta V_{th}(Q_3)$$

圖 9 係表示本發明之一實施形態之 MISFET 之第六配置例之要部平面圖。在說明中，係使用依照前述圖 1 至圖 3 中所得之結果所配置之第一 MISFETQ₁ 至第五 MISFETQ₅。

由第二 MISFETQ₂ 之閘極 2 之第一 MISFETQ₁ 側之側壁至元件分離部 4 之端部之距離 Lc 係設定於相對較窄之值。因此，對第二 MISFETQ₂ 之通道區域之應力的影響會變大，可藉此相對地增大應力所引起之臨限值電壓之變化。此時，可在由第二 MISFETQ₂ 之閘極 2 之第三 MISFETQ₃ 側之側壁至元件分離部 4 之端部之距離 Lc' 之活性區域 3 配置虛設閘極 DG₁。上述虛設閘極 DG₁ 可供電性使用，但對第二 MISFETQ₂ 之

五、發明說明 (14)

特性不會造成影響。

另一方面，由第四 MISFET Q_4 之閘極2之第三 MISFET Q_3 側之側壁至元件分離部4之端部之距離 L_d 及由第四 MISFET Q_4 之閘極2之第五 MISFET Q_5 側之側壁至元件分離部4之端部之距離 L_d' 係設定於相對較寬之值。因此，對第四 MISFET Q_4 之通道區域之應力的影響會變小，可藉此相對地縮小應力所引起之臨限值電壓之變化。此時，可在由第四 MISFET Q_4 之閘極2之第三 MISFET Q_3 側之側壁至元件分離部4之端部之距離 L_d 之活性區域3配置虛設閘極 DG_2 。同樣情形，可在由第四 MISFET Q_4 之閘極2之第五 MISFET Q_5 側之側壁至元件分離部4之端部之距離 L_d' 之活性區域3配置虛設閘極 DG_3 。上述虛設閘極 DG_2 、 DG_3 可供電性使用，但對第四 MISFET Q_4 之特性不會造成影響。

在此，分離第一 MISFET Q_1 與第二 MISFET Q_2 之元件分離部4之分離寬度、與分離第三 MISFET Q_3 與第四 MISFET Q_4 之元件分離部4之分離寬度係設定於大致相同之分離寬度 L_a 。又，分離第二 MISFET Q_2 與第三 MISFET Q_3 之元件分離部4之分離寬度、與分離第四 MISFET Q_4 與第五 MISFET Q_5 之元件分離部4之分離寬度係設定於大致相同之分離寬度 L_a' 。

$$\text{即， } L_a \leq L_a'$$

$$L_c \leq L_c'$$

$$L_d \leq L_d'$$

時，如果 $L_c < L_d$ 及 $L_c' < L_d'$ ，則第二 MISFET Q_2 之臨限值電壓之變化量($\Delta V_{th}(Q_2)$)與第四 MISFET Q_4 之臨限值電壓之變化

五、發明說明 (15)

量($\Delta V_{th}(Q_4)$)之關係可滿足下式：

$$\Delta V_{th}(Q_2) > \Delta V_{th}(Q_4)$$

圖 10 係表示本發明之一實施形態之 MISFET 之第七配置例之要部平面圖。與前述圖 9 同樣，在說明中，係使用第一 MISFET Q_1 至第五 MISFET Q_5 。

分離第一 MISFET Q_1 與第二 MISFET Q_2 之元件分離部 4 之分離寬度 L_a 、及分離第二 MISFET Q_2 與第三 MISFET Q_3 之元件分離部 4 之分離寬度 L_a' 係設定於相對較窄之值。又，由第二 MISFET Q_2 之閘極 2 之第一 MISFET Q_1 側之側壁至元件分離部 4 之端部之距離 L_c 係設定於相對較窄之值，因此，對第二 MISFET Q_2 之通道區域之應力的影響會變大，可藉此相對地增大應力所引起之臨限值電壓之變化。此時，可在由第二 MISFET Q_2 之閘極 2 之第三 MISFET Q_3 側之側壁至元件分離部 4 之端部之距離 L_c' 之活性區域 3 配置虛設閘極 DG_4 。上述虛設閘極 DG_4 可供電性使用，但對第二 MISFET Q_2 之特性不會造成影響。

另一方面，分離第三 MISFET Q_3 與第四 MISFET Q_4 之元件分離部 4 之分離寬度 L_b 係設定於相對較寬之值。又，由第四 MISFET Q_4 之閘極 2 之第五 MISFET Q_5 側之側壁至元件分離部 4 之端部之距離 L_d 係設定於相對較寬之值，因此，對第四 MISFET Q_4 之通道區域之應力的影響會變小，可藉此相對地縮小應力所引起之臨限值電壓之變化。此時，可在由第四 MISFET Q_4 之閘極 2 之第五 MISFET Q_5 側之側壁至元件分離部 4 之端部之距離 L_d 之活性區域 3 配置虛設閘極 DG_5 、 DG_6 。上

五、發明說明 (16)

述虛設閘極 DG_5 、 DG_6 可供電性使用，但對第四MISFET Q_4 之特性不會造成影響。

即， $La \leq La'$

$Lc \leq Lc'$

時，如果 $La < Lb$ 、 $Lc' < Ld$ ，則第二MISFET Q_2 之臨限值電壓之變化量($\Delta V_{th}(Q_2)$)與第四MISFET Q_4 之臨限值電壓之變化量($\Delta V_{th}(Q_4)$)之關係可滿足下式：

$$\Delta V_{th}(Q_2) > \Delta V_{th}(Q_4)$$

圖11係表示配置於本發明之一實施形態之半導體晶片上之MISFET之配置區域之一例之平面概略圖。圖中顯示具有不同臨限值電壓之3種MISFET之各區域。區域LA表示具有相對地低之臨限值電壓(低 V_{th})之MISFET之配置區域，區域HA表示具有相對地高之臨限值電壓(高 V_{th})之MISFET之配置區域，區域MA表示具有標準之臨限值電壓(標準 V_{th})之MISFET之配置區域，配置於各區域之MISFET之臨限值電壓構成低 $V_{th} < \text{標準 } V_{th} < \text{高 } V_{th}$ 之關係。

區域LA例如可作為要求高速動作之電路區域。在此區域LA中，可藉相對較寬化元件分離部之分離寬度，減小對MISFET之應力之影響，以形成具有相對地低之臨限值電壓之MISFET。

區域HA例如可作為記憶單元部等，在此區域HA中，可藉相對較窄化元件分離部之分離寬度，增大對MISFET之應力之影響，以形成具有相對地高之臨限值電壓之MISFET。

區域MA例如可作為開陣列部、一般邏輯電路部等。在此

五、發明說明 (17)

區域MA中，可將元件分離部之分離寬度設定於窄於形成於上述區域LA之元件分離部之分離寬度，且寬於形成於上述區域HA之元件分離部之分離寬度，使對MISFET之應力之影響保持在上述區域LA與上述區域HA之中間程度，藉以形成具有標準之臨限值電壓之MISFET。

圖12係表示配置於本發明之一實施形態之半導體晶片上而構成閘陣列之多數MISFET之配置區域之一例之平面概略圖。圖中，形成MISFET之區域以矩形表示。

在區域GA₁中，依照相對較寬之元件分離部之分離寬度，週期性地設置單元行，在此區域GA₁中形成需要相對地低之臨限值電壓之電路。又，在區域GA₂中，依照相對較窄之元件分離部之分離寬度，週期性地設置單元行，在此區域GA₂中形成需要相對地高之臨限值電壓之電路。

其次，將本發明之一實施形態之反相器電路之平面概略圖顯示於圖13至圖20。圖中，區域PMOS為形成p通道MISFET之區域，區域NMOS為形成n通道MISFET之區域，5為元件分離部，6為活性區域，7為閘極(以加網底影線表示)，8為V_{DD}電源配線，9為V_{SS}電源配線，10為輸入訊號配線，11為輸出訊號配線，12為連接活性區域與配線之接觸孔，13為虛設活性區域，14為虛設閘極。

圖13係表示利用相對較窄化(La)元件分離部5之分離寬度，以獲得相對地高之臨限值電壓之反相器電路之平面圖，圖14係表示利用相對較寬化(Lb)元件分離部5之分離寬度，以獲得相對地低之臨限值電壓之反相器電路之平面圖。

五、發明說明 (18)

圖 15 係表示利用設置虛設活性區域 13，以獲得相對地高之臨限值電壓之反相器電路之平面圖，圖 16 係表示不設置虛設活性區域而利用相對較寬化(Lb)元件分離部 5 之分離寬度，以獲得相對地低之臨限值電壓之反相器電路之平面圖。

圖 17 係表示利用相對較窄化(Lc)活性區域 6 之寬，以獲得相對地高之臨限值電壓之反相器電路之平面圖，圖 18 係表示利用相對較寬化(Ld)活性區域 6 之寬，以獲得相對地低之臨限值電壓之反相器電路之平面圖。又，相對較寬化(Ld)活性區域 6 之寬時，可在此活性區域 6 設置虛設閘極 14。

圖 19 係表示利用相對較窄化(La)元件分離部 5 之分離寬度，且相對較窄化(Lc)活性區域 6 之寬，以獲得相對地高之臨限值電壓之反相器電路之平面圖，圖 20 係表示利用相對較寬化(Lb)元件分離部 5 之一方分離寬度，且相對較寬化接於元件分離部 5 之他方之活性區域 6 之寬，以獲得相對地低之臨限值電壓之反相器電路之平面圖。又，相對較寬化(Ld)活性區域 6 之寬時，可在此活性區域 6 設置虛設閘極 14。

其次，將本發明之一實施形態之 2 輸入 NAND ("與非")電路之平面概略圖顯示於圖 21 至圖 28。

圖 21 係表示利用相對較窄化元件分離部 5 之分離寬度，以獲得相對地高之臨限值電壓之 2 輸入 NAND 電路之平面圖，圖 22 係表示利用相對較寬化元件分離部 5 之分離寬度，以獲得相對地低之臨限值電壓之 2 輸入 NAND 電路之平面圖。

圖 23 係表示利用設置虛設活性區域 13，以獲得相對地高之臨限值電壓之 2 輸入 NAND 電路之平面圖，圖 24 係表示不

五、發明說明 (19)

設置虛設活性區域而利用相對較寬化元件分離部5之分離寬度，以獲得相對地低之臨限值電壓之2輸入NAND電路之平面圖。

圖25係表示利用相對較窄化活性區域6之寬，以獲得相對地高之臨限值電壓之2輸入NAND電路之平面圖，圖26係表示利用相對較寬化活性區域6之寬，以獲得相對地低之臨限值電壓之2輸入NAND電路之平面圖。又，相對較寬化活性區域6之寬時，可在此活性區域6設置虛設閘極14。

圖27係表示利用相對較窄化元件分離部5之分離寬度，且相對較窄化活性區域6之寬，以獲得相對地高之臨限值電壓之2輸入NAND電路之平面圖，圖28係表示利用相對較寬化元件分離部5之一方分離寬度，且相對較寬化接於元件分離部5之他方之活性區域6之寬，以獲得相對地低之臨限值電壓之2輸入NAND電路之平面圖。又，相對較寬化活性區域6之寬時，可在此活性區域6設置虛設閘極14。

其次，將本發明之一實施形態之2輸入NOR("或非")電路之平面概略圖顯示於圖29至圖36。

圖29係表示利用相對較窄化元件分離部5之分離寬度，以獲得相對地高之臨限值電壓之2輸入NOR電路之平面圖，圖30係表示利用相對較寬化元件分離部5之分離寬度，以獲得相對地低之臨限值電壓之2輸入NOR電路之平面圖。

圖31係表示利用設置虛設活性區域13，以獲得相對地高之臨限值電壓之2輸入NOR電路之平面圖，圖32係表示不設置虛設活性區域而利用相對較寬化元件分離部5之分離寬度，

五、發明說明 (20)

以獲得相對地低之臨限值電壓之2輸入NOR電路之平面圖。

圖33係表示利用相對較窄化活性區域6之寬，以獲得相對地高之臨限值電壓之2輸入NOR電路之平面圖，圖34係表示利用相對較寬化活性區域6之寬，以獲得相對地低之臨限值電壓之2輸入NOR電路之平面圖。又，相對較寬化活性區域6之寬時，可在此活性區域6設置虛設閘極14。

圖35係表示利用相對較窄化元件分離部5之分離寬度，且相對較窄化活性區域6之寬，以獲得相對地高之臨限值電壓之2輸入NOR電路之平面圖，圖36係表示利用相對較寬化元件分離部5之一方分離寬度，且相對較寬化接於元件分離部5之他方之活性區域6之寬，以獲得相對地低之臨限值電壓之2輸入NOR電路之平面圖。又，相對較寬化活性區域6之寬時，可在此活性區域6設置虛設閘極14。

其次，利用圖37至圖47，依照工序順序說明本發明之一實施形態之CMOS裝置之製造方法之一例。圖中，區域A1為閘絕緣膜之膜厚相對地薄，且臨限值電壓相對地高之CMOS裝置之形成區域，區域A2為閘絕緣膜之膜厚相對地薄，且臨限值電壓相對地低之CMOS裝置之形成區域，區域A3為閘絕緣膜之膜厚相對地厚之CMOS裝置之形成區域。

首先，如圖37所示，準備比電阻 $10\Omega\text{cm}$ 程度之矽單結晶構成之半導體基板21，在此半導體基板21之主面形成淺溝22，然後，在此半導體基板21施行熱氧化處理，形成未予圖示之氧化矽膜，重新沉積氧化矽膜23後，利用CMP法將其研磨而僅在淺溝22內殘留氧化矽膜23，藉以形成元件分

五、發明說明 (21)

離部。此時，形成於區域A1之元件分離部之分離寬度(L_H)形成相對較窄，形成於區域A2之元件分離部之分離寬度(L_L)形成相對較寬。

其次，如圖38所示，以圖案化之光阻膜24作為掩模，將p型雜質，例如硼(B)離子植入形成區域A1及區域A2之n通道MISFET之區域而形成p型井25，接著，植入用於調整上述n通道MISFET之臨限值電壓之雜質離子而形成臨限值電壓控制層26。

其次，如圖39所示，除去上述光阻膜24後，以圖案化之光阻膜27作為掩模，將n型雜質，例如磷(P)離子植入形成區域A1及區域A2之p通道MISFET之區域而形成n型井28，接著，植入用於調整上述p通道MISFET之臨限值電壓之雜質離子而形成臨限值電壓控制層29。

其次，如圖40所示，除去上述光阻膜27後，以圖案化之光阻膜30作為掩模，將p型雜質，例如硼離子植入形成區域A3之n通道MISFET之區域而形成p型井31，接著，植入用於調整上述n通道MISFET之臨限值電壓之雜質離子而形成臨限值電壓控制層32。

其次，如圖41所示，除去上述光阻膜30後，以圖案化之光阻膜33作為掩模，將n型雜質，例如磷離子植入形成區域A3之p通道MISFET之區域而形成n型井34，接著，植入用於調整上述p通道MISFET之臨限值電壓之雜質離子而形成臨限值電壓控制層35。

其次，除去上述光阻膜33後，在區域A1及區域A2之半導

五、發明說明 (22)

體基板21表面形成相對地薄之閘極絕緣膜，在區域A3之半導體基板21表面形成相對地厚之閘極絕緣膜。作為上述閘極絕緣膜之形成方法，例如可利用以下所舉例子之方法。

首先，用氫氟酸(HF)系之水溶液洗淨半導體基板21表面後，在半導體基板21施行熱氧化處理而在半導體基板21表面形成厚6~7 nm程度之氧化矽膜36。接著，以圖案化之光阻膜作為掩模，除去區域A1、A2之氧化矽膜36，而如圖42所示，將氧化矽膜36殘留於區域A3。

其次，如圖43所示，在半導體基板21施行熱氧化處理，藉以在區域A1、A2之半導體基板21表面形成構成閘極絕緣膜37a之3~4 nm程度之氧化矽膜，同時，在區域A3之半導體基板21表面形成構成閘極絕緣膜37b之厚8 nm程度之氧化矽膜。

其次，如圖44所示，例如以CVD法將添加雜質之多結晶膜沉積至半導體基板21上後，以圖案化之光阻膜作為掩模，將此多結晶膜蝕刻而形成由多結晶膜構成之閘極38。

其次，如圖45所示，以光阻膜(未予圖示)覆蓋n型井28、34，以n通道MISFET之閘極38為掩模而將n型雜質，例如砷(As)離子植入p型井25、31，以形成構成n通道MISFET之源極、汲極之低濃度之n⁻型半導體區域39。同樣情形，以光阻膜(未予圖示)覆蓋p型井25、31，以p通道MISFET之閘極38為掩模而將p型雜質，例如氟化硼(BF₂)離子植入n型井28、34，以形成構成p通道MISFET之源極、汲極之低濃度之p⁻型半導體區域40。

五、發明說明 (23)

接著，如圖 46 所示，對利用 CVD 法沉積於半導體基板 21 上之氧化矽膜，以 RIE (reactive ion etching：反應性離子蝕刻) 法施行異方性蝕刻而在閘極 38 之側壁形成側壁隔膜 41。

接著，以光阻膜(未予圖示)覆蓋 n 型井 28、34，以 n 通道 MISFET 之閘極 38 及側壁隔膜 41 為掩模而將 n 型雜質，例如砷離子植入 p 型井 25、31，以形成構成 n 通道 MISFET 之源極、汲極之低濃度之 n^+ 型半導體區域 42。同樣情形，以光阻膜(未予圖示)覆蓋 p 型井 25、31，以 p 通道 MISFET 之閘極 38 及側壁隔膜 41 為掩模而將 p 型雜質，例如氟化硼離子植入 n 型井 28、34，以形成構成 p 通道 MISFET 之源極、汲極之低濃度之 p^+ 型半導體區域 43。其後，在此半導體基板 21 施加例如 1000°C、5 秒程度之熱處理而使植入半導體基板 21 之 n 型雜質及 p 型雜質活性化。

接著，如圖 47 所示，在半導體基板 21 上形成層間絕緣膜 44 後，以圖案化之光阻膜作為掩模，將層間絕緣膜 44 蝕刻，以形成達到 n 通道 MISFET 之源極、汲極之接觸孔 45n 及達到 p 通道 MISFET 之源極、汲極之接觸孔 45p。又在圖中雖未顯示，但也同時形成達到 n 通道 MISFET 及 p 通道 MISFET 之閘極 38 之接觸孔。

接著，將金屬膜，例如鎢(W)膜沉積於層間絕緣膜 44 之上層，並以例如 CMP 法使此金屬膜表面平坦化，以將金屬膜埋入上述接觸孔 45n、45p 內部而形成插塞 46。其後，將沉積於層間絕緣膜 44 之上層之金屬膜蝕刻而形成配線層 47 時，CMOS 裝置即大略完成。

五、發明說明 (24)

如此，將形成於區域A1之元件分離部之分離寬度(L_H)相對較窄化，並將形成於區域A2之元件分離部之分離寬度(L_L)相對較寬化時，即使在區域A1及區域A2，分別以同一工序形成n通道MISFET之p型井25、n通道MISFET之臨限值電壓控制層26、p通道MISFET之n型井28及n通道MISFET之臨限值電壓控制層29，也可相對地增高例如區域A1之n通道MISFET之臨限值電壓，並相對地降低區域A2之n通道MISFET之臨限值電壓。因此，與將形成於區域A1之元件分離部之分離寬度與形成於區域A2之元件分離部之分離寬度設成相同之製造方法相比，可減少包含微影照相工序在內之6種工序之工序，並減少2片微影照相用之光罩。

如此，依據本實施形態，可藉調整使MISFET電性分離之元件分離部之分離寬度、由MISFET之閘極至元件分離部之距離或此兩者之距離，即使構成MISFET之要素，例如閘長、閘極絕緣膜之膜厚或導入基板之雜質濃度等相同，也可在多數MISFET中，獲得所希望之各種特性，例如臨限值電壓或驅動電流。另外，因可減少微影照相工序及離子植入工序等製造工序，故可降低製造成本。

以上已就本發明人所創見之發明，依據實施型態予以具體說明，但本發明並不僅限定於前述之實施形態，在不超越其要旨之範圍之情況下，當然可作種種適當之變更。

例如，在前述實施形態中，係就利用增大對通道區域之應力，以增大MISFET之臨限值電壓之情形加以說明。但事實上也可減少臨限值電壓，並可針對標準之臨限值電壓，

五、發明說明 (25)

施行升高或降低MISFET之臨限值電壓之調整。

又，在前述實施形態中，元件分離部係利用溝分離法所構成，但事實上並不限定於此，例如利用LOCOS (local oxidation of silicon：矽局部氧化法)時，也可獲得同樣之效果。

又，在前述實施形態中，作為因應力而變動之MISFET特性，主要係以臨限值電壓為例加以說明，但其他特性，例如驅動電流也可因應力而變動。

發明之功效

本案所揭示之發明中，較具有代表性之發明所能獲得之功效可簡單說明如下：

本發明可藉調節使MISFET電性分離之元件分離部之分離寬度，以獲得具有所希望特性之MISFET。

圖式之簡單說明

圖1係表示用於說明本發明之一實施形態之第一群n通道MISFET之臨限值電壓及第二群n通道MISFET之臨限值電壓之曲線圖。

圖2係表示用於說明本發明之一實施形態之溝分離部之真性應力與溝分離部之分離寬度之關係之曲線圖。

圖3(a)係表示在用於說明本發明之一實施形態中，對MISFET之通道區域之應力與配置於活性區域之閘極數之關係之曲線圖，圖3(b)係表示閘極之配置情形之基板之要部剖面圖。

圖4係表示本發明之一實施形態之MISFET之第一配置例

五、發明說明 (26)

之要部平面圖。

圖5係表示本發明之一實施形態之MISFET之第二配置例之要部平面圖。

圖6係表示本發明之一實施形態之MISFET之第三配置例之要部平面圖。

圖7係表示本發明之一實施形態之MISFET之第四配置例之要部平面圖。

圖8係表示本發明之一實施形態之MISFET之第五配置例之要部平面圖。

圖9係表示本發明之一實施形態之MISFET之第六配置例之要部平面圖。

圖10係表示本發明之一實施形態之MISFET之第七配置例之要部平面圖。

圖11係表示配置於本發明之一實施形態之半導體晶片上之MISFET之配置區域之平面概略圖。

圖12係表示配置於本發明之一實施形態之半導體晶片上之閘陣列部之MISFET之配置區域之一例之平面概略圖。

FET之配置區域之一例之平面概略圖。

圖13係表示本發明之一實施形態之反相器電路之平面概略圖。

圖14係表示本發明之一實施形態之反相器電路之平面概略圖。

圖15係表示本發明之一實施形態之反相器電路之平面概略圖。

五、發明說明 (27)

圖 16 係表示本發明之一實施形態之反相器電路之平面概略圖。

圖 17 係表示本發明之一實施形態之反相器電路之平面概略圖。

圖 18 係表示本發明之一實施形態之反相器電路之平面概略圖。

圖 19 係表示本發明之一實施形態之反相器電路之平面概略圖。

圖 20 係表示本發明之一實施形態之反相器電路之平面概略圖。

圖 21 係表示本發明之一實施形態之 2 輸入 NAND 電路之平面概略圖。

圖 22 係表示本發明之一實施形態之 2 輸入 NAND 電路之平面概略圖。

圖 23 係表示本發明之一實施形態之 2 輸入 NAND 電路之平面概略圖。

圖 24 係表示本發明之一實施形態之 2 輸入 NAND 電路之平面概略圖。

圖 25 係表示本發明之一實施形態之 2 輸入 NAND 電路之平面概略圖。

圖 26 係表示本發明之一實施形態之 2 輸入 NAND 電路之平面概略圖。

圖 27 係表示本發明之一實施形態之 2 輸入 NAND 電路之平面概略圖。

五、發明說明(28)

圖28係表示本發明之一實施形態之2輸入NAND電路之平面概略圖。

圖29係表示本發明之一實施形態之2輸入NOR電路之平面概略圖。

圖30係表示本發明之一實施形態之2輸入NOR電路之平面概略圖。

圖31係表示本發明之一實施形態之2輸入NOR電路之平面概略圖。

圖32係表示本發明之一實施形態之2輸入NOR電路之平面概略圖。

圖33係表示本發明之一實施形態之2輸入NOR電路之平面概略圖。

圖34係表示本發明之一實施形態之2輸入NOR電路之平面概略圖。

圖35係表示本發明之一實施形態之2輸入NOR電路之平面概略圖。

圖36係表示本發明之一實施形態之2輸入NOR電路之平面概略圖。

圖37係表示本發明之一實施形態之CMOS裝置之製造方法之半導體基板之要部剖面圖。

圖38係表示本發明之一實施形態之CMOS裝置之製造方法之半導體基板之要部剖面圖。

圖39係表示本發明之一實施形態之CMOS裝置之製造方法之半導體基板之要部剖面圖。

五、發明說明 (29)

圖40係表示本發明之一實施形態之CMOS裝置之製造方法之半導體基板之要部剖面圖。

圖41係表示本發明之一實施形態之CMOS裝置之製造方法之半導體基板之要部剖面圖。

圖42係表示本發明之一實施形態之CMOS裝置之製造方法之半導體基板之要部剖面圖。

圖43係表示本發明之一實施形態之CMOS裝置之製造方法之半導體基板之要部剖面圖。

圖44係表示本發明之一實施形態之CMOS裝置之製造方法之半導體基板之要部剖面圖。

圖45係表示本發明之一實施形態之CMOS裝置之製造方法之半導體基板之要部剖面圖。

圖46係表示本發明之一實施形態之CMOS裝置之製造方法之半導體基板之要部剖面圖。

圖47係表示本發明之一實施形態之CMOS裝置之製造方法之半導體基板之要部剖面圖。

元件符號之說明

- | | |
|---------|-----------------|
| 1 基板 | 8 V_{DD} 電源配線 |
| 2 閘極 | 9 V_{SS} 電源配線 |
| 3 活性區域 | 10 輸入訊號配線 |
| 4 元件分離部 | 11 輸出訊號配線 |
| 5 元件分離部 | 12 接觸孔 |
| 6 活性區域 | 13 虛設活性區域 |
| 7 閘極 | 14 虛設閘極 |

五、發明說明 (30)

- | | |
|--------------------------|-------------------------|
| 21 半導體基板 | 44 層間絕緣膜 |
| 22 淺溝 | 45n 接觸孔 |
| 23 氧化矽膜 | 45p 接觸孔 |
| 24 光阻膜 | 46 插塞 |
| 25 p型井 | 47 配線層 |
| 26 臨限值電壓控制層 | A 活性區域 |
| 27 光阻膜 | STI 溝分離部 |
| 28 n型井 | G 閘極 |
| 29 臨限值電壓控制層 | L ₁ 分離寬度 |
| 30 光阻膜 | L ₂ 距離 |
| 31 p型井 | L ₃ 間隔 |
| 32 臨限值電壓控制層 | Q ₁ 第一MISFET |
| 33 光阻膜 | Q ₂ 第二MISFET |
| 34 n型井 | Q ₃ 第三MISFET |
| 35 臨限值電壓控制層 | Q ₄ 第四MISFET |
| 36 氧化矽膜 | Q ₅ 第五MISFET |
| 37a 閘極絕緣膜 | L _g 閘長 |
| 37b 閘極絕緣膜 | L _a 分離寬度 |
| 38 閘極 | L _{a'} 分離寬度 |
| 39 n ⁻ 型半導體區域 | L _b 分離寬度 |
| 40 p ⁻ 型半導體區域 | L _{b'} 分離寬度 |
| 41 側壁隔膜 | L _c 距離 |
| 42 n ⁺ 型半導體區域 | L _{c'} 距離 |
| 43 p ⁺ 型半導體區域 | L _{c''} 距離 |

五、發明說明 (31)

Ld 距離

Ld' 距離

DA₁ 虛設活性區域

DA₂ 虛設活性區域

DG₁ 虛設閘極

DG₂ 虛設閘極

DG₃ 虛設閘極

DG₄ 虛設閘極

DG₅ 虛設閘極

DG₆ 虛設閘極

HA 區域

MA 區域

LA 區域

GA₁ 區域

GA₂ 區域

PMOS 區域

NMOS 區域

A1 區域

A2 區域

A3 區域

裝

訂

線

四、中文發明摘要（發明之名稱：半導體積體電路裝置及其製造方法）

本發明係關於半導體積體電路裝置及其製造方法，其課題在於利用調整元件分離部之分離寬度，提供可獲得具有所希望特性之MISFET（金屬絕緣體半導體場效電晶體）之技術。

本發明係利用相對較窄化元件分離部4之分離寬度 L_a 及分離寬度 $L_{a'}$ ，增大對第二MISFET Q_2 之通道區域之應力的影響，而相對地增大臨限值電壓之變化，且利用相對較寬化元件分離部4之分離寬度 L_b 及分離寬度 $L_{b'}$ ，縮小施加至第四MISFET Q_4 之通道區域之應力的影響，而相對地減小臨限值電壓之變化。

日文發明摘要（發明之名稱：半導体集積回路装置およびその製造方法）

素子分離部の分離幅を調整することによって、所望する特性を有するMISFETを得ることのできる技術を提供する。

素子分離部4の分離幅 L_a および分離幅 $L_{a'}$ を相対的に狭くすることにより、第2MISFET Q_2 のチャネル領域へ及ぼす応力の影響を大きくして、しきい値電圧の変化を相対的に大きくし、素子分離部4の分離幅 L_b および分離幅 $L_{b'}$ を相対的に広くすることにより、第4MISFET Q_4 のチャネル領域へ及ぼす応力の影響を小さくして、しきい値電圧の変化を相対的に小さくする。

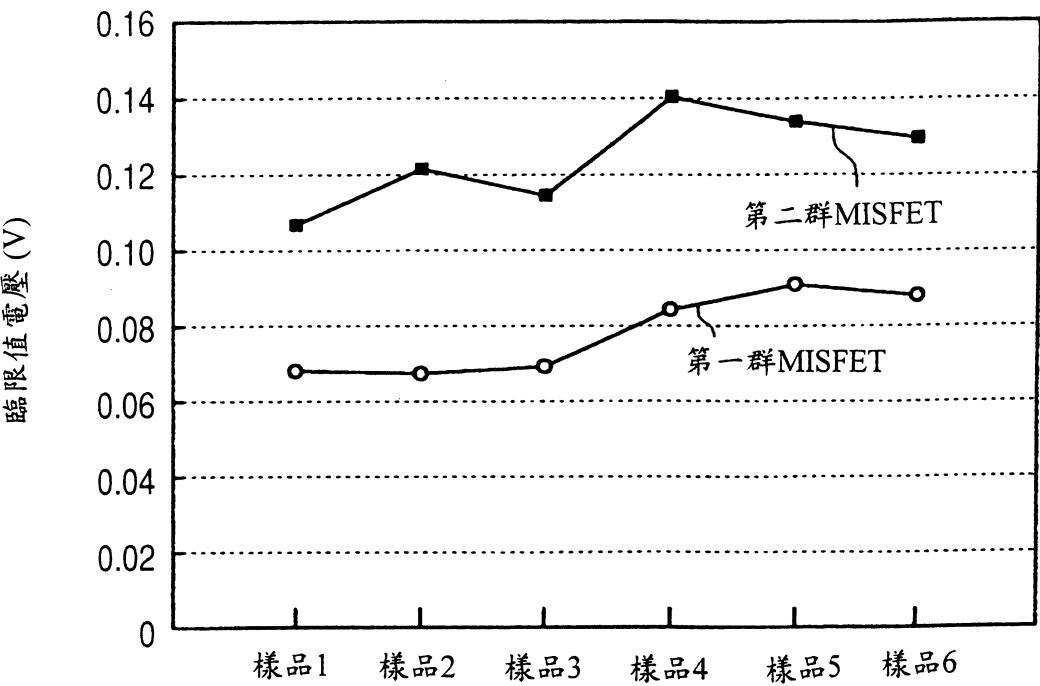


圖 1

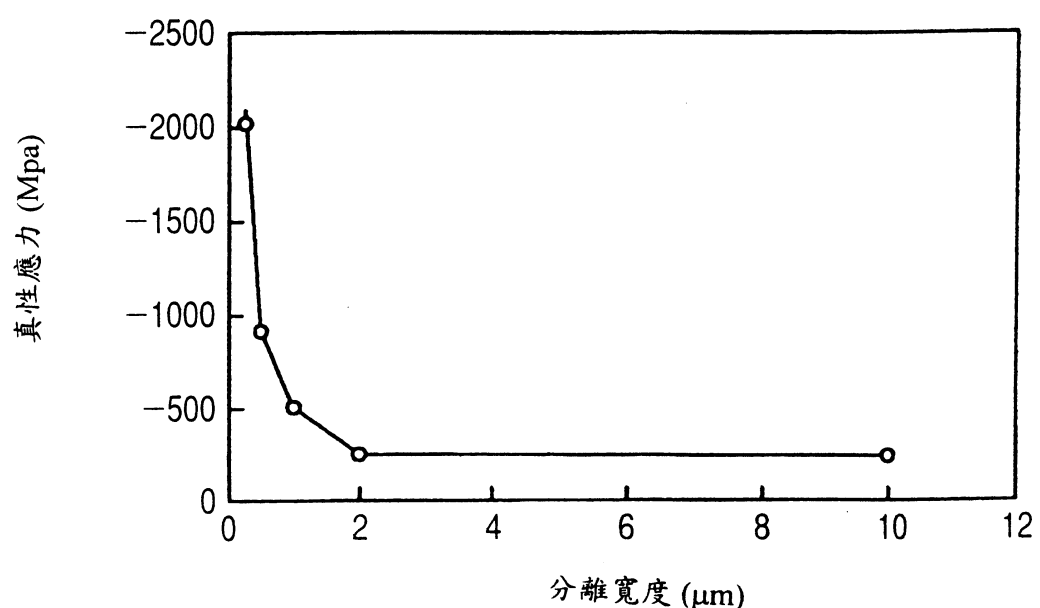


圖 2

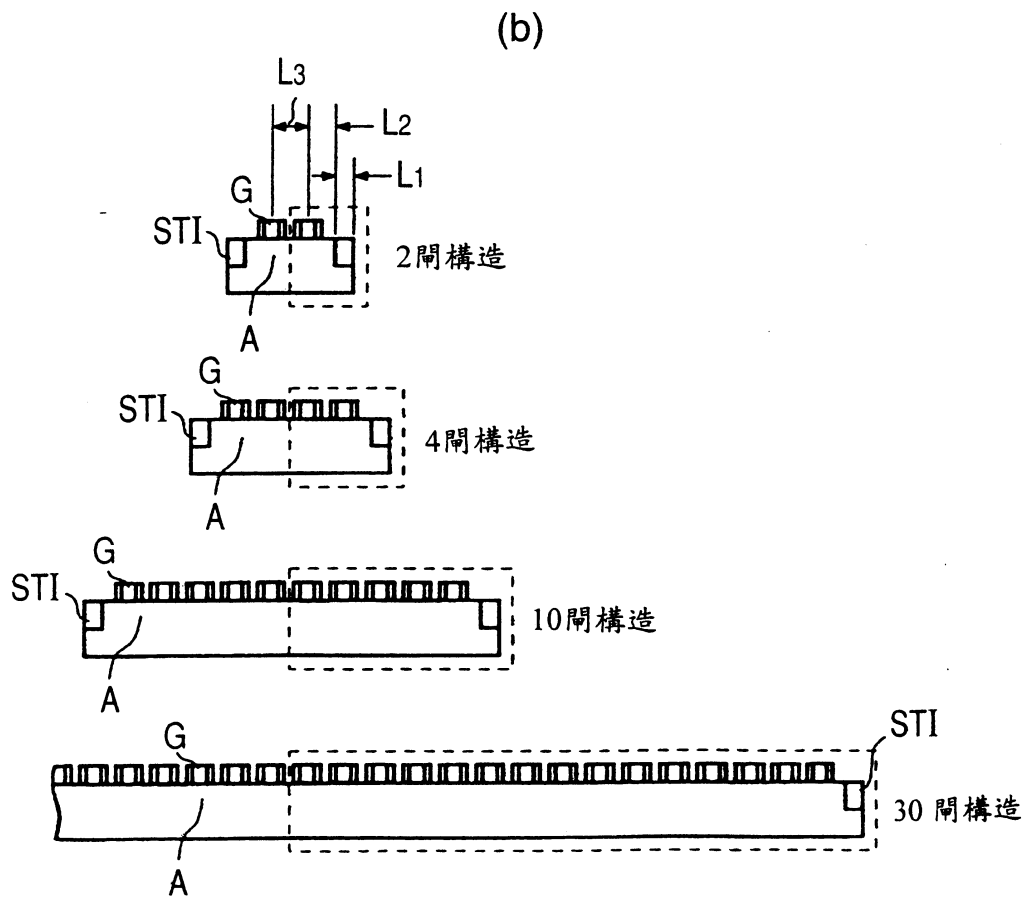
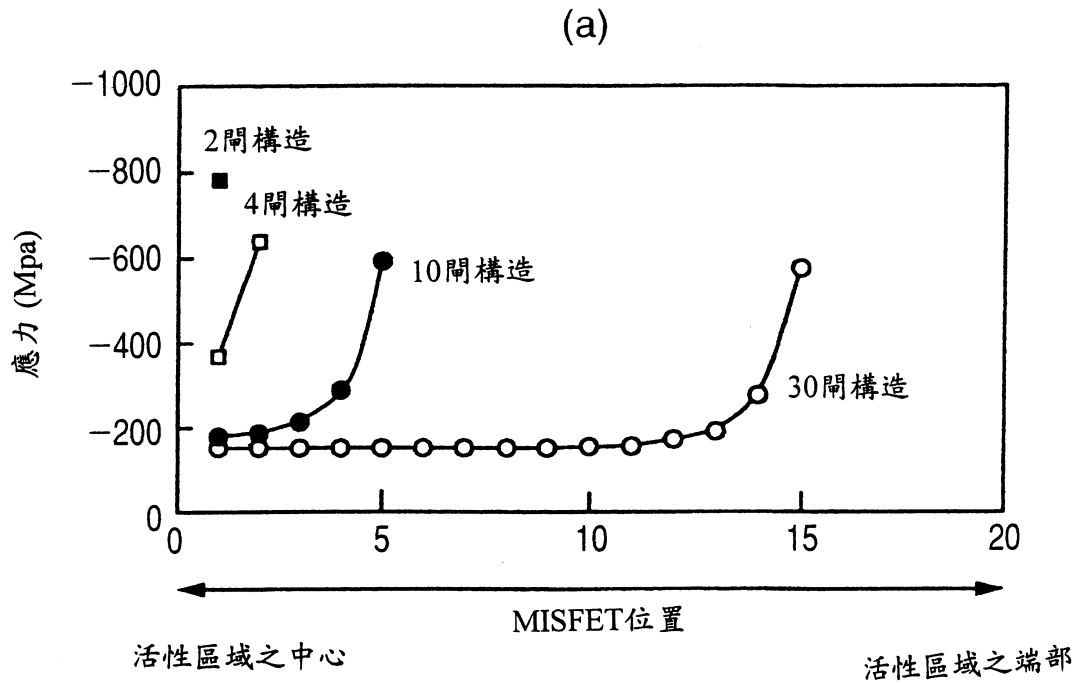
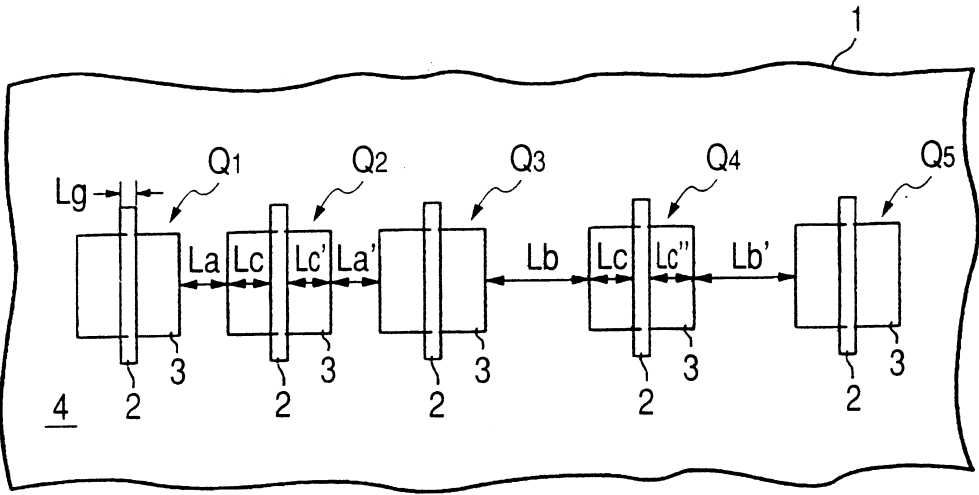


圖 3



4: 元件分離部

圖 4

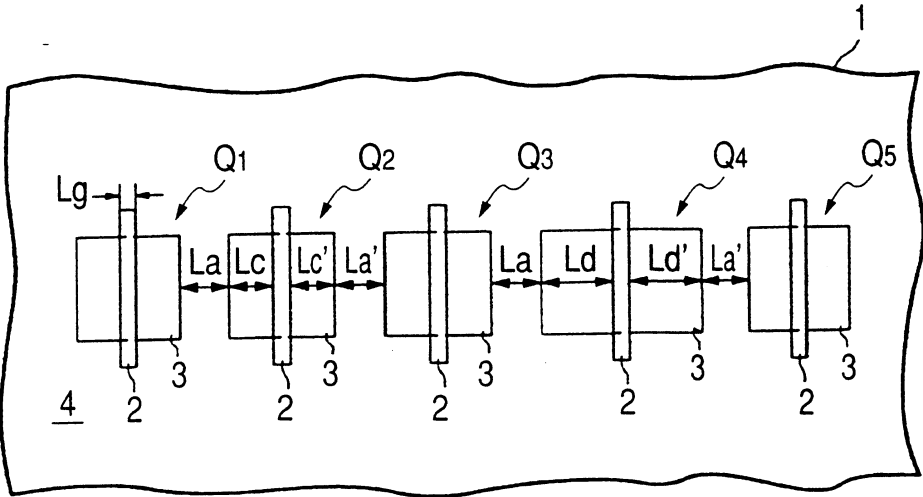


圖 5

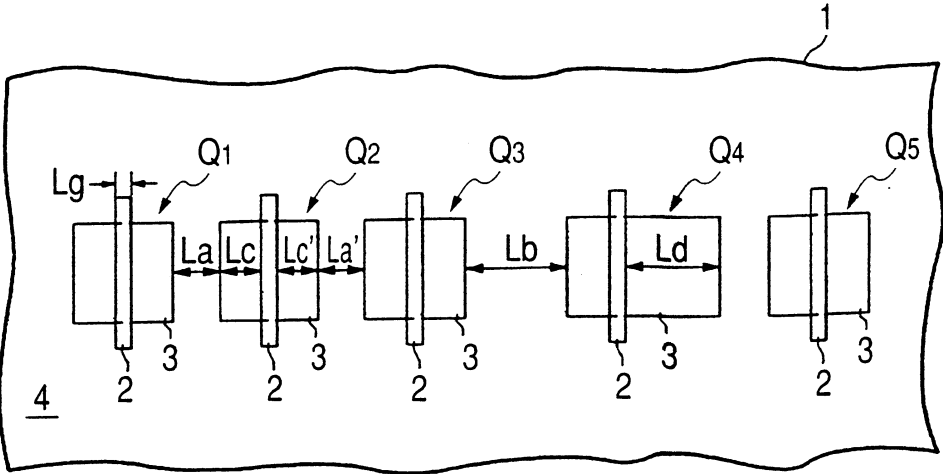


圖 6

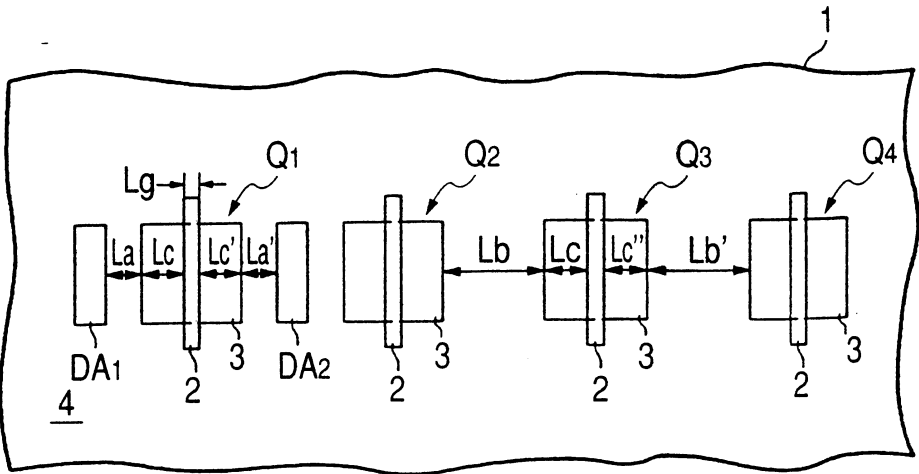


圖 7

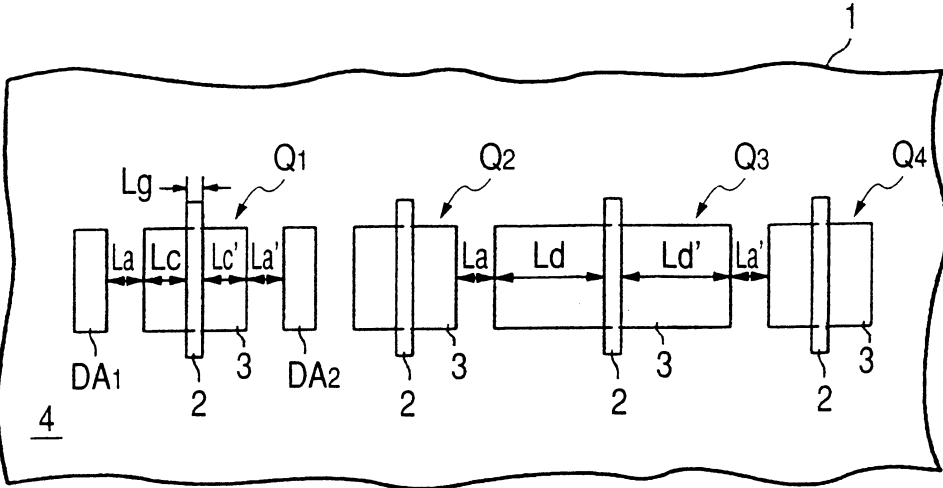


圖 8

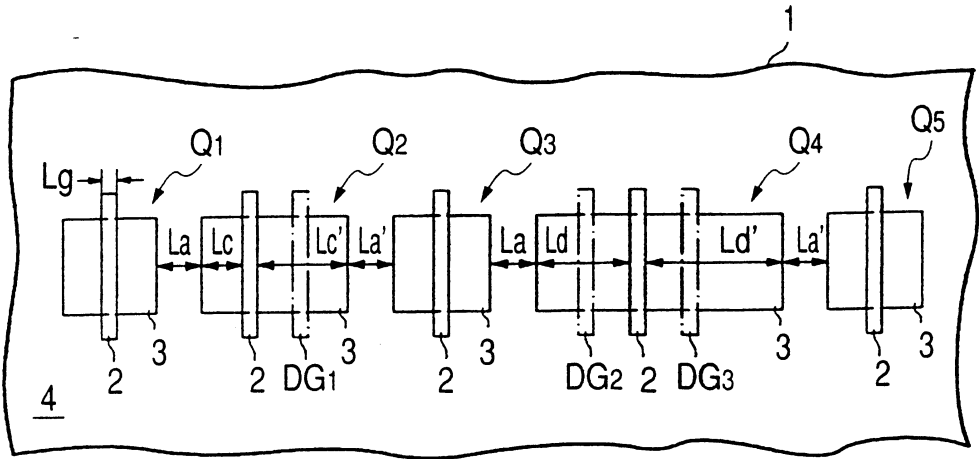


圖 9

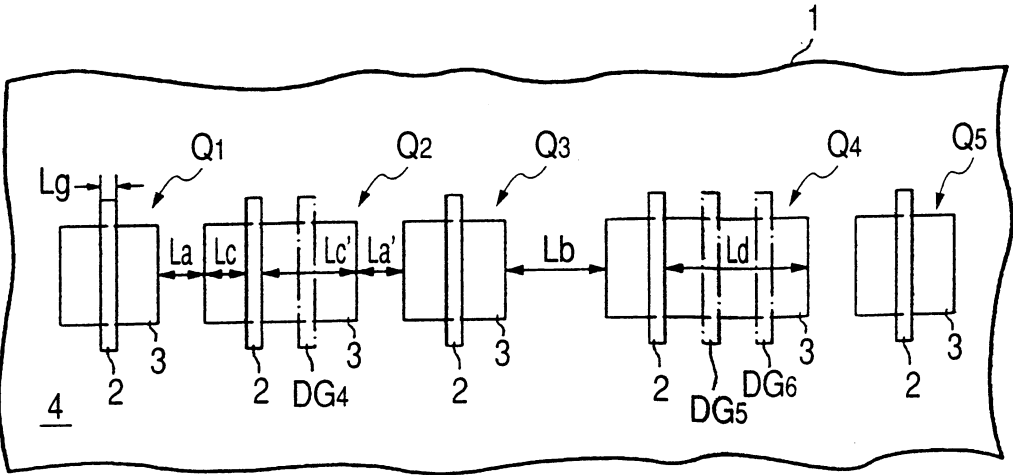


圖 10

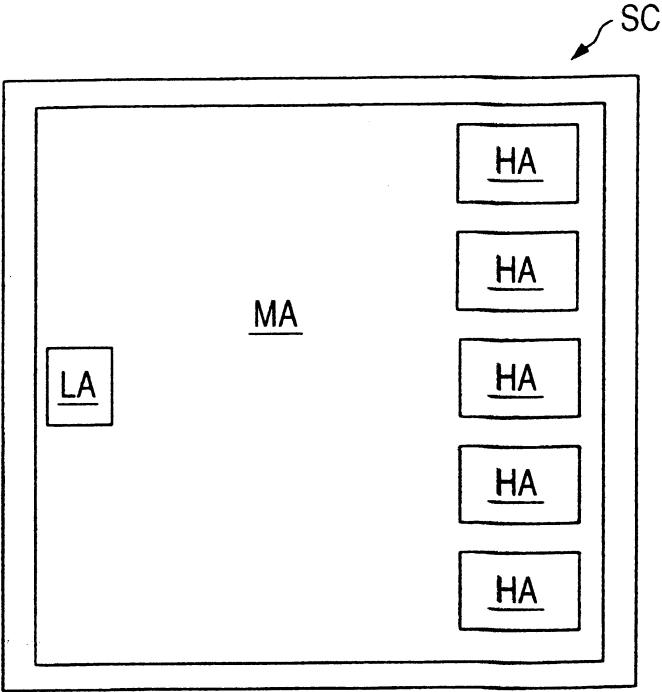


圖 11

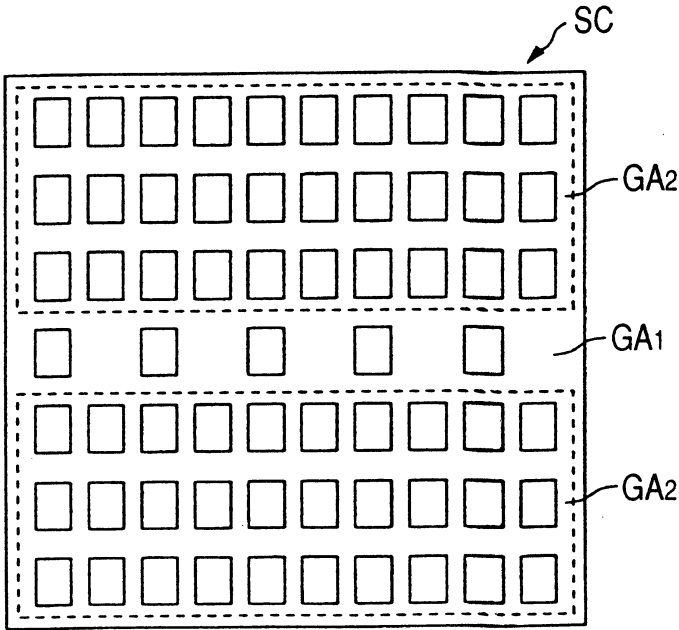


圖 12

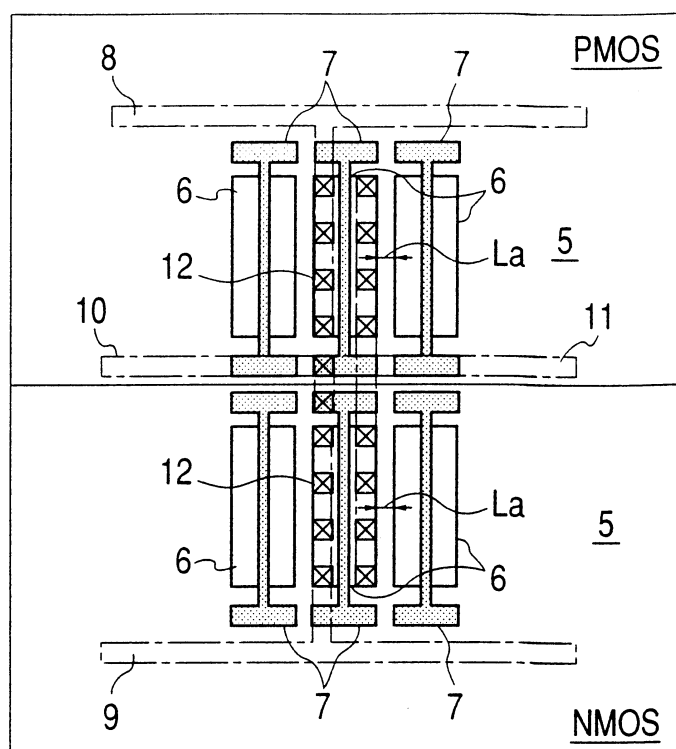


圖 13

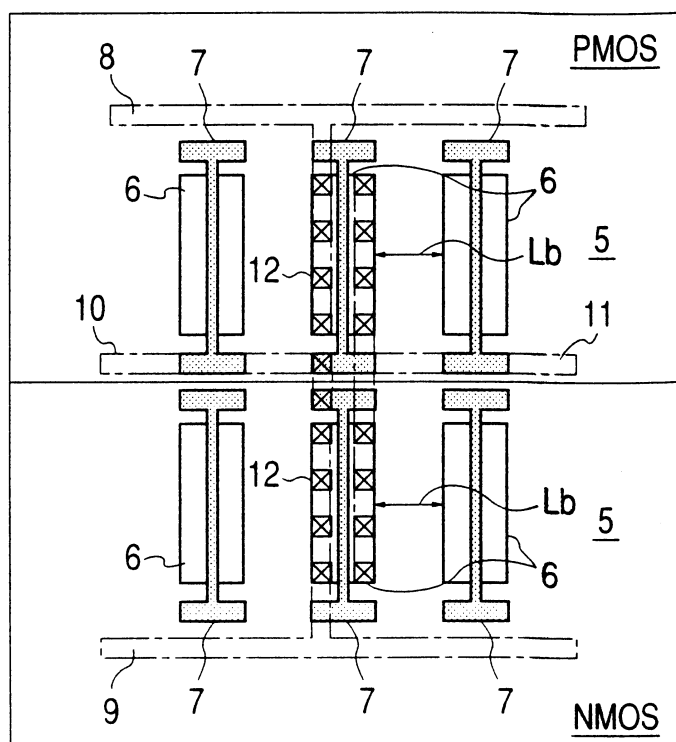


圖 14

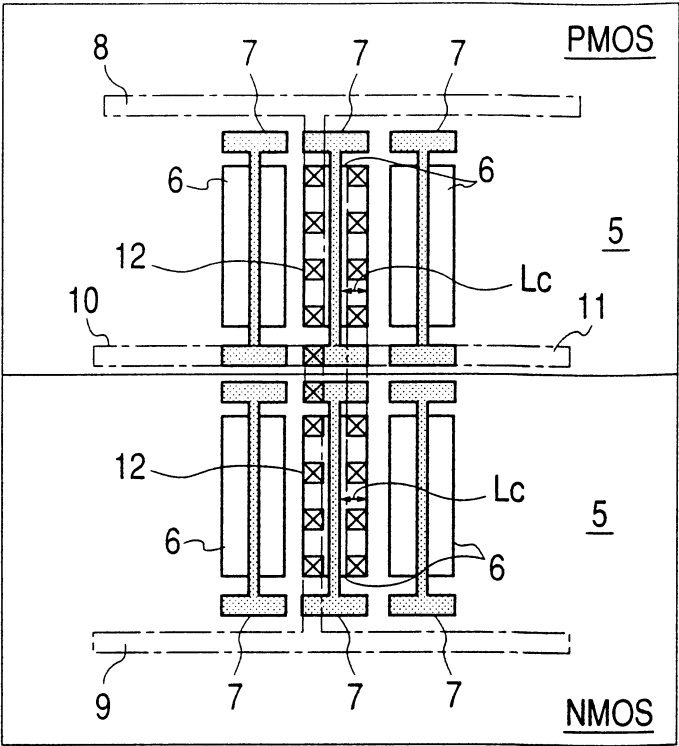


圖 17

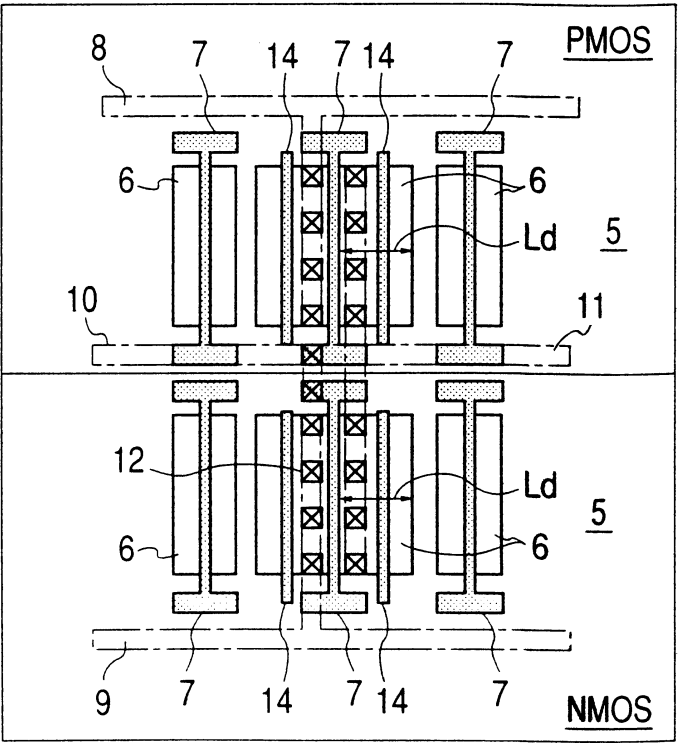


圖 18

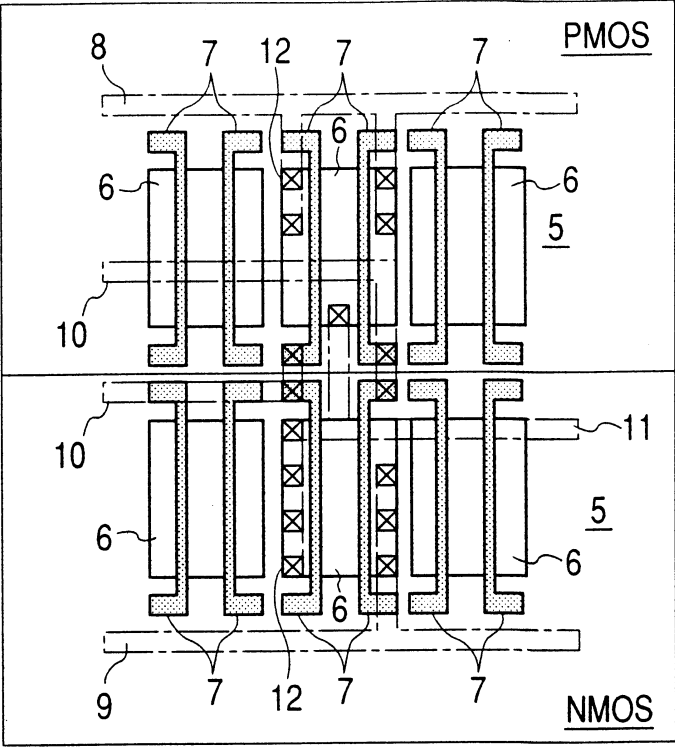


圖 21

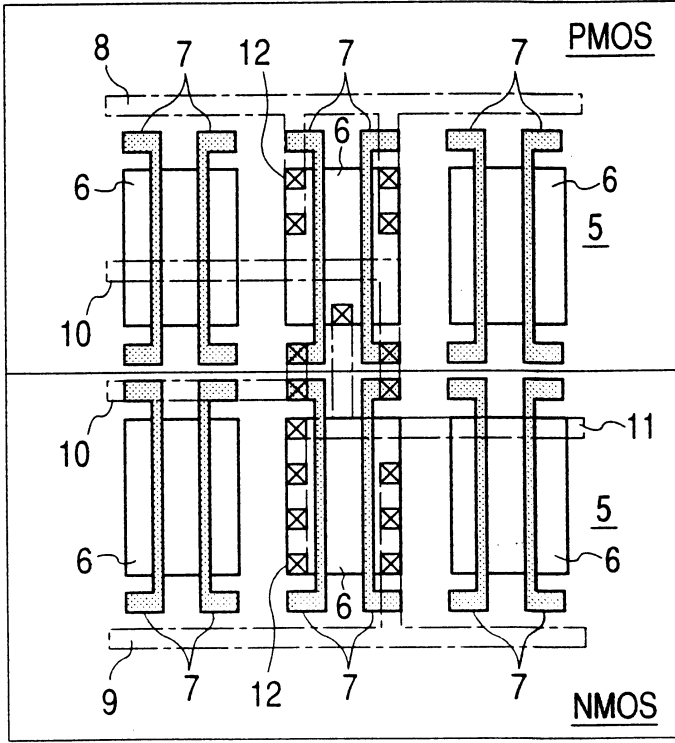


圖 22

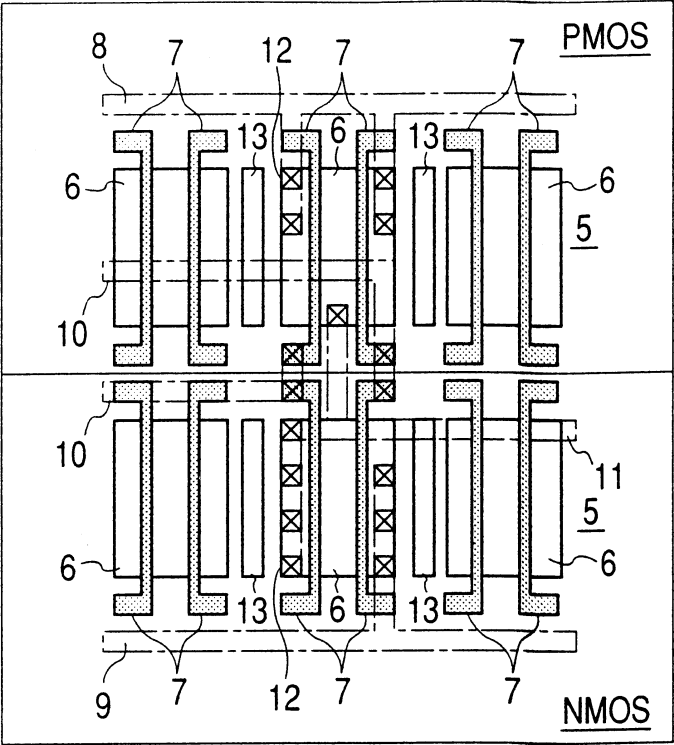


圖 23

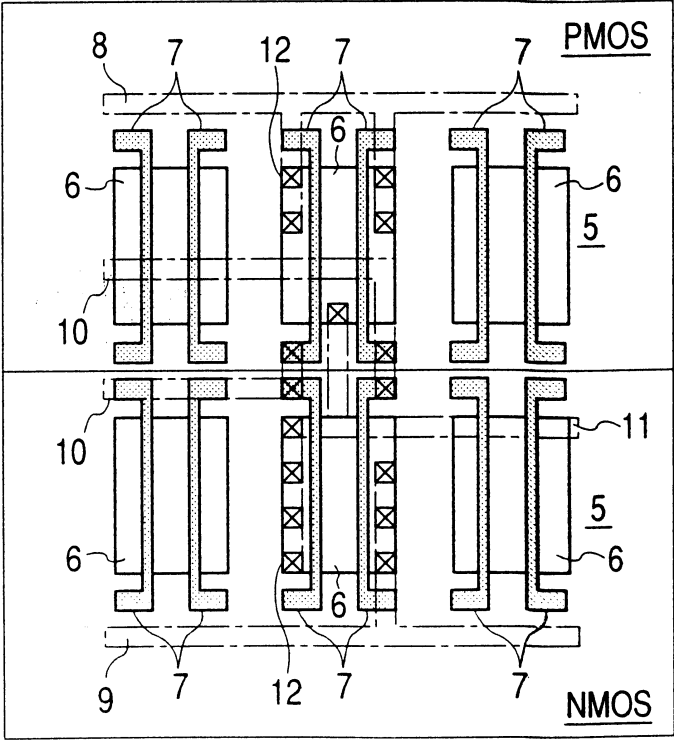


圖 24

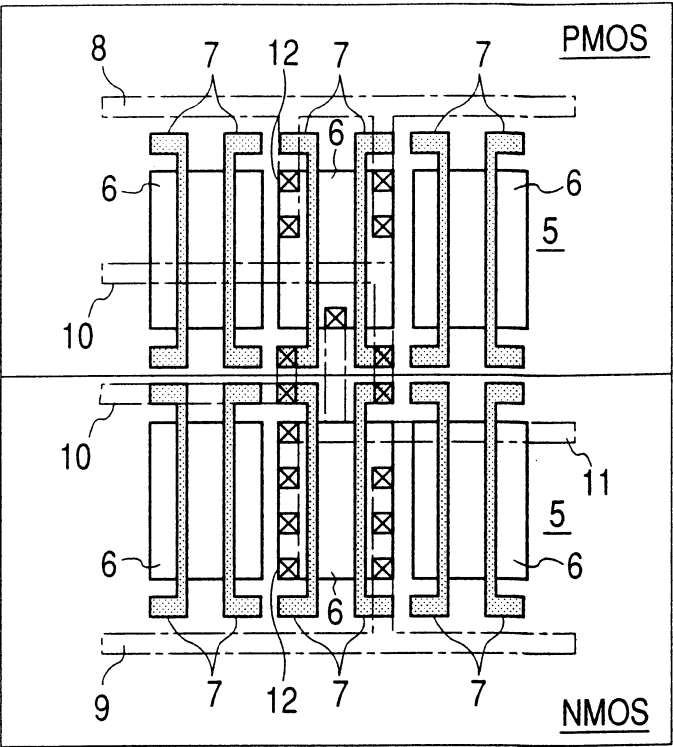


圖 27

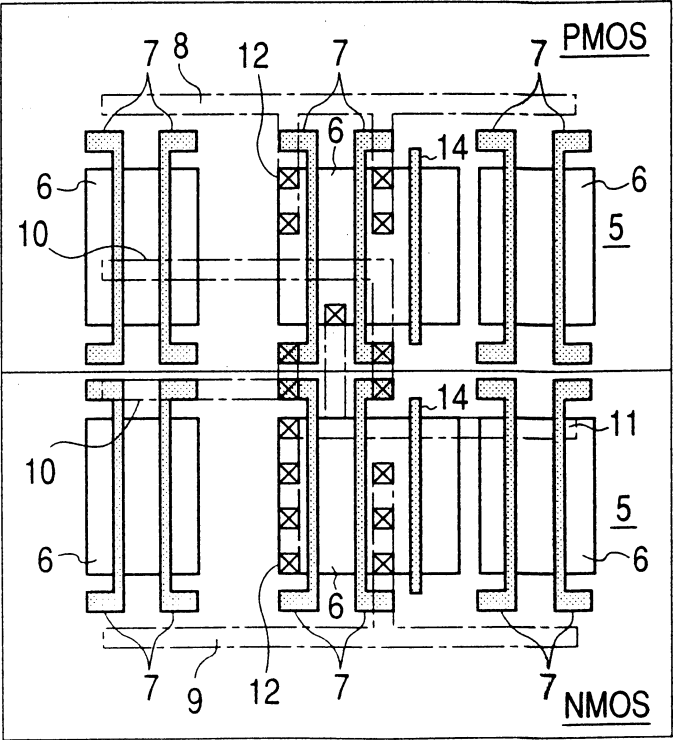


圖 28

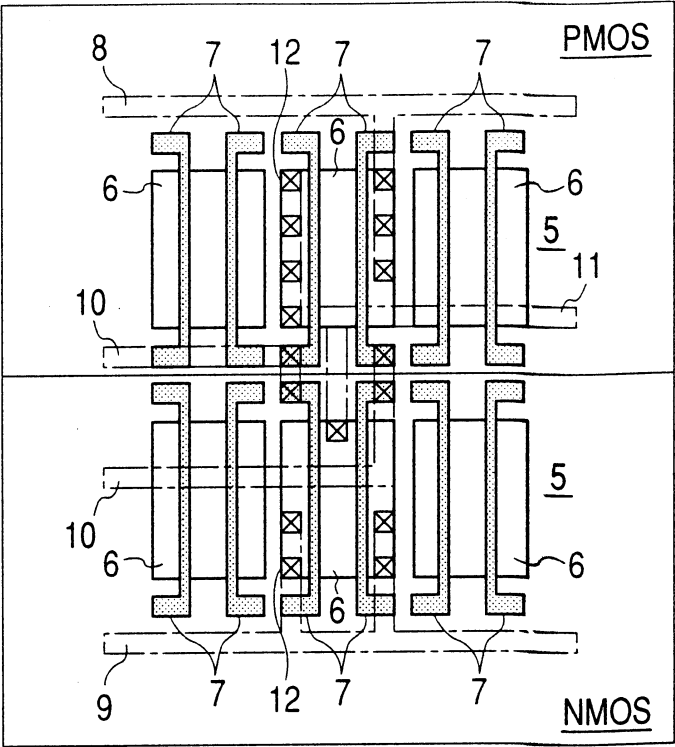


圖 29

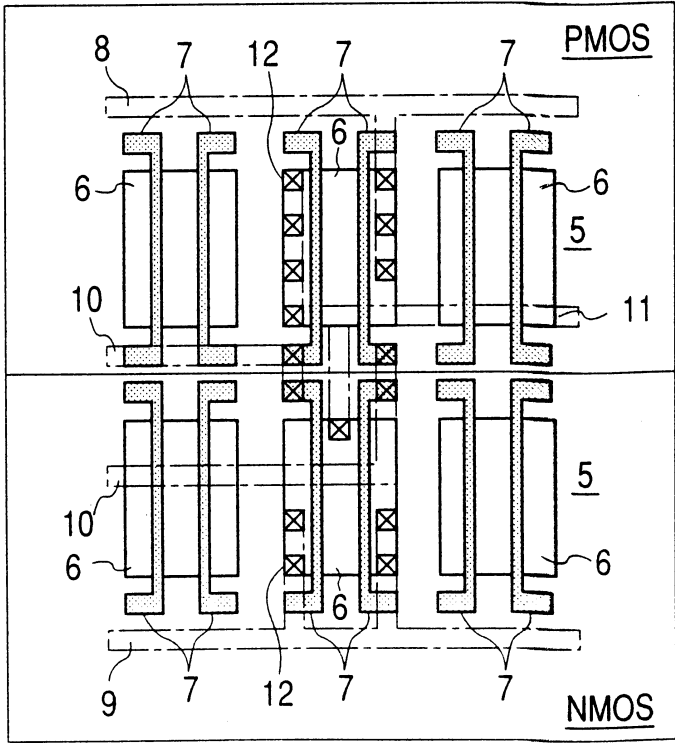


圖 30

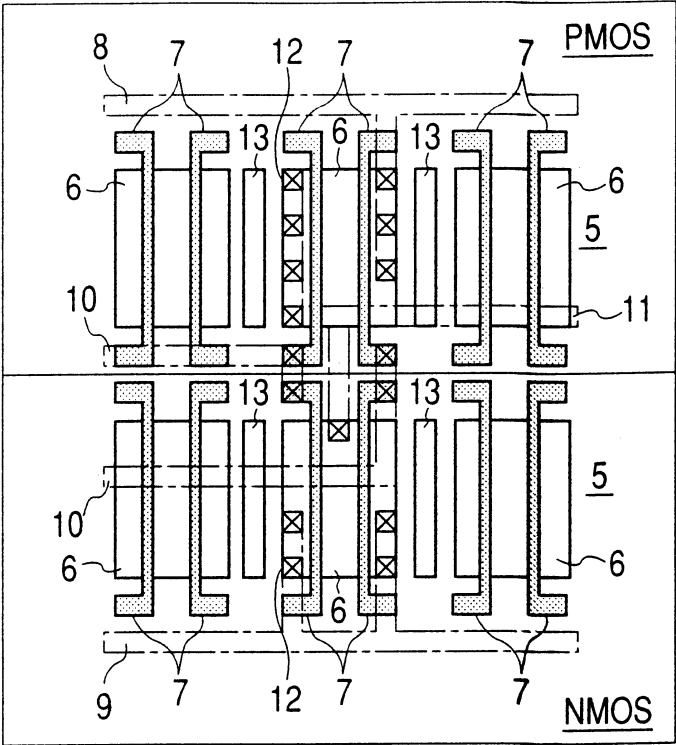


圖 3 1

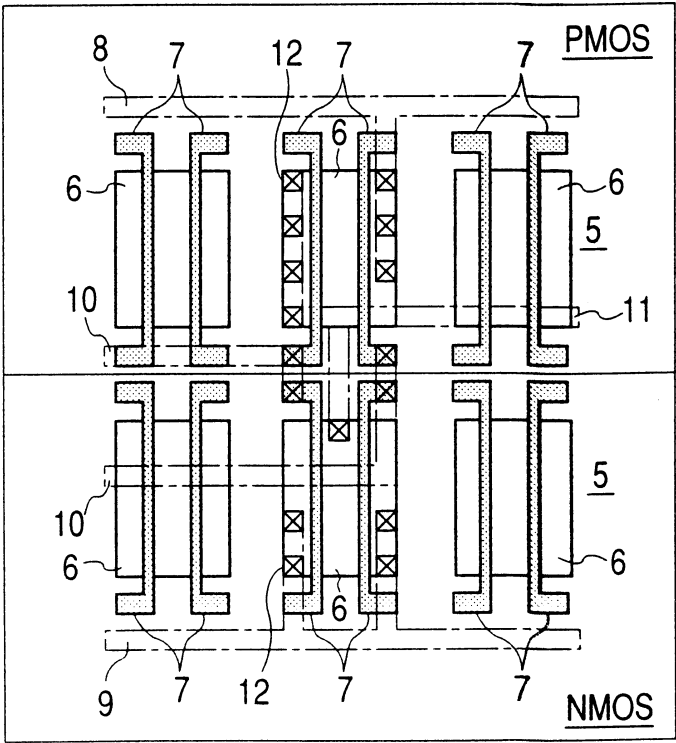


圖 3 2

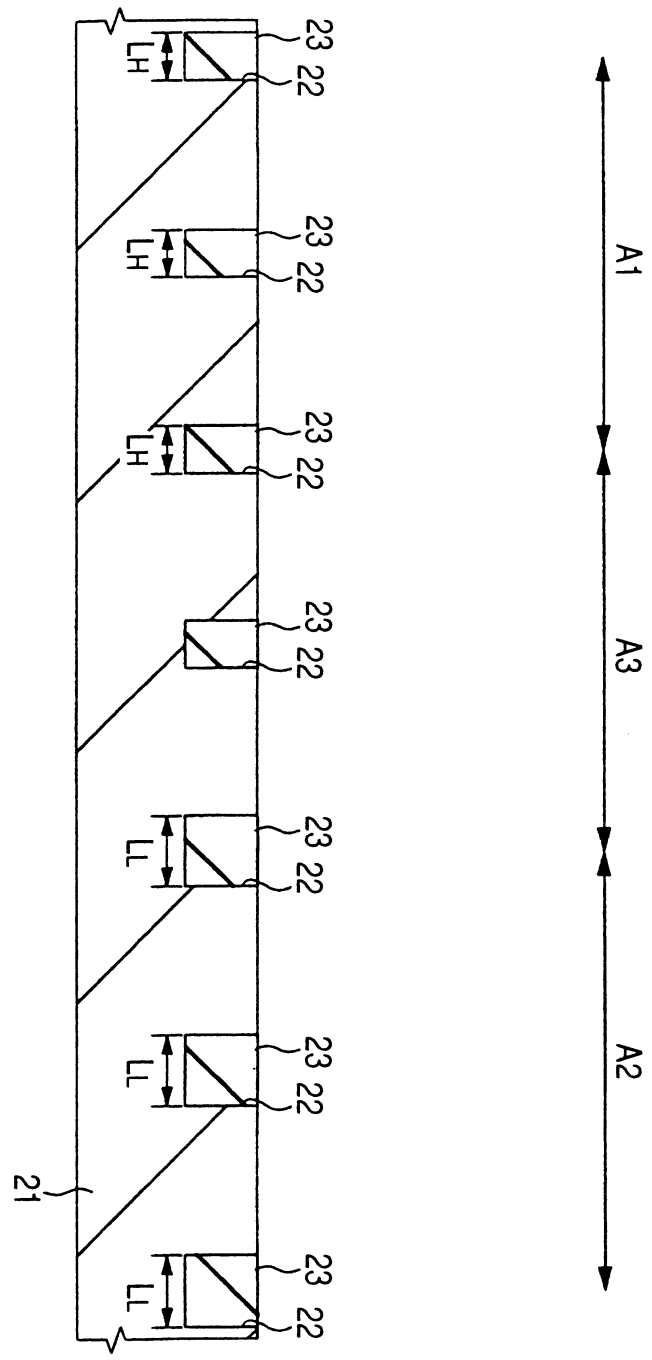


圖 37

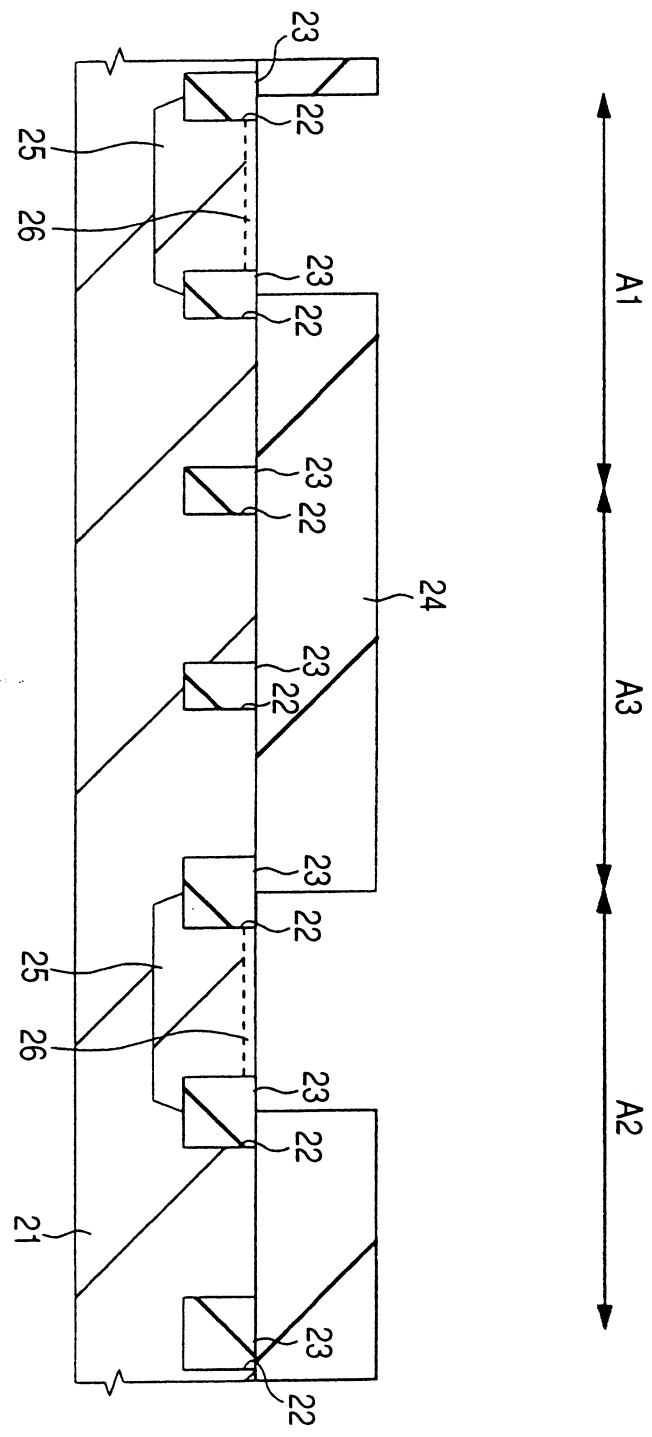


圖 38

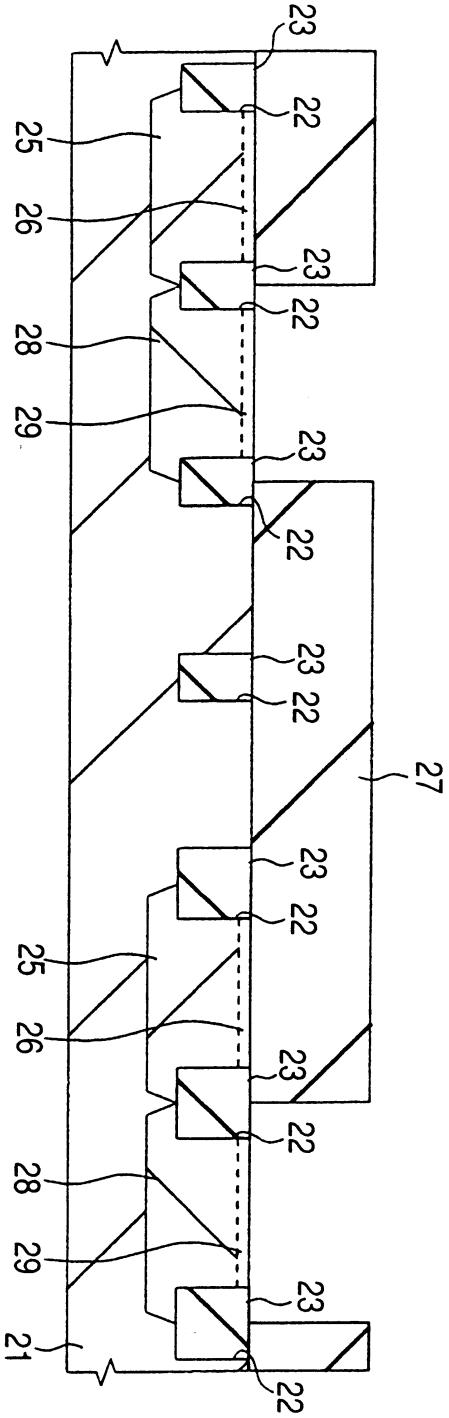
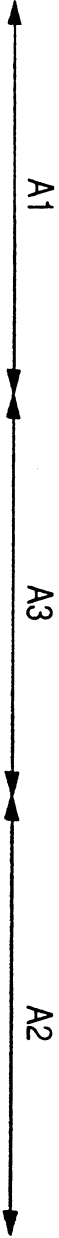


圖 39

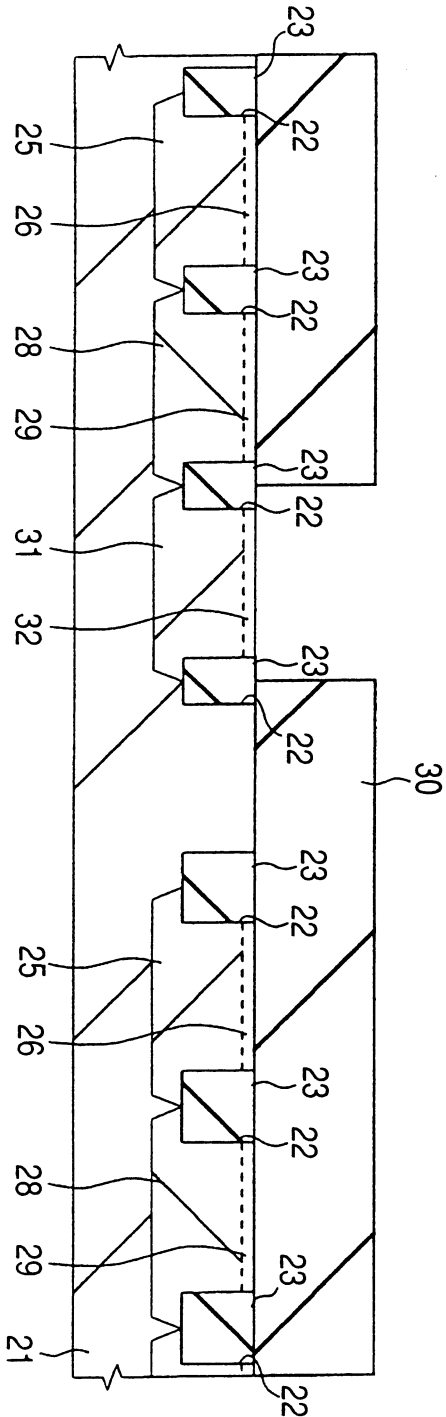
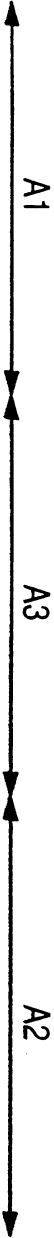


圖 40

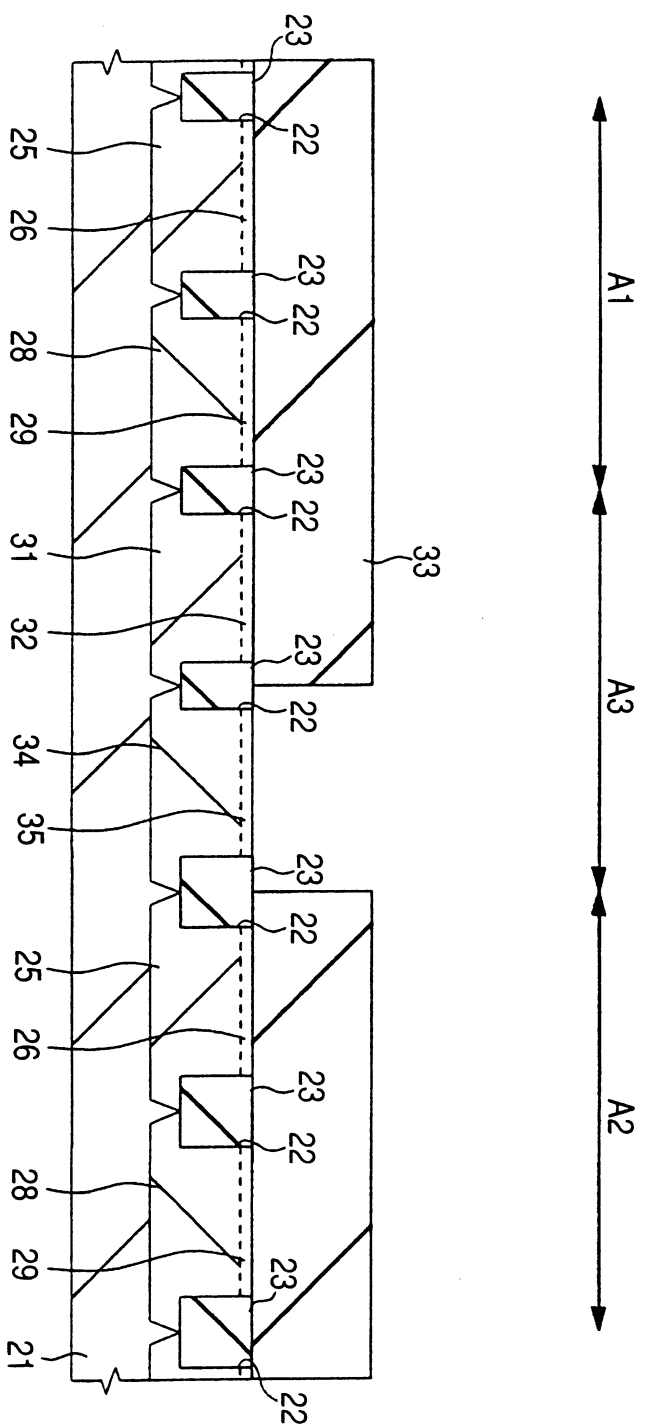


圖 41

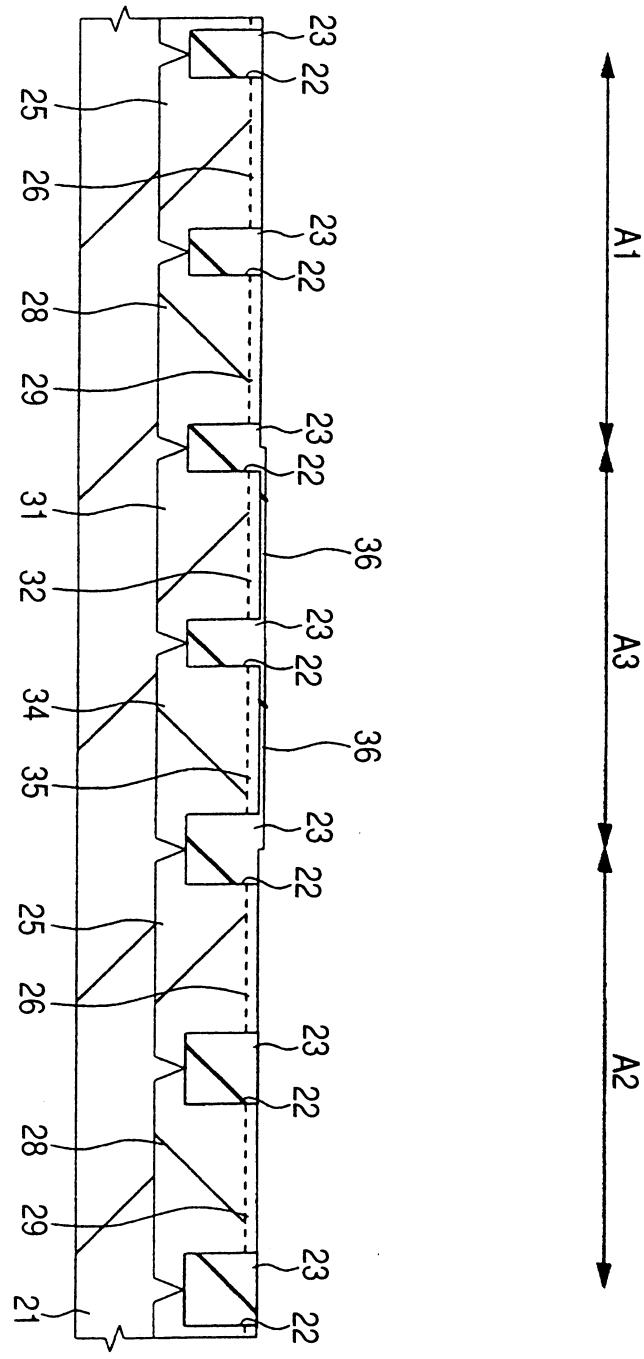


圖 42

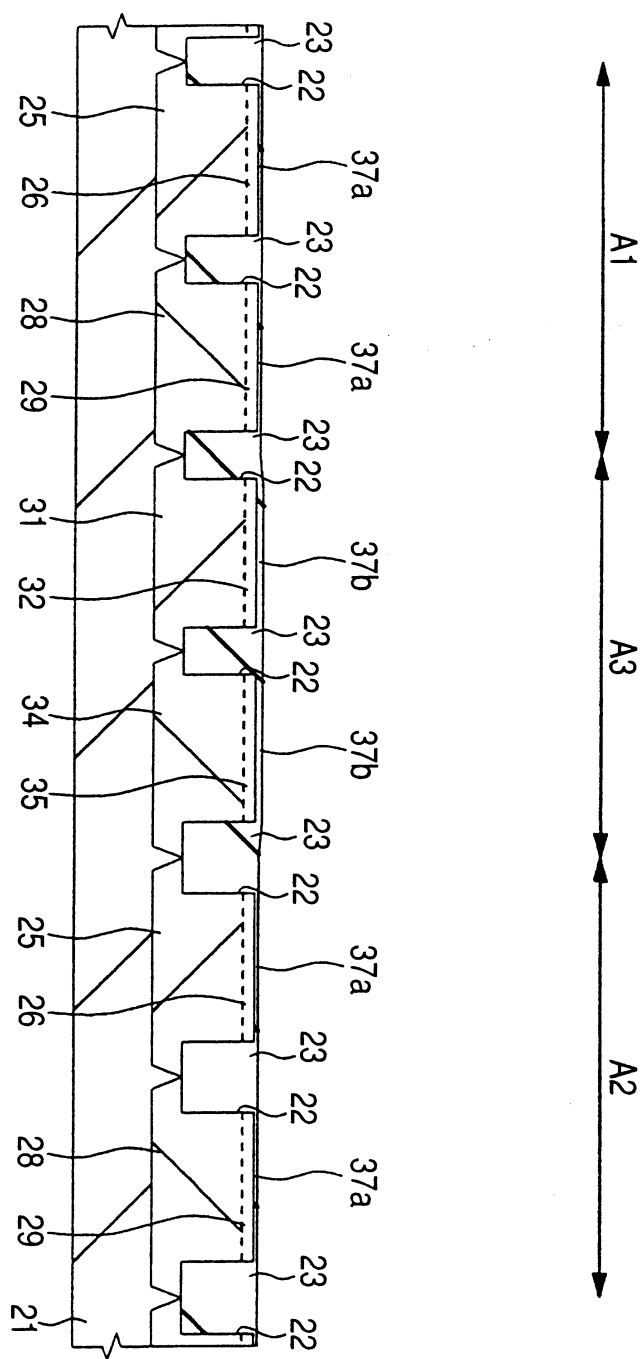


圖 43

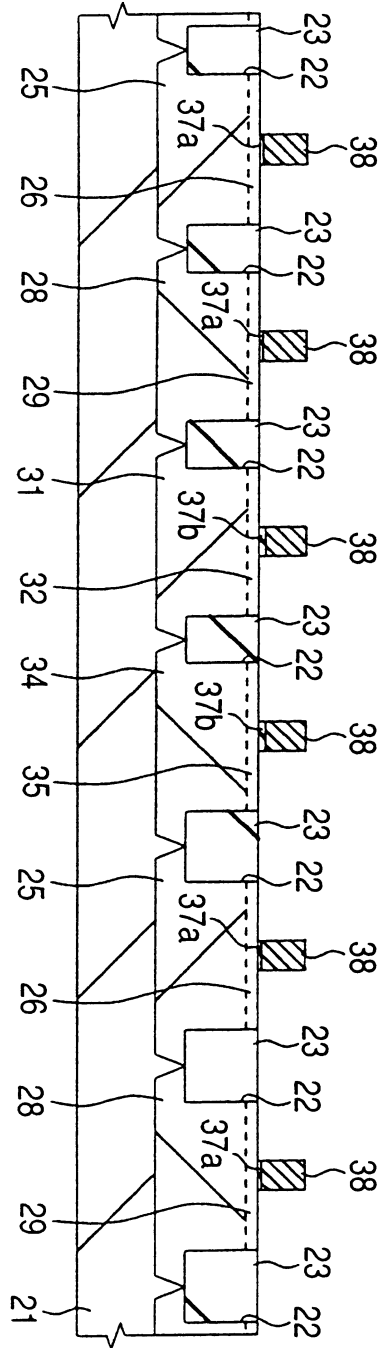
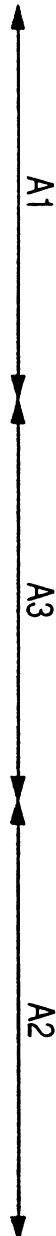


圖 44

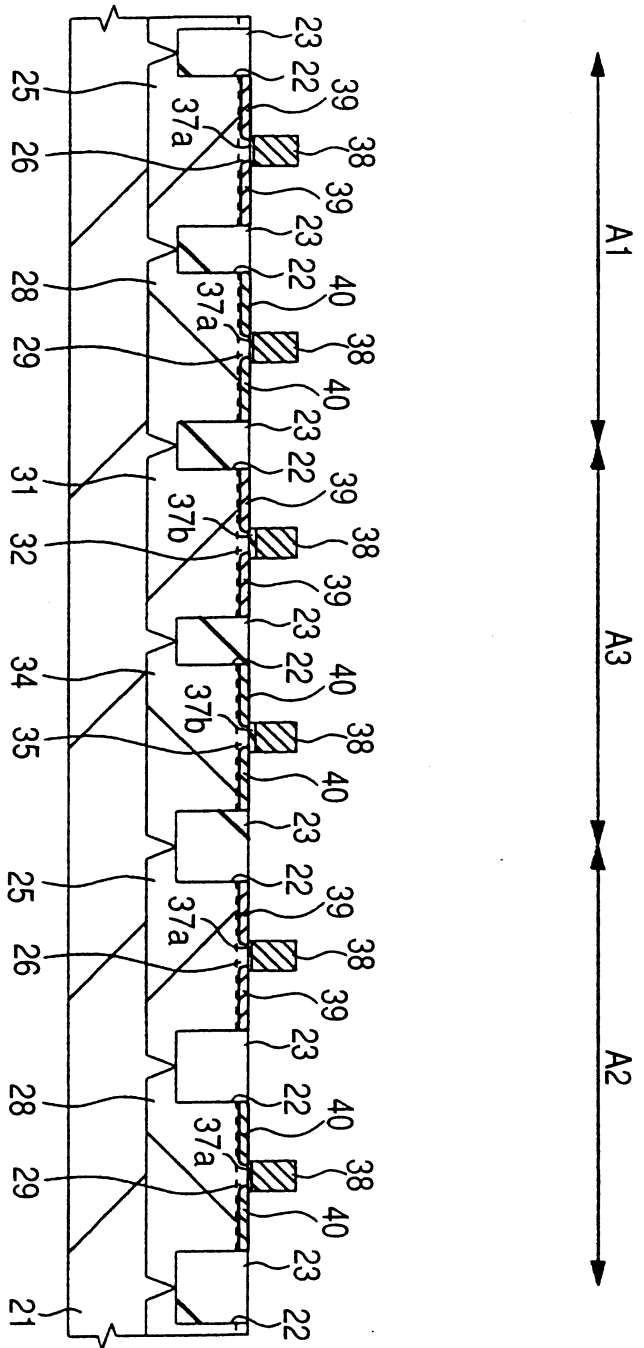


圖 45

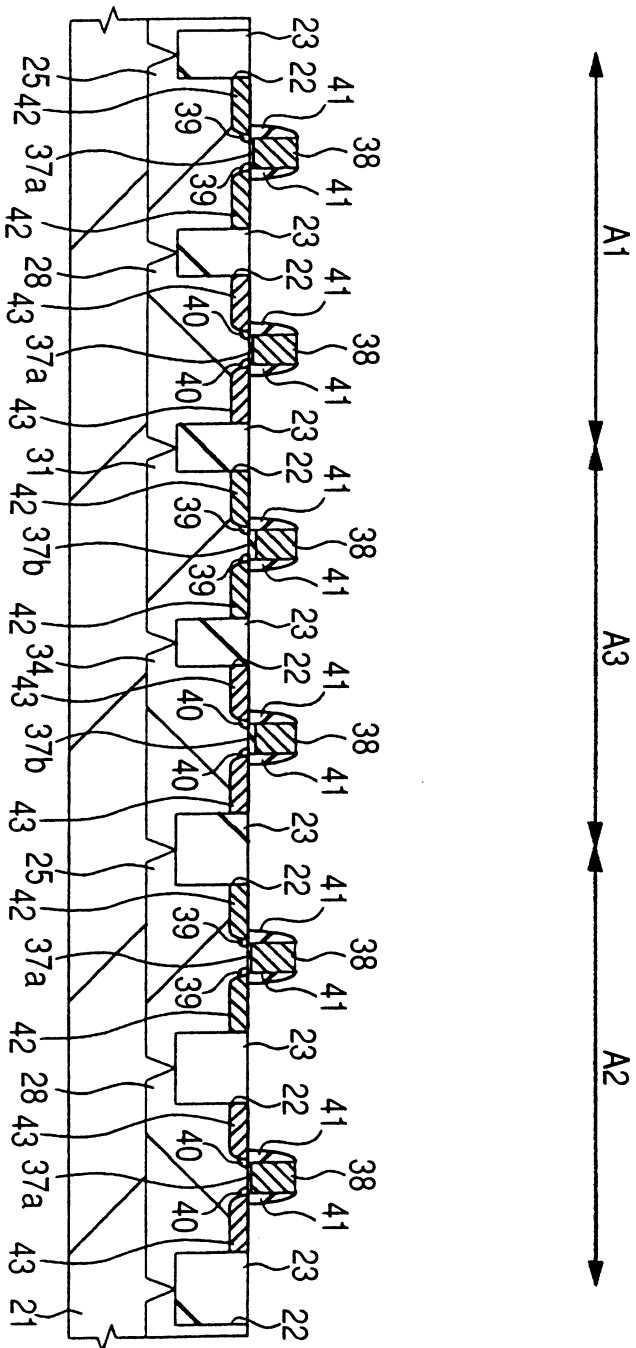


圖 46

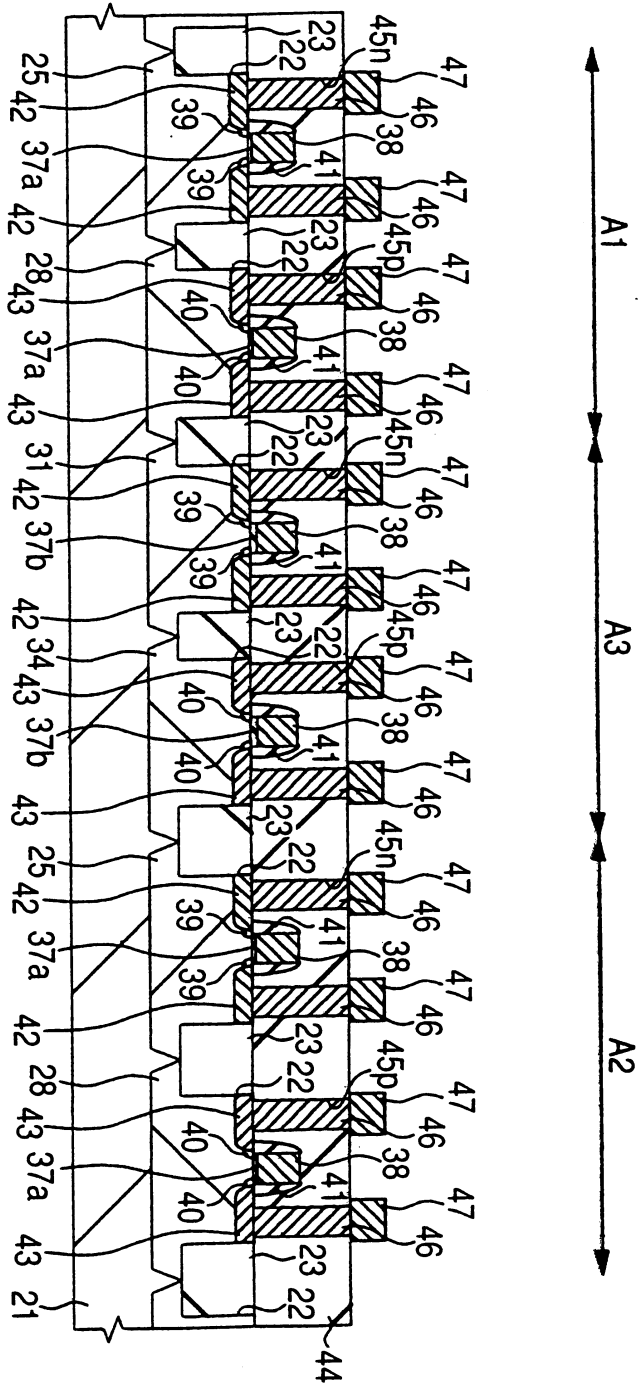


圖 47

六、申請專利範圍

1. 一種半導體積體電路裝置，其係在基板主面上包含臨限值電壓互異之第一 MISFET 與第二 MISFET 者，其特徵在於：

將前述第一 MISFET 形成於分離寬度相對較寬之元件分離部所包圍之第一活性區域，將前述第二 MISFET 形成於至少其閘長方向之一方被分離寬度相對較窄之元件分離部所包圍之第二活性區域者。

2. 一種半導體積體電路裝置，其係在基板主面上包含臨限值電壓互異之第一 MISFET 與第二 MISFET 者，其特徵在於：

由形成有前述第一 MISFET 之第一活性區域之閘極至閘長方向之元件分離部之距離相對較大，由形成有前述第二 MISFET 之第二活性區域之閘極至閘長方向之元件分離部之至少一方之距離相對較小者。

3. 一種半導體積體電路裝置，其係在基板主面上包含臨限值電壓互異之第一 MISFET 與第二 MISFET 者，其特徵在於：

將前述第一 MISFET 形成於分離寬度相對較寬之元件分離部所包圍之第一活性區域，將前述第二 MISFET 形成於至少其閘長方向之一方被分離寬度相對較窄之元件分離部所包圍之第二活性區域，由前述第一活性區域之閘極至閘長方向之元件分離部之距離相對較大，由前述第二活性區域之閘極至閘長方向之元件分離部之至少一

六、申請專利範圍

方之距離相對較小者。

4. 如申請專利範圍第1項之半導體積體電路裝置，其中

由前述第一活性區域之閘極至閘長方向之元件分離部之一方之距離、與由前述第二活性區域之閘極至閘長方向之元件分離部之一方之距離大致相同者。

5. 如申請專利範圍第2項之半導體積體電路裝置，其中

包圍前述第一活性區域之元件分離部之閘長方向之一方分離寬度、與包圍前述第二活性區域之元件分離部之閘長方向之一方分離寬度大致相同，包圍前述第一活性區域之元件分離部之閘長方向之他方分離寬度、與包圍前述第二活性區域之元件分離部之閘長方向之他方分離寬度大致相同者。

6. 如申請專利範圍第1或2項之半導體積體電路裝置，其中

相對較窄之元件分離部之分離寬度在 $0.35\ \mu\text{m}$ 以下者。

7. 如申請專利範圍第2或3項之半導體積體電路裝置，其中

在前述第二MISFET之閘極至閘長方向之元件分離部之間形成虛設閘極者。

8. 如申請專利範圍第1或3項之半導體積體電路裝置，其中

利用相對較窄化元件分離部之分離寬度，以增大對MISFET之通道區域之應力的影響，而相對地增大臨限

六、申請專利範圍

值電壓之變化，且利用相對較寬化元件分離部之分離寬度，以縮小對MISFET之通道區域之應力的影響，而相對地縮小臨限值電壓之變化者。

9. 如申請專利範圍第2項之半導體積體電路裝置，其中

利用相對地擴大由MISFET之閘極至閘長方向之元件分離部之距離，以縮小對MISFET之通道區域之應力的影響，而相對地縮小臨限值電壓之變化，且利用相對地縮小由MISFET之閘極至閘長方向之元件分離部之距離，以擴大對MISFET之通道區域之應力的影響，而相對地擴大臨限值電壓之變化者。

10. 一種半導體積體電路裝置之製造方法，其特徵在於：

藉由使包圍形成有MISFET之活性區域之元件分離部之至少閘長方向之一方分離寬度相對的較窄，可使得前述MISFET之臨限值電壓或驅動電流之變化量相對的較大；

或，藉由使前述分離寬度相對的較寬，可使得前述MISFET之臨限值電壓或驅動電流之變化量相對的較小；

藉由基於前述分離寬度與前述臨限值電壓或驅動電流之變化量的關係而調整前述分離寬度之步驟，以形成具有所期望的臨限值電壓或驅動電流之前述MISFET者。

11. 一種半導體積體電路裝置之製造方法，其特徵在於：

藉由使由MISFET之閘極至閘長方向之元件分離部之至少

六、申請專利範圍

一方之距離相對的較小，可使得前述 MISFET 之臨限值電壓或驅動電流之變化量相對的較大；

或，藉由使前述距離相對的較大，可使得前述 MISFET 之臨限值電壓或驅動電流之變化量相對的較小；

藉由基於前述距離與前述臨限值電壓或驅動電流之變化量的關係而調整前述距離之步驟，以形成具有所期望的臨限值電壓或驅動電流之前述 MISFET。

12. 一種半導體積體電路裝置之製造方法，其特徵在於：

藉由使包圍形成有 MISFET 之活性區域之元件分離部之至少閘長方向之一方分離寬度相對的較窄，可使得前述 MISFET 之臨限值電壓或驅動電流之變化量相對的較大；

藉由使前述分離寬度相對的較寬，可使得前述 MISFET 之臨限值電壓或驅動電流之變化量相對的較小；

藉由使由前述 MISFET 之閘極至閘長方向之元件分離部之至少一方之距離相對的較小，可使得前述 MISFET 之臨限值電壓或驅動電流之變化量相對的較大；

或，藉由使前述距離相對的較大，可使得前述 MISFET 之臨限值電壓或驅動電流之變化量相對的較小；

藉由基於前述分離寬度與前述臨限值電壓或驅動電流

六、申請專利範圍

之變化量的關係而調整前述分離寬度，並基於前述距離與前述臨限值電壓或驅動電流之變化量的關係而調整前述距離之步驟，形成具有所期望的臨限值電壓或驅動電流之前述MISFET。

13. 一種半導體積體電路裝置之製造方法，其特徵在於：

藉由使形成有MISFET之活性區域、與在閘長方向與前述活性區域鄰接之虛設活性區域之間之元件分離部之分離寬度相對的較窄，可使得前述MISFET之臨限值電壓或驅動電流之變化量相對的較大；

或，藉由使前述分離寬度相對的較寬，可使得前述MISFET之臨限值電壓或驅動電流之變化量相對的較小；

藉由基於前述分離寬度與前述臨限值電壓或驅動電流之變化量的關係而調整前述分離寬度之步驟，形成具有所期望的臨限值電壓或驅動電流之前述MISFET。

14. 一種半導體積體電路裝置之製造方法，其係藉由使包圍形成有MISFET之活性區域之元件分離部之至少閘長方向之一方之分離寬度相對的較窄，可使得前述MISFET之臨限值電壓或驅動電流之變化量相對的較大；

或，藉由使前述分離寬度相對的較大，可使得前述MISFET之臨限值電壓或驅動電流之變化量相對的較小；

藉由基於前述分離寬度與前述臨限值電壓或驅動電流

六、申請專利範圍

之變化量的關係而調整前述分離寬度，形成具有所期望的臨限值電壓或驅動電流之前述MISFET者，其特徵在於：

在形成有前述MISFET之活性區域上形成虛設閘極。

15. 一種半導體積體電路裝置之製造方法，其係藉由使包圍形成有MISFET之活性區域之元件分離部之至少閘長方向之一方分離寬度相對的較窄，可使得前述MISFET之臨限值電壓或驅動電流之變化量相對的較大；

藉由使前述分離寬度相對的較寬，可使得前述MISFET之臨限值電壓或驅動電流之變化量相對的較小；

藉由使由前述MISFET之閘極至閘長方向之元件分離部之至少一方之距離相對的較小，可使得前述MISFET之臨限值電壓或驅動電流之變化量相對的較大；

或，藉由使前述距離相對的較大，可使得前述MISFET之臨限值電壓或驅動電流之變化量相對的較小；

藉由基於前述分離寬度與前述臨限值電壓或驅動電流之變化量的關係而調整前述分離寬度，並基於前述距離與前述臨限值電壓或驅動電流之變化量的關係而調整前述距離，形成具有所期望的臨限值電壓或驅動電流之前述MISFET者，其特徵在於：

在形成有前述MISFET之活性區域上形成虛設閘極。

六、申請專利範圍

16. 一種半導體積體電路裝置之製造方法，其係在基板之主面上形成特性互異之第一 MISFET 與第二 MISFET 者，其特徵在於：

將前述第一 MISFET 形成於分離寬度相對較寬之元件分離部所包圍之第一活性區域，將前述第二 MISFET 形成於至少其閘長方向之一方被分離寬度相對較窄之元件分離部所包圍之第二活性區域，以同一工序形成前述第一 MISFET 之閘極絕緣膜與前述第二 MISFET 之閘極絕緣膜，並以同一工序施行對前述第一活性區域之離子植入與對前述第二活性區域之離子植入者。

17. 一種半導體積體電路裝置之製造方法，其係在基板之主面上形成特性互異之第一 MISFET 與第二 MISFET 者，其特徵在於：

將由形成有前述第一 MISFET 之第一活性區域之閘極至閘長方向之元件分離部之距離形成相對較大，將由形成有前述第二 MISFET 之第二活性區域之閘極至閘長方向之元件分離部之至少一方之距離形成相對較小，以同一工序形成前述第一 MISFET 之閘極絕緣膜與前述第二 MISFET 之閘極絕緣膜，並以同一工序施行對前述第一活性區域之離子植入與對前述第二活性區域之離子植入者。

18. 一種半導體積體電路裝置之製造方法，其係在基板之主面上形成特性互異之第一 MISFET 與第二 MISFET 者，其

六、申請專利範圍

特徵在於：

將前述第一 MISFET 形成於分離寬度相對較寬之元件分離部所包圍之第一活性區域，將前述第二 MISFET 形成於至少其閘長方向之一方被分離寬度相對較窄之元件分離部所包圍之第二活性區域，將由前述第一活性區域之閘極至閘長方向之元件分離部之距離形成相對較大，將由前述第二活性區域之閘極至閘長方向之元件分離部之至少一方之距離形成相對較小，以同一工序形成前述第一 MISFET 之閘極絕緣膜與前述第二 MISFET 之閘極絕緣膜，並以同一工序施行對前述第一活性區域之離子植入與對前述第二活性區域之離子植入者。

19. 如申請專利範圍第 16 項之半導體積體電路裝置之製造方法，其中

由前述第一活性區域之閘極至閘長方向之元件分離部之一方之距離、與由前述第二活性區域之閘極至閘長方向之元件分離部之一方之距離大致相同者。

20. 如申請專利範圍第 17 項之半導體積體電路裝置之製造方法，其中

包圍前述第一活性區域之元件分離部之閘長方向之一方分離寬度、與包圍前述第二活性區域之元件分離部之閘長方向之一方分離寬度大致相同，包圍前述第一活性區域之元件分離部之閘長方向之他方分離寬度、與包圍前述第二活性區域之元件分離部之閘長方向之他方分離

六、申請專利範圍

寬度大致相同者。

21. 如申請專利範圍第16或18項之半導體積體電路裝置之製造方法，其中

相對較窄之元件分離部之分離寬度在 $0.35\ \mu\text{m}$ 以下者。

22. 如申請專利範圍第1至3項中任一項之半導體積體電路裝置，其中

前述第1 MISFET 與前述第2 MISFET 係以同一電壓進行動作者。