



(12) 发明专利

(10) 授权公告号 CN 103855096 B

(45) 授权公告日 2016. 06. 29

(21) 申请号 201210514534. 7

CN 101253619 A, 2008. 08. 27,

(22) 申请日 2012. 12. 04

审查员 马晓敏

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 三重野文健

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

H01L 21/8238(2006. 01)

(56) 对比文件

CN 102034866 A, 2011. 04. 27,

US 2009/0246921 A1, 2009. 10. 01,

CN 101199037 A, 2008. 06. 11,

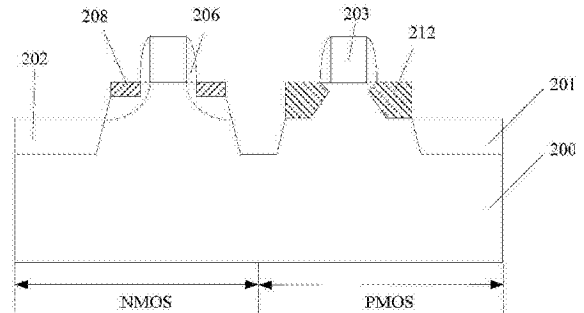
权利要求书2页 说明书7页 附图6页

(54) 发明名称

CMOS 晶体管的形成方法

(57) 摘要

一种 CMOS 晶体管的形成方法, 包括: 提供半导体衬底, 所述半导体衬底包括 NMOS 区域和 PMOS 区域; 对所述 NMOS 区域和 PMOS 区域的源区和漏区进行预非晶化注入; 刻蚀所述 NMOS 区域和 PMOS 的源区和漏区, 形成第一开口, 所述第一开口的深度小于所述预非晶化注入的深度, 在所述第一开口内形成 NMOS 嵌入式源区和漏区; 形成阻挡层, 所述阻挡层具有暴露所述 PMOS 区域的第二开口; 沿所述第二开口刻蚀 PMOS 区域的源区和漏区, 去除 PMOS 区域的 NMOS 嵌入式源区和漏区和预非晶化注入区域, 形成第三开口, 在所述第三开口内形成 PMOS 嵌入式源区和漏区。本发明 CMOS 晶体管的形成方法工艺简单。



1. 一种CMOS晶体管的形成方法,其特征在于,包括:

提供半导体衬底,所述半导体衬底包括NMOS区域和PMOS区域,所述NMOS区域和PMOS区域之间具有隔离结构,所述NMOS区域和PMOS区域的半导体衬底表面具有凸起的鳍部,位于所述鳍部上的栅极结构,所述栅极结构覆盖部分所述鳍部的顶部和侧壁,位于所述栅极结构两侧的鳍部内的源区和漏区;

对所述NMOS区域和PMOS区域的源区和漏区进行预非晶化注入;

刻蚀所述NMOS区域和PMOS区域的源区和漏区,形成第一开口,所述第一开口的深度小于所述预非晶化注入的深度,在所述第一开口内形成NMOS嵌入式源区和漏区;

形成阻挡层,所述阻挡层具有暴露所述PMOS区域的第二开口;

沿所述第二开口刻蚀PMOS区域的源区和漏区,去除PMOS区域的NMOS嵌入式源区和漏区和预非晶化注入区域,形成第三开口,在所述第三开口内形成PMOS嵌入式源区和漏区。

2. 如权利要求1所述的CMOS晶体管的形成方法,其特征在于,所述对NMOS区域和PMOS区域的源区和漏区进行预非晶化注入,所述预非晶化注入区域的底面到所述隔离结构顶表面的距离小于40nm。

3. 如权利要求1所述的CMOS晶体管的形成方法,其特征在于,所述第一开口的深度小于所述鳍部的高度的40%,所述鳍部的高度为所述鳍部暴露于所述隔离结构顶表面之上的部分的高度。

4. 如权利要求1所述的CMOS晶体管的形成方法,其特征在于,还包括:在对所述NMOS区域和PMOS区域的源区和漏区进行预非晶化注入后,在所述半导体衬底上形成介质层,所述介质层覆盖NMOS区域和PMOS区域的栅极结构、源区和漏区;回刻蚀所述介质层,形成位于所述栅极结构两侧的侧墙。

5. 如权利要求4所述的CMOS晶体管的形成方法,其特征在于,所述在半导体衬底上形成的介质层为氮化硅层,所述氮化硅层具有拉伸应力。

6. 如权利要求5所述的CMOS晶体管的形成方法,其特征在于,所述氮化硅层的厚度为20nm~50nm。

7. 如权利要求5所述的CMOS晶体管的形成方法,其特征在于,还包括:在所述半导体衬底上形成氮化硅层后,对所述氮化硅层退火。

8. 如权利要求7所述的CMOS晶体管的形成方法,其特征在于,对所述氮化硅层退火的工艺为激光退火。

9. 如权利要求8所述的CMOS晶体管的形成方法,其特征在于,所述激光退火的温度为1100摄氏度~1300摄氏度。

10. 如权利要求1所述的CMOS晶体管的形成方法,其特征在于,所述在第一开口内形成NMOS嵌入式源区和漏区,所述NMOS嵌入式源区和漏区的材料为碳化硅。

11. 如权利要求10所述的CMOS晶体管的形成方法,其特征在于,所述碳化硅材料掺杂有N型杂质。

12. 如权利要求10所述的CMOS晶体管的形成方法,其特征在于,所述碳化硅材料的形成工艺为化学气相沉积或分子束外延。

13. 如权利要求1所述的CMOS晶体管的形成方法,其特征在于,所述在第三开口内形成PMOS嵌入式源区和漏区,所述PMOS嵌入式源区和漏区的材料为锗硅。

14. 如权利要求13所述的CMOS晶体管的形成方法,其特征在于,所述锗硅材料掺杂有P型杂质。

15. 如权利要求13所述的CMOS晶体管的形成方法,其特征在于,所述锗硅材料的形成工艺为化学气相沉积或分子束外延。

16. 如权利要求1所述的CMOS晶体管的形成方法,其特征在于,所述沿第二开口刻蚀PMOS区域的源区和漏区的工艺为湿法刻蚀。

17. 如权利要求16所述的CMOS晶体管的形成方法,其特征在于,所述湿法刻蚀工艺的刻蚀剂为链烷醇胺和乙二醇醚的水溶液,其中所述链烷醇胺的体积比为10%~20%;乙二醇醚的体积百分比为60%~70%。

18. 如权利要求1所述的CMOS晶体管的形成方法,其特征在于,还包括:对所述NMOS区域和PMOS区域的源区和漏区进行预非晶化注入前,对所述NMOS区域和PMOS区域的源区和漏区进行N型离子注入。

19. 如权利要求1所述的CMOS晶体管的形成方法,其特征在于,所述预非晶化注入的粒子为Si、C、Ge、Xe或Ar。

20. 如权利要求1所述的CMOS晶体管的形成方法,其特征在于,所述阻挡层为光刻胶层。

## CMOS晶体管的形成方法

### 技术领域

[0001] 本发明涉及半导体技术领域,尤其涉及一种CMOS晶体管的形成方法。

### 背景技术

[0002] MOS晶体管通过在栅极施加电压,调节通过沟道区域的电流来产生开关信号。但当半导体技术进入45纳米以下节点时,传统的平面式MOS晶体管对沟道电流的控制能力变弱,造成严重的漏电流。鳍式场效应晶体管(Fin FET)是一种新兴的多栅器件,它一般包括具有高深宽比的半导体鳍部,覆盖部分所述鳍部的顶部和侧壁的栅极结构,位于所述栅极结构两侧的鳍部内的源区和漏区。

[0003] 图1示出了现有技术的一种鳍式场效应晶体管的立体结构示意图。所述鳍式场效应晶体管包括:半导体衬底100,所述半导体衬底100上形成有凸出的鳍部102,所述鳍部102一般是通过对所述半导体衬底100刻蚀后形成的;介质层101,覆盖所述半导体衬底100的表面以及所述鳍部102的侧壁的一部分;栅极结构103,横跨在所述鳍部102上,覆盖所述鳍部102的部分顶部和侧壁,所述栅极结构103包括栅介质层(图中未示出)和位于栅介质层上的栅电极(图中未示出)。

[0004] 现有技术在形成鳍式CMOS晶体管的工艺中,通过不同的技术手段对鳍式场效应晶体管的沟道区域施加应力以提高载流子迁移率,从而提高整个器件的性能。例如,通过将应力层沉积于鳍式场效应晶体管上,通过退火将应力层的应力施加到鳍式场效应管的沟道区域,退火之后,施加在鳍式场效应管沟道区域的应力被“记忆”,提高了载流子迁移率。另外,还可以对NMOS的源区和漏区刻蚀后外延生长SiC材料,对PMOS的源区和漏区刻蚀后外延生长SiGe材料,由于SiC材料的晶格常数小于沟道区域Si材料的晶格常数,SiGe材料的晶格常数大于沟道区域Si材料的晶格常数,可以在NMOS的沟道区域引入拉伸应力,在PMOS的沟道区域引入压缩应力,提高载流子迁移率。

[0005] 但是现有技术在制备具有应力的鳍式场效应管的过程中,先对NMOS和PMOS的源区和漏区进行掺杂,对NMOS的源区和漏区进行掺杂时需要光刻形成覆盖PMOS区域的掩膜层,进行N型离子注入;对PMOS的源区和漏区进行掺杂时需要光刻形成覆盖NMOS的掩膜层,进行P型离子注入。再分别对NMOS和PMOS的沟道区域引入应力,包括:对NMOS的源区和漏区进行刻蚀,外延生长SiC材料;对PMOS的源区和漏区进行刻蚀,外延生长SiGe材料。现有工艺形成具有应力的鳍式CMOS晶体管的工艺复杂。

[0006] 其他有鳍式CMOS场效应晶体管的形成方法还可以参考公开号为US2012171832A1的美国专利申请,其公开了一种鳍式场效应晶体管的结构及其形成方法。

### 发明内容

[0007] 本发明解决的问题是现有技术形成具有应力的鳍式CMOS晶体管的工艺复杂。

[0008] 为解决上述问题,本发明提供了一种CMOS晶体管的形成方法,包括:提供半导体衬底,所述半导体衬底包括NMOS区域和PMOS区域,所述NMOS区域和PMOS区域之间具有隔离结

构,所述NMOS区域和PMOS区域的半导体衬底表面具有凸起的鳍部,位于所述鳍部上的栅极结构,所述栅极结构覆盖部分所述鳍部的顶部和侧壁,位于所述栅极结构两侧的鳍部内的源区和漏区;对所述NMOS区域和PMOS区域的源区和漏区进行预非晶化注入(PAI:Pre-Amorphization Implantation);刻蚀所述NMOS区域和PMOS的源区和漏区,形成第一开口,所述第一开口的深度小于所述预非晶化注入的深度,在所述第一开口内形成NMOS嵌入式源区和漏区;形成阻挡层,所述阻挡层具有暴露所述PMOS区域的第二开口;沿所述第二开口刻蚀PMOS区域的源区和漏区,去除PMOS区域的NMOS嵌入式源区和漏区和预非晶化注入区域,形成第三开口,在所述第三开口内形成PMOS嵌入式源区和漏区。

[0009] 可选的,所述对NMOS区域和PMOS区域的源区和漏区进行预非晶化注入,所述预非晶化注入区域的底面到所述隔离结构顶表面的距离小于40nm。

[0010] 可选的,所述第一开口的深度小于所述鳍部的高度的40%,所述鳍部的高度为所述鳍部暴露于所述隔离结构顶表面之上的部分的高度。

[0011] 可选的,还包括:在对所述NMOS区域和PMOS区域的源区和漏区进行预非晶化注入后,在所述半导体衬底上形成介质层,所述介质层覆盖NMOS区域和PMOS区域的栅极结构、源区和漏区;回刻蚀所述介质层,形成位于所述栅极结构两侧的侧墙。

[0012] 可选的,所述在半导体衬底上形成的介质层为氮化硅层,所述氮化硅层具有拉伸应力。

[0013] 可选的,所述氮化硅层的厚度为20nm~50nm。

[0014] 可选的,还包括:在所述半导体衬底上形成氮化硅层后,对所述氮化硅层退火。

[0015] 可选的,对所述氮化硅层退火的工艺为激光退火。

[0016] 可选的,所述激光退火的温度为1100摄氏度~1300摄氏度。

[0017] 可选的,所述在第一开口内形成NMOS嵌入式源区和漏区,所述NMOS嵌入式源区和漏区的材料为碳化硅。

[0018] 可选的,所述碳化硅材料掺杂有N型杂质。

[0019] 可选的,所述碳化硅材料的形成工艺为化学气相沉积或分子束外延。

[0020] 所述在第三开口内形成PMOS嵌入式源区和漏区,所述PMOS嵌入式源区和漏区的材料为锗硅。

[0021] 可选的,所述锗硅材料掺杂有P型杂质。

[0022] 可选的,所述锗硅材料的形成工艺为为化学气相沉积或分子束外延。

[0023] 可选的,所述沿第二开口刻蚀PMOS区域的源区和漏区的工艺为湿法刻蚀。

[0024] 可选的,所述湿法刻蚀工艺的刻蚀剂为链烷醇胺和乙二醇醚的水溶液,其中所述链烷醇胺的体积比为10%~20%;乙二醇醚的体积百分比为60%~70%。

[0025] 可选的,还包括:对所述NMOS区域和PMOS区域的源区和漏区进行预非晶化注入前,对所述NMOS区域和PMOS区域的源区和漏区进行N型离子注入。

[0026] 可选的,所述预非晶化注入的粒子为Si、C、Ge、Xe或Ar。

[0027] 可选的,所述阻挡层为光刻胶层。

[0028] 与现有技术相比,本发明具有以下优点:

[0029] 同时对NMOS区域和PMOS区域的源区和漏区进行N型离子注入,无需形成掩膜层,节省了光刻步骤;同时刻蚀所述NMOS区域和PMOS区域的源区和漏区,形成所述第一开口,在所

述第一开口内形成NMOS嵌入式源区和漏区,所述NMOS嵌入式源区和漏区在NMOS晶体管的沟道区域引入拉伸应力,提高了NMOS晶体管的性能,且形成NMOS嵌入式源区和漏区时无需形成掩膜层,节省了光刻步骤;接着形成阻挡层,所述阻挡层具有暴露PMOS区域的第二开口,沿所述第二开口刻蚀PMOS区域的源区和漏区,去除PMOS区域的NMOS嵌入式源区和漏区和预非晶化注入区域,所述预非晶化注入区域和单晶区域之间具有较高的刻蚀选择比,容易去除,在所述第三开口内形成PMOS嵌入式源区和漏区,所述PMOS嵌入式源区和漏区在PMOS晶体管的沟道区域引入压缩应力,提高了PMOS晶体管的性能。因此,上述技术方案确保了在NMOS晶体管沟道区域形成拉伸应力和在PMOS晶体管沟道区域形成压缩应力的同时,节省了光刻步骤,降低了成本。

[0030] 进一步的,在所述半导体衬底上形成覆盖NMOS区域和PMOS区域的氮化硅层,所述氮化硅层具有拉伸应力。在对所述氮化硅层退火之后,将所述拉伸应力转移至半导体器件,提高了NMOS晶体管的载流子迁移率。

### 附图说明

[0031] 图1是现有技术的鳍式场效应晶体管的立体结构示意图;

[0032] 图2至图11是本发明实施例CMOS晶体管的形成过程示意图。

### 具体实施方式

[0033] 由背景技术可知,现有技术在形成具有应力的鳍式CMOS晶体管的过程中,为了分别形成NMOS和PMOS的源区和漏区,和在NMOS和PMOS的沟道区域引入应力,需要使用多次的光刻工艺,工艺复杂,成本高。

[0034] 本申请的发明人研究了现有技术形成鳍式CMOS晶体管的工艺,发现现有技术对NMOS的源区和漏区进行掺杂时需要光刻形成覆盖PMOS区域的掩膜层,进行N型离子注入;对PMOS的源区和漏区进行掺杂时需要光刻形成覆盖NMOS的掩膜层,进行P型离子注入。但后续为了在NMOS和PMOS晶体管的沟道区域引入应力,又需要去除NMOS和PMOS晶体管部分的源区和漏区,因此造成了工艺重复。

[0035] 基于以上研究,本申请的发明人提出了一种CMOS晶体管的形成方法,包括:提供半导体衬底,所述半导体衬底包括NMOS区域和PMOS区域,所述NMOS区域和PMOS区域之间具有隔离结构,所述NMOS区域和PMOS区域的半导体衬底表面具有凸起的鳍部,位于所述鳍部上的栅极结构,所述栅极结构覆盖部分所述鳍部的顶部和侧壁,位于所述栅极结构两侧的鳍部内的源区和漏区;对所述NMOS区域和PMOS区域的源区和漏区进行预非晶化注入(PAI: Pre-Amorphization Implantation);刻蚀所述NMOS区域和PMOS的源区和漏区,形成第一开口,所述第一开口的深度小于所述预非晶化注入的深度,在所述第一开口内形成NMOS嵌入式源区和漏区;形成阻挡层,所述阻挡层具有暴露所述PMOS区域的第二开口;沿所述第二开口刻蚀PMOS区域的源区和漏区,去除PMOS区域的NMOS嵌入式源区和漏区和预非晶化注入区域,形成第三开口,在所述第三开口内形成PMOS嵌入式源区和漏区。

[0036] 上述技术方案中,同时对NMOS区域和PMOS区域的源区和漏区进行N型离子注入,无需形成掩膜层,节省了光刻步骤;同时刻蚀所述NMOS区域和PMOS区域的源区和漏区,形成所述第一开口,在所述第一开口内形成NMOS嵌入式源区和漏区,所述NMOS嵌入式源区和漏区

在NMOS晶体管的沟道区域引入拉伸应力,提高了NMOS晶体管的性能,且形成NMOS嵌入式源区和漏区时无需形成掩膜层,节省了光刻步骤;接着形成阻挡层,所述阻挡层具有暴露PMOS区域的第二开口,沿所述第二开口刻蚀PMOS区域的源区和漏区,去除PMOS区域的NMOS嵌入式源区和漏区和预非晶化注入区域,在所述第三开口内形成PMOS嵌入式源区和漏区,所述PMOS嵌入式源区和漏区在PMOS晶体管的沟道区域引入压缩引力,提高了PMOS晶体管的性能。因此,上述技术方案确保了在NMOS晶体管沟道区域形成拉伸引力和在PMOS晶体管沟道区域形成压缩应力的同时,节省了光刻步骤,降低了成本。

[0037] 下面结合附图详细地描述具体实施例,上述的目的和本发明的优点将更加清楚。

[0038] 请参考图2,提供半导体衬底200,所述半导体衬底包括NMOS区域和PMOS区域,所述NMOS区域和PMOS区域之间具有隔离结构201,所述NMOS区域和PMOS区域的半导体衬底表面具有凸起的鳍部202,位于所述鳍部202上的栅极结构203,所述栅极结构203覆盖部分所述鳍部202的顶部和侧壁,位于所述栅极结构203两侧的鳍部202内的源区和漏区204。

[0039] 所述半导体衬底200可以是硅或者绝缘体上硅(SOI),所述半导体衬底200也可以是锗、锗硅、砷化镓或者绝缘体上锗。所述半导体衬底200包括NMOS区域和PMOS区域,所述NMOS区域用于在其内形成NMOS晶体管,所述PMOS区域用于在其内形成PMOS晶体管,所述PMOS区域和NMOS区域之间通过隔离结构201隔离。在本实施例中,所述隔离结构201为浅沟槽隔离结构(STI),以将所述半导体衬底200中的有源区域隔离起来,所述浅沟槽隔离结构的材料为氧化硅,所述浅沟槽隔离结构的形成方法可参考现有工艺,在此不再赘述。

[0040] 所述NMOS区域和PMOS区域内具有凸起的鳍部202,所述鳍部202与所述半导体衬底200的连接方式可以是一体的,例如所述鳍部202是通过对所述半导体衬底200刻蚀后形成的凸起结构。所述鳍部202用于形成鳍式场效应晶体管的源区和漏区204和沟道区域(未示出)。

[0041] 所述栅极结构203位于所述鳍部202上,所述栅极结构203覆盖部分所述鳍部202的顶部和侧壁,所述源区和漏区204位于所述栅极结构203两侧的鳍部202内。所述栅极结构203包括:横跨部分所述鳍部202的顶部和侧壁的栅介质层(未示出);覆盖所述栅介质层表面的栅电极层;位于所述栅电极层和栅介质层两侧的侧墙,所述侧墙在后续的工艺步骤中起到保护所述栅介质层和栅电极层的作用。本实施例中,所述栅介质层的材料为氧化硅、所述栅电极层的材料为多晶硅,所述侧墙的材料为氧化硅。

[0042] 在本发明的其他实施例中,所述栅极结构还包括位于所述栅电极层顶部的硬掩膜层,所述硬掩膜层的材料可以为氧化硅、氮化硅和氮氧化硅中的一种或几种,所述硬掩膜层在后续工艺起到保护所述栅电极层和栅介质层的作用。

[0043] 需要说明的是,在形成HKMG(高介电常数绝缘层和金属栅极)结构的鳍式场效应晶体管的工艺中,所述氧化硅栅介质层和所述多晶硅栅电极层构成伪栅,后续工艺中需要去除所述伪栅,再形成高介电常数绝缘层和金属栅极。所述高介电常数绝缘层的材料可以为 $\text{HfO}_2$ , $\text{HfSiO}$ , $\text{HfSiON}$ , $\text{HfTaO}$ , $\text{HfZrO}$ , $\text{Al}_2\text{O}_3$ 和 $\text{ZrO}_2$ 中的一种或几种;所述金属栅极的材料可以为Al,Cu,Ti,Ta,TaN,NiSi,CoSi,TiN,TiAl和TaSiN中的一种或几种。

[0044] 请参考图3,图3为在图2的基础上形成CMOS晶体管时沿A-A1方向的剖面示意图,对所述NMOS区域和PMOS区域的源区和漏区204进行N型离子注入和预非晶化注入。

[0045] 所述的对NMOS区域和PMOS区域的源区和漏区204进行N型离子注入的离子可以为

磷离子、砷离子或者锑离子。现有技术中对NMOS的源区和漏区进行掺杂时,需要光刻形成覆盖PMOS区域的掩膜层,进行N型离子注入;对PMOS的源区和漏区进行掺杂时,需要光刻形成覆盖NMOS的掩膜层,进行P型离子注入。本技术方案中,无需掩膜层,对NMOS和PMOS区域的源区和漏区204同时进行N型离子注入,后续在形成PMOS区域的嵌入式SiGe源区和漏区时去除所述的N型离子注入掺杂区域,节省了工艺步骤,降低了成本。

[0046] 所述对NMOS区域和PMOS区域的源区和漏区204进行预非晶化注入(PAI:Pre-Amorphization Implantation),所述预非晶化注入可以将源区和漏区204的非晶化注入区域的单晶材料转化为非晶材料,由于非晶材料和单晶材料使用湿法刻蚀时具有较高的选择比,后续可以材料湿法刻蚀比较容易的去形成与PMOS区域的NMOS嵌入式源区和漏区。所述预非晶化注入的深度大于所述N型离子注入的深度。所述预非晶化注入的粒子为硅离子、碳离子、锗离子、氙离子或者氪离子。

[0047] 请继续参考图3,图3中使用虚线标示出了预非晶化注入的深度214,后续形成NMOS的嵌入式源区和漏区和PMOS的嵌入式源区和漏区时,所述NMOS的嵌入式源区和漏区、PMOS的嵌入式源区和漏区都位于所述预非晶化注入区域内。所述预非晶化注入区域的底面到所述隔离结构201顶表面的距离小于40nm。

[0048] 请参考图4,在所述半导体衬底200上沉积应力层205,所述应力层205覆盖NMOS区域和PMOS区域的栅极结构203和源区和漏区204,对所述应力层205退火。

[0049] 本实施例中,所述应力层205为氮化硅层,所述氮化硅层具有拉伸应力。所述氮化硅层通过等离子增强化学气相沉积(PECVD)工艺形成,所述等离子增强化学气相沉积的工艺包括:反应腔压力4~10Torr,功率50~150W,温度350~450摄氏度,SiH<sub>4</sub>流量50~100sccm,NH<sub>3</sub>流量400~700sccm,N<sub>2</sub>流量800~1500sccm。所述氮化硅层的厚度为20nm~50nm。所述氮化硅层具有拉伸应力,用以提高NMOS晶体管沟道区域的电子迁移率。

[0050] 本实施例中,对所述应力层205退火的工艺为激光退火,所述激光退火的温度为1100摄氏度~1300摄氏度。对所述应力层205,即氮化硅层,进行退火之后,氮化硅中的化学键重组,形成比退火前的氮化硅层结构排列更规整、致密的结构,有利于提升应力。氮化硅层在退火之后能将拉伸应力转移至半导体器件并被“记忆”,即所谓的应力记忆技术(Stress Memorization Technique),所述拉伸应力能够提高NMOS晶体管的载流子迁移率。另外,在退火过程中,所述预非晶化注入区域的非晶材料会部分的转化为单晶材料,在转化过程中会发生体积缩小,进一步的增强了在NMOS晶体管沟道区域引入的拉伸应力。

[0051] 请参考图5,回刻蚀所述应力层205,形成位于所述NMOS区域和PMOS区域栅极结构203两侧的侧墙206。

[0052] 在对所述应力层205退火之后,施加到半导体器件的应力被“记忆”,去除所述应力层205后,施加到半导体器件的应力能够继续保持。所述回刻蚀应力层205的工艺为干法刻蚀,干法刻蚀后位于所述源区和漏区204上和栅极结构203顶部的应力层被去除,而栅极结构203两侧的应力层得以保留,形成位于所述NMOS区域和PMOS区域栅极结构203两侧的侧墙206,所述侧墙206在后续的工艺步骤中对所述栅极结构203起到保护作用。

[0053] 请参考图6,刻蚀所述NMOS区域和PMOS的源区和漏区204,形成第一开口207,所述第一开口207的深度小于所述预非晶化注入的深度214。

[0054] 具体的,采用干法刻蚀的工艺刻蚀所述NMOS区域和PMOS区域的源区和漏区204,形



成第一开口207。由于在刻蚀过程中对NMOS区域和PMOS区域的源区和漏区204同时进行刻蚀,所以无需光刻形成覆盖NMOS区域或者PMOS区域的阻挡层,与现有技术相比节省了工艺步骤,降低了成本。

[0055] 所述第一开口207的深度小于所述鳍部202的高度的40%,所述鳍部202的高度为所述鳍部202暴露于所述隔离结构201顶表面之上的部分的高度。由于所述第一开口207在NMOS区域和PMOS区域同时形成,且所述第一开口207在后续步骤中用于形成NMOS晶体管的碳化硅材料的嵌入式源区和漏区,若所述第一开口207的深度过大,会增加后续去除PMOS区域形成的碳化硅材料的工艺难度。

[0056] 请参考图7,在所述第一开口207(请参考图6)内形成碳化硅材料208。

[0057] 具体的,采用选择性外延工艺,例如化学气相沉积或者分子束外延的工艺在所述NMOS区域和PMOS区域的第一开口207内形成碳化硅材料208。所述碳化硅材料208内掺杂有N型杂质,所述的N型杂质可以为磷离子、砷离子或者锑离子。在所述第一开口207内形成碳化硅材料208后,所述碳化硅材料208构成NMOS晶体管的嵌入式源区和漏区,由于所述碳化硅材料208的晶格常数小于所述NMOS晶体管沟道区域硅原子的晶格常数,因此可以在NMOS晶体管沟道区域引入拉伸应力,提高NMOS晶体管的载流子迁移率。

[0058] 在本发明的其他实施例中,所述碳化硅材料的顶表面高度高于所述鳍部的顶表面,所述碳化硅材料形成抬高的源区和漏区,所述抬高的源区和漏区可以减少后续形成的导电插塞和源区和漏区的接触电阻。

[0059] 请参考图8,形成阻挡层209,所述阻挡层209具有暴露所述PMOS区域的第二开口210。

[0060] 本实施例中,在所述半导体衬底200上旋涂光刻胶层(未示出),所述光刻胶层覆盖NMOS区域和PMOS区域,曝光、显影和烘干之后,在所述光刻胶层中形成暴露所述PMOS区域的第二开口210,所述光刻胶层形成阻挡层209。

[0061] 在其他实施例中,所述阻挡层209的还可以为硬掩膜层,所述硬掩膜层可以为非晶碳层、氧化硅层或氮化硅层。

[0062] 请参考图9,沿所述第二开口210(请参考图8)刻蚀PMOS区域的源区和漏区,去除所述碳化硅材料,形成第三开口211,所述第三开口211的深度与所述预非晶化注入的深度214相等。

[0063] 由于PMOS区域的源区和漏区在上述步骤中形成了碳化硅材料和进行了N型离子注入,而所述的碳化硅材料和N型离子注入对PMOS的性能是无益的,需要将其去除。具体的,沿所述第二开口210采用湿法刻蚀工艺刻蚀PMOS区域的源区和漏区,所述湿法刻蚀工艺的刻蚀剂为链烷醇胺(Alkanolamine)和乙二醇醚(Glycolether)的水溶液,其中所述链烷醇胺的体积比为10%~20%;乙二醇醚的体积百分比为60%~70%。刻蚀后,所述第三开口211的深度与所述预非晶化注入的深度214相等,即同时去除了PMOS区域的碳化硅材料和预非晶化注入区域。由于在预非晶化注入过程中,所述源区和漏区的材料由单晶转变为非晶,虽然在后续的退火过程中得到了部分修复,但在所述预非晶化注入的深度214的界面处仍然会存在很多缺陷。由于所述缺陷的存在,所述预非晶化注入区域很容易采用链烷醇胺和乙二醇醚的水溶液去除。

[0064] 请参考图10,在所述第三开口211(请参考图9)内形成锗硅材料212。

[0065] 具体的,采用选择性外延工艺,例如化学气相沉积或者分子束外延的工艺在所述PMOS区域的第三开口211内形成锗硅材料212。所述锗硅材料212内掺杂有P型杂质,所述P型杂质可以为硼离子、镉离子或者镓离子。在所述第三开口211内形成锗硅材料212后,所述锗硅材料212构成PMOS晶体管的嵌入式源区和漏区,由于所述锗硅材料212的晶格常数大于所述PMOS沟道区域硅原子的晶格常数,因此可以在PMOS晶体管沟道区域引入压缩应力,提高PMOS晶体管的载流子迁移率。

[0066] 请参考图11,去除所述阻挡层209(请参考图10)。

[0067] 本实施例中,所述阻挡层209的材料为光刻胶,可以采用等离子体灰化工艺去除所述阻挡层209,工艺简单。

[0068] 需要说明的是,在HKMG(高介电常数绝缘层和金属栅极)结构中去除所述阻挡层后,还需要去除所述伪栅,再形成高介电常数绝缘层和金属栅极。形成HKMG结构的工艺请参考现有技术,在此不再赘述。

[0069] 综上所述,与现有技术相比,本发明技术方案具有以下优点:首先对NMOS区域和PMOS区域的源区和漏区同时进行了N型离子注入,无需形成掩膜层,节省了光刻步骤;后续同时刻蚀所述NMOS区域和PMOS区域的源区和漏区,形成所述第一开口,在所述第一开口内形成碳化硅材料,所述碳化硅材料在NMOS晶体管的沟道区域引入拉伸应力,无需形成掩膜层,节省了光刻步骤;接着形成阻挡层,所述阻挡层具有暴露PMOS区域的第二开口,沿所述第二开口刻蚀PMOS区域的源区和漏区,同时去除碳化硅材料和预非晶化注入区域形成第三开口,在所述第三开口内形成锗硅材料,所述锗硅材料在PMOS晶体管的沟道区域引入压缩应力。因此,上述技术方案确保了在NMOS晶体管沟道区域形成拉伸应力和在PMOS晶体管沟道区域形成压缩应力的同时,节省了光刻步骤,降低了成本。

[0070] 本发明虽然已以较佳实施例公开如上,但其并不是用来限定本发明,任何本领域技术人员在不脱离本发明的精神和范围内,都可以利用上述揭示的方法和技术对本发明技术方案做出可能的变动和修改,因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化及修饰,均属于本发明技术方案的保护范围。

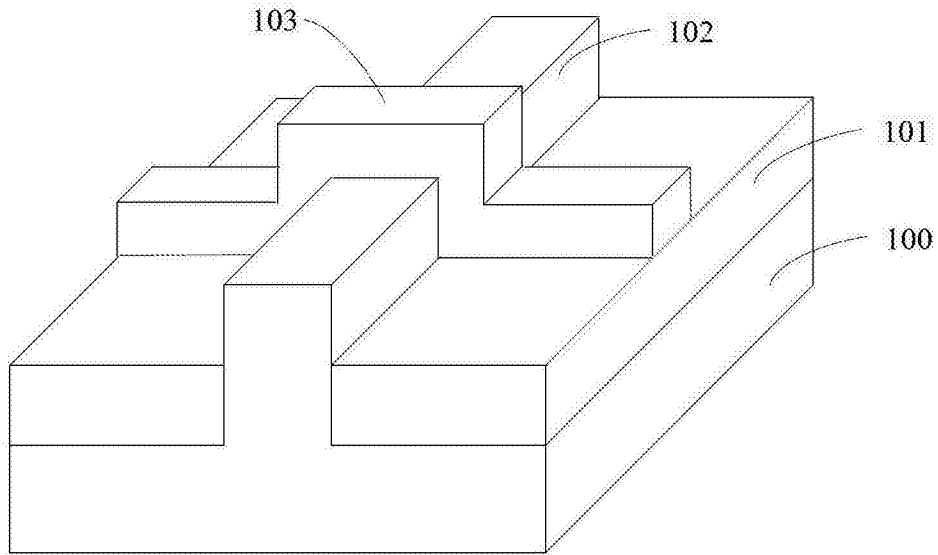


图1

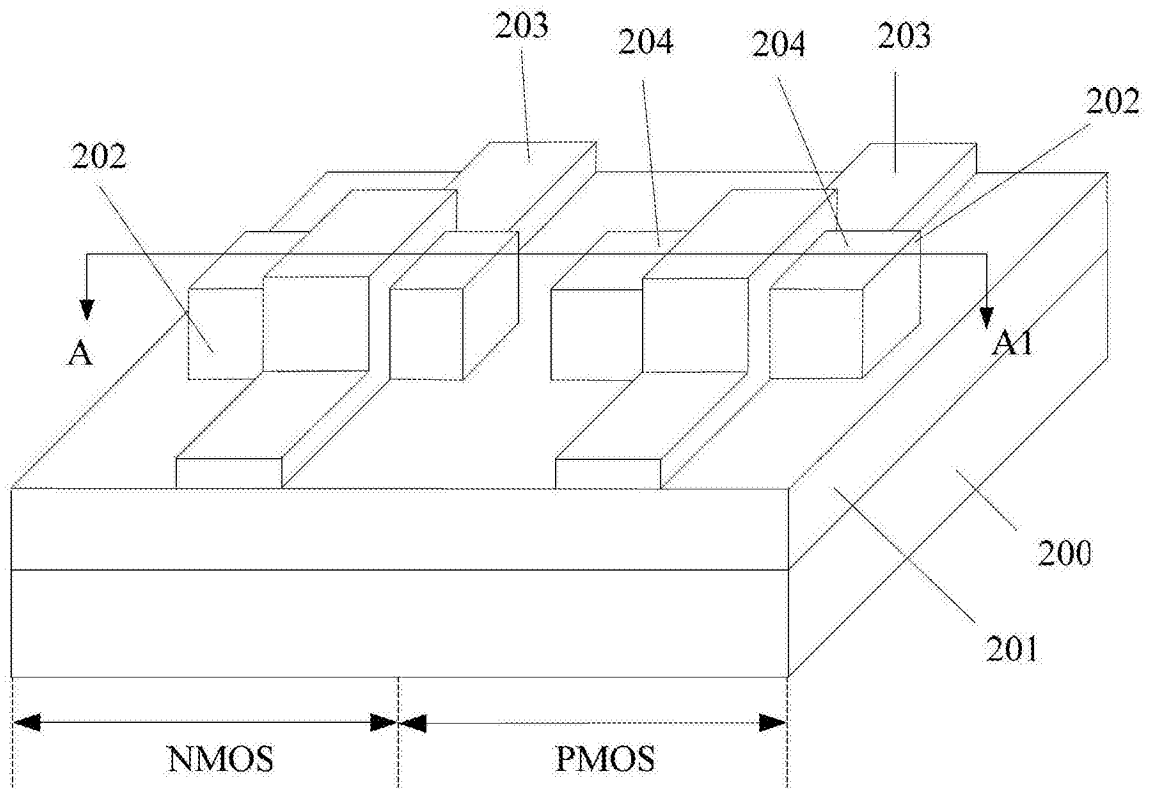


图2

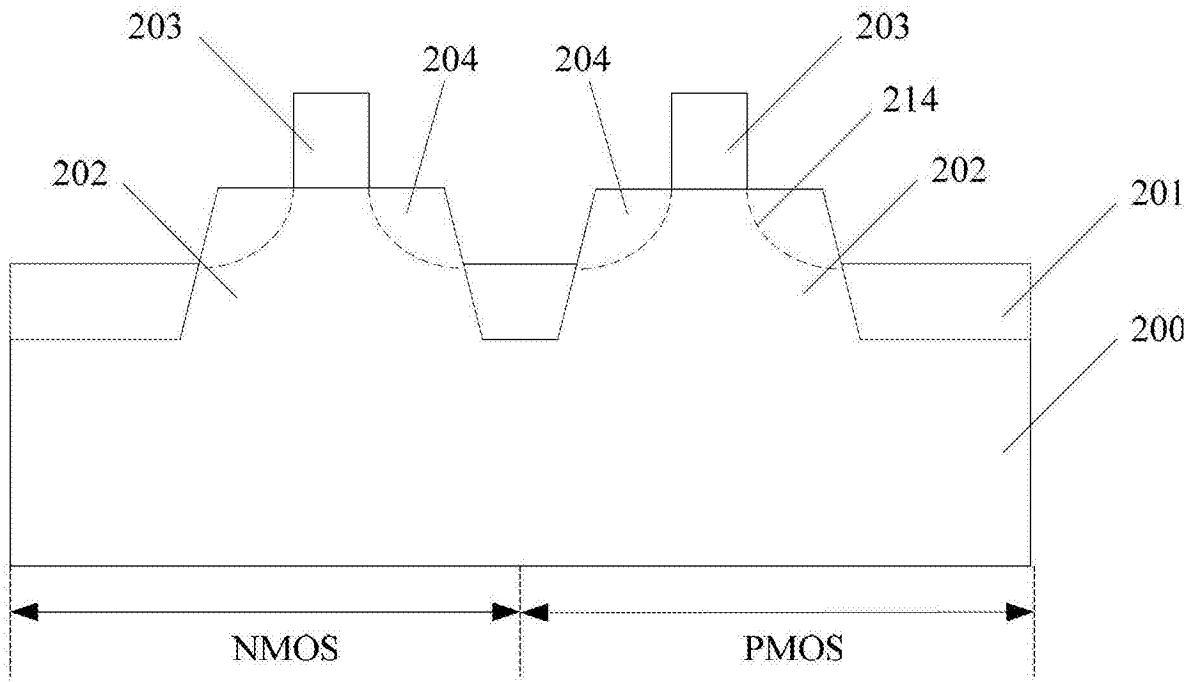


图3

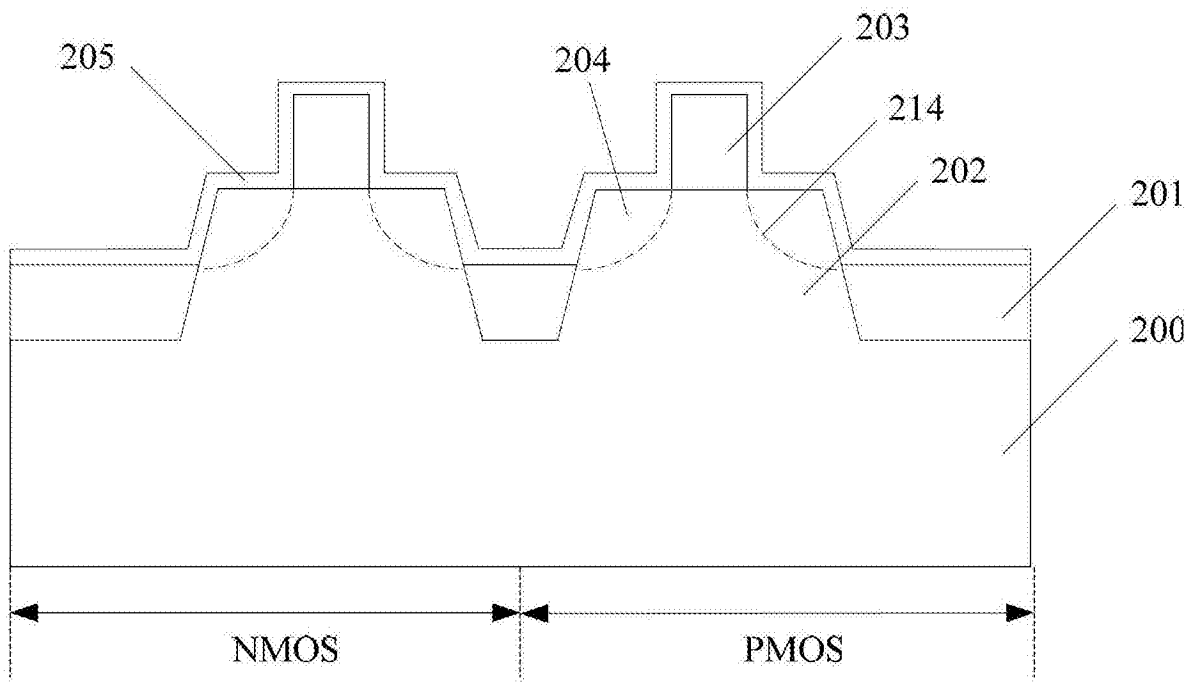


图4

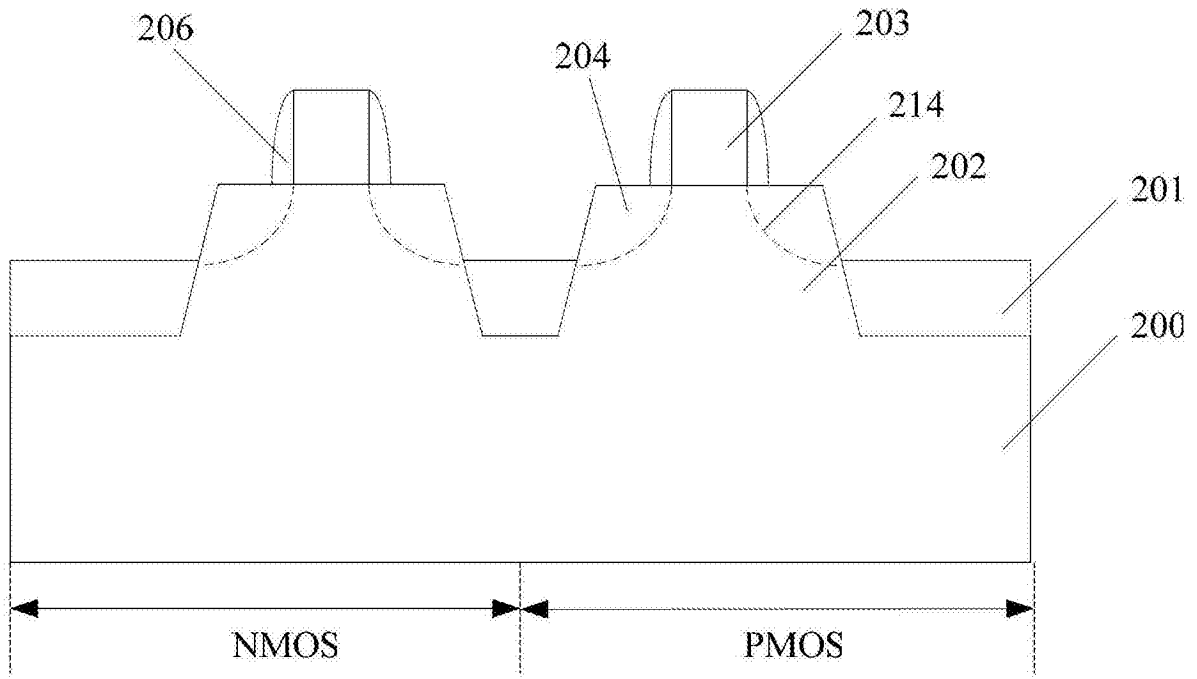


图5

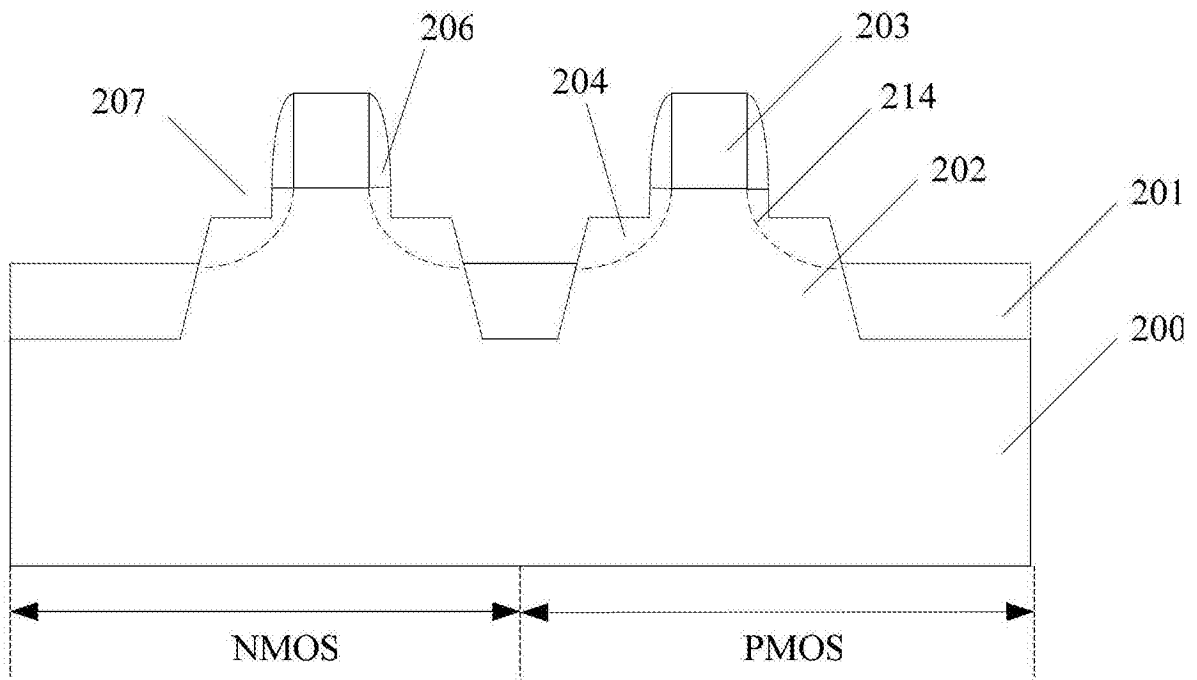


图6

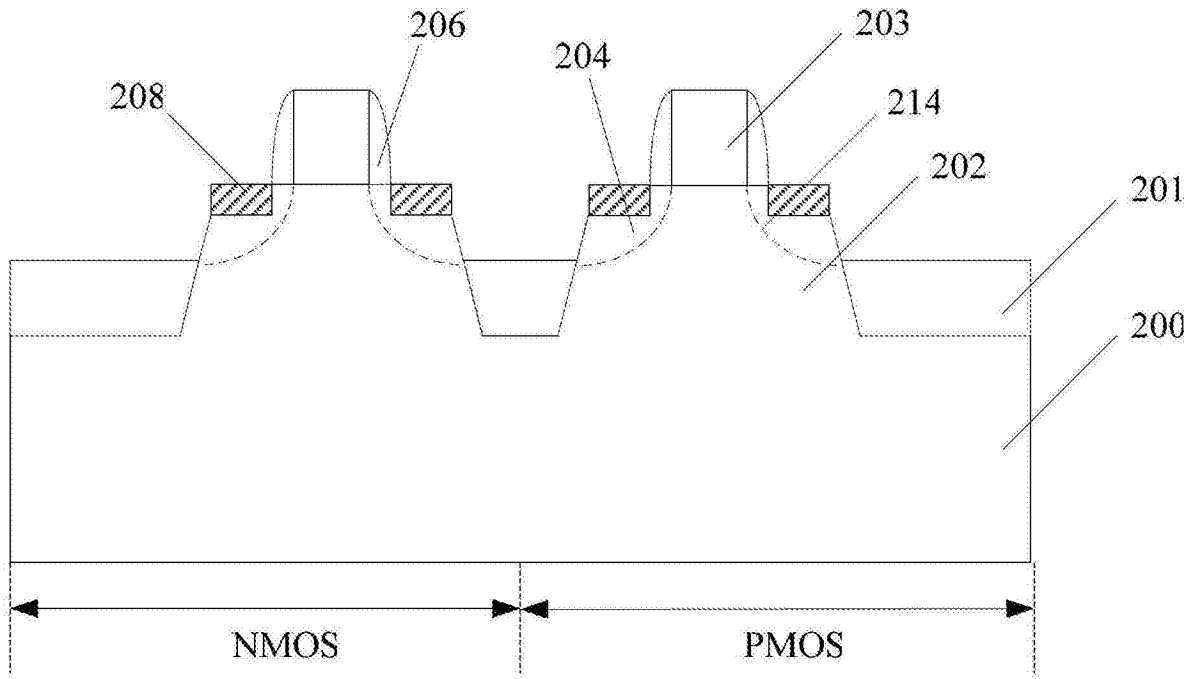


图7

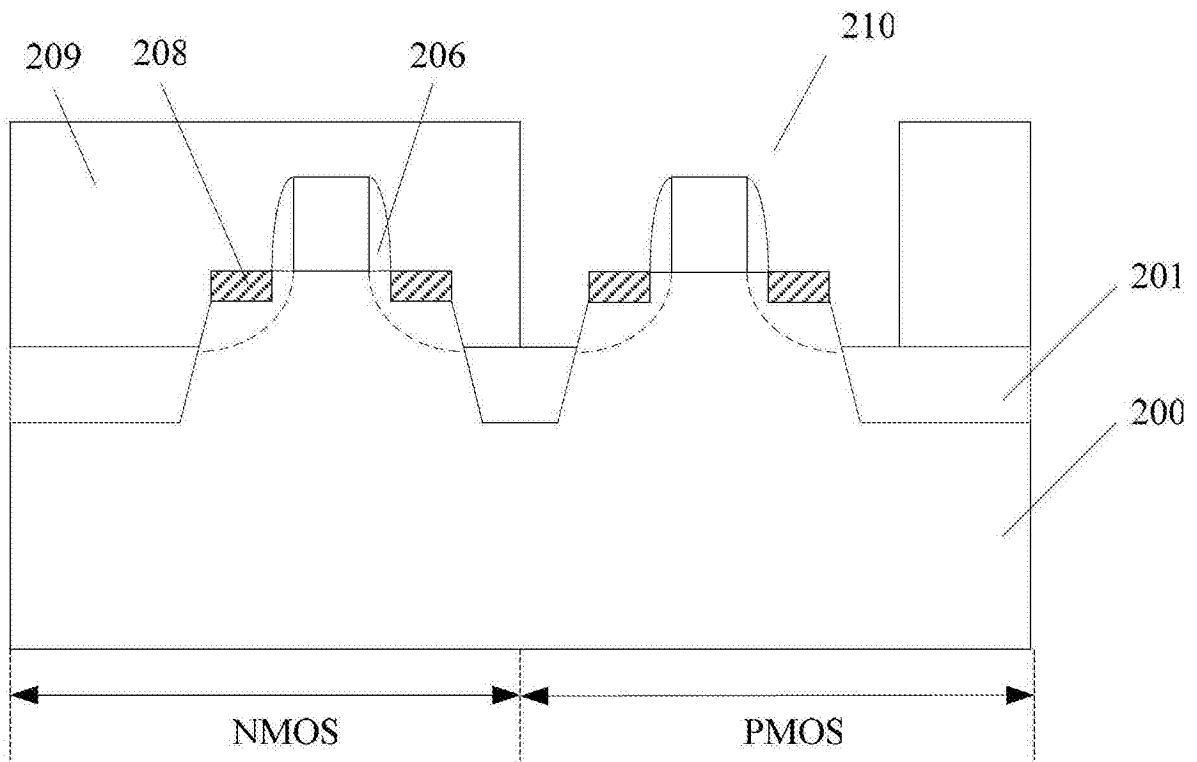


图8

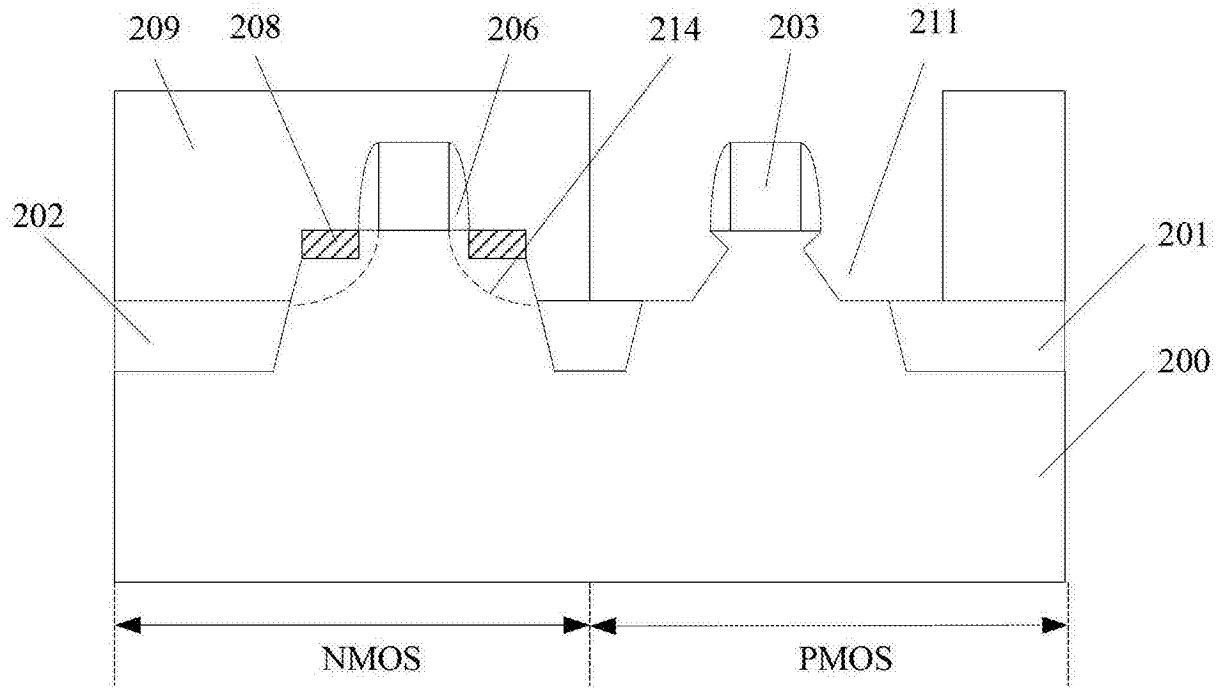


图9

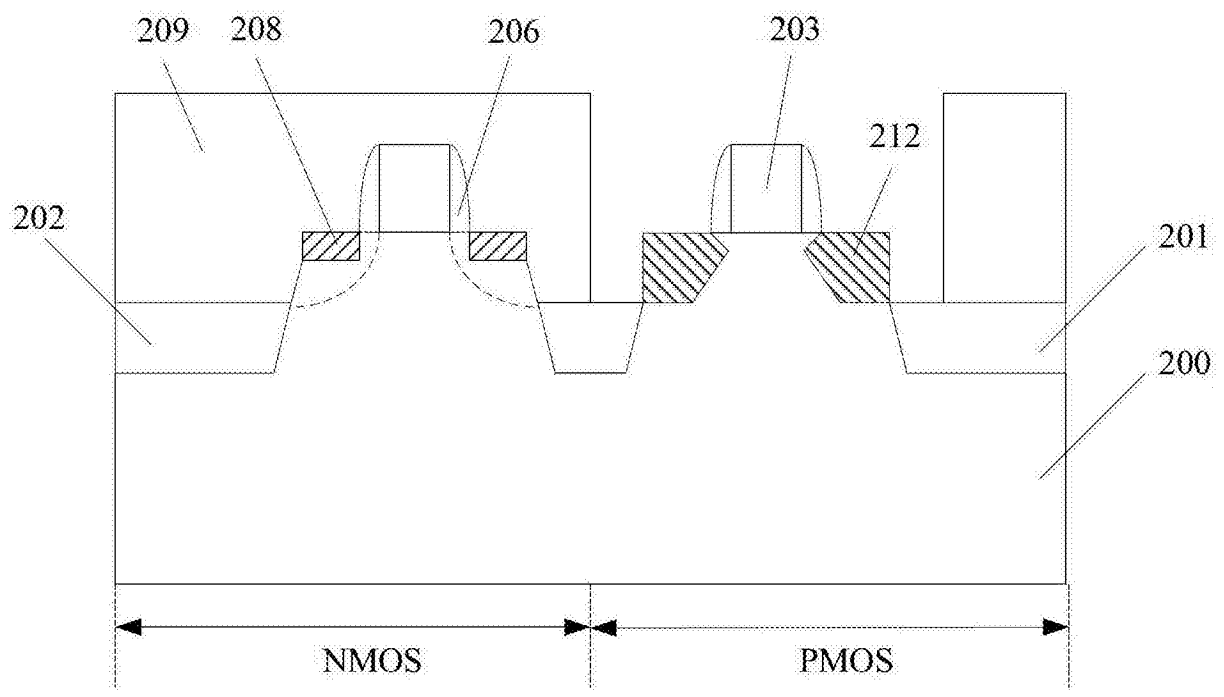


图10

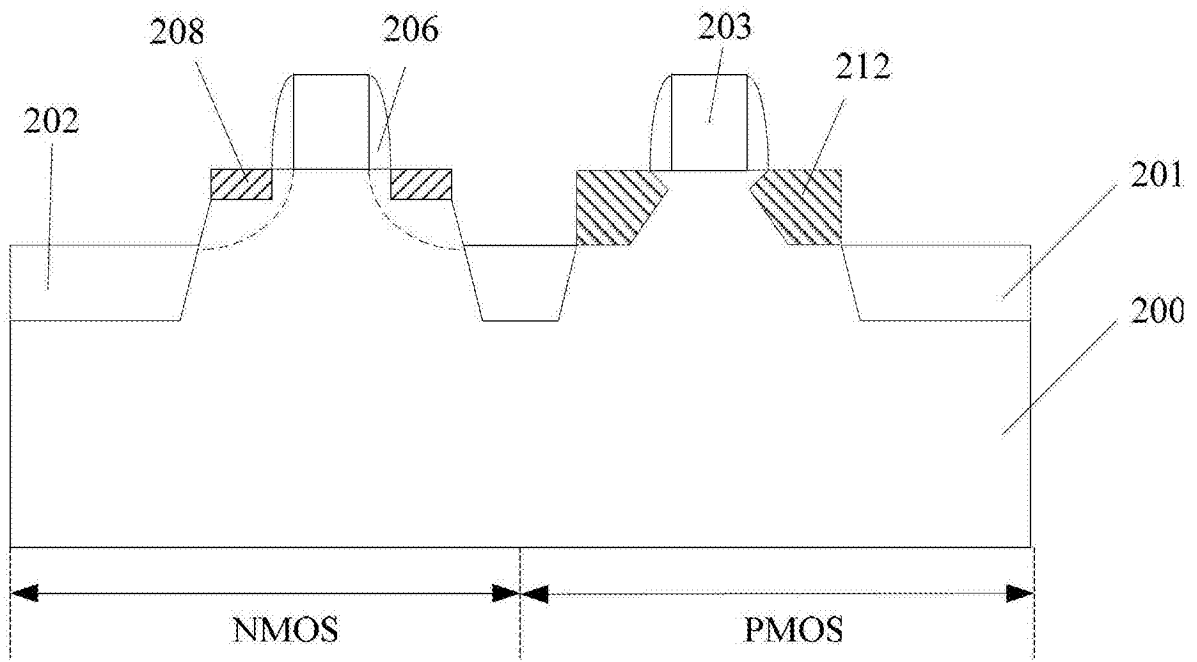


图11