(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 22 日(22.12.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/204112 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/06* (2006.01)
H01L 21/336 (2006.01) *H01L 29/12* (2006.01)

(21) 国際出願番号: PCT/JP2016/067510

(22) 国際出願日: 2016 年 6 月 13 日(13.06.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-123052 2015 年 6 月 18 日(18.06.2015) JP

(71) 出願人: 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

(72) 発明者: 斎藤 雄 (SAITOH, Yu); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 日吉 透 (HIYOSHI, Toru); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 築野 孝 (TSUNO, Takashi); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP).

(74) 代理人: 特許業務法人深見特許事務所 (FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目２番７号 中之島セントラルタワー Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

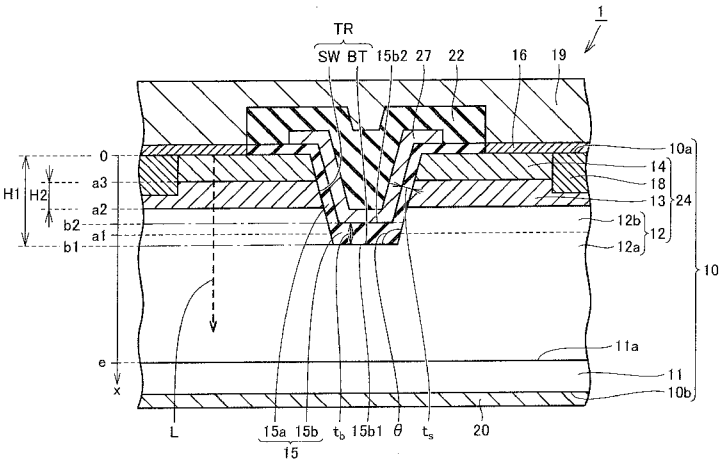
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: SILICON CARBIDE SEMICONDUCTOR DEVICE AND PRODUCTION METHOD FOR SAME

(54) 発明の名称 : 炭化珪素半導体装置およびその製造方法

FIG.1



(57) **Abstract**: According to the present invention, a gate-insulating film contacts a first drift region at a bottom section and contacts a second drift region, a second impurities region, and a third impurities region at side sections. A profile that indicates the relationship, within a region that is constituted by the second impurities region, the second drift region, and the first drift region, between positions in a direction that is orthogonal to a second main surface and the absolute value of the difference between the concentration of a first conductive impurity and the concentration of a second conductive impurity has a first minimum value and a second minimum value. The position that indicates the first minimum value is between the position of a third main surface and the position of a fourth main surface. The position that indicates the second minimum value is between the position of a first main surface and the position of the fourth main surface.

(57) 要約:

[続葉有]

WO 2016/204112 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

ゲート絶縁膜は、底部において第１ドリフト領域と接し、かつ側部において第２ドリフト領域と、第２不純物領域と、第３不純物領域とに接する。第２不純物領域と第２ドリフト領域と第１ドリフト領域とにより構成される領域において、第２主面に対して垂直な方向の位置と、第１導電型不純物の濃度と第２導電型不純物の濃度との差の絶対値との関係を示すプロファイルは、第１極小値と、第２極小値とを有する。第１極小値を示す位置は、第３主面の位置と第４主面の位置との間にある。第２極小値を示す位置は、第１主面の位置と第４主面の位置との間にある。

明　細　書

発明の名称 ： 炭化珪素半導体装置およびその製造方法

技術分野

[0001] 本発明は、炭化珪素半導体装置およびその製造方法に関する。本出願は、２０１５年６月１８日に出願した日本特許出願である特願２０１５－１２３０５２に基づく優先権を主張し、当該日本特許出願に記載された全ての記載内容を援用するものである。

背景技術

[0002] 近年、ＭＯＳＦＥＴ（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）などの半導体装置の高耐圧化、低損失化、高温環境下での使用などを可能とするため、半導体装置を構成する材料として炭化珪素の採用が進められつつある。たとえば、国際公開２０１２／０１７７９８号（特許文献１）は、耐圧保持層の表面にトレンチが形成されたトレンチ型ＭＯＳＦＥＴの製造方法を開示している。

先行技術文献

特許文献

[0003] 特許文献1：国際公開２０１２／０１７７９８号

発明の概要

[0004] 本発明の一態様に係る炭化珪素半導体装置は、炭化珪素基板と、ゲート絶縁膜とを備えている。炭化珪素基板は、第１主面と、第１主面と反対側の第２主面とを有する。炭化珪素基板は、第１導電型を有する第１不純物領域と、第１不純物領域上に設けられ、第１導電型と異なる第２導電型を有する第２不純物領域と、第１不純物領域から隔てられるように第２不純物領域上に設けられ、第１主面を構成し、かつ第１導電型を有する第３不純物領域とを含む。第１不純物領域は、第１ドリフト領域と、第１ドリフト領域と第２不純物領域とに挟まれた第２ドリフト領域とを有する。第２ドリフト領域にお

ける第１導電型不純物の濃度の最大値は、第１ドリフト領域における第１導電型不純物の濃度の最大値よりも大きい。第１主面には、第２ドリフト領域と、第２不純物領域と、第３不純物領域とを貫通し、かつ第１ドリフト領域に至る側部と、側部と連続して設けられた底部とにより規定されたトレンチが形成されている。ゲート絶縁膜は、底部において第１ドリフト領域と接し、かつ側部において第２ドリフト領域と、第２不純物領域と、第３不純物領域とに接する。ゲート絶縁膜は、底部に接する第３主面と、第３主面と反対側の第４主面とを有する。第２不純物領域と第２ドリフト領域と第１ドリフト領域とにより構成される領域において、第２主面に対して垂直な方向の位置をｘとし、第１導電型不純物の濃度と第２導電型不純物の濃度との差の絶対値をｙとしたとき、ｘとｙとの関係を示すプロファイルは、第１極小値と、第１極小値よりも第１主面側に位置する第２極小値とを有する。第２主面に対して垂直な方向において、第１極小値を示す位置は、第３主面の位置と第４主面の位置との間にある。第２主面に対して垂直な方向において、第２極小値を示す位置は、第１主面の位置と第４主面の位置との間にある。

[0005] 本発明の一態様に係る炭化珪素半導体装置の製造方法は以下の工程を備えている。第１主面と、第１主面と反対側の第２主面とを有する炭化珪素基板が準備される。炭化珪素基板は、第１導電型を有する第１不純物領域と、第１不純物領域上に設けられ、第１導電型と異なる第２導電型を有する第２不純物領域と、第１不純物領域から隔てられるように第２不純物領域上に設けられ、第１主面を構成し、かつ第１導電型を有する第３不純物領域とを含む。第１不純物領域は、第１ドリフト領域と、第１ドリフト領域と第２不純物領域とに挟まれた第２ドリフト領域とを有する。第２ドリフト領域における第１導電型不純物の濃度の最大値は、第１ドリフト領域における第１導電型不純物の濃度の最大値よりも大きい。第１ドリフト領域および第２ドリフト領域は、エピタキシャル成長により形成される。第２不純物領域は、第２ドリフト領域に対してイオン注入が行われることにより形成される。第１主面に、第２ドリフト領域と、第２不純物領域と、第３不純物領域とを貫通し、

かつ第１ドリフト領域に至る側部と、側部と連続して設けられた底部とにより規定されるトレンチが形成される。底部において第１ドリフト領域と接し、かつ側部において第２ドリフト領域と、第２不純物領域と、第３不純物領域とに接するゲート絶縁膜が形成される。ゲート絶縁膜は、底部に接する第３主面と、第３主面と反対側の第４主面とを有する。第２不純物領域と第２ドリフト領域と第１ドリフト領域とにより構成される領域において、第２主面に対して垂直な方向の位置をｘとし、第１導電型不純物の濃度と第２導電型不純物の濃度との差の絶対値をｙとしたとき、ｘとｙとの関係を示すプロファイルは、第１極小値と、第１極小値よりも第１主面側に位置する第２極小値とを有する。第２主面に対して垂直な方向において、第１極小値を示す位置は、第３主面の位置と第４主面の位置との間にある。第２主面に対して垂直な方向において、第２極小値を示す位置は、第１主面の位置と第４主面の位置との間にある。

図面の簡単な説明

[0006] [図1]実施の形態に係る炭化珪素半導体装置の構成を示す断面模式図である。

[図2]実施の形態に係る炭化珪素半導体装置が含む炭化珪素基板の構成を示す斜視模式図である。

[図3]図１の矢印Ｌに沿った方向における｜N_d－N_a｜のプロファイルを概略的に示す図である。

[図4]実施の形態に係る炭化珪素半導体装置の変形例の構成を示す断面模式図である。

[図5]炭化珪素半導体装置が有する炭化珪素層の表面の微細構造を概略的に示す部分断面図である。

[図6]ポリタイプ４Ｈの六方晶における（０００－１）面の結晶構造を示す図である。

[図7]図６の線ＶＩＩ－ＶＩＩに沿う（１１－２０）面の結晶構造を示す図である。

[図8]図５の複合面の表面近傍における結晶構造を（１１－２０）面内におい

て示す図である。

[図9]図５の複合面を（０１－１０）面から見た図である。

[図10]巨視的に見たチャネル面および（０００－１）面の間の角度と、チャネル移動度との関係の一例を、熱エッチングが行われた場合と行われなかった場合との各々について示すグラフである。

[図11]チャネル方向および＜０－１１－２＞方向の間の角度と、チャネル移動度との関係の一例を示すグラフである。

[図12]図５の変形例を示す図である。

[図13]実施の形態に係る炭化珪素半導体装置の製造方法を概略的に示すフロー図である。

[図14]炭化珪素基板を形成する工程が含む製造工程を概略的に示すフロー図である。

[図15]実施の形態に係る炭化珪素半導体装置の製造方法の第１工程を示す断面模式図である。

[図16]図１５の矢印Ｘに沿った方向におけるN_dのプロファイルを概略的に示す図である。

[図17]ボディ領域を形成する工程におけるｐ型不純物イオンの注入プロファイルを概略的に示す図である。

[図18]実施の形態に係る炭化珪素半導体装置の製造方法の第２工程を示す断面模式図である。

[図19]図１８の矢印Ｘに沿った方向における｜N_d-N_a｜のプロファイルを概略的に示す図である。

[図20]ソース領域を形成する工程におけるｎ型不純物イオンの注入プロファイルを概略的に示す図である。

[図21]実施の形態に係る炭化珪素半導体装置の製造方法の第３工程を示す断面模式図である。

[図22]実施の形態に係る炭化珪素半導体装置の製造方法の第４工程を示す断面模式図である。

[図23]ゲート絶縁膜を形成する工程が含む製造工程を概略的に示すフロー図である。

[図24]実施の形態に係る炭化珪素半導体装置の製造方法の第５工程を示す断面模式図である。

[図25]実施の形態に係る炭化珪素半導体装置の製造方法の第６工程を示す断面模式図である。

[図26]実施の形態に係る炭化珪素半導体装置の製造方法の第７工程を示す断面模式図である。

[図27]実施の形態に係る炭化珪素半導体装置の製造方法の第８工程を示す断面模式図である。

[図28]実施の形態に係る炭化珪素半導体装置の製造方法の第９工程を示す断面模式図である。

[図29]ゲート絶縁膜を形成する工程の変形例の第１工程を示す断面模式図である。

[図30]ゲート絶縁膜を形成する工程の変形例の第２工程を示す断面模式図である。

発明を実施するための形態

[0007] ［本開示が解決しようとする課題］

上記トレンチ型ＭＯＳＦＥＴの製造方法においては、耐圧保持層の表面にアルミニウムなどのｐ型不純物をイオン注入することにより、ｐ型ボディ領域が形成される。ｐ型ボディ領域は、耐圧保持層の深さ方向において、ｐ型不純物の濃度のピークを有する不純物濃度プロファイルを有する。ｐ型不純物の濃度のピークを示す位置より深い位置においては、ｐ型不純物の濃度は単調に減少する。つまり、ｐ型不純物は、チャネリング効果により、ｐ型不純物の濃度のピークを示す位置から１μｍ以上２μｍ以下程度の深い領域まで到達する。そのため、実効的なチャネル長が長くなり、ＭＯＳＦＥＴのオン抵抗が高くなる。

[0008] またｐ型不純物のチャネリング効果により、耐圧保持層の深さ方向おける

ボディ領域の底部の位置が、トレンチの底部の位置に近くなる。特に、トレンチの底部上に厚いゲート絶縁膜が形成されていると、ボディ領域の底部と接するゲート絶縁膜の厚みが大きくなる。つまり、ボディ領域内におけるチャネル領域上のゲート絶縁膜の厚みが大きくなる。そのため、チャネルが反転しづらくなり、ＭＯＳＦＥＴのオン抵抗が高くなる。

[0009] 耐圧保持層の深い領域までｐ型不純物が到達することを抑制するために、耐圧保持層のｎ型不純物の濃度を高め、ｐ型不純物の濃度を補償することが考えられる。しかしながら、耐圧保持層のｎ型不純物の濃度を高めると、トレンチの角部近傍におけるｎ型不純物の濃度も高くなる。そのため、電界緩和領域からの空乏層の伸長幅が短くなり、トレンチの角部における電界集中を十分に緩和することができなくなる。つまり、オン抵抗の低減とトレンチの角部における電界緩和とは、トレードオフの関係にある。

[0010] 本発明の一態様の目的は、オン抵抗を低減し、かつトレンチの角部における電界集中を緩和可能な炭化珪素半導体装置およびその製造方法を提供することである。

[0011] ［本開示の効果］

本発明の一態様によれば、オン抵抗を低減し、かつトレンチの角部における電界集中を緩和可能な炭化珪素半導体装置およびその製造方法を提供することができる。

[0012] ［本願発明の実施形態の説明］

（１）本発明の一態様に係る炭化珪素半導体装置１は、炭化珪素基板１０と、ゲート絶縁膜１５とを備えている。炭化珪素基板１０は、第１主面１０ａと、第１主面１０ａと反対側の第２主面１０ｂとを有する。炭化珪素基板１０は、第１導電型を有する第１不純物領域１２と、第１不純物領域１２上に設けられ、第１導電型と異なる第２導電型を有する第２不純物領域１３と、第１不純物領域１２から隔てられるように第２不純物領域１３上に設けられ、第１主面１０ａを構成し、かつ第１導電型を有する第３不純物領域１４とを含む。第１不純物領域１２は、第１ドリフト領域１２ａと、第１ドリフ

ト領域１２ａと第２不純物領域１３とに挟まれた第２ドリフト領域１２ｂとを有する。第２ドリフト領域１２ｂにおける第１導電型不純物の濃度の最大値は、第１ドリフト領域１２ａにおける第１導電型不純物の濃度の最大値よりも大きい。第１主面１０ａには、第２ドリフト領域１２ｂと、第２不純物領域１３と、第３不純物領域１４とを貫通し、かつ第１ドリフト領域１２ａに至る側部ＳＷと、側部ＳＷと連続して設けられた底部ＢＴとにより規定されたトレンチＴＲが形成されている。ゲート絶縁膜１５は、底部ＢＴにおいて第１ドリフト領域１２ａと接し、かつ側部ＳＷにおいて第２ドリフト領域１２ｂと、第２不純物領域１３と、第３不純物領域１４とに接する。ゲート絶縁膜１５は、底部ＢＴに接する第３主面１５ｂ１と、第３主面１５ｂ１と反対側の第４主面１５ｂ２とを有する。第２不純物領域１３と第２ドリフト領域１２ｂと第１ドリフト領域１２ａとにより構成される領域において、第２主面１０ｂに対して垂直な方向の位置をｘとし、第１導電型不純物の濃度と第２導電型不純物の濃度との差の絶対値をｙとしたとき、ｘとｙとの関係を示すプロファイルは、第１極小値Ｃ３と、第１極小値Ｃ３よりも第１主面１０ａ側に位置する第２極小値Ｃ４とを有する。第２主面１０ｂに対して垂直な方向において、第１極小値Ｃ３を示す位置ａ１は、第３主面１５ｂ１の位置ｂ１と第４主面１５ｂ２の位置ｂ２との間にある。第２主面１０ｂに対して垂直な方向において、第２極小値Ｃ４を示す位置ａ２は、第１主面１０ａの位置０と第４主面１５ｂ２の位置ｂ２との間にある。

[0013] 上記（１）に係る炭化珪素半導体装置１によれば、第２主面１０ｂに対して垂直な方向において、第２極小値Ｃ４を示す位置ａ２は、第１主面１０ａの位置０と第４主面１５ｂ２の位置ｂ２との間にある。第２極小値Ｃ４を示す位置ａ２は、ボディ領域１３の底部の位置ａ２に対応する。つまり、ボディ領域１３の底部の位置ａ２が、第１主面１０ａの位置０と第４主面１５ｂ２の位置ｂ２との間にある。そのため、ボディ領域１３内におけるチャネル領域上のゲート絶縁膜１５の厚みが大きくなることを抑制することができる。従って、ボディ領域１３の底部の位置ａ２が、第３主面１５ｂ１の位置ｂ

１と第４主面１５ｂ２の位置ｂ２との間にある場合と比較して、炭化珪素半導体装置１のオン抵抗を低減することができる。

[0014] また上記（１）に係る炭化珪素半導体装置１によれば、第２主面１０ｂに対して垂直な方向において、第１極小値Ｃ３を示す位置ａ１は、第３主面１５ｂ１の位置ｂ１と第４主面１５ｂ２の位置ｂ２との間にある。そのため、トレンチＴＲの底部ＢＴ近傍における第１ドリフト領域１２ａの部分における第１導電型不純物の濃度を低減することができる。結果として、電界緩和領域１７からの空乏層の伸長幅を大きくすることができるので、トレンチＴＲの角部に電界が集中することを抑制することができる。

[0015] （２）上記（１）に係る炭化珪素半導体装置１において、ゲート絶縁膜１５は、側部ＳＷにおいて第２不純物領域１３に接する第１部分１５ａと、底部ＢＴにおいて第１ドリフト領域１２ａに接する第２部分１５ｂとを含んでいてもよい。底部ＢＴに対して垂直な方向における第２部分１５ｂの厚みt_bは、側部ＳＷに対して垂直な方向における第１部分１５ａの厚みt_sよりも大きくてもよい。第１部分１５ａの厚みt_sが小さいことにより、チャネルが反転しやすくなるため、炭化珪素半導体装置のオン抵抗を低減することができる。第２部分１５ｂの厚みt_bが大きいことにより、底部ＢＴ上のゲート絶縁膜１５が破壊されることを抑制することができる。

[0016] （３）上記（２）に係る炭化珪素半導体装置１において、第２部分１５ｂの厚みt_bを第１部分１５ａの厚みt_sで除した値は、１．５以上８以下であってもよい。第２部分１５ｂの厚みt_bを第１部分１５ａの厚みt_sで除した値を１．５以上とすることにより、トレンチ底のゲート絶縁膜にかかる電界を緩和することができる。第２部分１５ｂの厚みt_bを第１部分１５ａの厚みt_sで除した値を８以下とすることにより、第２不純物領域１３に第２部分１５ｂを干渉させることなくオン抵抗を低く維持することができる。

[0017] （４）上記（１）～（３）のいずれかに係る炭化珪素半導体装置１において、第２主面１０ｂに対して垂直な方向における第１主面１０ａと底部ＢＴとの間の距離Ｈ１は、１μｍ以上１．５μｍ以下であってもよい。距離Ｈ１

を１μｍ以上とすることにより、トレンチ底が第２不純物領域１３の外部に位置することでオン抵抗の増加を抑制することができる。距離Ｈ１を１．５μｍ以下とすることにより、トレンチ底角部のゲート絶縁膜にかかる電界を緩和することができる。

[0018] （５）上記（１）～（４）のいずれかに係る炭化珪素半導体装置１において、第２主面１０ｂに対して垂直な方向における第２不純物領域１３の厚みＨ２は、０．４μｍ以上０．８μｍ以下であってもよい。厚みＨ２を０．４μｍ以上とすることにより、ゲート閾値電圧を高くし、ドレイン耐圧を高く維持することができる。厚みＨ２を０．８μｍ以下とすることにより、第２不純物領域１３に第２部分１５ｂを干渉させることなくオン抵抗を低く維持することができる。

[0019] （６）上記（１）～（５）のいずれかに係る炭化珪素半導体装置１において、第２ドリフト領域１２ｂの第１導電型不純物の濃度の最大値を第１ドリフト領域１２ａの第１導電型不純物の濃度の最大値で除した値は、５以上１０以下であってもよい。第２ドリフト領域１２ｂの第１導電型不純物の濃度の最大値を第１ドリフト領域１２ａの第１導電型不純物の濃度の最大値で除した値を５以上とすることにより、第２不純物領域１３から第１ドリフト領域にかけて存在する第２導電型不純物を補償することで、有効チャネル長を制御し、オン抵抗を低くすることができる。第２ドリフト領域１２ｂの第１導電型不純物の濃度の最大値を第１ドリフト領域１２ａの第１導電型不純物の濃度の最大値で除した値を１０以下とすることにより、第２不純物領域１３の第２導電型不純物の有効濃度を維持することができ、かつトレンチ底角部に接するゲート絶縁膜にかかる電界を低くすることができる。その結果ドレイン耐圧を維持することができる。

[0020] （７）上記（１）～（６）のいずれかに係る炭化珪素半導体装置１において、第２不純物領域１３の第２導電型不純物の濃度の最大値を第２ドリフト領域１２ｂの第１導電型不純物の濃度の最大値で除した値は、１０以上１００以下であってもよい。第２不純物領域１３の第２導電型不純物の濃度の最

大値を第２ドリフト領域１２ｂの第１導電型不純物の濃度の最大値で除した値を１０以上とすることにより、ゲート閾値電圧を高くし、ドレイン耐圧を高く維持することができる。第２不純物領域１３の第２導電型不純物の濃度の最大値を第２ドリフト領域１２ｂの第１導電型不純物の濃度の最大値で除した値を１００以下とすることにより、第２不純物領域１３から第１ドリフト領域にかけて存在する第２導電型不純物を補償することで、有効チャネル長を制御し、オン抵抗を低くすることができる。

[0021] （８）上記（１）～（７）のいずれかに係る炭化珪素半導体装置１において、側部ＳＷは、面方位｛０－３３－８｝を有する面Ｓ１を含んでいてもよい。これにより、側部ＳＷにおけるチャネル抵抗を低減することができる。

[0022] （９）本発明の一態様に係る炭化珪素半導体装置１の製造方法は以下の工程を備えている。第１主面１０ａと、第１主面１０ａと反対側の第２主面１０ｂとを有する炭化珪素基板が準備される。炭化珪素基板１０は、第１導電型を有する第１不純物領域１２と、第１不純物領域１２上に設けられ、第１導電型と異なる第２導電型を有する第２不純物領域１３と、第１不純物領域１２から隔てられるように第２不純物領域１３上に設けられ、第１主面１０ａを構成し、かつ第１導電型を有する第３不純物領域１４とを含む。第１不純物領域１２は、第１ドリフト領域１２ａと、第１ドリフト領域１２ａと第２不純物領域１３とに挟まれた第２ドリフト領域１２ｂとを有する。第２ドリフト領域１２ｂにおける第１導電型不純物の濃度の最大値は、第１ドリフト領域１２ａにおける第１導電型不純物の濃度の最大値よりも大きい。第１ドリフト領域１２ａおよび第２ドリフト領域１２ｂは、エピタキシャル成長により形成される。第２不純物領域１３は、第２ドリフト領域１２ｂに対してイオン注入が行われることにより形成される。第１主面１０ａに、第２ドリフト領域１２ｂと、第２不純物領域１３と、第３不純物領域１４とを貫通し、かつ第１ドリフト領域１２ａに至る側部ＳＷと、側部ＳＷと連続して設けられた底部ＢＴとにより規定されるトレンチＴＲが形成される。底部ＢＴにおいて第１ドリフト領域１２ａと接し、かつ側部ＳＷにおいて第２ドリフ

ト領域１２ｂと、第２不純物領域１３と、第３不純物領域１４とに接するゲート絶縁膜１５が形成される。ゲート絶縁膜１５は、底部ＢＴに接する第３主面１５ｂ１と、第３主面１５ｂ１と反対側の第４主面１５ｂ２とを有する。第２不純物領域１３と第２ドリフト領域１２ｂと第１ドリフト領域１２ａとにより構成される領域において、第２主面１０ｂに対して垂直な方向の位置をｘとし、第１導電型不純物の濃度と第２導電型不純物の濃度との差の絶対値をｙとしたとき、ｘとｙとの関係を示すプロファイルは、第１極小値Ｃ３と、第１極小値Ｃ３よりも第１主面１０ａ側に位置する第２極小値Ｃ４とを有する。第２主面１０ｂに対して垂直な方向において、第１極小値Ｃ３を示す位置ａ１は、第３主面１５ｂ１の位置ｂ１と第４主面１５ｂ２の位置ｂ２との間にある。第２主面１０ｂに対して垂直な方向において、第２極小値Ｃ４を示す位置ａ２は、第１主面１０ａの位置０と第４主面１５ｂ２の位置ｂ２との間にある。

[0023] 上記（９）に係る炭化珪素半導体装置１の製造方法によれば、第２不純物領域１３は、第１ドリフト領域１２ａよりも高い第１導電型不純物濃度を有する第２ドリフト領域１２ｂに対して第２導電型不純物のイオン注入が行われることにより形成される。それゆえ、第２導電型不純物のチャネリングを抑制することができる。結果として、第２不純物領域１３の厚みＨ２を小さくすることができるので、チャネル長を短くすることができる。それゆえ、炭化珪素半導体装置１のオン抵抗を低減することができる。

[0024] また上記（９）に係る炭化珪素半導体装置１の製造方法によれば、第２主面１０ｂに対して垂直な方向において、第１極小値Ｃ３を示す位置ａ１は、第３主面１５ｂ１の位置ｂ１と第４主面１５ｂ２の位置ｂ２との間にある。そのため、トレンチＴＲの底部ＢＴ近傍における第１ドリフト領域１２ａの部分における第１導電型不純物の濃度を低減することができる。結果として、電界緩和領域からの空乏層の伸長幅を大きくすることができるので、トレンチＴＲの角部に電界が集中することを抑制することができる。

[0025] （１０）上記（９）に係る炭化珪素半導体装置１の製造方法において、ゲ

ート絶縁膜１５を形成する工程は、側部ＳＷおよび底部ＢＴに接する珪素層４を形成する工程と、底部ＢＴに対面する珪素層４の部分上にマスク層５を形成する工程と、マスク層５を用いて珪素層４の一部を除去する工程と、マスク層５を除去する工程と、マスク層５を除去する工程後、底部ＢＴ上に珪素層４の一部が残された状態で、炭化珪素基板１０を熱酸化する工程とを含んでいてもよい。これにより、底部ＢＴ上のゲート絶縁膜１５の部分の厚みが、側部ＳＷ上のゲート絶縁膜１５の厚みよりも大きいゲート絶縁膜１５を、簡易な方法で製造することができる。

[0026] （１１）上記（９）または（１０）に係る炭化珪素半導体装置１の製造方法において、トレンチＴＲを形成する工程は、熱エッチングにより行われてもよい。これにより、効果的にトレンチＴＲの側部ＳＷを特殊面にすることができる。結果として、側部ＳＷにおけるチャネル抵抗を低減することができる。

[0027] （１２）上記（９）～（１１）のいずれかに係る炭化珪素半導体装置１の製造方法において、第１ドリフト領域１２ａを形成する工程および第２ドリフト領域１２ｂを形成する工程は、炭素および珪素を含むガスを用いて行われてもよい。第２ドリフト領域１２ｂを形成する工程における珪素の原子数を炭素の原子数で除した値は、第１ドリフト領域１２ａを形成する工程における珪素の原子数を炭素の原子数で除した値よりも大きくてもよい。炭素は、珪素よりも窒素を取り込みやすい。そのため、第２ドリフト領域１２ｂを形成する工程において、ｎ型不純物としての窒素を取り込みやすくなる。結果として、効果的に、第２ドリフト領域１２ｂにおけるｎ型不純物の濃度を第１ドリフト領域１２ａにおけるｎ型不純物の濃度よりも高くすることができる。

[0028] （１３）上記（９）～（１２）のいずれかに係る炭化珪素半導体装置１の製造方法において、第１主面１０ａは、炭素面側であり、第２主面１０ｂは、珪素面側であってもよい。炭素面は、珪素面よりも窒素を取り込みやすい。そのため、効果的に、第１主面１０ａ側に形成される第２ドリフト領域１

２ｂのｎ型不純物の濃度を第１ドリフト領域１２ａにおけるｎ型不純物の濃度よりも高くすることができる。またトレンチＴＲの側部ＳＷを特殊面とすることができる。結果として、側部ＳＷにおけるチャネル抵抗を低減することができる。

[0029] ［本願発明の実施形態の詳細］

以下、本発明の実施の形態について図に基づいて説明する。なお、以下の図面において、同一または相当する部分には同一の参照番号を付し、その説明は繰り返さない。また、本明細書中の結晶学的記載においては、個別方位を［］、集合方位を＜＞、個別面を（）、集合面を｛｝でそれぞれ示している。また結晶学上の指数が負であることは、通常、”－”（バー）を数字の上に付すことによって表現されるが、本明細書中では数字の前に負の符号を付している。

[0030] まず、本発明の実施の形態に係る炭化珪素半導体装置としてのＭＯＳＦＥＴの構成について説明する。

[0031] 図１に示されるように、本実施の形態に係るＭＯＳＦＥＴ１は、炭化珪素基板１０と、ゲート絶縁膜１５と、ゲート電極２７と、層間絶縁膜２２と、ソース電極１６と、ソース配線１９と、ドレイン電極２０とを主に有している。炭化珪素基板１０は、炭化珪素単結晶基板１１と、炭化珪素単結晶基板１１上に設けられた炭化珪素エピタキシャル層２４を含む。炭化珪素基板１０は、第１主面１０ａと、第１主面１０ａと反対側の第２主面１０ｂとを有する。炭化珪素エピタキシャル層２４は第１主面１０ａを構成し、炭化珪素単結晶基板１１は第２主面１０ｂを構成する。

[0032] 第１主面１０ａは、たとえば｛０００－１｝面または｛０００－１｝面から２°以上８°以下オフした面である。好ましくは、第１主面１０ａは、炭素面側であり、第２主面１０ｂが珪素面側である。第１主面１０ａは、たとえば（０００－１）面または（０００－１）面から２°以上８°以下オフした面である。炭化珪素単結晶基板１１は、たとえばポリタイプ４Ｈの六方晶炭化珪素である。炭化珪素単結晶基板１１は、たとえば窒素などのｎ型不純

物を含みｎ型（第１導電型）の導電型を有する。炭化珪素エピタキシャル層２４は、ドリフト領域１２（第１不純物領域１２）と、ボディ領域１３（第２不純物領域１３）と、ソース領域１４（第３不純物領域１４）と、コンタクト領域１８とを主に有する。

[0033] ドリフト領域１２は、たとえば窒素などのｎ型不純物を含み、ｎ型の導電型を有する。ドリフト領域１２が含むｎ型不純物の濃度は、炭化珪素単結晶基板１１が含むｎ型不純物の濃度よりも低くてもよい。ドリフト領域１２は、第１ドリフト領域１２ａと、第２ドリフト領域１２ｂとを有する。第２ドリフト領域１２ｂは、第１ドリフト領域１２ａとボディ領域１３とに挟まれている。第２ドリフト領域１２ｂは、第１ドリフト領域１２ａおよびボディ領域１３に接している。第２ドリフト領域１２ｂにおけるｎ型不純物の濃度の最大値は、第１ドリフト領域１２ａにおけるｎ型不純物の濃度の最大値よりも大きい。

[0034] ボディ領域１３はドリフト領域１２上に設けられている。ボディ領域１３は、たとえばアルミニウムなどのｐ型不純物を含み、ｐ型（第２導電型）の導電型を有する。第２主面１０ｂに対して垂直な方向におけるボディ領域１３の厚みＨ２は、たとえば０．４μｍ以上０．８μｍ以下である。

[0035] ソース領域１４は、ボディ領域１３によってドリフト領域１２から隔てられるようにボディ領域１３上に設けられている。ソース領域１４は、たとえば窒素またはリンなどのｎ型不純物を含んでおり、ｎ型の導電型を有する。ソース領域１４は、炭化珪素基板１０の第１主面１０ａを構成する。ソース領域１４が含むｎ型不純物の濃度は、第２ドリフト領域１２ｂが含むｎ型不純物の濃度よりも高くてもよい。

[0036] コンタクト領域１８は、ボディ領域１３と、ソース領域１４とに接している。コンタクト領域１８は、たとえばアルミニウムなどのｐ型不純物を含んでおり、ｐ型の導電型を有する。コンタクト領域１８が含むｐ型不純物の濃度は、ボディ領域１３が含むｐ型不純物の濃度よりも高くてもよい。コンタクト領域１８は、ボディ領域１３と第１主面１０ａとを繋ぐようにソース領

域１４を貫通して設けられている。

[0037] 炭化珪素基板１０の第１主面１０ａにはトレンチＴＲが形成されている。トレンチＴＲは、側部ＳＷと、底部ＢＴとにより規定されている。側部ＳＷは、第２ドリフト領域１２ｂとボディ領域１３とソース領域１４を貫通し、かつ第１ドリフト領域１２ａに至っている。底部ＢＴは、側部ＳＷと連続して設けられている。底部ＢＴは、ドリフト領域１２に位置している。好ましくは、側部ＳＷと底部ＢＴとがなす角度θは９０°よりも大きい。第２主面１０ｂに対して垂直な方向における第１主面１０ａと底部ＢＴとの間の距離Ｈ１は、たとえば１μｍ以上１．５μｍ以下である。

[0038] 断面視（炭化珪素基板１０の第２主面１０ｂと平行な方向から見た視野）において、トレンチＴＲの幅が底部ＢＴに向かってテーパ状に狭まるように側部ＳＷが傾斜していてもよい。側部ＳＷは、（０００－１）面に対して５２°以上７２°以下傾斜していることが好ましい。なお、側部ＳＷは第１主面１０ａに対して垂直に形成されていてもよい。底部ＢＴは、第１主面１０ａとほぼ平行な平坦な形状を有してもよい。断面視において、トレンチＴＲの形状は、Ｕ字状またはＶ字状の形状を有してもよい。好ましくは、側部ＳＷは、特殊面を含んでいる。特殊面の構成の詳細は後述する。

[0039] 図２は、図１に示すＭＯＳＦＥＴ１から炭化珪素基板１０を取り出して示した図である。図２に示されるように、ソース領域１４、ボディ領域１３およびドリフト領域１２は、トレンチＴＲの側部ＳＷに露出している。ドリフト領域１２は、トレンチＴＲの側部ＳＷおよび底部ＢＴの各々に露出している。底部ＢＴと側部ＳＷとがつながる部分はトレンチＴＲの角部を構成している。平面視（炭化珪素基板１０の第２主面１０ｂに対して垂直な方向から見た視野）において、トレンチＴＲは、ハニカム構造を有する網目を構成するように延在していてもよい。

[0040] 図２に示されるように、平面視において、ソース領域１４およびコンタクト領域１８により構成された炭化珪素基板１０の第１主面１０ａは、六角形の形状を有する。好ましくは、平面視において、ボディ領域１３、ソース領

域１４およびコンタクト領域１８は、六角形の外形を有する。好ましくは、単位セルの形状は、六角形であり、より好ましくは正六角形である。単位セルの形状は、四角形などの多角形であってもよい。平面視におけるボディ領域１３、ソース領域１４およびコンタクト領域１８の形状は、単位セルの形状と同じであることが好ましい。

[0041] 図１に示されるように、ゲート絶縁膜１５は、トレンチＴＲの底部ＢＴおよび側部ＳＷと、第１主面１０ａの一部とに接する。ゲート絶縁膜１５は、たとえば二酸化珪素を含む材料により構成される。ゲート絶縁膜１５は、たとえば熱酸化膜である。ゲート絶縁膜１５は、底部ＢＴにおいて第１ドリフト領域１２ａと接し、かつ側部ＳＷにおいて第２ドリフト領域１２ｂと、ボディ領域１３と、ソース領域１４とに接する。ゲート絶縁膜１５は、底部ＢＴに接する第３主面１５ｂ１と、第３主面１５ｂ１と反対側の第４主面１５ｂ２とを有する。

[0042] ゲート絶縁膜１５は、側部ＳＷにおいてボディ領域１３に接する第１部分１５ａと、底部ＢＴにおいて第１ドリフト領域１２ａに接する第２部分１５ｂとを含んでいてもよい。底部ＢＴに対して垂直な方向における第２部分１５ｂの厚みt_bは、側部ＳＷに対して垂直な方向における第１部分１５ａの厚みt_sよりも大きくてもよい。第２部分１５ｂの厚みt_bを第１部分１５ａの厚みt_sで除した値は、たとえば１．５以上８以下である。

[0043] 次に、炭化珪素エピタキシャル層中における不純物濃度のプロファイルについて説明する。

[0044] 図３は、図１の矢印Ｌに沿った方向における$|N_d-N_a|$のプロファイルを概略的に示す図である。ここで、N_dは、ｎ型不純物（第１導電型不純物）の濃度である。N_aは、ｐ型不純物（第２導電型不純物）の濃度である。$|N_d-N_a|$は、ｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙである。位置ｘは、第２主面１０ｂに対して垂直な方向の位置である。位置０は、ソース領域１４により構成される第１主面１０ａの部分の位置である。位置ｅは、炭化珪素単結晶基板１１と炭化珪素エピタキシャル層２４との境界面

１１ａの位置である。位置０から位置ａ３までの領域はソース領域１４である。位置ａ３から位置ａ２までの領域はボディ領域１３である。位置ａ２から位置ａ１までの領域は第２ドリフト領域１２ｂである。位置ａ１から位置ｅまでの領域は第１ドリフト領域１２ａである。

[0045] ボディ領域１３と第２ドリフト領域１２ｂと第１ドリフト領域１２ａとにより構成される領域において、位置ｘと、ｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙとの関係を示すプロファイルは、第１極小値Ｃ３と、第１極小値Ｃ３よりも第１主面１０ａ側に位置する第２極小値Ｃ４とを有する。第２主面１０ｂに対して垂直な方向において、第１極小値Ｃ３を示す位置ａ１は、ゲート絶縁膜１５の第３主面１５ｂ１の位置ｂ１と第４主面１５ｂ２の位置ｂ２との間にある。第２主面１０ｂに対して垂直な方向において、第２極小値Ｃ４を示す位置ａ２は、第１主面１０ａの位置０とゲート絶縁膜１５の第４主面１５ｂ２の位置ｂ２との間にある。ｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙが第１極小値Ｃ３を示す位置ａ２は、第１ドリフト領域１２ａと第２ドリフト領域１２ｂとの境界であってもよい。

[0046] 好ましくは、第２ドリフト領域１２ｂのｎ型不純物の濃度の最大値を第１ドリフト領域１２ａのｎ型不純物の濃度の最大値で除した値は、５以上１０以下である。第１ドリフト領域１２ａが含むｎ型不純物の濃度は、たとえば$3\times10^{15}cm^{-3}$以上$2\times10^{16}cm^{-3}$以下である。第２ドリフト領域１２ｂが含むｎ型不純物の濃度は、たとえば$2\times10^{16}cm^{-3}$以上$1\times10^{17}cm^{-3}$以下である。

[0047] 好ましくは、ボディ領域１３のｐ型不純物の濃度の最大値を第２ドリフト領域１２ｂのｎ型不純物の濃度の最大値で除した値は、１０以上１００以下であってもよい。

[0048] 図３に示されるように、ソース領域１４とボディ領域１３との境界の位置ａ３において、位置ｘとｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙとの関係を示すプロファイルは、極小値を有する。位置ａ３は、位置ａ２と位置０との間にある。ソース領域１４におけるｎ型不純物の濃度とｐ型

不純物の濃度との差の絶対値ｙの最大値Ｃ７は、ボディ領域１３におけるｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙの最大値Ｃ５よりも大きくてもよい。位置０におけるｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙの値Ｃ６は、最大値Ｃ７よりも小さくてもよい。ボディ領域１３におけるｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙの最大値Ｃ５は、第２ドリフト領域１２ｂにおけるｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙの最大値Ｃ２よりも大きくてもよい。

[0049] 図１に示されるように、ゲート電極２７は、トレンチＴＲの内部においてゲート絶縁膜１５に接するようにトレンチＴＲの内部に設けられている。ゲート電極２７は、たとえば不純物を含むポリシリコンからなる。ゲート電極２７は、ソース領域１４と、ボディ領域１３と、ドリフト領域１２とに対面するように設けられている。

[0050] ソース電極１６は、第１主面１０ａにおいてソース領域１４およびコンタクト領域１８の各々と接している。ソース電極１６は、たとえばＴｉと、Ａｌと、Ｓｉとを含む材料からなる。好ましくは、ソース電極１６は、ソース領域１４およびコンタクト領域１８とオーミック接合している。ソース配線１９はソース電極１６に接している。ソース配線１９は、たとえばアルミニウムを含む材料からなる。

[0051] 層間絶縁膜２２は、ゲート電極２７およびゲート絶縁膜１５に接して設けられている。層間絶縁膜２２は、たとえば二酸化珪素を含む材料からなる。層間絶縁膜２２は、ゲート電極２７とソース電極１６とを電気的に絶縁している。ドレイン電極２０は、第２主面１０ｂにおいて炭化珪素単結晶基板１１と接しており、ドリフト領域１２と電気的に接続されている。ドレイン電極２０は、たとえばＮｉＳｉまたはＴｉＡｌＳｉを含む材料からなる。

[0052] まず、本実施の形態に係るＭＯＳＦＥＴの変形例の構成について説明する。

図４に示されるように、炭化珪素基板１０は、電界緩和領域１７を含んでいてもよい。電界緩和領域１７は、たとえばアルミニウムなどのｐ型不純物

を含んでおり、ｐ型の導電型を有する。電界緩和領域１７が含むｐ型不純物の濃度の最大値は、たとえば７×１０^{17}ｃｍ$^{-3}$である。電界緩和領域１７は、ボディ領域１３と対面していてもよい。電界緩和領域１７は、たとえば第１ドリフト領域１２ａに接している。好ましくは、電界緩和領域１７は、第２主面１０ｂに対して垂直な方向において、位置ｂ１と位置ｅとの間に位置している。電界緩和領域１７は、ボディ領域１３に接続されていてもよいし、ボディ領域１３から離間していてもよい。

[0053] 次に、特殊面の構成について説明する。

上述した側部ＳＷは、特にボディ領域１３上の部分において、特殊面を有する。特殊面を有する側部ＳＷは、図５に示すように、面方位｛０－３３－８｝を有する面Ｓ１（第１の面）を含む。言い換えれば、トレンチＴＲの側部ＳＷ上においてボディ領域１３には、面Ｓ１を含む表面が設けられている。面Ｓ１は好ましくは面方位（０－３３－８）を有する。

[0054] より好ましくは、側部ＳＷは面Ｓ１を微視的に含み、側部ＳＷはさらに、面方位｛０－１１－１｝を有する面Ｓ２（第２の面）を微視的に含む。ここで「微視的」とは、原子間隔の２倍程度の寸法を少なくとも考慮する程度に詳細に、ということを意味する。このように微視的な構造の観察方法としては、たとえばＴＥＭを用いることができる。面Ｓ２は好ましくは面方位（０－１１－１）を有する。

[0055] 好ましくは、側部ＳＷの面Ｓ１および面Ｓ２は、面方位｛０－１１－２｝を有する複合面ＳＲを構成している。すなわち複合面ＳＲは、面Ｓ１およびＳ２が周期的に繰り返されることによって構成されている。このような周期的構造は、たとえば、ＴＥＭまたはＡＦＭ（Ａｔｏｍｉｃ　Ｆｏｒｃｅ　Ｍｉｃｒｏｓｃｏｐｙ）により観察し得る。この場合、複合面ＳＲは｛０００－１｝面に対して巨視的に６２°のオフ角を有する。ここで「巨視的」とは、原子間隔程度の寸法を有する微細構造を無視することを意味する。このように巨視的なオフ角の測定としては、たとえば、一般的なＸ線回折を用いた方法を用い得る。好ましくは、複合面ＳＲは、面方位（０－１１－２）を有

する。この場合、複合面ＳＲは（０００－１）面に対して巨視的に６２°のオフ角を有する。

[0056] ＴＥＭとしては、たとえば日本電子株式会社製のＪＥＭ－２１００Ｆが使用可能である。試料分析領域は、たとえば１０μｍ×１０μｍ×０．１μｍである。加速電圧は、たとえば２００ｋＶである。ＡＦＭとしては、たとえば日本ビーコ株式会社製のＤｉｍｅｎｓｉｏｎ Ｉｃｏｎ ＳＰＭ Ｓｙｓｔｅｍが使用可能である。試料分析領域は、たとえば９０μｍ×９０μｍである。スキャンレートは、たとえば０．２Ｈｚである。チップ速度は、たとえば８μｍ／秒である。振幅セットポイントは、たとえば１５．５ｎｍである。Ｚレンジは、たとえば１μｍである。試料に合わせて上記各パラメータが調整される。Ｘ線回折装置としては、たとえば株式会社リガク製のＳｍａｒｔＬａｂが使用可能である。試料分析領域は、たとえば０．３ｍｍφ以上０．８ｍｍφ以下である。使用管球は、たとえばＣｕである。出力は、たとえば４５ｋＶ、８０ｍＡである。たとえば、Ｘ線回折装置で第１主面１０ａが（０００－１）面であることを確認した後、ＡＦＭでトレンチＴＲの側部ＳＷが測定される。

[0057] 好ましくは、チャネル面上においてキャリアが流れる方向であるチャネル方向ＣＤは、上述した周期的繰り返しが行われる方向に沿っている。

[0058] 次に、複合面ＳＲの詳細な構造について説明する。

一般に、ポリタイプ４Ｈの炭化珪素単結晶を（０００－１）面から見ると、図６に示すように、Ｓｉ原子（またはＣ原子）は、Ａ層の原子（図中の実線）と、この下に位置するＢ層の原子（図中の破線）と、この下に位置するＣ層の原子（図中の一点鎖線）と、この下に位置するＢ層の原子（図示せず）とが繰り返し設けられている。つまり４つの層ＡＢＣＢを１周期としてＡＢＣＢＡＢＣＢＡＢＣＢ・・・のような周期的な積層構造が設けられている。

[0059] 図７に示すように、（１１－２０）面（図６の線ＶＩＩ－ＶＩＩの断面）において、上述した１周期を構成する４つの層ＡＢＣＢの各層の原子は、（

０－１１－２）面に完全に沿うようには配列されていない。図７においてはＢ層の原子の位置を通るように（０－１１－２）面が示されており、この場合、Ａ層およびＣ層の各々の原子は（０－１１－２）面からずれていることがわかる。このため、炭化珪素単結晶の表面の巨視的な面方位、すなわち原子レベルの構造を無視した場合の面方位が（０－１１－２）に限定されたとしても、この表面は、微視的には様々な構造をとり得る。

[0060] 図８に示すように、複合面ＳＲは、面方位（０－３３－８）を有する面Ｓ１と、面Ｓ１につながりかつ面Ｓ１の面方位と異なる面方位を有する面Ｓ２とが交互に設けられることによって構成されている。面Ｓ１および面Ｓ２の各々の長さは、Ｓｉ原子（またはＣ原子）の原子間隔の２倍である。なお面Ｓ１および面Ｓ２が平均化された面は、（０－１１－２）面（図７）に対応する。

[0061] 図９に示すように、複合面ＳＲを（０１－１０）面から見て単結晶構造は、部分的に見て立方晶と等価な構造（面Ｓ１の部分）を周期的に含んでいる。具体的には複合面ＳＲは、上述した立方晶と等価な構造における面方位（００１）を有する面Ｓ１と、面Ｓ１につながりかつ面Ｓ１の面方位と異なる面方位を有する面Ｓ２とが交互に設けられることによって構成されている。このように、立方晶と等価な構造における面方位（００１）を有する面（図５においては面Ｓ１）と、この面につながりかつこの面方位と異なる面方位を有する面（図５においては面Ｓ２）とによって表面を構成することは４Ｈ以外のポリタイプにおいても可能である。ポリタイプは、たとえば６Ｈまたは１５Ｒであってもよい。

[0062] 次に図１０を参照して、側部ＳＷの結晶面と、チャネル面の移動度ＭＢとの関係について説明する。図１０のグラフにおいて、横軸は、チャネル面を有する側部ＳＷの巨視的な面方位と（０００－１）面とのなす角度Ｄ１を示し、縦軸は移動度ＭＢを示す。プロット群ＣＭは側部ＳＷが熱エッチングによる特殊面として仕上げられた場合に対応し、プロット群ＭＣはそのような熱エッチングがなされない場合に対応する。

[0063] プロット群ＭＣにおける移動度ＭＢは、チャネル面の表面の巨視的な面方位が（０－３３－８）のときに最大となった。この理由は、熱エッチングが行われない場合、すなわち、チャネル表面の微視的な構造が特に制御されない場合においては、巨視的な面方位が（０－３３－８）とされることによって、微視的な面方位（０－３３－８）、つまり原子レベルまで考慮した場合の面方位（０－３３－８）が形成される割合が確率的に高くなったためと考えられる。

[0064] 一方、プロット群ＣＭにおける移動度ＭＢは、チャネル面の表面の巨視的な面方位が（０－１１－２）のとき（矢印ＥＸ）に最大となった。この理由は、図８および図９に示すように、面方位（０－３３－８）を有する多数の面Ｓ１が面Ｓ２を介して規則正しく稠密に配置されることで、チャネル面の表面において微視的な面方位（０－３３－８）が占める割合が高くなったためと考えられる。

[0065] なお移動度ＭＢは複合面ＳＲ上において方位依存性を有する。図１１に示すグラフにおいて、横軸はチャネル方向と＜０－１１－２＞方向との間の角度Ｄ２を示し、縦軸はチャネル面の移動度ＭＢ（任意単位）を示す。破線はグラフを見やすくするために補助的に付してある。このグラフから、チャネル移動度ＭＢを大きくするには、チャネル方向ＣＤ（図５）が有する角度Ｄ２は、０°以上６０°以下であることが好ましく、ほぼ０°であることがより好ましいことがわかった。

[0066] 図１２に示すように、側部ＳＷは複合面ＳＲに加えてさらに面Ｓ３（第３の面）を含んでもよい。より具体的には、面Ｓ３および複合面ＳＲが周期的に繰り返されることによって構成された複合面ＳＱを側部ＳＷが含んでもよい。この場合、側部ＳＷの｛０００－１｝面に対するオフ角は、理想的な複合面ＳＲのオフ角である６２°からずれる。このずれは小さいことが好ましく、±１０°の範囲内であることが好ましい。このような角度範囲に含まれる表面としては、たとえば、巨視的な面方位が{０－３３－８}面となる表面がある。より好ましくは、側部ＳＷの（０００－１）面に対するオフ角は、

理想的な複合面ＳＲのオフ角である６２°からずれる。このずれは小さいことが好ましく、±１０°の範囲内であることが好ましい。このような角度範囲に含まれる表面としては、たとえば、巨視的な面方位が（０－３３－８）面となる表面がある。

[0067] このような周期的構造は、たとえば、ＴＥＭまたはＡＦＭにより観察し得る。測定装置、試料分析領域および測定条件の具体例は、上述の通りである。

[0068] 次に、本実施の形態に係るＭＯＳＦＥＴ１の製造方法について説明する。

まず、炭化珪素基板を準備する工程（Ｓ１０：図１３）が実施される。図１４に示されるように、炭化珪素基板を準備する工程は、第１ドリフト領域をエピタキシャル成長する工程（Ｓ１１：図１４）と、第２ドリフト領域をエピタキシャル成長する工程（Ｓ１２：図１４）と、イオン注入工程（Ｓ１３：図１４）とを主に有している。第１ドリフト領域をエピタキシャル成長する工程（Ｓ１１：図１４）は、たとえば炭素および珪素を含むガスを用いて行われる。具体的には、たとえば原料ガスとしてシラン（SiH_4）とプロパン（C_3H_8）との混合ガスを用い、キャリアガスとしてたとえば水素ガス（H_2）を用いたＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法により、炭化珪素単結晶基板１１上に第１ドリフト領域１２ａが形成される。エピタキシャル成長の際、不純物として、たとえば窒素（Ｎ）またはリン（Ｐ）などが導入される。

[0069] 次に、第２ドリフト領域をエピタキシャル成長する工程（Ｓ１２：図１４）が実施される。第２ドリフト領域をエピタキシャル成長する工程は、たとえば炭素および珪素を含むガスを用いて行われる。具体的には、たとえば原料ガスとしてシラン（SiH_4）とプロパン（C_3H_8）との混合ガスを用い、キャリアガスとしてたとえば水素ガス（H_2）を用いたＣＶＤ法により、第１ドリフト領域１２ａ上に第２ドリフト領域１２ｂが形成される（図１５参照）。エピタキシャル成長の際、不純物として、たとえば窒素（Ｎ）またはリン（Ｐ）などが導入される。

[0070] 図１６に示されるように、第２ドリフト領域１２ｂが含むｎ型不純物の濃度が、第１ドリフト領域１２ａが含むｎ型不純物の濃度よりも高くなるように、第１ドリフト領域１２ａおよび第２ドリフト領域１２ｂが、エピタキシャル成長により形成される。好ましくは、第２ドリフト領域を形成する工程における珪素の原子数を炭素の原子数で除した値は、第１ドリフト領域を形成する工程における珪素の原子数を炭素の原子数で除した値よりも大きい。つまり、第２ドリフト領域を形成する工程における雰囲気ガスのＳｉ／Ｃ比は、第１ドリフト領域を形成する工程における雰囲気ガスのＳｉ／Ｃ比よりも大きい。

[0071] 図１６に示されるように、第２主面１０ｂに対して垂直な方向において、第１ドリフト領域１２ａが含むｎ型不純物の濃度Ｃ１と、第２ドリフト領域１２ｂが含むｎ型不純物の濃度Ｃ２は、ほぼ一定である。好ましくは、第２ドリフト領域１２ｂのｎ型不純物の濃度Ｃ２を第１ドリフト領域１２ａのｎ型不純物の濃度Ｃ１で除した値は、５以上１０以下である。

[0072] 次に、イオン注入工程（Ｓ１３：図１４）が実施される。具体的には、第２ドリフト領域１２ｂおよび第１ドリフト領域１２ａに対して、たとえばアルミニウムなどのｐ型不純物がイオン注入される。図１７に示されるように、第１ドリフト領域１２ａと第２ドリフト領域１２ｂとの境界の位置ａ１におけるｐ型不純物の濃度が第１ドリフト領域１２ａのｎ型不純物の濃度Ｃ１よりも低くなり、かつ第２ドリフト領域１２ｂ内（位置０から位置ａ１までの間の領域）におけるｐ型不純物の濃度の最大値Ｃ８（極大値Ｃ８）が第２ドリフト領域１２ｂのｎ型不純物の濃度Ｃ２よりも高くなるように、第１ドリフト領域１２ａおよび第２ドリフト領域１２ｂの双方にｐ型不純物が導入される。これにより、第２ドリフト領域１２ｂと接するボディ領域１３が形成される（図１８参照）。ボディ領域１３は、第１主面１０ａを構成する。なお、図１７において、一点鎖線で示されるプロファイルは、図１６に示すプロファイルと同じである。

[0073] 図１９は、図１８の矢印Ｘに沿った方向における｜N_d－N_a｜のプロファ

イルを概略的に示す図である。位置０は、ボディ領域１３により構成される第１主面１０ａの部分の位置である。位置ｅは、炭化珪素単結晶基板１１と炭化珪素エピタキシャル層２４との境界面１１ａの位置である。位置０から位置ａ２までの領域はｐ型を有するボディ領域１３である。位置ａ２から位置ａ１までの領域はｎ型を有する第２ドリフト領域１２ｂである。位置ａ１から位置ｅまでの領域はｎ型を有する第１ドリフト領域１２ａである。

[0074] ボディ領域１３と第２ドリフト領域１２ｂと第１ドリフト領域１２ａとにより構成される領域において、位置ｘとｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙとの関係を示すプロファイルは、第１極小値Ｃ３と、第１極小値Ｃ３よりも第１主面１０ａ側に位置する第２極小値Ｃ４とを有する。ｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙが第１極小値Ｃ３を示す位置ａ１は、第１ドリフト領域１２ａと第２ドリフト領域１２ｂとの境界である。ｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙが第２極小値Ｃ４を示す位置ａ２は、ボディ領域１３と第２ドリフト領域１２ｂとの境界である。ボディ領域１３におけるｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙの最大値Ｃ５は、第２ドリフト領域１２ｂにおけるｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙの最大値Ｃ２よりも大きくなる。第２ドリフト領域１２ｂにおけるｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙの最大値Ｃ２は、第１ドリフト領域１２ａにおけるｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙの最大値Ｃ１よりも大きい。位置０におけるｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙの値Ｃ９は、ボディ領域１３におけるｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値ｙの最大値Ｃ５よりも小さくてもよい。

[0075] 次に、ボディ領域１３に対して、たとえばリンなどのｎ型不純物がイオン注入される。図２０に示されるように、ボディ領域１３内におけるｎ型不純物の濃度の最大値Ｃ１０がボディ領域１３のｐ型不純物の濃度の最大値Ｃ５よりも高くなるように、ボディ領域１３に対してｐ型不純物が導入される。これにより、ボディ領域１３と接するソース領域１４が形成される（図２１

参照）。ソース領域１４は、第１主面１０ａを構成する。なお、図２０において、一点鎖線で示されるプロファイルは、図１９に示すプロファイルと同じである。

[0076] 次に、ソース領域１４に対して、たとえばアルミニウムなどのｐ型不純物がイオン注入されることにより、コンタクト領域１８が形成される。コンタクト領域１８は、ソース領域１４を貫通し、ボディ領域１３に接するように形成される。次に、炭化珪素基板１０にイオン注入された不純物を活性化するため活性化アニールが実施される。活性化アニールの温度は、好ましくは１５００℃以上１９００℃以下であり、たとえば１７００℃程度である。活性化アニールの時間は、たとえば３０分程度である。活性化アニールの雰囲気は、好ましくは不活性ガス雰囲気であり、たとえばＡｒ雰囲気である。

[0077] 以上により、第１主面１０ａと、第１主面１０ａと反対側の第２主面１０ｂとを有する炭化珪素基板が準備される。炭化珪素基板１０は、ｎ型を有するドリフト領域１２と、ドリフト領域１２上に設けられ、ｎ型と異なるｐ型を有するボディ領域１３と、ドリフト領域１２から隔てられるようにボディ領域１３上に設けられ、第１主面１０ａを構成し、かつｎ型を有するソース領域１４とを含む。ドリフト領域１２は、第１ドリフト領域１２ａと、第１ドリフト領域１２ａとボディ領域１３とに挟まれた第２ドリフト領域１２ｂとを有する。第２ドリフト領域１２ｂにおけるｎ型不純物の濃度の最大値は、第１ドリフト領域１２ａにおけるｎ型不純物の濃度の最大値よりも大きい。第１主面１０ａは、炭素面側であり、第２主面１０ｂは、珪素面側であってもよい。第１主面１０ａは、たとえば（０００－１）面または（０００－１）面から２°以上８°以下オフした面である。

[0078] 次に、トレンチを形成する工程（Ｓ２０：図１３）が実施される。たとえば、ソース領域１４およびコンタクト領域１８から構成される第１主面１０ａ上に、トレンチＴＲ（図１）が形成される位置上に開口を有するマスク層３が形成される。当該マスク層３を用いて、ソース領域１４と、ボディ領域１３と、ドリフト領域１２の一部とがエッチングにより除去される。エッチ

ングの方法としては、たとえば反応性イオンエッチング、特に誘導結合プラズマ反応性イオンエッチングを用いることができる。具体的には、たとえば反応ガスとしてSF_6またはSF_6とO_2との混合ガスを用いた誘導結合プラズマ反応性イオンエッチングを用いることができる。エッチングにより、トレンチＴＲ（図１）が形成されるべき領域に、第１主面１０ａに対してほぼ垂直な側部と、側部と連続的に設けられ、かつ第１主面１０ａとほぼ平行な底部とを有する凹部が形成される。

[0079] 次に、凹部において熱エッチングが行われる。熱エッチングは、第１主面１０ａ上にマスク層３が形成された状態で、たとえば、少なくとも１種類以上のハロゲン原子を有する反応性ガスを含む雰囲気中での加熱によって行い得る。少なくとも１種類以上のハロゲン原子は、塩素（Ｃｌ）原子およびフッ素（Ｆ）原子の少なくともいずれかを含む。当該雰囲気は、たとえば、Cl_2、BCL_3、SF_6、またはCF_4を含む。たとえば、塩素ガスと酸素ガスとの混合ガスを反応ガスとして用い、熱処理温度を、たとえば７００℃以上１０００℃以下として、熱エッチングが行われる。なお、反応ガスは、上述した塩素ガスと酸素ガスとに加えて、キャリアガスを含んでいてもよい。キャリアガスとしては、たとえば窒素（N_2）ガス、アルゴンガス、ヘリウムガスなどを用いることができる。熱エッチングの際に、マスク層は、ＳｉＣに対する選択比が極めて大きいので、ＳｉＣのエッチング中に実質的にエッチングされない。

[0080] 図２２に示されるように、上記熱エッチングにより、炭化珪素基板１０の第１主面１０ａにトレンチＴＲが形成される。トレンチＴＲは、第２ドリフト領域１２ｂと、ボディ領域１３と、ソース領域１４とを貫通し、かつ第１ドリフト領域１２ａに至る側部ＳＷと、側部ＳＷと連続して設けられた底部ＢＴとにより規定される。底部ＢＴと側部ＳＷとにより形成される角度θは、たとえば１１０°以上１３０°以下である。好ましくは、側部ＳＷは、上述した特殊面を含む。

[0081] 次に、ゲート絶縁膜を形成する工程（Ｓ３０：図１３）が実施される。ゲ

ート絶縁膜を形成する工程（Ｓ３０：図２３）は、たとえば、珪素層を形成する工程（Ｓ３１：図２３）と、マスク層を形成する工程（Ｓ３２：図２３）と、珪素層の一部を除去する工程（Ｓ３３：図２３）と、マスク層を除去する工程（Ｓ３４：図２３）と、炭化珪素基板を熱酸化する工程（Ｓ３５：図２３）とを主に含んでいる。

[0082] 珪素層を形成する工程（Ｓ３１：図２３）においては、トレンチＴＲの側部ＳＷおよび底部ＢＴに接し、かつ第１主面１０ａに接する珪素層４が形成される（図２４参照）。珪素層４は、トレンチＴＲを完全には埋めない。珪素層４の厚みは、トレンチＴＲの深さＨ１（図１参照）よりも小さい。珪素層４は、第１主面１０ａにおいてソース領域１４およびコンタクト領域１８に接する。珪素層４は、側部ＳＷにおいて、ソース領域１４とボディ領域１３と第２ドリフト領域１２ｂと第１ドリフト領域１２ａとに接する。珪素層４は、底部ＢＴにおいて、第１ドリフト領域１２ａに接する。

[0083] 次に、マスク層を形成する工程（Ｓ３２：図２３）が実施される。図２５に示されるように、珪素層４は、側部ＳＷに対面する第１珪素層部４ａと、底部ＢＴに対面する第２珪素層部４ｂとを有する。底部ＢＴに対面する珪素層４の第２珪素層部４ｂ上にマスク層５が形成される。マスク層５は、たとえばレジストである。マスク層５は、第１珪素層部４ａの一部を覆っていてもよい。第１珪素層部４ａの少なくとも一部は、マスク層５から露出している。

[0084] 次に、珪素層の一部を除去する工程（Ｓ３３：図２３）が実施される。マスク層５を用いて、珪素層４がたとえばエッチングなどにより除去される。これにより、珪素層４の一部が除去される。具体的には、第２珪素層部４ｂが底部ＢＴ上に残されつつ、第１珪素層部４ａが側部ＳＷ上から除去される。第１主面１０ａ上の珪素層４の部分も除去される。

[0085] 次に、マスク層を除去する工程（Ｓ３４：図２３）が実施される。たとえばドライエッチングまたはウェットエッチングなどの任意の方法により、マスク層５が第２珪素層部４ｂ上から除去される。第２珪素層部４ｂは、底部

ＢＴにおいて第１ドリフト領域１２ａに接した状態で残される（図２６参照）。

[0086] 次に、炭化珪素基板を熱酸化する工程（Ｓ３５：図２３）が実施される。マスク層５を除去する工程後、底部ＢＴ上に第２珪素層部４ｂが残された状態で、炭化珪素基板１０が熱酸化される。第２珪素層部４ｂは、熱酸化により二酸化珪素になる。たとえば、炭化珪素基板１０が、酸素を含む雰囲気中において、たとえば１３００℃以上１４００℃以下の温度で加熱される。これにより、底部ＢＴにおいて第１ドリフト領域１２ａと接し、かつ側部ＳＷにおいて第２ドリフト領域１２ｂと、ボディ領域１３と、ソース領域１４とに接するゲート絶縁膜１５が形成される。ゲート絶縁膜１５は、底部ＢＴに接する第３主面１５ｂ１と、第３主面１５ｂ１と反対側の第４主面１５ｂ２とを有する。

[0087] ゲート絶縁膜１５は、側部ＳＷにおいてボディ領域１３に接する第１部分１５ａと、底部ＢＴにおいて第１ドリフト領域１２ａに接する第２部分１５ｂとを含んでいる。底部ＢＴに対して垂直な方向における第２部分１５ｂの厚みは、側部ＳＷに対して垂直な方向における第１部分１５ａの厚みよりも大きくてもよい。第２部分１５ｂの厚みを第１部分１５ａの厚みで除した値は、たとえば１．５以上８以下である。

[0088] 再び図３を参照して、ボディ領域１３と第２ドリフト領域１２ｂと第１ドリフト領域１２ａとにより構成される領域において、第２主面１０ｂに対して垂直な方向の位置をｘとし、ｎ型不純物の濃度とｐ型不純物の濃度との差の絶対値をｙとしたとき、ｘとｙとの関係を示すプロファイルは、第１極小値Ｃ３と、第１極小値Ｃ３よりも第１主面１０ａ側に位置する第２極小値Ｃ４とを有する。第２主面１０ｂに対して垂直な方向において、第１極小値Ｃ３を示す位置ａ１は、第３主面１５ｂ１の位置ｂ１と第４主面１５ｂ２の位置ｂ２との間にある。第２主面１０ｂに対して垂直な方向において、第２極小値Ｃ４を示す位置ａ２は、第１主面１０ａの位置０と第４主面１５ｂ２の位置ｂ２との間にある。

[0089] 炭化珪素基板１０を熱酸化した後に、一酸化窒素（ＮＯ）ガス雰囲気中において炭化珪素基板１０に対して熱処理（ＮＯアニール）が行われてもよい。ＮＯアニールにおいて、炭化珪素基板１０が、たとえば１１００℃以上１３００℃以下の条件下で１時間程度保持される。これにより、ゲート絶縁膜１５とボディ領域１３との界面領域に窒素原子が導入される。その結果、界面領域における界面準位の形成が抑制されることで、チャネル移動度を向上させることができる。なお、窒素原子の導入が可能であれば、ＮＯガス以外のガス（たとえばN_2O）が雰囲気ガスとして用いられてもよい。ＮＯアニールの後にさらに、雰囲気ガスとしてアルゴン（Ａｒ）を用いるＡｒアニールが行われてもよい。Ａｒアニールの加熱温度は、たとえば上記ＮＯアニールの加熱温度以上である。Ａｒアニールの時間は、たとえば１時間程度である。これにより、ゲート絶縁膜１５とボディ領域１３との界面領域における界面準位の形成がさらに抑制される。

[0090] 次に、ゲート電極を形成する工程が実施される。たとえば、トレンチＴＲの内部においてゲート絶縁膜１５に接するゲート電極２７が形成される。ゲート電極２７は、トレンチＴＲの内部に配置され、ゲート絶縁膜１５上においてトレンチＴＲの側部ＳＷおよび底部ＢＴの各々と対面するように形成される。ゲート電極２７は、たとえばＬＰＣＶＤ（Ｌｏｗ Ｐｒｅｓｓｕｒｅ Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法により形成される。

[0091] 次に、層間絶縁膜を形成する工程が形成される。たとえば、ゲート電極２７を覆い、かつゲート絶縁膜１５と接するように層間絶縁膜２２が形成される。好ましくは、層間絶縁膜２２は、堆積法により形成され、より好ましくは化学気相成長法により形成される。層間絶縁膜２２は、たとえば二酸化珪素を含む材料からなる。次に、ソース領域１４およびコンタクト領域１８上に開口部が形成されるように、層間絶縁膜２２およびゲート絶縁膜１５の一部がエッチングされる。これにより、コンタクト領域１８およびソース領域１４がゲート絶縁膜１５から露出する（図２８参照）。

[0092] 次に、ソース電極を形成する工程が実施される。次に、第１主面１０ａにおいてソース領域１４およびコンタクト領域１８に接するソース電極１６が形成される。ソース電極１６は、たとえばスパッタリング法により形成される。ソース電極１６は、たとえばＴｉ、ＡｌおよびＳｉを含む材料からなる。次に、合金化アニールが実施される。具体的には、ソース領域１４およびコンタクト領域１８と接するソース電極１６が、たとえば９００℃以上１１００℃以下の温度で５分程度保持される。これにより、ソース電極１６の少なくとも一部が、炭化珪素基板１０が含む珪素と反応してシリサイド化する。これにより、ソース領域１４とオーミック接合するソース電極１６が形成される。好ましくは、ソース電極１６は、コンタクト領域１８とオーミック接合する。

[0093] 次に、ソース電極１６と電気的に接続されるソース配線１９が形成される。ソース配線１９は、ソース電極１６および層間絶縁膜２２上に形成される。次に、炭化珪素基板１０の第２主面１０ｂと接するようにドレイン電極２０が形成される。以上により、本実施の形態に係るＭＯＳＦＥＴ１（図１）が完成する。

[0094] 次に、ゲート絶縁膜を形成する工程の変形例について説明する。

図２９に示されるように、第１主面１０ａにトレンチＴＲが形成された後、トレンチＴＲを完全に埋めるように、珪素層４が第１主面１０ａ上に形成されてもよい。底部ＢＴ上の珪素層４の部分の厚みは、トレンチＴＲの深さＨ１（図１参照）よりも大きい。珪素層４は、第１主面１０ａにおいてソース領域１４およびコンタクト領域１８に接する。珪素層４は、側部ＳＷにおいて、ソース領域１４とボディ領域１３と第２ドリフト領域１２ｂと第１ドリフト領域１２ａとに接する。珪素層４は、底部ＢＴにおいて、第１ドリフト領域１２ａに接する。

[0095] 次に、第１主面１０ａの全面に対して、たとえばドライエッチングが行われることにより、珪素層４の大部分が除去される。具体的には、珪素層４の一部４ｂが底部ＢＴ上に残されつつ、側部ＳＷおよび第１主面１０ａ上から

珪素層４の部分が除去される（図３０参照）。次に、底部ＢＴ上に珪素層４の一部４ｂが残された状態で、炭化珪素基板１０が熱酸化される。これにより、底部ＢＴにおいて第１ドリフト領域１２ａと接し、かつ側部ＳＷにおいて第２ドリフト領域１２ｂと、ボディ領域１３と、ソース領域１４とに接するゲート絶縁膜１５が形成されてもよい（図２７参照）。

[0096] なお、上記実施の形態においては、炭化珪素半導体装置は、ＭＯＳＦＥＴの場合について説明したが、炭化珪素半導体装置は、ＭＯＳＦＥＴに限定されない。炭化珪素半導体装置は、たとえばＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｔｏｒ）等であってもよい。また上記実施の形態では、ｎ型を第１導電型とし、かつｐ型を第２導電型して説明したが、ｐ型を第１導電型とし、かつｎ型を第２導電型としてもよい。

[0097] 次に、実施の形態に係るＭＯＳＦＥＴの作用効果について説明する。

実施の形態に係るＭＯＳＦＥＴ１によれば、第２主面１０ｂに対して垂直な方向において、第２極小値Ｃ４を示す位置ａ２は、第１主面１０ａの位置０と第４主面１５ｂ２の位置ｂ２との間にある。第２極小値Ｃ４を示す位置ａ２は、ボディ領域１３の底部の位置ａ２に対応する。つまり、ボディ領域１３の底部の位置ａ２が、第１主面１０ａの位置０と第４主面１５ｂ２の位置ｂ２との間にある。そのため、ボディ領域１３内におけるチャネル領域上のゲート絶縁膜１５の厚みが大きくなることを抑制することができる。従って、ボディ領域１３の底部の位置ａ２が、第３主面１５ｂ１の位置ｂ１と第４主面１５ｂ２の位置ｂ２との間にある場合と比較して、ＭＯＳＦＥＴ１のオン抵抗を低減することができる。

[0098] また実施の形態に係るＭＯＳＦＥＴ１によれば、第２主面１０ｂに対して垂直な方向において、第１極小値Ｃ３を示す位置ａ１は、第３主面１５ｂ１の位置ｂ１と第４主面１５ｂ２の位置ｂ２との間にある。そのため、トレンチＴＲの底部ＢＴ近傍における第１ドリフト領域１２ａの部分におけるｎ型不純物の濃度を低減することができる。結果として、電界緩和領域１７からの空乏層の伸長幅を大きくすることができるので、トレンチＴＲの角部に電

界が集中することを抑制することができる。

[0099] さらに実施の形態に係るＭＯＳＦＥＴ１によれば、ゲート絶縁膜１５は、側部ＳＷにおいて第２不純物領域１３に接する第１部分１５ａと、底部ＢＴにおいて第１ドリフト領域１２ａに接する第２部分１５ｂとを含んでいる。底部ＢＴに対して垂直な方向における第２部分１５ｂの厚みt_bは、側部ＳＷに対して垂直な方向における第１部分１５ａの厚みt_sよりも大きい。第１部分１５ａの厚みt_sが小さいことにより、チャネルが反転しやすくなるため、ＭＯＳＦＥＴ１のオン抵抗を低減することができる。第２部分１５ｂの厚みt_bが大きいことにより、底部ＢＴ上のゲート絶縁膜１５が破壊されることを抑制することができる。

[0100] さらに実施の形態に係るＭＯＳＦＥＴ１によれば、第２部分１５ｂの厚みt_bを第１部分１５ａの厚みt_sで除した値は、１．５以上８以下である。第２部分１５ｂの厚みt_bを第１部分１５ａの厚みt_sで除した値を１．５以上とすることにより、トレンチ底のゲート絶縁膜にかかる電界を緩和することができる。第２部分１５ｂの厚みt_bを第１部分１５ａの厚みt_sで除した値を８以下とすることにより、ボディ領域１３に第２部分１５ｂを干渉させることなくオン抵抗を低く維持することができる。

[0101] さらに実施の形態に係るＭＯＳＦＥＴ１によれば、第２主面１０ｂに対して垂直な方向における第１主面１０ａと底部ＢＴとの間の距離Ｈ１は、１μｍ以上１．５μｍ以下である。距離Ｈ１を１μｍ以上とすることにより、トレンチ底がボディ領域１３の外部に位置することでオン抵抗の増加を抑制することができる。距離Ｈ１を１．５μｍ以下とすることにより、トレンチ底角部のゲート絶縁膜にかかる電界を緩和することができる。

[0102] さらに実施の形態に係るＭＯＳＦＥＴ１によれば、第２主面１０ｂに対して垂直な方向におけるボディ領域１３の厚みＨ２は、０．４μｍ以上０．８μｍ以下であってもよい。厚みＨ２を０．４μｍ以上とすることにより、ゲート閾値電圧を高くし、ドレイン耐圧を高く維持することができる。厚みＨ２を０．８μｍ以下とすることにより、ボディ領域１３に第２部分１５ｂを

干渉させることなくオン抵抗を低く維持することができる。

[0103] さらに実施の形態に係るＭＯＳＦＥＴ１によれば、第２ドリフト領域１２ｂのｎ型不純物の濃度の最大値を第１ドリフト領域１２ａのｎ型不純物の濃度の最大値で除した値は、５以上１０以下であってもよい。第２ドリフト領域１２ｂの第１導電型不純物の濃度の最大値を第１ドリフト領域１２ａの第１導電型不純物の濃度の最大値で除した値を５以上とすることにより、ボディ領域１３から第１ドリフト領域にかけて存在する第２導電型不純物を補償することで、有効チャネル長を制御し、オン抵抗を低くすることができる。第２ドリフト領域１２ｂの第１導電型不純物の濃度の最大値を第１ドリフト領域１２ａの第１導電型不純物の濃度の最大値で除した値を１０以下とすることにより、ボディ領域１３の第２導電型不純物の有効濃度を維持することができ、かつトレンチ底角部に接するゲート絶縁膜にかかる電界を低くすることができる。その結果ドレイン耐圧を維持することができる。

[0104] さらに実施の形態に係るＭＯＳＦＥＴ１によれば、ボディ領域１３のｐ型不純物の濃度の最大値を第２ドリフト領域１２ｂのｎ型不純物の濃度の最大値で除した値は、１０以上１００以下であってもよい。ボディ領域１３のｐ型不純物の濃度の最大値を第２ドリフト領域１２ｂのｎ型不純物の濃度の最大値で除した値を１０以上とすることにより、ゲート閾値電圧を高くし、ドレイン耐圧を高く維持することができる。ボディ領域１３のｐ型不純物の濃度の最大値を第２ドリフト領域１２ｂのｎ型不純物の濃度の最大値で除した値を１００以下とすることにより、ボディ領域１３から第１ドリフト領域にかけて存在するp型不純物を補償することで、有効チャネル長を制御し、オン抵抗を低くすることができる。

[0105] さらに実施の形態に係るＭＯＳＦＥＴ１によれば、側部ＳＷは、面方位｛０－３３－８｝を有する面Ｓ１を含んでいてもよい。これにより、側部ＳＷにおけるチャネル抵抗を低減することができる。

[0106] 実施の形態に係るＭＯＳＦＥＴ１の製造方法によれば、ボディ領域１３は、第１ドリフト領域１２ａよりも高いｎ型不純物濃度を有する第２ドリフト

領域１２ｂに対してｐ型不純物のイオン注入が行われることにより形成される。それゆえ、ｐ型不純物のチャネリングを抑制することができる。結果として、ボディ領域１３の厚みＨ２を小さくすることができるので、チャネル長を短くすることができる。それゆえ、ＭＯＳＦＥＴ１のオン抵抗を低減することができる。

[0107] また実施の形態に係るＭＯＳＦＥＴ１の製造方法によれば、第２主面１０ｂに対して垂直な方向において、第１極小値Ｃ３を示す位置ａ１は、第３主面１５ｂ１の位置ｂ１と第４主面１５ｂ２の位置ｂ２との間にある。そのため、トレンチＴＲの底部ＢＴ近傍における第１ドリフト領域１２ａの部分におけるｎ型不純物の濃度を低減することができる。結果として、電界緩和領域１７からの空乏層の伸長幅を大きくすることができるので、トレンチＴＲの角部に電界が集中することを抑制することができる。

[0108] さらに実施の形態に係るＭＯＳＦＥＴ１の製造方法によれば、ゲート絶縁膜１５を形成する工程は、側部ＳＷおよび底部ＢＴに接する珪素層４を形成する工程と、底部ＢＴに対面する珪素層４の部分上にマスク層５を形成する工程と、マスク層５を用いて珪素層４の一部を除去する工程と、マスク層５を除去する工程と、マスク層５を除去する工程後、底部ＢＴ上に珪素層４の一部が残された状態で、炭化珪素基板１０を熱酸化する工程とを含んでいる。これにより、底部ＢＴ上のゲート絶縁膜１５の部分の厚みが、側部ＳＷ上のゲート絶縁膜１５の厚みよりも大きいゲート絶縁膜１５を、簡易な方法で製造することができる。

[0109] さらに実施の形態に係るＭＯＳＦＥＴ１の製造方法によれば、トレンチＴＲを形成する工程は、熱エッチングにより行われる。これにより、効果的にトレンチＴＲの側部ＳＷを特殊面にすることができる。結果として、側部ＳＷにおけるチャネル抵抗を低減することができる。

[0110] さらに実施の形態に係るＭＯＳＦＥＴ１の製造方法によれば、第１ドリフト領域１２ａを形成する工程および第２ドリフト領域１２ｂを形成する工程は、炭素および珪素を含むガスを用いて行われてもよい。第２ドリフト領域

１２ｂを形成する工程における珪素の原子数を炭素の原子数で除した値は、第１ドリフト領域１２ａを形成する工程における珪素の原子数を炭素の原子数で除した値よりも大きくてもよい。炭素は、珪素よりも窒素を取り込みやすい。そのため、第２ドリフト領域１２ｂを形成する工程において、ｎ型不純物としての窒素を取り込みやすくなる。結果として、効果的に、第２ドリフト領域１２ｂにおけるｎ型不純物の濃度を第１ドリフト領域１２ａにおけるｎ型不純物の濃度よりも高くすることができる。

[0111] さらに実施の形態に係るＭＯＳＦＥＴ１の製造方法によれば、第１主面１０ａは、炭素面側であり、第２主面１０ｂは、珪素面側である。炭素面は、珪素面よりも窒素を取り込みやすい。そのため、効果的に、第１主面１０ａ側に形成される第２ドリフト領域１２ｂのｎ型不純物の濃度を第１ドリフト領域１２ａにおけるｎ型不純物の濃度よりも高くすることができる。またトレンチＴＲの側部ＳＷを特殊面とすることができる。結果として、側部ＳＷにおけるチャネル抵抗を低減することができる。

[0112] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0113] １　炭化珪素半導体装置（ＭＯＳＦＥＴ）、３，５　マスク層、４　珪素層、４ａ　第１珪素層部、４ｂ　第２珪素層部（一部）、１０　炭化珪素基板、１０ａ　第１主面、１０ｂ　第２主面、１１　炭化珪素単結晶基板、１１ａ　境界面、１２　第１不純物領域（ドリフト領域）、１２ａ　第１ドリフト領域、１２ｂ　第２ドリフト領域、１３　第２不純物領域（ボディ領域）、１４　第３不純物領域（ソース領域）、１５　ゲート絶縁膜、１５ａ　第１部分、１５ｂ１　第３主面、１５ｂ２　第４主面、１５ｂ　第２部分、１６　ソース電極、１７　電界緩和領域、１８　コンタクト領域、１９　ソース配線、２０　ドレイン電極、２２　層間絶縁膜、２４　炭化珪素エピタ

キシャル層、２７　ゲート電極、ＢＴ　底部、ＣＤ　チャネル方向、Ｈ１　距離（深さ）、Ｈ２，ｔｂ，ｔｓ　厚み、Ｓ１，Ｓ２，Ｓ３　面、ＳＱ，ＳＲ　複合面、ＳＷ　側部、ＴＲ　トレンチ。

請求の範囲

[請求項1] 第１主面と、前記第１主面と反対側の第２主面とを有する炭化珪素基板を備え、

前記炭化珪素基板は、第１導電型を有する第１不純物領域と、

前記第１不純物領域上に設けられ、前記第１導電型と異なる第２導電型を有する第２不純物領域と、

前記第１不純物領域から隔てられるように前記第２不純物領域上に設けられ、前記第１主面を構成し、かつ前記第１導電型を有する第３不純物領域とを含み、

前記第１不純物領域は、第１ドリフト領域と、前記第１ドリフト領域と前記第２不純物領域とに挟まれた第２ドリフト領域とを有し、

前記第２ドリフト領域における第１導電型不純物の濃度の最大値は、前記第１ドリフト領域における前記第１導電型不純物の濃度の最大値よりも大きく、

前記第１主面には、前記第２ドリフト領域と、前記第２不純物領域と、前記第３不純物領域とを貫通し、かつ前記第１ドリフト領域に至る側部と、前記側部と連続して設けられた底部とにより規定されたトレンチが形成されており、さらに、

前記底部において前記第１ドリフト領域と接し、かつ前記側部において前記第２ドリフト領域と、前記第２不純物領域と、前記第３不純物領域とに接するゲート絶縁膜とを備え、

前記ゲート絶縁膜は、前記底部に接する第３主面と、前記第３主面と反対側の第４主面とを有し、

前記第２不純物領域と前記第２ドリフト領域と前記第１ドリフト領域とにより構成される領域において、前記第２主面に対して垂直な方向の位置をｘとし、前記第１導電型不純物の濃度と第２導電型不純物の濃度との差の絶対値をｙとしたとき、ｘとｙとの関係を示すプロファイルは、第１極小値と、前記第１極小値よりも前記第１主面側に位

置する第２極小値とを有し、

前記第２主面に対して垂直な方向において、前記第１極小値を示す位置は、前記第３主面の位置と前記第４主面の位置との間にあり、

前記第２主面に対して垂直な方向において、前記第２極小値を示す位置は、前記第１主面の位置と前記第４主面の位置との間にある、炭化珪素半導体装置。

[請求項2] 前記ゲート絶縁膜は、前記側部において前記第２不純物領域に接する第１部分と、前記底部において前記第１ドリフト領域に接する第２部分とを含み、

前記底部に対して垂直な方向における前記第２部分の厚みは、前記側部に対して垂直な方向における前記第１部分の厚みよりも大きい、請求項１に記載の炭化珪素半導体装置。

[請求項3] 前記第２部分の厚みを前記第１部分の厚みで除した値は、１．５以上８以下である、請求項２に記載の炭化珪素半導体装置。

[請求項4] 前記第２主面に対して垂直な方向における前記第１主面と前記底部との間の距離は、１μｍ以上１．５μｍ以下である、請求項１～請求項３のいずれか１項に記載の炭化珪素半導体装置。

[請求項5] 前記第２主面に対して垂直な方向における前記第２不純物領域の厚みは、０．４μｍ以上０．８μｍ以下である、請求項１～請求項４のいずれか１項に記載の炭化珪素半導体装置。

[請求項6] 前記第２ドリフト領域の前記第１導電型不純物の濃度の最大値を前記第１ドリフト領域の前記第１導電型不純物の濃度の最大値で除した値は、５以上１０以下である、請求項１～請求項５のいずれか１項に記載の炭化珪素半導体装置。

[請求項7] 前記第２不純物領域の前記第２導電型不純物の濃度の最大値を前記第２ドリフト領域の前記第１導電型不純物の濃度の最大値で除した値は、１０以上１００以下である、請求項１～請求項６のいずれか１項に記載の炭化珪素半導体装置。

[請求項8] 前記側部は、面方位｛０－３３－８｝を有する面を含む、請求項１～請求項７のいずれか１項に記載の炭化珪素半導体装置。

[請求項9] 第１主面と、前記第１主面と反対側の第２主面とを有する炭化珪素基板を準備する工程を備え、

前記炭化珪素基板は、第１導電型を有する第１不純物領域と、

前記第１不純物領域上に設けられ、前記第１導電型と異なる第２導電型を有する第２不純物領域と、

前記第１不純物領域から隔てられるように前記第２不純物領域上に設けられ、前記第１主面を構成し、かつ前記第１導電型を有する第３不純物領域とを含み、

前記第１不純物領域は、第１ドリフト領域と、前記第１ドリフト領域と前記第２不純物領域とに挟まれた第２ドリフト領域とを有し、

前記第２ドリフト領域における第１導電型不純物の濃度の最大値は、前記第１ドリフト領域における前記第１導電型不純物の濃度の最大値よりも大きく、

前記第１ドリフト領域および前記第２ドリフト領域は、エピタキシャル成長により形成され、

前記第２不純物領域は、前記第２ドリフト領域に対してイオン注入が行われることにより形成され、さらに、

前記第１主面に、前記第２ドリフト領域と、前記第２不純物領域と、前記第３不純物領域とを貫通し、かつ前記第１ドリフト領域に至る側部と、前記側部と連続して設けられた底部とにより規定されるトレンチを形成する工程と、

前記底部において前記第１ドリフト領域と接し、かつ前記側部において前記第２ドリフト領域と、前記第２不純物領域と、前記第３不純物領域とに接するゲート絶縁膜を形成する工程とを備え、

前記ゲート絶縁膜は、前記底部に接する第３主面と、前記第３主面と反対側の第４主面とを有し、

前記第２不純物領域と前記第２ドリフト領域と前記第１ドリフト領域とにより構成される領域において、前記第２主面に対して垂直な方向の位置をｘとし、前記第１導電型不純物の濃度と第２導電型不純物の濃度との差の絶対値をｙとしたとき、ｘとｙとの関係を示すプロファイルは、第１極小値と、前記第１極小値よりも前記第１主面側に位置する第２極小値とを有し、

前記第２主面に対して垂直な方向において、前記第１極小値を示す位置は、前記第３主面の位置と前記第４主面の位置との間にあり、

前記第２主面に対して垂直な方向において、前記第２極小値を示す位置は、前記第１主面の位置と前記第４主面の位置との間にある、炭化珪素半導体装置の製造方法。

[請求項10] 前記ゲート絶縁膜を形成する工程は、

前記側部および前記底部に接する珪素層を形成する工程と、

前記底部に対面する前記珪素層の部分上にマスク層を形成する工程と、

前記マスク層を用いて前記珪素層の一部を除去する工程と、

前記マスク層を除去する工程と、

前記マスク層を除去する工程後、前記底部上に前記珪素層の一部が残された状態で、前記炭化珪素基板を熱酸化する工程とを含む、請求項９に記載の炭化珪素半導体装置の製造方法。

[請求項11] 前記トレンチを形成する工程は、熱エッチングにより行われる、請求項９または請求項１０に記載の炭化珪素半導体装置の製造方法。

[請求項12] 前記第１ドリフト領域を形成する工程および前記第２ドリフト領域を形成する工程は、炭素および珪素を含むガスを用いて行われ、

前記第２ドリフト領域を形成する工程における前記珪素の原子数を前記炭素の原子数で除した値は、前記第１ドリフト領域を形成する工程における前記珪素の原子数を前記炭素の原子数で除した値よりも大きい、請求項９～請求項１１のいずれか１項に記載の炭化珪素半導体

装置の製造方法。

[請求項13] 前記第１主面は、炭素面側であり、前記第２主面は、珪素面側である、請求項９～請求項１２のいずれか１項に記載の炭化珪素半導体装置の製造方法。

[図1]

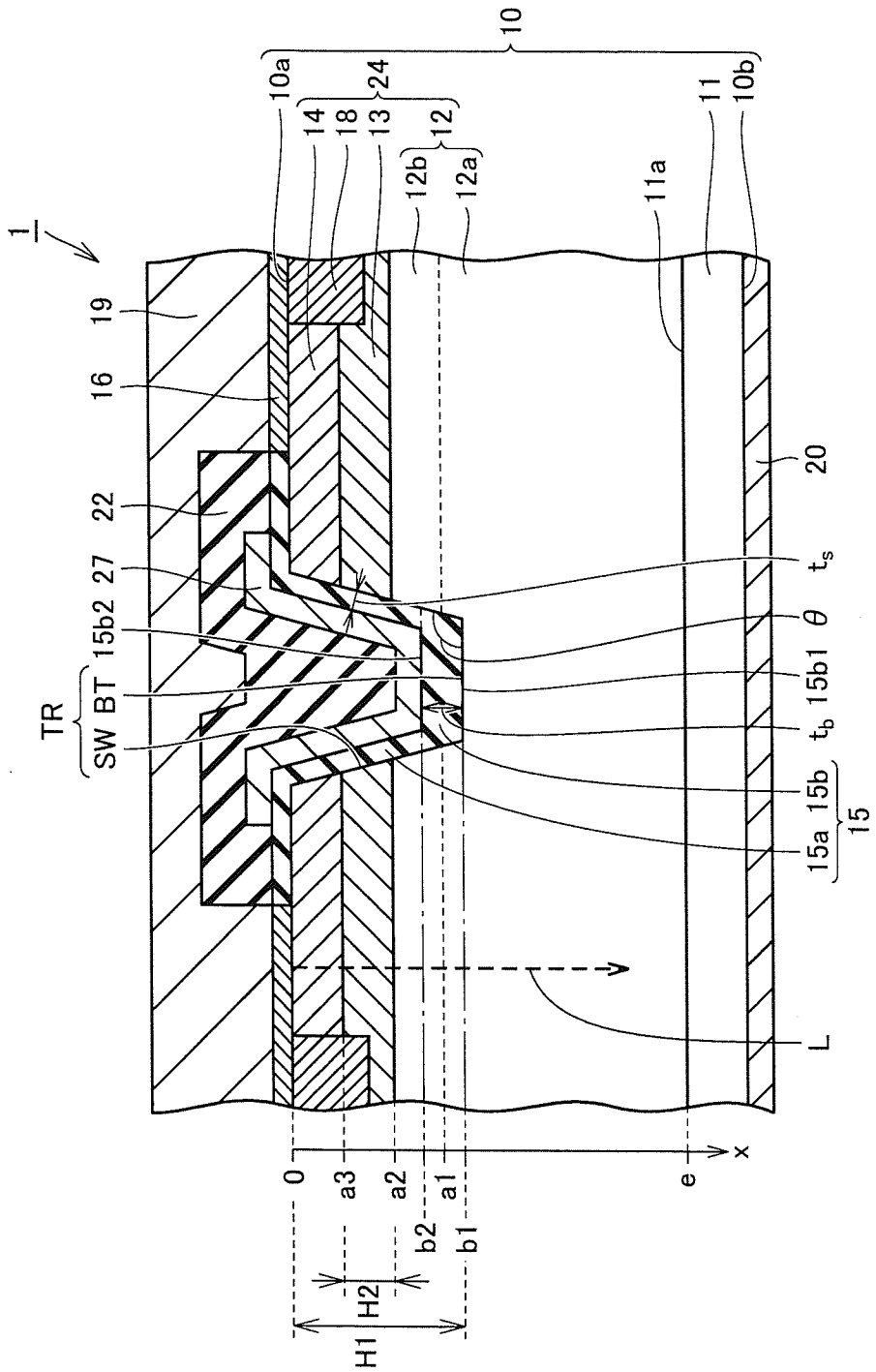
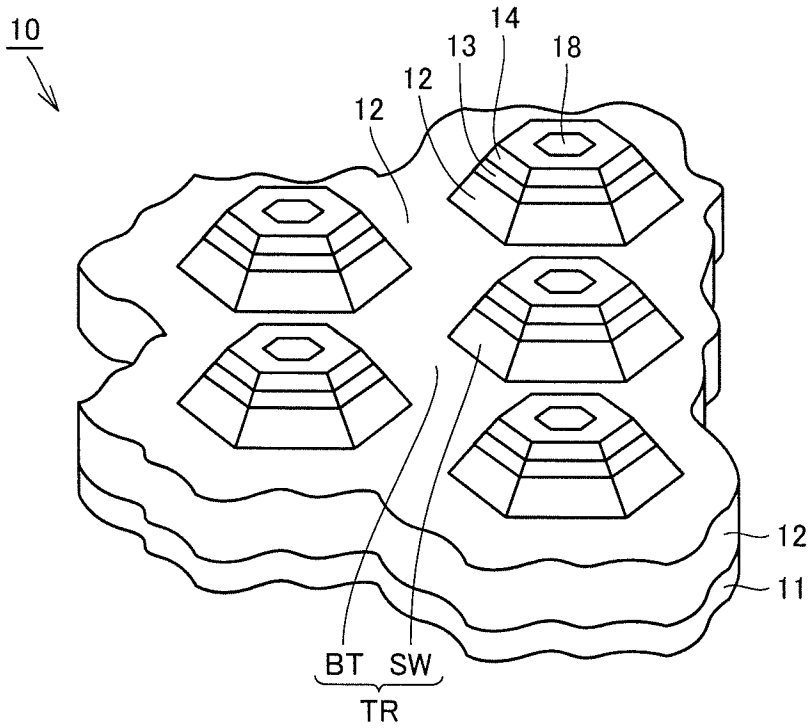

1
10
10a
24
14
18
13
12
12b
12a
11a
11
10b
19
16
22
27
15b2
TR
SW
BT
20
t_s
θ
15b1
t_b
15b
15a
15
L
0
a3
a2
a1
b2
b1
e
x
H2
H1

FIG.1

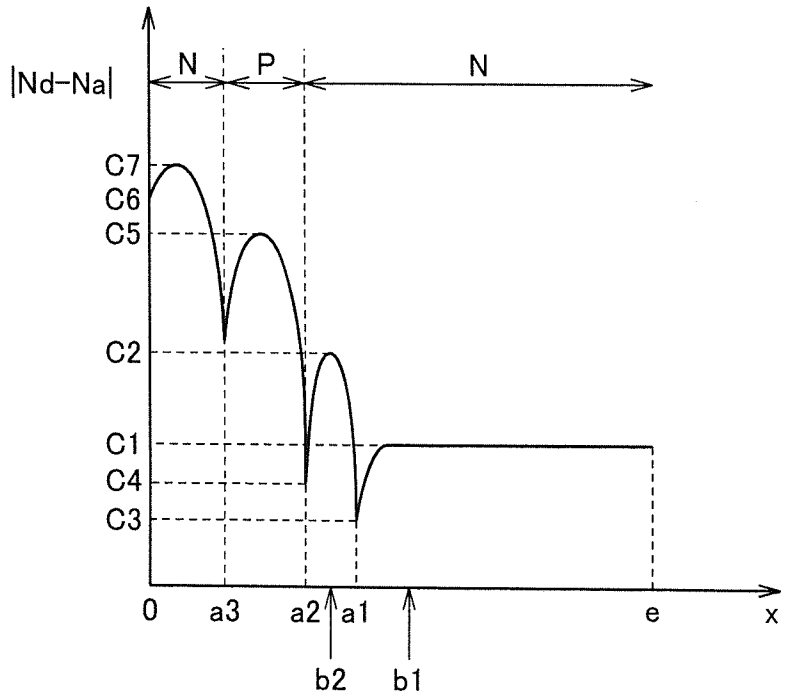
[図2]

FIG.2



[図3]

FIG.3



[図4]

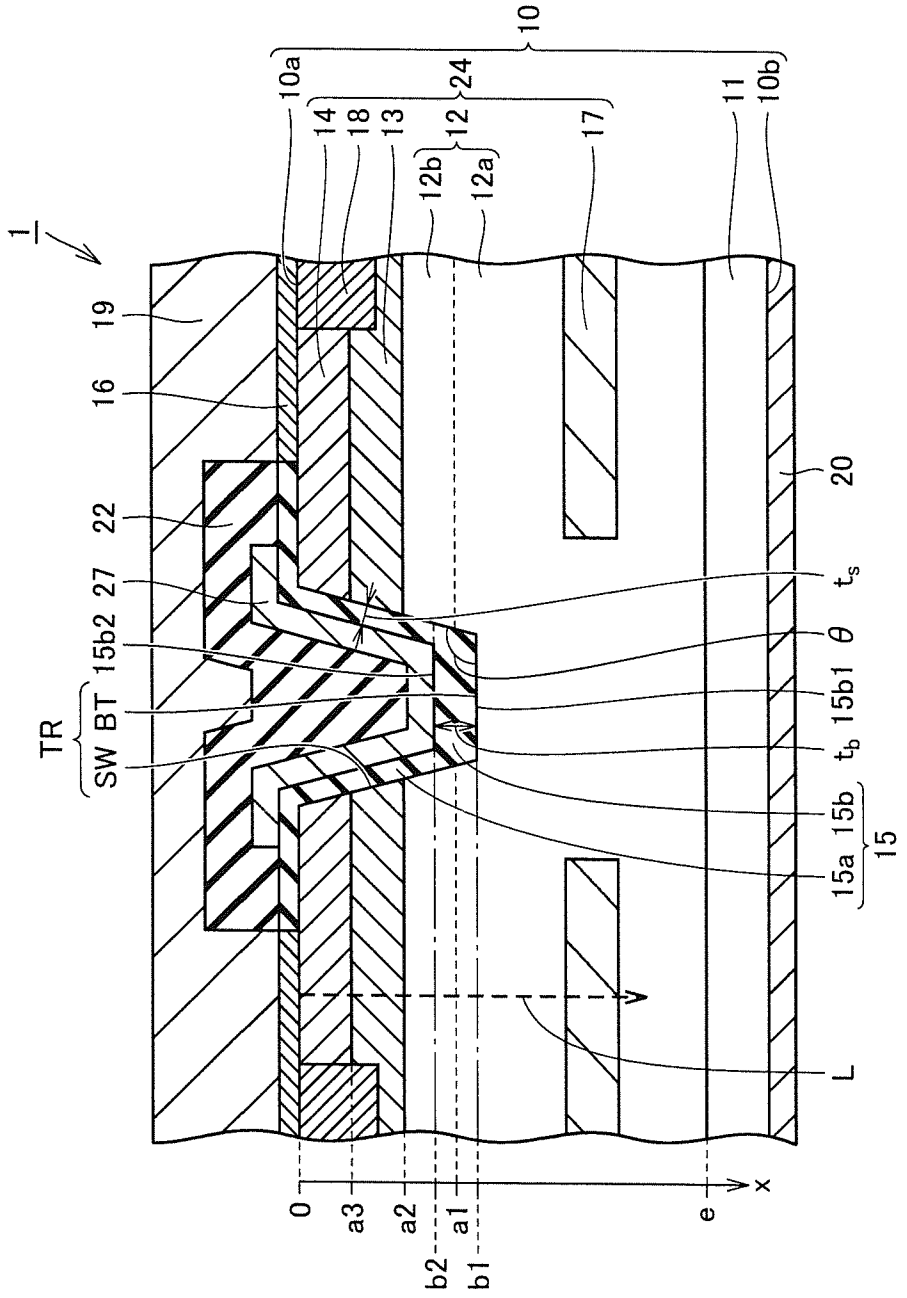
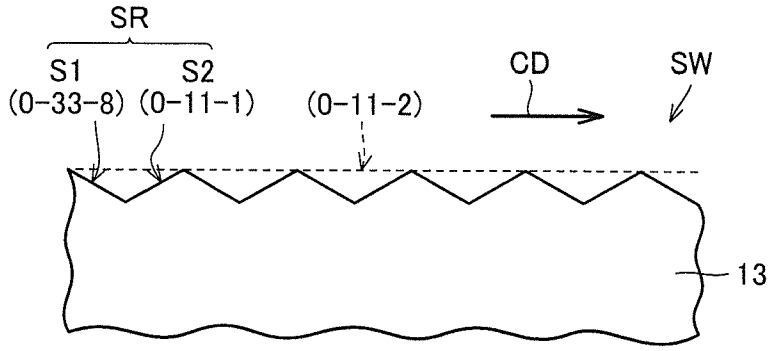

1
10
10a
14
18
13
24
12
12b
12a
17
11
10b
19
16
22
27
15b2
TR
SW
BT
20
t_s
θ
15b1
t_b
15b
15a
15
L
V
x
0
a3
a2
a1
b2
b1
e

FIG.4

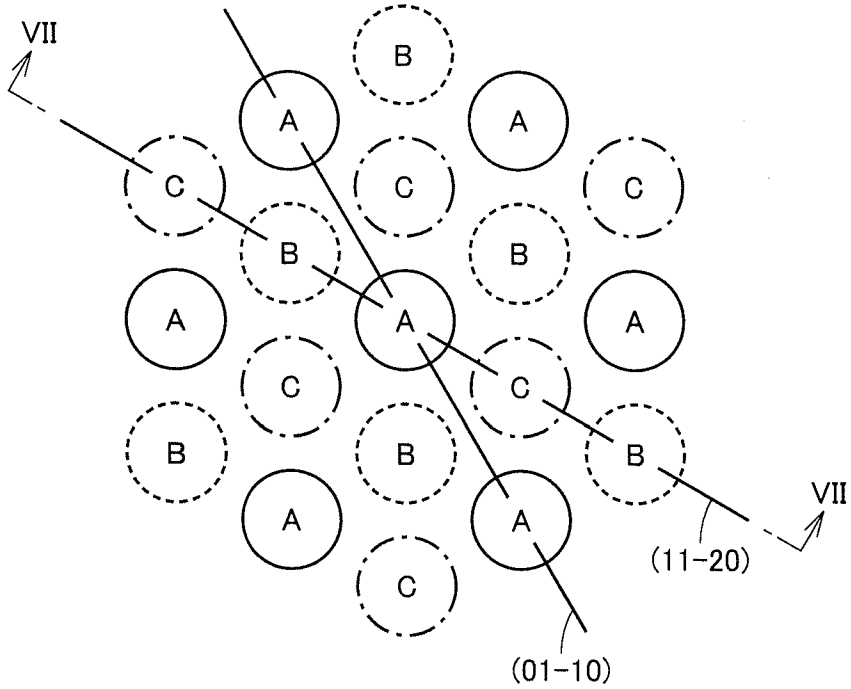
[図5]

FIG.5



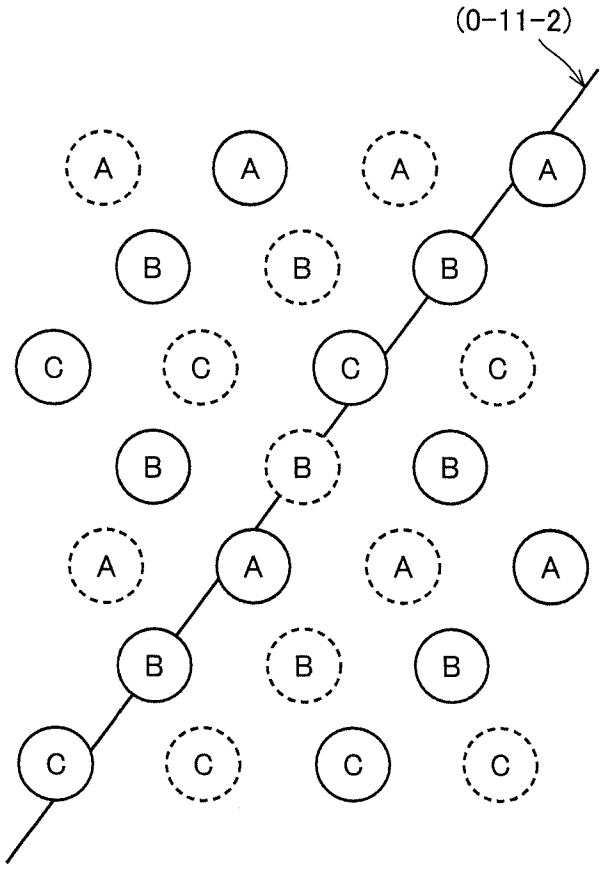
[図6]

FIG.6



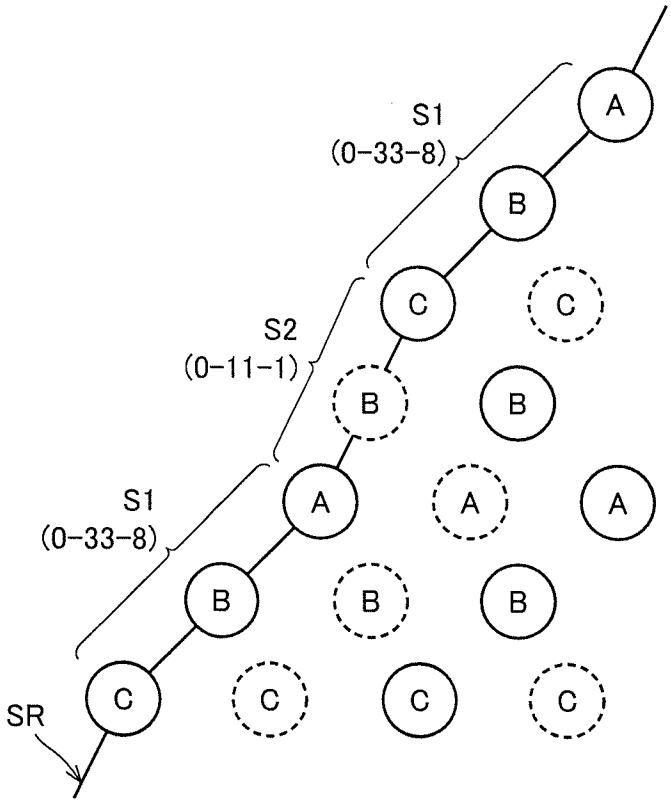
[図7]

FIG.7



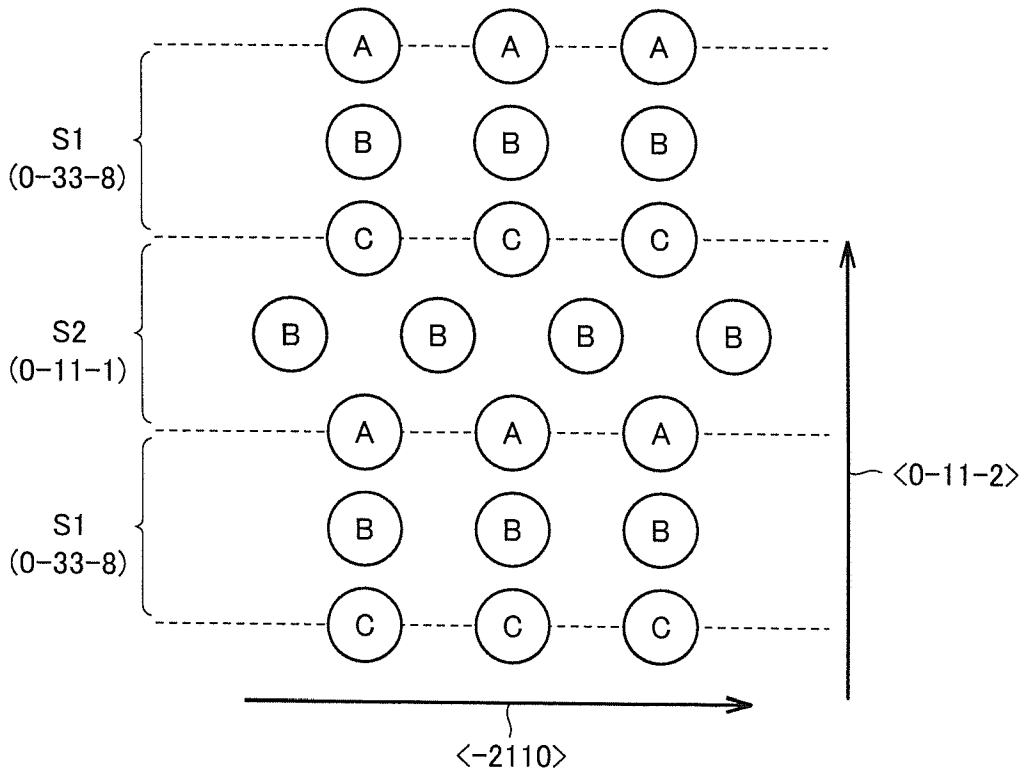
[図8]

FIG.8



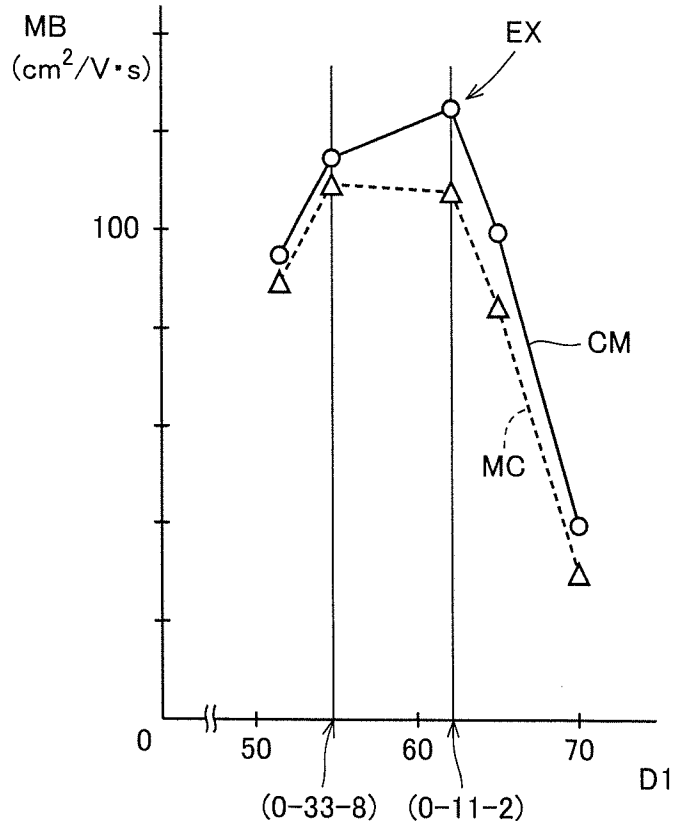
[図9]

FIG.9



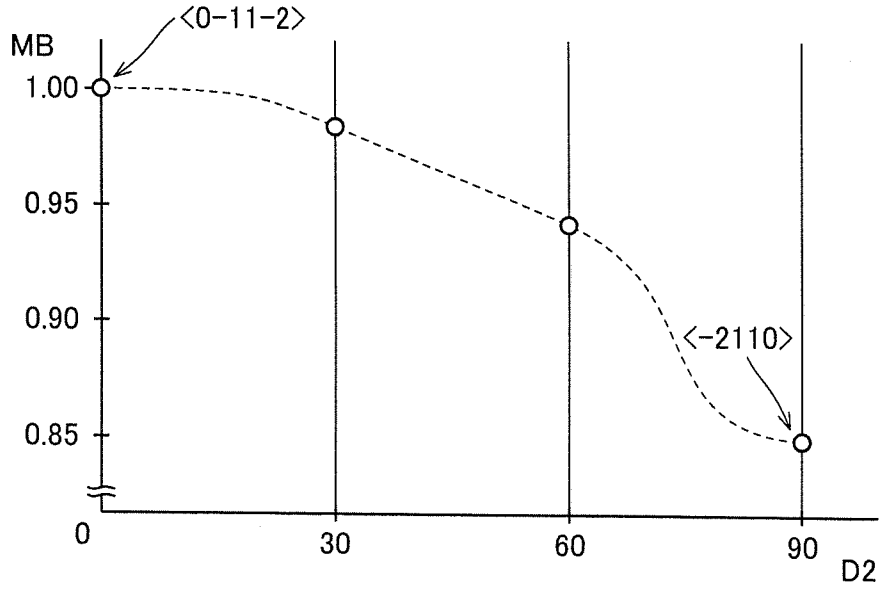
[図10]

FIG.10



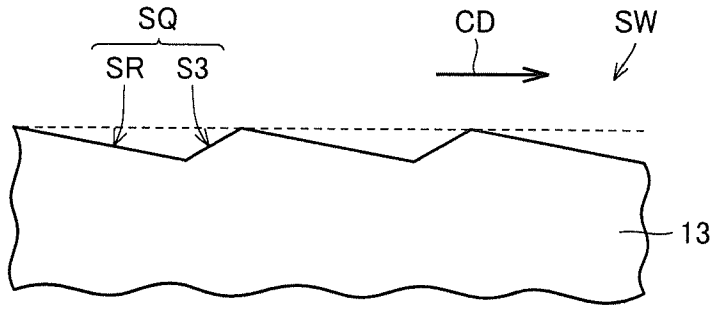
[図11]

FIG.11



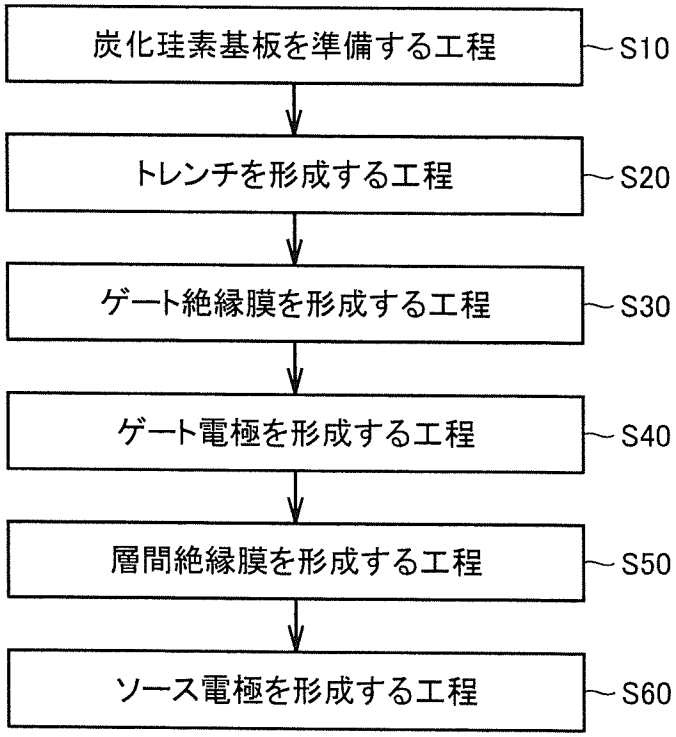
[図12]

FIG.12



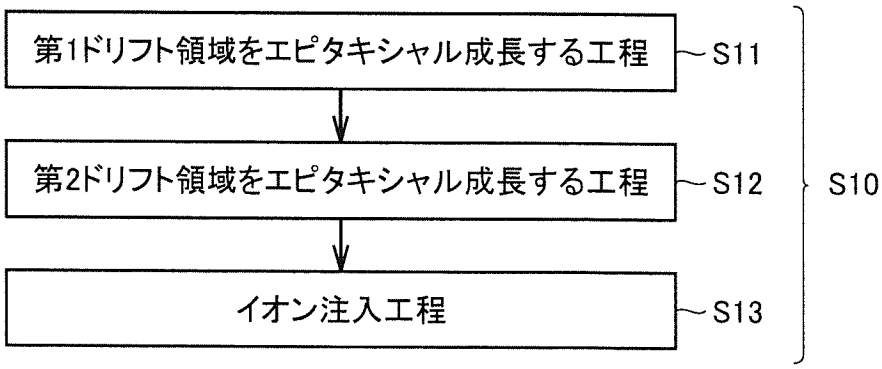
[図13]

FIG.13



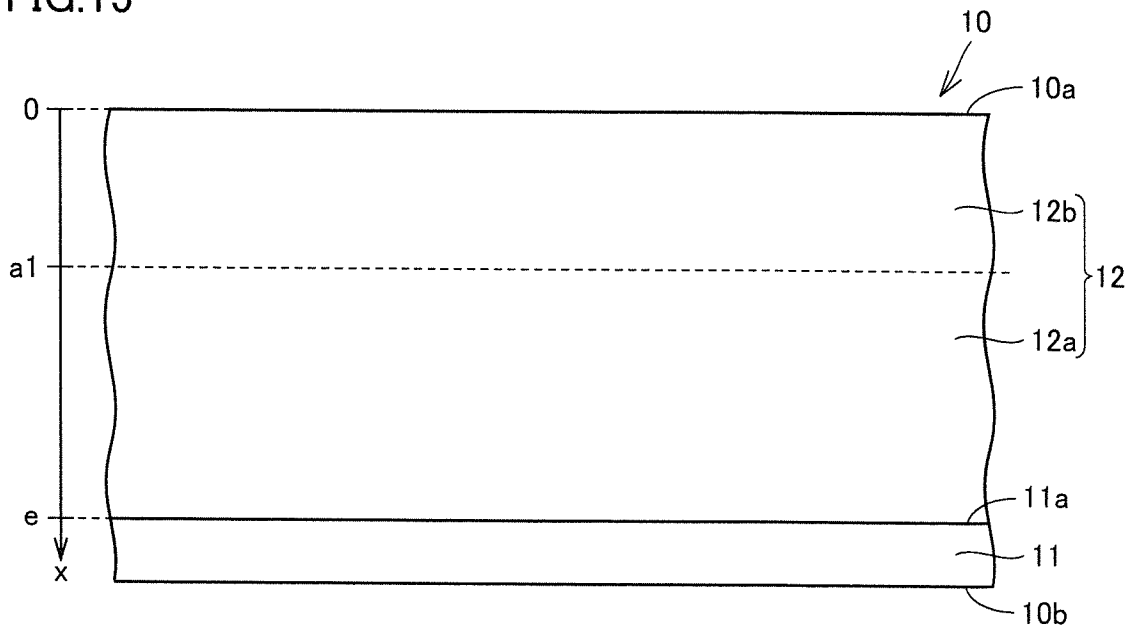
[図14]

FIG.14



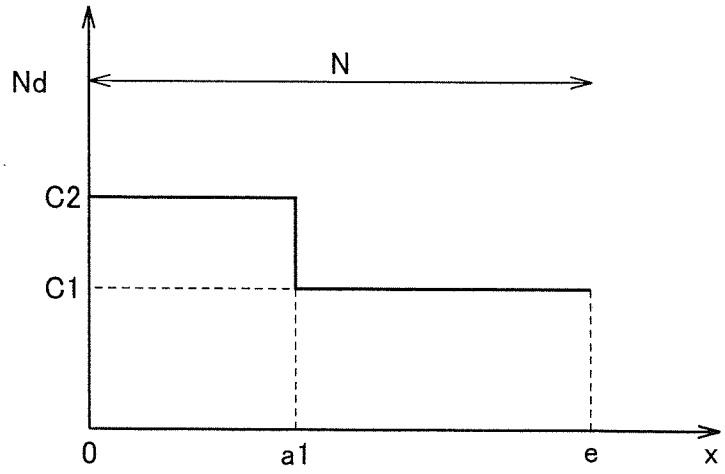
[図15]

FIG.15



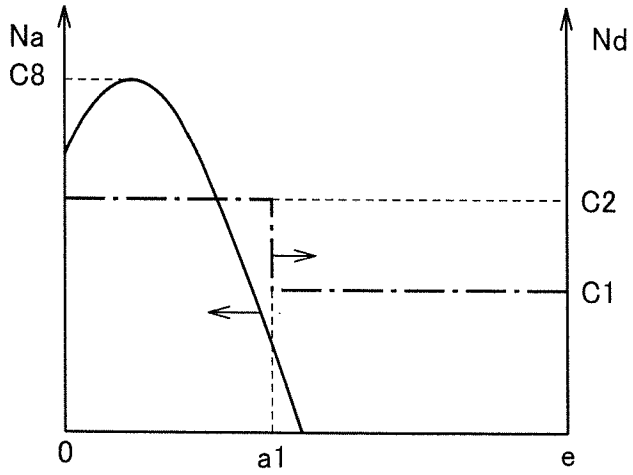
[図16]

FIG.16



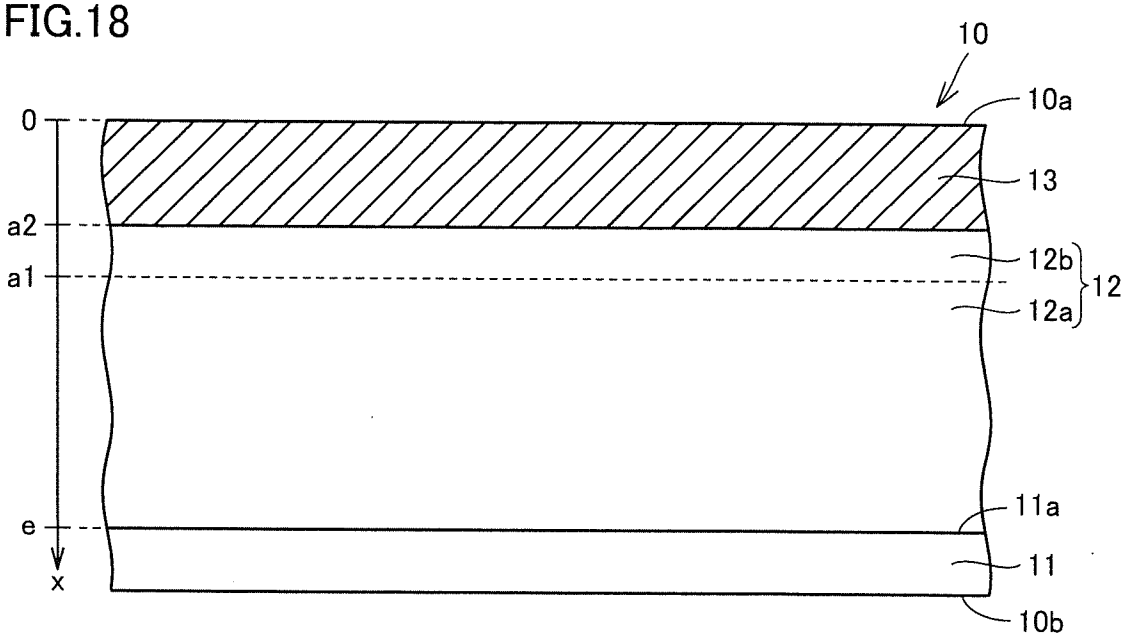
[図17]

FIG.17



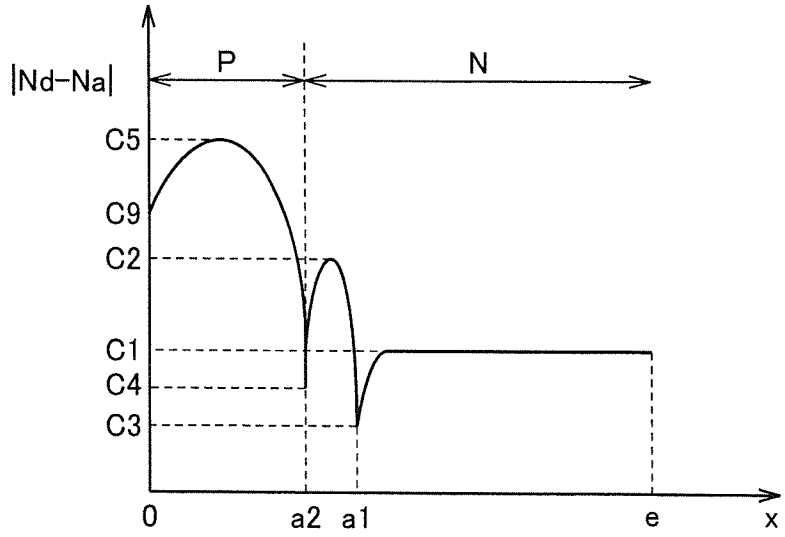
[図18]

FIG.18



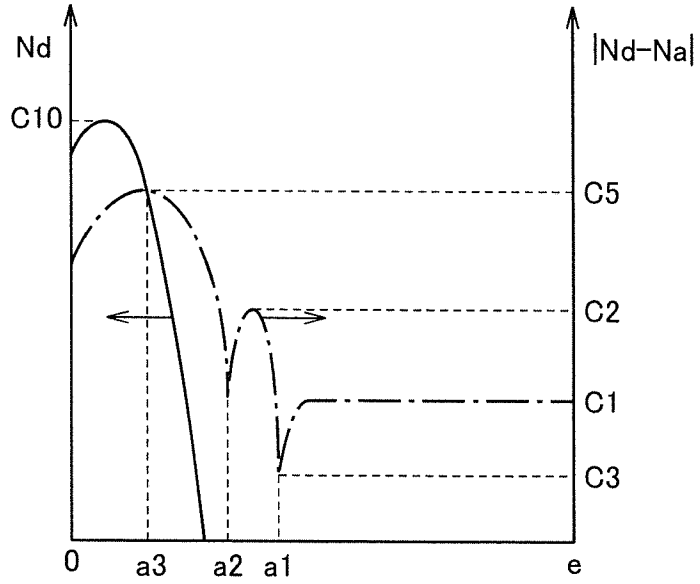
[図19]

FIG.19



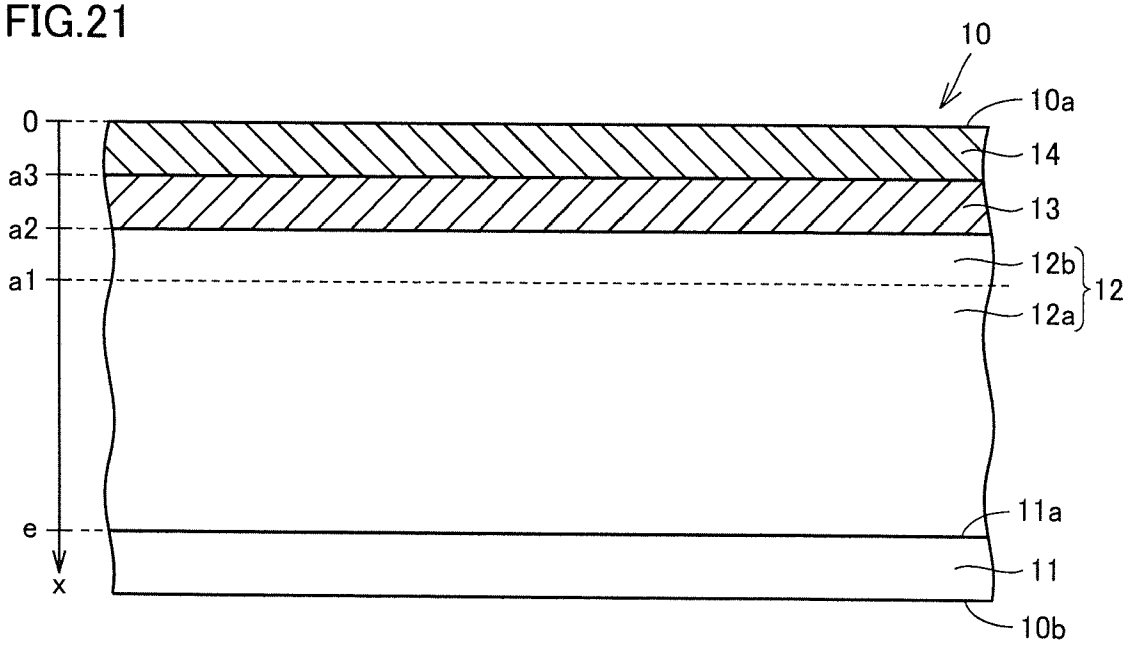
[図20]

FIG.20



[図21]

FIG.21



[図22]

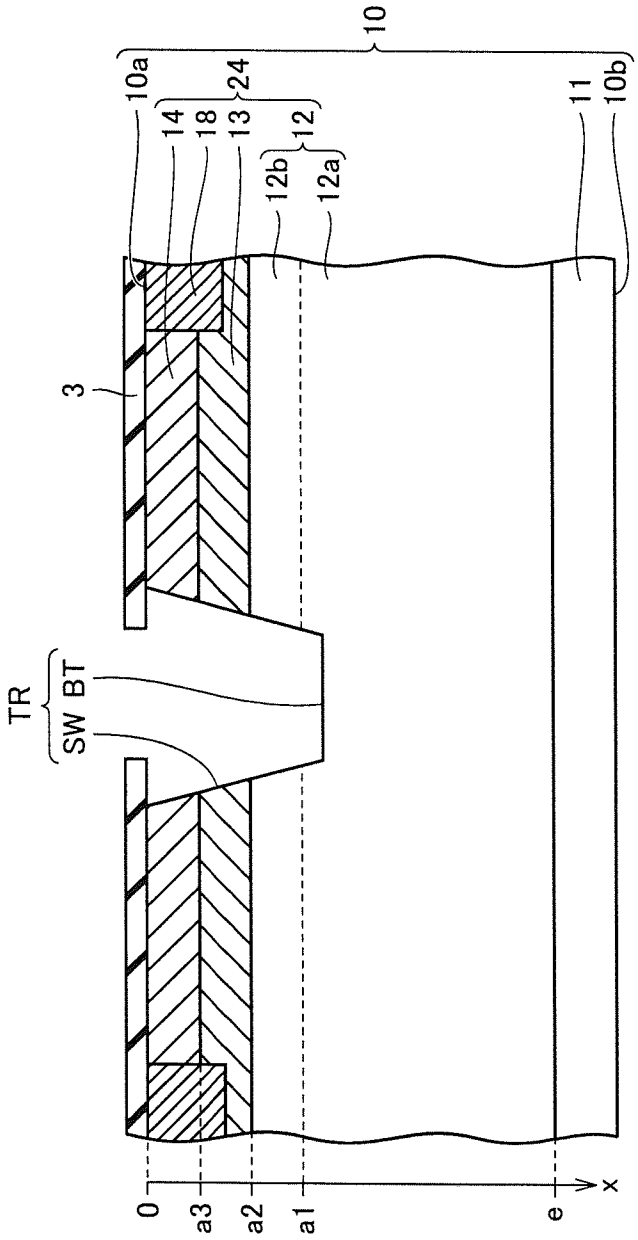
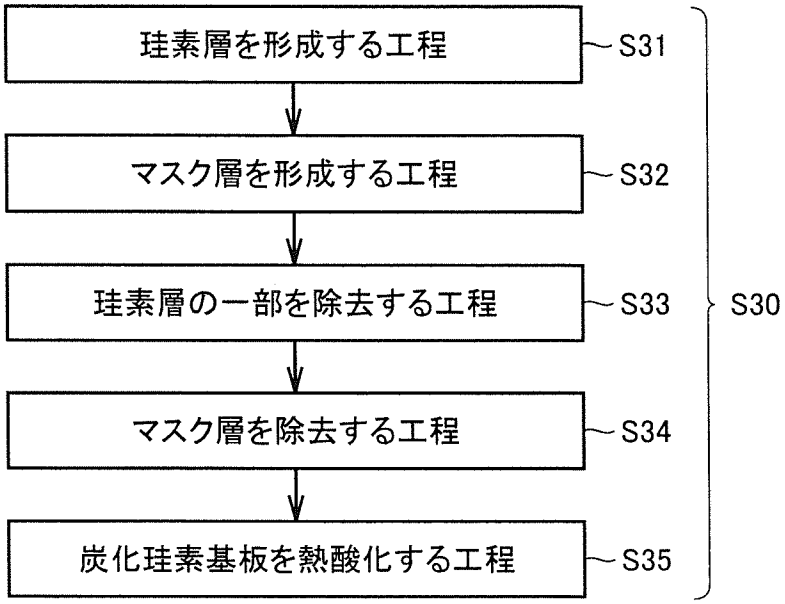


FIG.22

[図23]

FIG.23


珪素層を形成する工程
S31
マスク層を形成する工程
S32
珪素層の一部を除去する工程
S33
マスク層を除去する工程
S34
炭化珪素基板を熱酸化する工程
S35
S30

[図24]

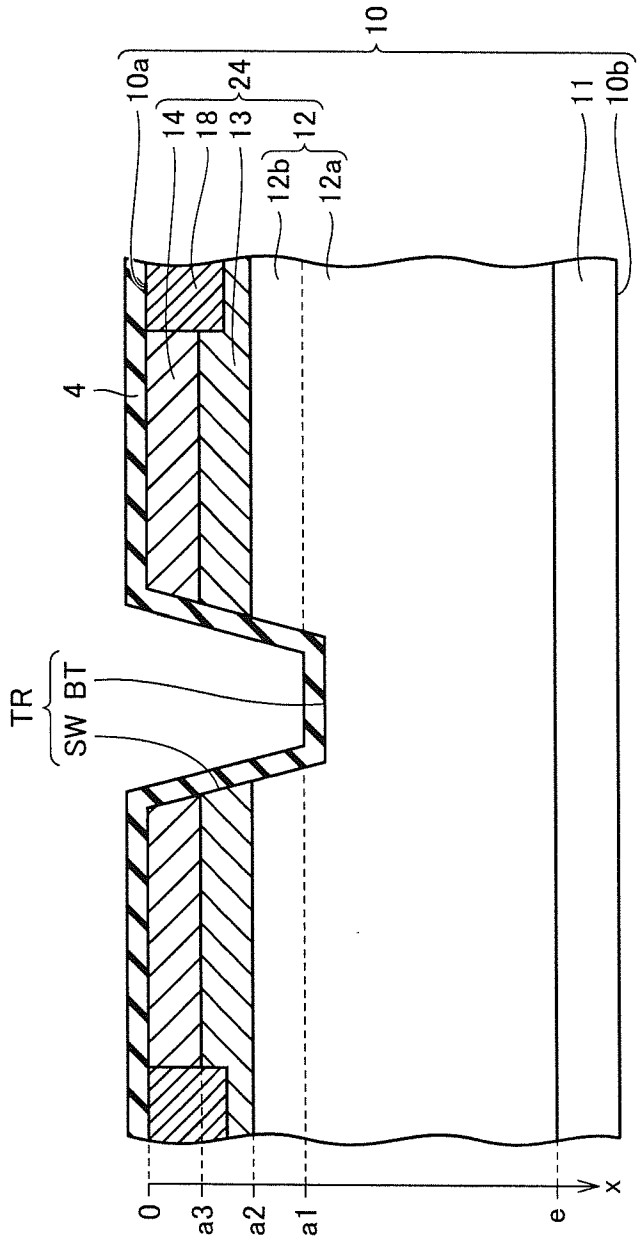


FIG.24

[図25]

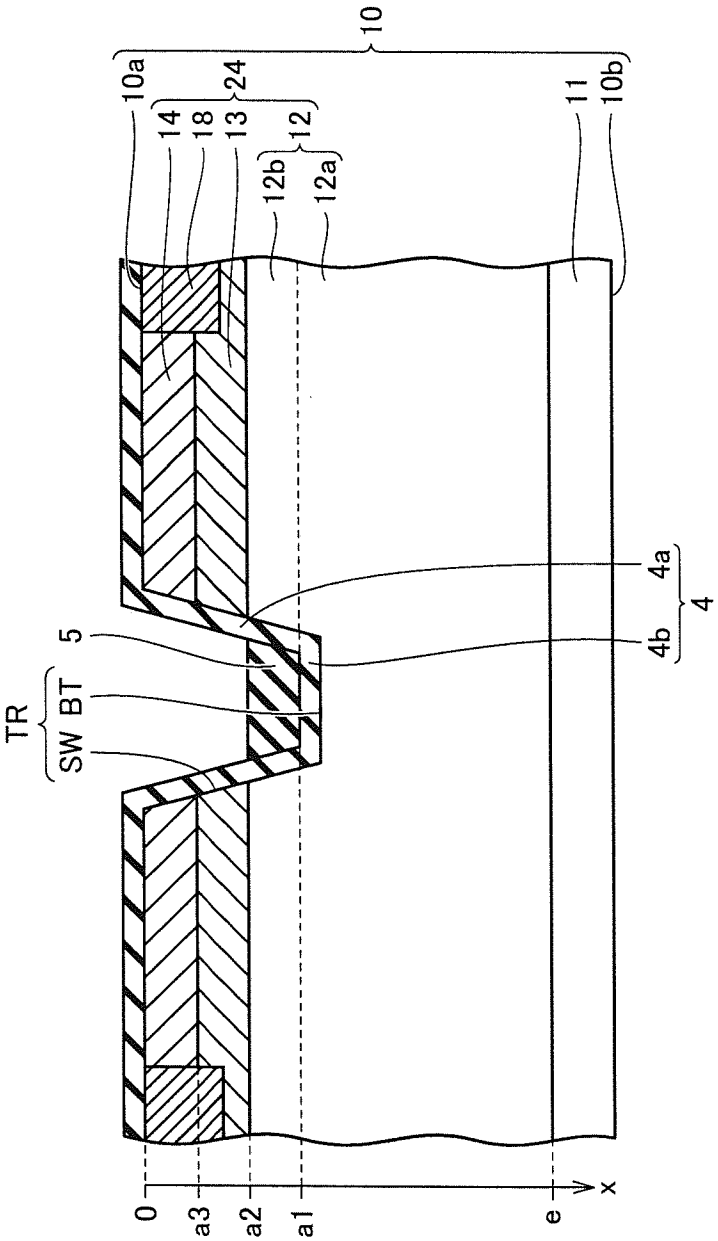


FIG.25

[図26]

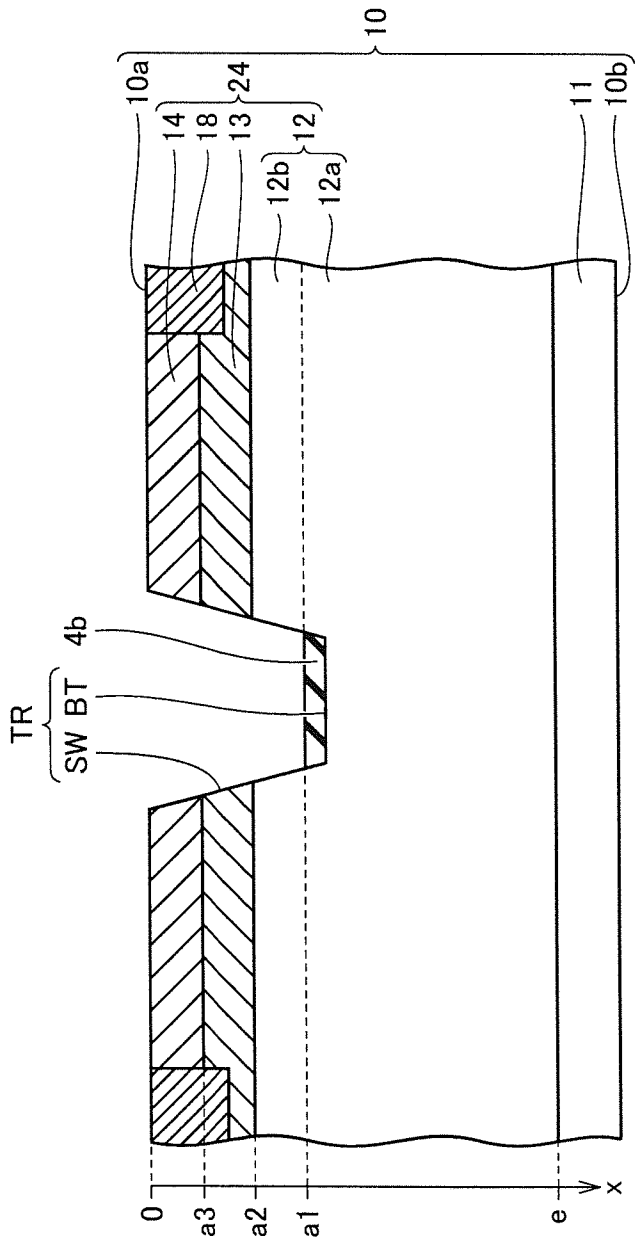


FIG.26

[図27]

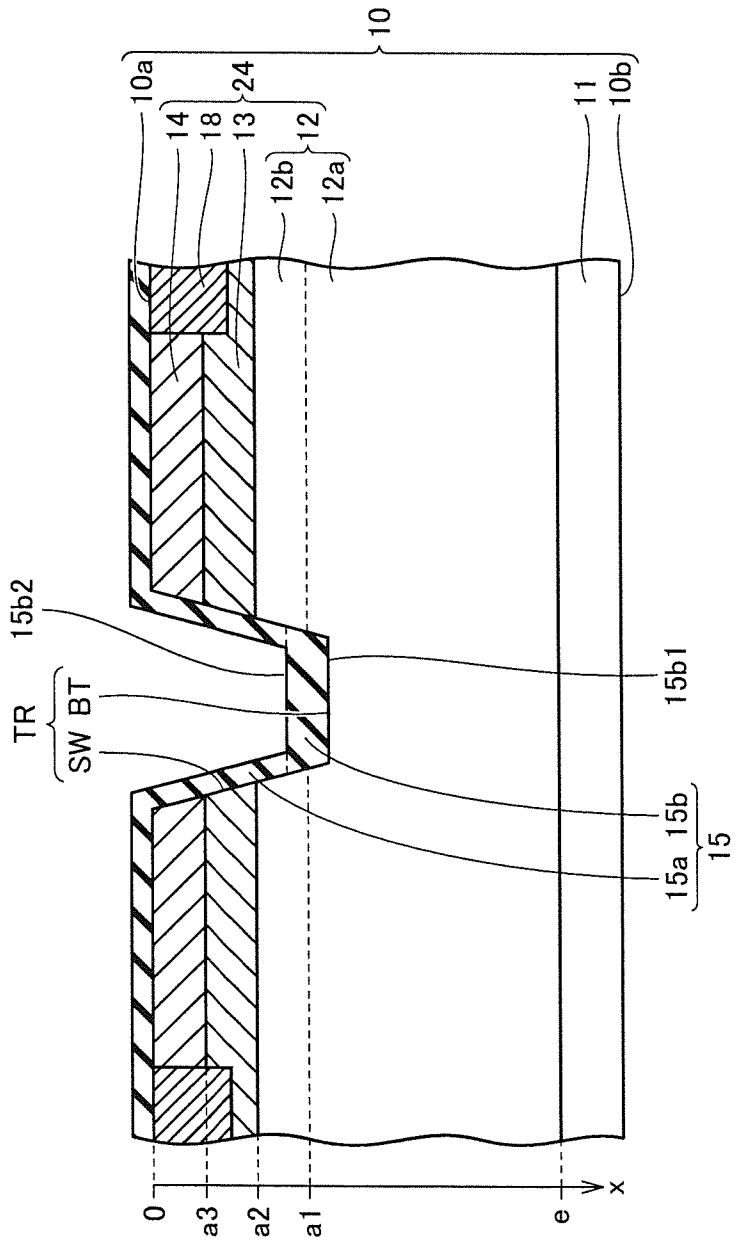

10
10a
24
14
18
13
12
12b
12a
11
10b
15b2
15b1
TR
SW
BT
15b
15a
15
0
a3
a2
a1
e
x

FIG.27

[図28]

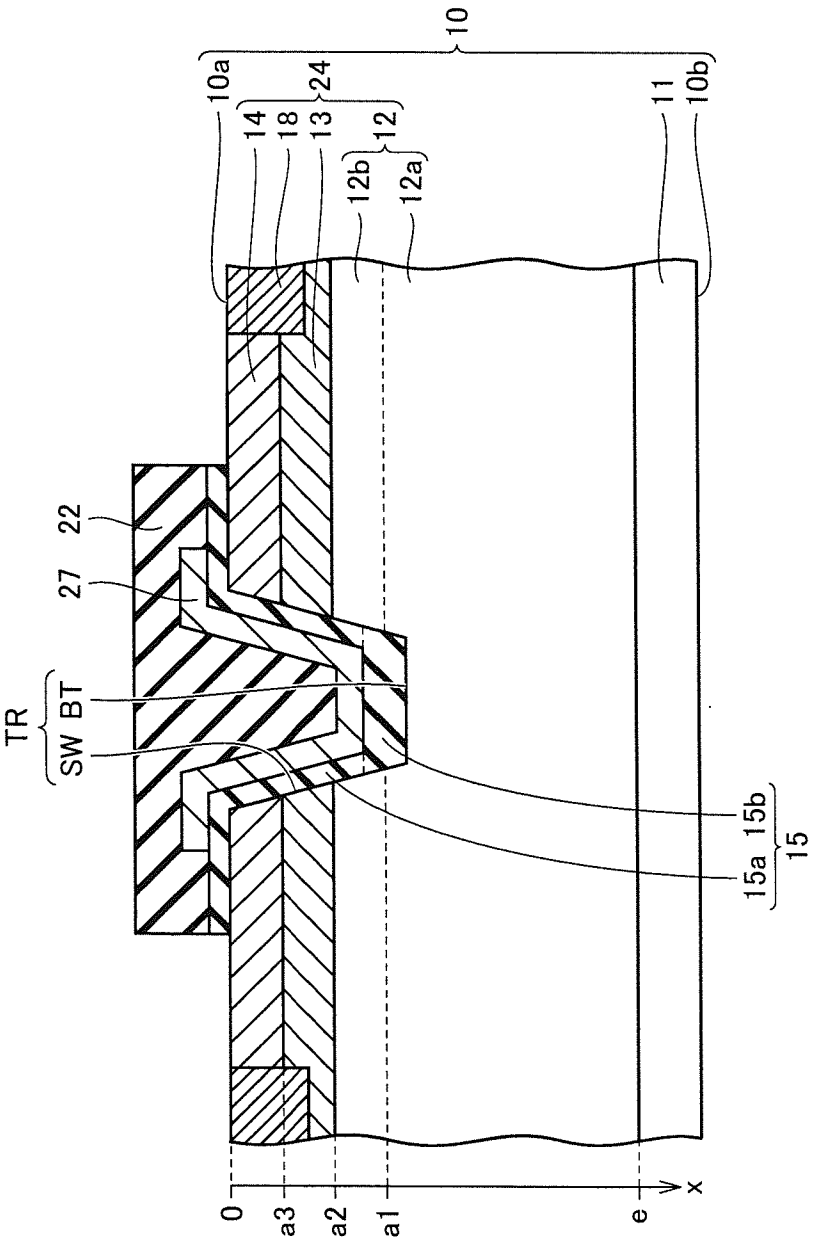

10
10a
24
14
18
13
12
12b
12a
11
10b
22
27
TR
SW
BT
15b
15a
15
0
a3
a2
a1
e
y
x

FIG.28

[図29]

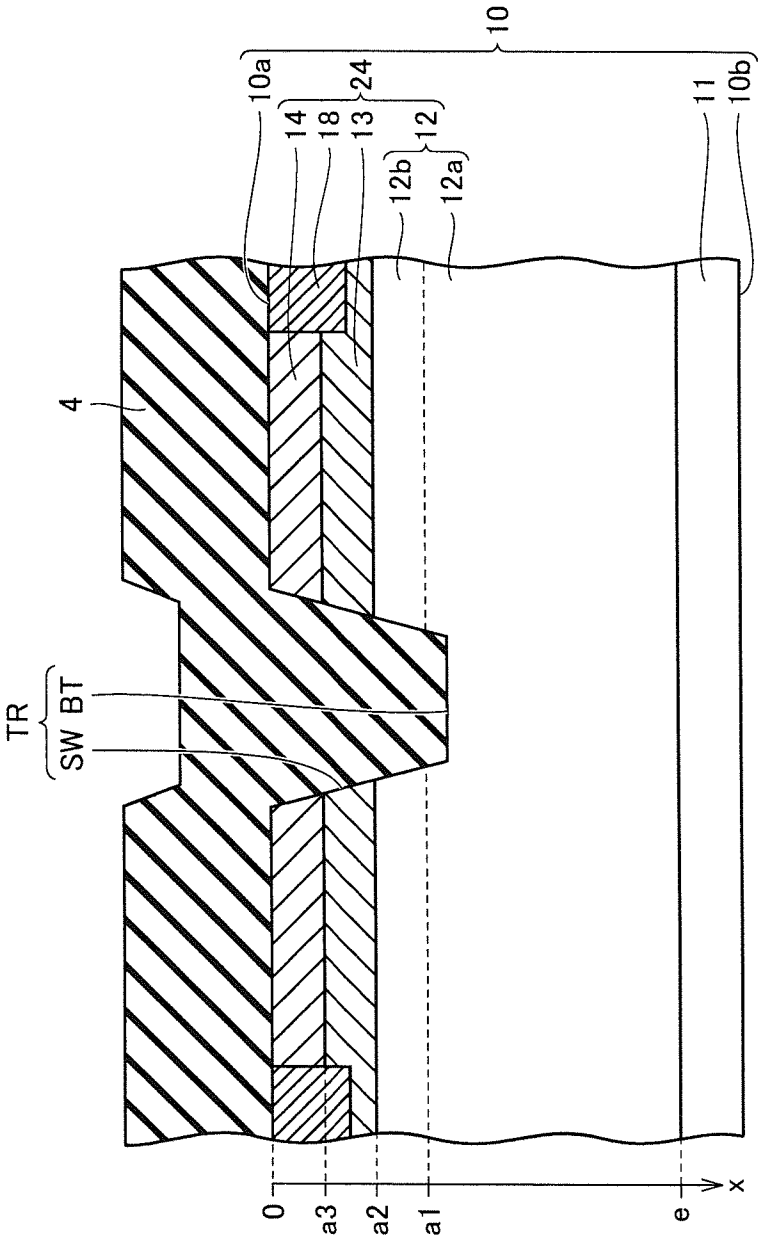


FIG.29

[図30]

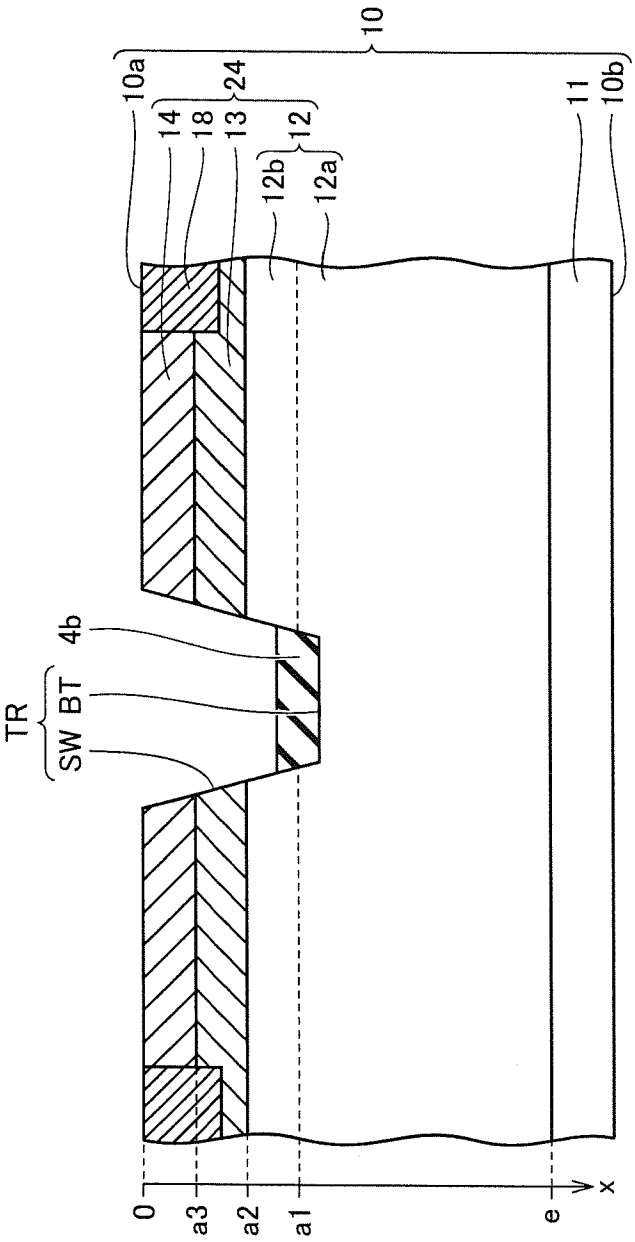


FIG.30

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/067510

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i, *H01L21/336*(2006.01)i, *H01L29/06*(2006.01)i, *H01L29/12*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78, H01L21/336, H01L29/06, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2013-171931 A (Renesas Electronics Corp.), 02 September 2013 (02.09.2013), paragraphs [0011] to [0074]; fig. 2, 6 to 17 & US 2013/0214348 A1 paragraphs [0046] to [0109]; fig. 2, 6 to 17	1-7 8 9-13
X Y A	JP 2015-082544 A (Renesas Electronics Corp., Toyota Industries Corp.), 27 April 2015 (27.04.2015), paragraphs [0010] to [0037]; fig. 3, 5, 6 (Family: none)	1-7 8 9-13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 August 2016 (22.08.16)	30 August 2016 (30.08.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/067510

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2013-168540 A (Sumitomo Electric Industries, Ltd.), 29 August 2013 (29.08.2013), paragraphs [0027] to [0039] & US 2013/0214290 A1 paragraphs [0038] to [0050] & DE 102013200046 A1 & CN 103258721 A	8 9-13

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０６７５１０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78, H01L21/336, H01L29/06, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 2013-171931 A (ルネサスエレクトロニクス株式会社) 2013.09.02, 0011段落ないし0074段落、図2、図6ないし図17 & US 2013/0214348 A1, 0046段落ないし0109段落、図2、図6ないし図17	1-7 8 9-13
X Y A	JP 2015-082544 A (ルネサスエレクトロニクス株式会社、株式会社豊田自動織機) 2015.04.27, 0010段落ないし0037段落、図3、図5及び図6（ファミリーなし）	1-7 8 9-13

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２２．０８．２０１６	３０．０８．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９３６１
棚田　一也
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2013-168540 A (住友電気工業株式会社) 2013.08.29, 0027 段落ないし 0039 段落 & US 2013/0214290 A1, 0038 段落ないし 0050 段落 & DE 102013200046 A1 & CN 103258721 A	8
A		9-13