

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-256919

(P2012-256919A)

(43) 公開日 平成24年12月27日(2012.12.27)

(51) Int.Cl. F I テーマコード (参考)
 H O 1 L 23/12 (2006.01) H O 1 L 23/12 N
 H O 1 L 23/12 5 O 1 P

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願2012-174235 (P2012-174235)
 (22) 出願日 平成24年8月6日(2012.8.6)
 (62) 分割の表示 特願2010-167116 (P2010-167116)
 の分割
 原出願日 平成22年7月26日(2010.7.26)
 (31) 優先権主張番号 10-2009-0109027
 (32) 優先日 平成21年11月12日(2009.11.12)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 594023722
 サムソン エレクトロメカニクス カ
 ンパニーリミテッド.
 大韓民国、キョンギード、スウォン、ヨン
 トング、マエタン3ードン 314
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 カン、ジュン ソク
 大韓民国、キョンギード、スウォン、ヨン
 トング、マエタン3ードン 314 サ
 ムソン エレクトロメカニクス カ
 パニーリミテッド. 内

最終頁に続く

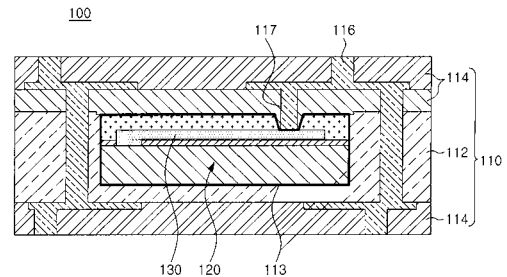
(54) 【発明の名称】 半導体パッケージの製造方法

(57) 【要約】 (修正有)

【課題】 バンプ層を形成させる工程を無くし、製造工程及びその時間を減らすことができる半導体パッケージ及び半導体パッケージの製造方法を提供する。

【解決手段】 半導体パッケージ100は、内側に收容空間が形成される回路基板110と、回路基板の收容空間に挿入される半導体チップ120と、半導体チップの一面にパターン状で形成され、回路基板のピア部116と直接接触され互いを電氣的に連結するための電極パターン部130とを含むことができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

内側に収容空間が形成される回路基板と、
上記回路基板の収容空間に挿入される半導体チップと、
上記半導体チップの一面にパターン状で形成され、上記回路基板のビア部と直接接触されて互いに電氣的に連結される電極パターン部と、
を含む半導体パッケージ。

【請求項 2】

上記電極パターン部の厚さは、 $5 \sim 15 \mu\text{m}$ であることを特徴とする請求項 1 に記載の半導体パッケージ。

10

【請求項 3】

上記半導体チップは、
表面に形成され上記電極パターン部を保護するための保護部を含むことを特徴とする請求項 1 または 2 に記載の半導体パッケージ。

【請求項 4】

上記保護部は、
上記ビア部と接触する上記電極パターン部の部分が外部に露出するように開放されることを特徴とする請求項 3 に記載の半導体パッケージ。

【請求項 5】

上記半導体チップは、
表面と上記電極パターン部との間に形成される絶縁層を含むことを特徴とする請求項 1 から 4 の何れか 1 項に記載の半導体パッケージ。

20

【請求項 6】

基板上に絶縁層を形成する段階と、
上記絶縁層上に、内側に収容空間が形成された回路基板と連結するように再配線メッキして電極パターン部を形成する段階と、
上記電極パターン部が一部露出するように上記再配線メッキの上部に保護部を形成させて半導体チップを製造する段階と、
前記回路基板に上記半導体チップを実装して電氣的に連結する段階と、
を含む半導体パッケージの製造方法。

30

【請求項 7】

上記電極パターン部は、 $5 \sim 15 \mu\text{m}$ で形成することを特徴とする請求項 6 に記載の半導体パッケージの製造方法。

【請求項 8】

上記電極パターン部を形成する段階は、
銅 (Cu) 層を上記絶縁層上にスパッタリング (sputtering) して形成する段階を含むことを特徴とする請求項 6 または 7 に記載の半導体パッケージの製造方法。

【請求項 9】

上記回路基板に上記半導体チップを電氣的に連結する段階は、
上記回路基板から上記電極パターン部の上部まで連結されるビアホールを形成した後に、上記ビアホールに導電物質を充填して電氣的に連結されるビア部を形成する段階を含むことを特徴とする請求項 6 から 8 の何れか 1 項に記載の半導体パッケージの製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体パッケージ及び半導体パッケージの製造方法に関し、より詳細には別途のバンプ工程が不要で、製造工程を減らすことができる半導体パッケージ及びその半導体パッケージの製造方法に関する。

【背景技術】

【0002】

50

半導体産業における技術開発の主な流れの1つは、半導体素子のサイズを縮小することである。

【0003】

上記部品の軽薄短小化を実現するためには実装部品の個別のサイズを減らす技術と、複数の個別素子をワンチップ(one chip)化するSOC(System On chip)技術及び複数の個別素子を1つのパッケージ(package)に集積するSIP(System In Package)技術等が必要で、これは再配線(rerouting)または再配置(redistribution)技術を利用して具現することができる。

【0004】

従って、このような半導体パッケージは電子部品同士を接続する配線が短縮できる上、高密度の配線化が実現できるという長所がある。また、電子部品の実装により回路基板の表面積を広める上、電気的特性も優れるという長所がある。

【0005】

特に、エンベディッド型回路基板は半導体チップが基板の表面に実装されるのではなく、その内部にエンベディング(embedding)されるため、基板の小型化、高密度化及び高性能化等が可能であり、その需要が次第に増加している。

【0006】

しかし、このような半導体パッケージは半導体チップの上部に回路基板と連結するための複数の配線工程が必要であり、多くの工程費と工程時間がかかり、このような工程を減らし経済的に利得を得ようとする要求がある。従って、このような問題点を解決する技術が要求されている。

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明は上述の従来技術の問題を解決するためのもので、その目的はバンプ層を形成させる工程を無くし、製造工程及びその時間を減らすことができる半導体パッケージ及びその半導体パッケージの製造方法を提供することにある。

【課題を解決するための手段】

【0008】

本発明による半導体パッケージは、内側に収容空間が形成される回路基板と、上記回路基板の収容空間に挿入される半導体チップと、上記半導体チップの一面にパターン状で形成され、上記回路基板のビア部と直接接触され互いを電氣的に連結するための電極パターン部とを含むことができる。

【0009】

また、本発明による半導体パッケージの上記電極パッケージの厚さは、約5~15 μm であることを特徴とすることができる。

【0010】

また、本発明による半導体パッケージの上記半導体チップは、表面に形成され上記電極パターン部を保護するための保護部を含むことを特徴とすることができる。

【0011】

また、本発明による半導体パッケージの上記保護部は、上記ビア部と接触する上記電極パターン部の部分が外部に露出するように開放されることを特徴とすることができる。

【0012】

また、本発明による半導体パッケージの上記半導体チップは、表面と上記電極パッケージとの間に形成される絶縁層を含むことを特徴とすることができる。

【0013】

一方、本発明による半導体パッケージの製造方法は、基板上に絶縁層を形成する段階と、上記絶縁層上に回路を連結するように再配線メッキして電極パターン部を形成する段階と、上記再配線メッキが一部露出するように上記再配線メッキの上部に保護部を形成させ

10

20

30

40

50

て半導体チップを製造する段階と、内側に収容空間が形成された回路基板に上記半導体チップを実装して電氣的に連結する段階とを含むことができる。

【0014】

また、本発明による半導体パッケージの製造方法の上記電極パターン部は、約5～15μmで形成することを特徴とすることができる。

【0015】

また、本発明による半導体パッケージの製造方法の上記電極パターン部を形成する段階は、銅(Cu)層を上記絶縁層上にスパッタリング(sputtering)して形成する段階を含むことを特徴とすることができる。

【0016】

また、本発明による半導体パッケージの製造方法の上記回路基板に上記半導体チップを電氣的に連結する段階は、上記回路基板から上記電極パッケージの上部まで連結されるビアホールを形成した後に、上記ビアホールに導電物質を充填して電氣的に連結されるビア部を形成する段階を含むことを特徴とすることができる。

【発明の効果】

【0017】

本発明による半導体パッケージ及び半導体パッケージの製造方法は、上記半導体チップの一面にパターン状で形成され、上記回路基板のビア部と直接接触され互いを電氣的に連結するための電極パターン部を含むため、別途の bumps を形成する工程を減らすことができ、これにより工程数の減少及び時間を減らすという効果がある。

【図面の簡単な説明】

【0018】

【図1】本発明の一実施例による半導体パッケージを説明するための断面図である。

【図2】図1の半導体パッケージに実装される半導体チップを説明するための断面図である。

【図3】本発明の一実施例による半導体パッケージの製造方法を説明するための断面図である。

【図4】本発明の一実施例による半導体パッケージの製造方法を説明するための断面図である。

【図5】本発明の一実施例による半導体パッケージの製造方法を説明するための断面図である。

【図6】本発明の一実施例による半導体パッケージの製造方法を説明するための断面図である。

【図7】本発明の一実施例による半導体パッケージの製造方法を説明するための断面図である。

【図8】本発明の一実施例による半導体パッケージの製造方法を説明するための断面図である。

【発明を実施するための形態】

【0019】

本発明による半導体パッケージ及び半導体パッケージの製造方法は図1から図8を参照してより具体的に説明する。以下では、図面を参照して本発明の具体的な実施例を詳細に説明する。

【0020】

但し、本発明の思想は提示される実施例に制限されず、本発明の思想を理解する当業者は同じ思想の範囲内で他の構成要素を追加、変更、削除等により、退歩的な他の発明や本発明の思想の範囲内に含まれる他の実施例を容易に提案することができ、これも本願発明の思想の範囲内に含まれる。

【0021】

また、各実施例の図面に示す同一または類似する思想の範囲内の機能が同一の構成要素は、同一または類似する参照符号を使用して説明する。

10

20

30

40

50

【0022】

図1は本発明の一実施例による半導体パッケージを説明するための断面図であり、図2は図1の半導体パッケージに実装される半導体チップを説明するための断面図である。

【0023】

図1及び図2を参照すると、半導体パッケージ100は回路基板110、半導体チップ120及び電極パターン部130を含むことができる。

【0024】

回路基板110は金属コア112に半導体チップ120を実装するための収容空間を提供するために少なくとも1つ以上の溝113を形成することができる。このとき、溝を形成する方法はドライエッチング(dry etching)またはウェットエッチング(wet etching)方法等を使用することができる。

10

【0025】

また、上記収容空間に半導体チップ120を装着させた後に、その上部に一定の厚さの絶縁部114を形成させる。従って、このような工程により回路基板110の内部に収容される半導体チップ120は封止される。

【0026】

また、回路基板110の表面には、半導体チップ120の表面に形成される電極パターン部130と電氣的に連結するためのビア部116が形成されることができる。

【0027】

ビア部116は電極パターン部130が外部へ露出するようにビアホール117が形成された後に、その内部に導電性物質を充填して形成させることができ、回路基板110の表面に形成される回路パターンと電氣的に連結されることができる。

20

【0028】

このとき、ビアホール117を形成させる方法は公知の方法により穿孔することもでき、二酸化炭素を使用するレーザ孔あけ法等を使用することもできる。

【0029】

半導体チップ120は回路基板110の収容空間に挿入され、ビア部116と電氣的に連結されることができる。このとき、半導体チップ120は基板ウェーハに複数個が形成されて製造されることができ、このようなチップは能動素子、受動素子またはICチップであることができる。

30

【0030】

このとき、半導体チップ120の上部には再配線メッキにより電極パターン部130が形成されることができ、このような電極パターン部130がビア部116と電氣的に連結されることで、回路基板110と電氣的に連結される。

【0031】

電極パターン部130は半導体チップ120の一面に形成されるが、再配線メッキによりパターン状で形成されることができる。ここで、パターン状とは、電氣的に連結するために形成される回路配線のような形状を意味する。

【0032】

このとき、電極パターン部130の厚さは約5~15 μ mであることを特徴とすることができる。従って、このような厚さで形成される電極パターン部130により半導体チップ120は電気抵抗が減少することができる。また、このような電極パターン部130により電氣的な信頼性が向上するという効果がある。

40

【0033】

また、一般的に半導体チップ120が回路基板110と電氣的に連結されるときには半導体チップ120上に別途のバンプ層を形成させる。しかし、上記の厚さで形成される電極パターン部130は直接ビア部116が連結されるために電極パターン部130そのものがビアホール117の製造時に半導体チップ120が露出するように形成されないため、電氣的な断線効果を除去することができる。

【0034】

50

従って、本実施例による半導体パッケージは、このようなバンプ層を製造する工程を省略することができるため、工程数の減少及びその工程時間を減らすことができ、大きな経済的効果を得ることができる。また、このような工程数の減少は半導体パッケージの製造歩留まりを向上させる役割をする。

【0035】

図3から図8は、本発明の一実施例による半導体パッケージの製造方法を説明するための断面図である。

【0036】

図3を参照すると、本実施例による半導体パッケージは絶縁材質の基板121上に絶縁層122を形成させる段階を含むことができる。

10

【0037】

このとき、絶縁層122は基板121上に形成されたパッドが外部に露出するように開放されて形成されることができる。また、絶縁層122は感光性材質であることができ、ポリイミド(Polyimide)、ポリベンゾオキサゾール(Polybenzoxazole)、ベンゾシクロブテン(benzocyclobutene)及びエポキシ(epoxy)から成る群から選ばれた1つまたはそれ以上を含むことができる。しかし、絶縁層122の材質はこれに限定されない。

【0038】

また、図4に図示されたように、上記絶縁層122が形成された半導体チップ120の一面には銅(Cu)材質のメッキ層123を上記絶縁層上にスパッタリング(sputtering)して形成させる段階を含むことができる。

20

【0039】

従って、メッキ層123は半導体チップ120の前面に全体的に形成されることができ、絶縁層122が開放された部分にも形成されることができる。

【0040】

また、図5に図示されたように、フォトレジスト層124を半導体チップ120の一面に形成させた後に、マスクを利用して電極パターン部130が形成される部分のフォトレジスト層124を除去する。

【0041】

また、図6に図示されたように、フォトレジスト層124の間には電解メッキ方式により電極パターン部130が形成される。このとき、電極パターン部130は一般的に電気メッキまたはスパッタリングにより形成されることができる。

30

【0042】

このとき、電極パターン部130の厚さは約5~15 μm であることを特徴とすることができる。従って、このような厚さで形成される電極パターン部130によって半導体チップ120は電気抵抗が減少することができる。また、このような電極パターン部130により電氣的な信頼性が向上するという効果がある。

【0043】

また、図7に図示されたように、電極パターン部130が形成されない部分のメッキ層123とフォトレジスト層124は除去される。このとき、除去する方法はエッチング工程やストリップ(strip)工程により行われる。

40

【0044】

また、図8に図示されたように、電極パターン部130が形成された半導体チップ120の上部には保護部140を形成する。このとき、保護部140はシリコン窒化層、シリコン酸化層、シリコン酸窒化層またはこれらの多重層であることができる。従って、保護部140により電極パターン部130及び他の回路パターンを保護することができる。

【0045】

また、保護部140の一侧は、電極パターン部130が露出するように開放して形成され、上記開放された部分にはビア部116が連結される。

【0046】

50

従って、上記のように形成された半導体チップ120は、収容空間が設けられる回路基板110に実装され半導体パッケージが完成する。このように製造される半導体パッケージはウェーハの厚さを薄くする工程と、ダイシング(dicing)工程により1つの製品として完成する。

【0047】

結果的に、本実施例による半導体パッケージは半導体チップ120の上部に別途のバンプ層を必要としないため、バンプ層を製造する工程である銅メッキ層を形成させる工程と、バンプ層を形成させるためのフォトレジスト層を設ける工程と、上記フォトレジスト層にパターンを形成する工程、バンプメッキ工程と、フォトレジスト及び銅メッキ層を除去する工程等を全て省略することができる。

10

【0048】

従って、本実施例による半導体パッケージは、その製造工程が非常に単純化し、大きな経済的利益がある。また、このような工程数の減少は半導体パッケージの製造の歩留まりを向上させる大きな役割をする。

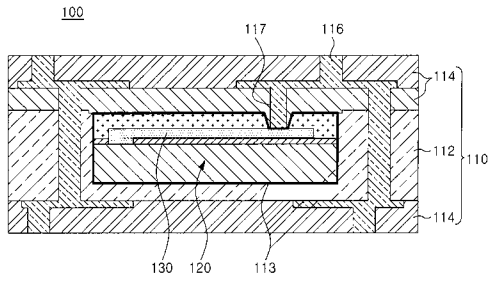
【符号の説明】

【0049】

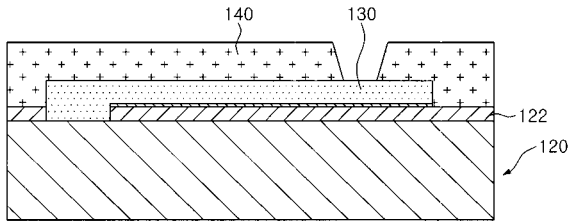
- 100 半導体パッケージ
- 110 回路基板
- 116 ビア部
- 117 ビアホール
- 120 半導体チップ
- 121 基板
- 122 絶縁層
- 123 メッキ層
- 124 フォトレジスト層
- 130 電極パターン部
- 140 保護部

20

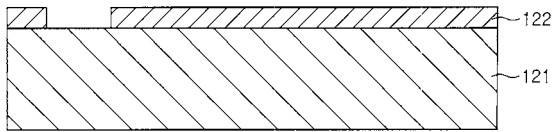
【 図 1 】



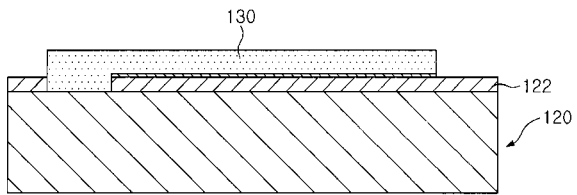
【 図 2 】



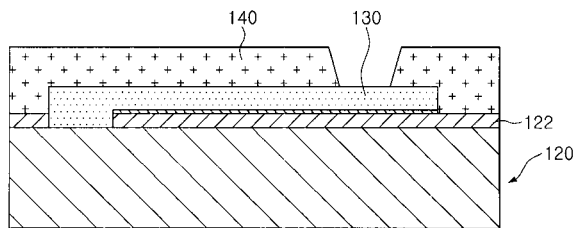
【 図 3 】



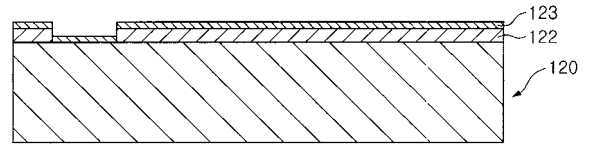
【 図 7 】



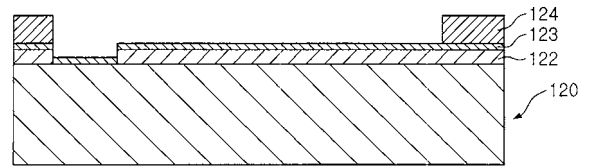
【 図 8 】



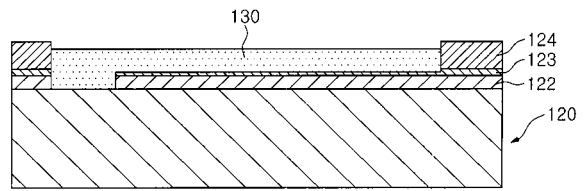
【 図 4 】



【 図 5 】



【 図 6 】



【手続補正書】

【提出日】平成24年8月7日(2012.8.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板上に絶縁層を形成する段階と、

上記絶縁層上に、内側に収容空間が形成された回路基板と連結するように再配線メッキして電極パターン部を形成する段階と、

上記電極パターン部が一部露出するように上記再配線メッキの上部に保護部を形成させて半導体チップを製造する段階と、

前記回路基板に上記半導体チップを実装して電氣的に連結する段階と、

を含む半導体パッケージの製造方法。

【請求項2】

上記電極パターン部は、5～15 μ mで形成することを特徴とする請求項1に記載の半導体パッケージの製造方法。

【請求項3】

上記電極パターン部を形成する段階は、

銅(Cu)層を上記絶縁層上にスパッタリング(sputtering)して形成する段階を含むことを特徴とする請求項1または2に記載の半導体パッケージの製造方法。

【請求項4】

上記回路基板に上記半導体チップを電氣的に連結する段階は、

上記回路基板から上記電極パターン部の上部まで連結されるビアホールを形成した後に、上記ビアホールに導電物質を充填して電氣的に連結されるビア部を形成する段階を含むことを特徴とする請求項1から3の何れか1項に記載の半導体パッケージの製造方法。

フロントページの続き

- (72)発明者 クウェオン、ヨン ド
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 3 1 4 サムソン エレ
クトロ - メカニックス カンパニーリミテッド . 内
- (72)発明者 バク、スン ウク
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 3 1 4 サムソン エレ
クトロ - メカニックス カンパニーリミテッド . 内
- (72)発明者 リー、ジョング ユン
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 3 1 4 サムソン エレ
クトロ - メカニックス カンパニーリミテッド . 内
- (72)発明者 オー、キョン セオブ
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 3 1 4 サムソン エレ
クトロ - メカニックス カンパニーリミテッド . 内