



(19)  
**Bundesrepublik Deutschland**  
**Deutsches Patent- und Markenamt**

(10) **DE 10 2005 009 700 B4 2009.02.05**

(12)

## Patentschrift

(21) Aktenzeichen: **10 2005 009 700.6**  
 (22) Anmeldetag: **24.02.2005**  
 (43) Offenlegungstag: **22.09.2005**  
 (45) Veröffentlichungstag  
 der Patenterteilung: **05.02.2009**

(51) Int Cl.<sup>8</sup>: **G11C 16/34 (2006.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

**10-2004-0012984 26.02.2004 KR**  
**11/021,181 22.12.2004 US**

(73) Patentinhaber:

**Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR**

(74) Vertreter:

**Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174 Stuttgart**

(72) Erfinder:

**Park, Dong-ho, Yongin, Kyonggi, KR; Lee, Seung-keun, Yongin, Kyonggi, KR**

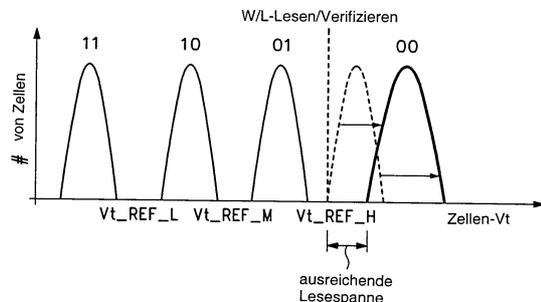
(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

**US 59 82 667 A**

(54) Bezeichnung: **Programmierverfahren und nichtflüchtiger Speicher**

(57) Hauptanspruch: Verfahren zur Programmierung einer Mehrzahl von Speicherzellen (10) in einen Sollzustand, wobei eine jeweilige Speicherzelle mehr als zwei mögliche Zustände aufweist, gekennzeichnet durch die Schrittfolge:

- Durchführen eines Programmierschrittes für die jeweilige Speicherzelle (10),
- Verifizieren, dass die jeweilige Speicherzelle den Sollzustand erreicht hat, und
- Durchführen eines zusätzlichen Programmierschrittes für diejenigen Speicherzellen, deren Sollzustand ein höchster der möglichen Zustände ist, um diese auf einen höheren Pegel zu programmieren, ohne ihren Zustand weiter zu verifizieren.



## Beschreibung

**[0001]** Die Erfindung bezieht sich auf ein Verfahren zum Programmieren einer Mehrzahl von Speicherzellen und auf einen zugehörigen nichtflüchtigen Speicher.

**[0002]** Moderne Rechnersysteme umfassen häufig nichtflüchtige Halbleiterspeicherbauelemente zum Speichern von Daten. Populäre Typen von nichtflüchtigen Halbleiterspeicherbauelementen sind Flashspeicherbauelemente. [Fig. 1](#) zeigt schematisch einen Ausschnitt aus einem herkömmlichen Flashspeicherbauelement **900** mit einem Feld **100** von Flashspeicherzellen **10**. Jede Flashspeicherzelle **10** kann beispielsweise als Feldeffekttransistor FET ausgeführt sein. Die Flashspeicherzelle **10** umfasst ein Gate **11**, ein floatendes Gate **21**, eine Source **31** und eine Drain **41**. Das Gate **11** arbeitet in Reaktion auf eine Wortleitung, z. B. auf Wortleitungen W/L0, W/L1, ..., W/L1023. Die Source **31** ist mit einer Abtastleitung S/L gekoppelt. Die Drain **41** arbeitet in Reaktion auf korrespondierende Bitleitungen B/L0, B/L1, ..., B/L511.

**[0003]** Die Flashspeicherzelle **10** wird durch Anlegen von variierenden Spannungen über die jeweilige Wortleitung W/L0, W/L1, ..., W/L1023 an das Gate **11** und durch Vergleichen einer Schwellwertspannung  $V_t$ , eines Drainstroms  $I_d$  und/oder von im floatenden Gate **21** gespeicherten Ladungen mit einer Referenzspeicherzelle programmiert, verifiziert und gelesen. Die Programmierung umfasst das Anlegen einer Programmierspannung an das Gate **11**, um Daten in das Speicherzellenfeld **100** durch Verändern der im floatenden Gate **21** gespeicherten Ladung zu programmieren bzw. zu speichern, was eine korrespondierende Veränderung der Schwellwertspannung  $V_t$ , des Drainstroms  $I_d$  und/oder der gespeicherten Ladung verursacht. Die Verifizierung prüft eine erfolgreiche Programmierung des Feldes **100** und folgt in der Regel auf den Programmiervorgang. Das Lesen umfasst das Lesen der Daten aus dem programmierten Speicherzellenfeld **100**.

**[0004]** Flashspeicherzellen können je nach Auslegung einzelne Datenbits oder mehrere Datenbits speichern. Wie aus [Fig. 2A](#) ersichtlich ist, können Flashspeicherzellen für Einzelbits einen Zustand 1 bzw. einen Zustand 0 aufweisen, was einen hohen logischen Zustand bzw. einen niedrigen logischen Zustand anzeigt. Der Zustand 1 ist im Diagramm von [Fig. 2A](#) eine Glockenkurve, welche durch Schwellwertspannungen  $V_1$  und  $V_2$  definiert ist, so dass die meisten Speicherzellen, welche auf den Zustand 1 programmiert sind, einen Schwellwert zwischen den Spannungswerten  $V_1$  und  $V_2$  aufweisen. Analog ist der Zustand 0 eine Glockenkurve, welche durch Schwellwertspannungen  $V_3$  und  $V_4$  definiert ist, so dass die meisten Speicherzellen, welche auf den Zu-

stand 0 programmiert sind, einen Schwellwert zwischen den Spannungswerten  $V_3$  und  $V_4$  aufweisen. Der Bereich zwischen den Zuständen 1 und 0 wird als Trennungsbereich bezeichnet. Eine Referenzspannung  $V_{ref}$  liegt typischerweise im Trennungsbereich zwischen dem Zustand 1 und dem Zustand 0. Theoretisch sind Trennungsbereiche nicht erforderlich, sie dienen jedoch dazu, gut zwischen den Zuständen unterscheiden zu können, d. h. hier zwischen den Zuständen 1 und 0.

**[0005]** Wie aus [Fig. 2B](#) ersichtlich ist, weisen Mehrbit-Speicherzellen im Gegensatz zu Einzelbit-Speicherzellen eine Mehrzahl von Zuständen auf, z. B. Zustände 11, 10, 01 und 00. Flashspeicherzellen, welche mehrere Datenbits speichern, sind wünschenswert, da die Bitkosten wesentlich reduziert werden. So kann beispielsweise die Speicherzellendichte verdoppelt werden, ohne dass dies von einer Erhöhung der Anzahl von Einzelchips begleitet ist, wenn vier Datenzustände oder Pegel in einer Einzelzelle implementiert werden.

**[0006]** Der Zustand 11 ist im Diagramm von [Fig. 2B](#) eine Glockenkurve, welche durch Schwellwertspannungen  $V_1$  und  $V_2$  definiert ist, so dass die meisten Speicherzellen, welche auf den Zustand 11 programmiert sind, einen Schwellwert zwischen den Spannungswerten  $V_1$  und  $V_2$  aufweisen. Der Zustand 10 ist eine Glockenkurve, welche durch Schwellwertspannungen  $V_3$  und  $V_4$  definiert ist, so dass die meisten Speicherzellen, welche auf den Zustand 10 programmiert sind, einen Schwellwert zwischen den Spannungswerten  $V_3$  und  $V_4$  aufweisen. Der Zustand 01 ist eine Glockenkurve, welche durch Schwellwertspannungen  $V_5$  und  $V_6$  definiert ist, so dass die meisten Speicherzellen, welche auf den Zustand 01 programmiert sind, einen Schwellwert zwischen den Spannungswerten  $V_5$  und  $V_6$  aufweisen. Der Zustand 00 ist eine Glockenkurve, welche durch die Schwellwertspannungen  $V_7$  und  $V_8$  definiert ist, so dass die meisten Speicherzellen, welche auf den Zustand 00 programmiert sind, einen Schwellwert zwischen den Spannungswerten  $V_7$  und  $V_8$  aufweisen. Trennbereiche existieren zwischen den Zuständen und definieren Referenzspannungen  $V_{ref\_low}$ ,  $V_{ref\_medium}$  und  $V_{ref\_high}$ . Die Referenzspannung  $V_{ref\_low}$  liegt zwischen den Spannungen  $V_2$  und  $V_3$  der Zustände 11 und 10. Die Referenzspannung  $V_{ref\_medium}$  liegt zwischen den Spannungen  $V_4$  und  $V_5$  der Zustände 10 und 01. Die Referenzspannung  $V_{ref\_high}$  liegt zwischen den Spannungen  $V_6$  und  $V_7$  der Zustände 01 und 00.

**[0007]** Ein Flashspeicherbauelement der oben erläuterten Art ist z. B. auch in der Patentschrift US 5.982.667 offenbart.

**[0008]** Mehrbit-Speicherzellen erfordern eine präzise Steuerung der Schwellwertspannung. Die typi-

scherweise höhere Verifizierungsspannung resultiert in relativ engen Zustandsverteilungen und breiten Trennungsbereichen bei der Verifizierungsspannung. Wird aber später eine niedrigere Lesespannung angelegt, dann verbreitern sich die Zustandsverteilungen und die Trennungsbereiche verschmälern sich als Ergebnis der variierenden gm-Verteilungen der Speicherzellen. Dies erhöht die Gefahr von Lesefehlern, d. h. die Wahrscheinlichkeit, dass eine Zelle nach Programmieren, Verifizieren, ob sie im richtigen Zustand ist, und anschließendem Lesen in einem anderen Zustand ist.

[0009] Es ist Aufgabe der Erfindung, ein Verfahren zum Programmieren einer Mehrzahl von Speicherzellen und einen nichtflüchtigen Speicher anzugeben, mit denen sich die oben erwähnten Schwierigkeiten des Standes der Technik wenigstens teilweise beheben lassen.

[0010] Die Erfindung löst diese Aufgabe durch ein Verfahren zum Programmieren einer Mehrzahl von Speicherzellen mit den Merkmalen des Patentanspruchs 1 und durch einen nichtflüchtigen Speicher mit den Merkmalen des Patentanspruchs 6.

[0011] Vorteilhafte Weiterbildungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

[0012] Vorteilhafte, nachfolgend beschriebene Ausführungsformen der Erfindung sowie die zu deren besserem Verständnis oben erläuterten herkömmlichen Ausführungsbeispiele sind in den Zeichnungen dargestellt. Es zeigen:

[0013] [Fig. 1](#) ein schematisches, ausschnittsweise Blockdiagramm eines herkömmlichen Flashspeicherzellenfeldes,

[0014] [Fig. 2A](#) bis [Fig. 2B](#) Zustandsverteilungsdiagramme über der Zellschwellschwellwertspannung für Einzelbit-Speicherzellen bzw. Mehrbit-Speicherzellen entsprechender Flashspeicher,

[0015] [Fig. 3](#) ein Flussdiagramm eines herkömmlichen Programmierverfahrens für Mehrbit-Speicherzellen,

[0016] [Fig. 4](#) ein schematisches Diagramm von Schreib-/Lesespannungen über der Zeit für verschiedene herkömmliche Verifizier- und Programmiervorgänge von Mehrbit-Speicherzellen aus [Fig. 2B](#),

[0017] [Fig. 5](#) ein schematisches Diagramm des Zellenstroms über der Schwellwertspannung in Zusammenhang mit [Fig. 4](#) für die herkömmlichen Mehrbit-Speicherzellen aus [Fig. 2B](#),

[0018] [Fig. 6](#) ein Zustandsverteilungsdiagramm über dem Zellenstrom für herkömmliche Mehr-

bit-Speicherzellen,

[0019] [Fig. 7](#) ein schematisches Diagramm des Zellenstroms über Schreib-/Lesespannungen in Zusammenhang mit [Fig. 6](#),

[0020] [Fig. 8](#) ein Zustandsverteilungsdiagramm über der Schwellwertspannung für Mehrbit-Speicherzellen gemäß den [Fig. 6](#) und [Fig. 7](#),

[0021] [Fig. 9](#) ein schematisches, ausschnittsweise Blockdiagramm eines erfindungsgemäßen Mehrpegel-Speicherbauelements,

[0022] [Fig. 10](#) ein Zustandsverteilungsdiagramm über der Schwellwertspannung für erfindungsgemäße Mehrbit-Speicherzellen,

[0023] [Fig. 11](#) ein Zustandsverteilungsdiagramm entsprechend [Fig. 10](#), jedoch nach einem speziellen Prozess zur Lesetoleranzerhöhung,

[0024] [Fig. 12](#) ein Flussdiagramm zur Veranschaulichung einer erfindungsgemäßen Vorgehensweise und

[0025] [Fig. 13](#) ein schematisches Diagramm von Schreib-/Lesespannungen über der Zeit für verschiedene Verifizier- und Programmiervorgänge der Mehrbit-Speicherzellen aus [Fig. 9](#) bzw. [Fig. 10](#).

[0026] [Fig. 3](#) zeigt ein Flussdiagramm eines herkömmlichen Programmierverfahrens **300** für Mehrbit-Speicherzellen. Wie aus den [Fig. 1](#) und [Fig. 3](#) ersichtlich ist, umfasst das Verfahren **300** im Schritt **302** ein Empfangen eines Programmierbefehls und von Daten, wodurch das Speicherbauelement angewiesen wird, die Daten in das Speicherzellenfeld **100** zu programmieren bzw. zu speichern. Eine Programmierwortleitungsspannung (Programmier-W/L-Spannung) wird in Reaktion auf den Programmierbefehl an das Gate **11** angelegt, wodurch entsprechend den Daten die im floatenden Gate **21** gespeicherte Ladung verändert wird. Im Schritt **304** verifiziert das Verfahren **300** durch Anlegen einer festen Verifizierungsspannung an das Gate **11** und durch Vergleichen der Schwellwertspannung  $V_t$ , des Drainstroms  $I_d$  und/oder der im floatenden Gate **21** gespeicherten Ladung mit einer Referenzspeicherzelle eine erfolgreiche Programmierung.

[0027] Wenn der Verifizierungsvorgang im Schritt **306** nicht bestanden wird, erhöht das Verfahren **300** schrittweise die Programmier-W/L-Spannung im Schritt **308**, empfängt den Programmierbefehl und die Daten im Schritt **310** und verifiziert im Schritt **304** erneut die richtige Zellenprogrammierung. Die im floatenden Gate gespeicherte Ladung erhöht sich mit jedem Anlegen der Programmier-W/L-Spannung. Das bedeutet, dass die im floatenden Gate **21** ge-

speicherte Ladung proportional zu Größe, Dauer und Anzahl der Anwendungen der Programmier-W/L-Spannung ist. Das Verfahren **300** wiederholt die Schritte **304**, **306**, **308** und **310**, bis es im Schritt **312** nach der Verifizierung einer erfolgreichen Programmierung des Bauelements im Schritt **306** beendet wird. Im Verfahren **300** folgt die Verifizierung im Schritt **304** jeweils der Programmierung in den Schritten **302** und **310**.

[0028] **Fig. 4** zeigt ein entsprechendes schematisches Diagramm von W/L-Spannungen über der Zeit. Wie aus den **Fig. 1** und **Fig. 4** ersichtlich ist, werden die Speicherzellen **10** durch Verwenden einer Programmier-W/L-Spannung programmiert und dann durch Verwenden einer Verifizier-W/L-Spannung verifiziert. Die Programmier-W/L-Spannung nimmt mit dem Zustand zu. Das bedeutet, dass die Programmier-W/L-Spannung am niedrigsten ist, wenn die Speicherzelle **10** in den Zustand 11 programmiert wird und progressiv zunimmt, wenn die Speicherzelle **10** in den Zustand 10, 01 bzw. 00 programmiert wird. Die Verifizier-W/L-Spannung bleibt hingegen auf dem gleichen Pegel, um die Zustände 11, 10, 01 und 00 beispielsweise anhand des Stroms durch die Speicherzelle zu verifizieren. Es ist erforderlich, jeden Zustand einschließlich des Zustandes 00 zu verifizieren.

[0029] **Fig. 5** zeigt ein Diagramm eines Zellen- oder Drainstroms über der Schwellwertspannung. Wie aus den **Fig. 1** und **Fig. 3** bis **Fig. 5** ersichtlich ist, programmiert das Verfahren **300** aufeinanderfolgend eine Mehrzahl von Speicherzellen durch abwechselndes Anlegen der progressiv ansteigenden Programmier-W/L-Spannung und der Verifizier-W/L-Spannung an die ausgewählten Speicherzellen. Mit dem Verifizieren einer Speicherzelle, d. h. dass die Zellenprogrammierung bestätigt wird, wird die Auswahl der betreffenden Speicherzelle aufgehoben. Die Verifizier-W/L-Spannung muss höher als die Lesespannung sein, da auch der höchste Zustand 00 verifiziert werden muss. Dies erfordert eine Verifizier-W/L-Spannung, die höher als die höchste Schwellwertspannung im Zustand 00 ist.

[0030] Der Zustand 00 wird über einen Rückschluss gelesen. Das bedeutet, dass auf den Zustand 00 geschlossen wird, wenn durch Lesen festgestellt wird, dass die Speicherzelle nicht in einem der Zustände 11, 01 und 10 ist. Daher braucht die Lesespannung nur auf die höchste Schwellwertspannung des nächst höchsten Zustandes ansteigen, d. h. des Zustandes 01. Die Lesewortleitungsspannung (Lese-W/L-Spannung) ist daher typischerweise kleiner als die Verifizier-W/L-Spannung.

[0031] **Fig. 6** zeigt ein Diagramm der Zustandsverteilung über dem Zellenstrom mit drei Speicherzellen A, B und C, welche alle einen Zellenstromwert  $I_a$  auf-

weisen. **Fig. 7** zeigt ein schematisches Diagramm des Zellenstroms über der Wortleitungsspannung für die Zellen A, B und C. **Fig. 8** zeigt ein Diagramm der Zustandsverteilung über der Zellschwellwertspannung. Wie aus den **Fig. 6** bis **Fig. 8** ersichtlich ist, kann es sein, dass verschiedene Speicherzellen, z. B. die Speicherzellen A, B und C, identische Zellenströme  $I_a$  für eine gleiche Verifizier-W/L-Spannung aufweisen. Da aber die Lesewortleitungsspannung typischerweise niedriger als die Verifizierwortleitungsspannung ist, sind die Lesezellenströme  $I_{A, I_B, I_C}$  für die Speicherzellen A, B und C wegen der Schwankung in den gm-Verteilungen der Speicherzellen niedriger und/oder voneinander verschieden. Diese Differenz resultiert in aufgeweiteten Zustandsbereichsbereichen und schmaler werdenden Trennungsbereichen zwischen den Zustandsspannungsbereichen, wie aus **Fig. 8** ersichtlich ist. Daher verschlechtert die typischerweise im Vergleich zur Verifizierwortleitungsspannung niedrigere Lesewortleitungsspannung die Lesegenauigkeit.

[0032] **Fig. 9** zeigt ausschnittsweise ein erfindungsgemäßes Mehrpegel-Speicherbauelement **900** mit einem Feld **100** von Flashspeicherzellen **10**. Jede Flashspeicherzelle **10** kann beispielsweise als Feldeffekttransistor FET ausgeführt sein. Die Flashspeicherzelle **10** umfasst ein Gate **11**, ein floatendes Gate **21**, eine Source **31** und eine Drain **41**. Die Source **31** ist mit einer Abtastleitung S/L gekoppelt. Die Drain **41** arbeitet in Reaktion auf korrespondierende Bitleitungen B/L0, B/L1, ..., B/L511. Das Gate **11** arbeitet in Reaktion auf eine jeweilige Wortleitung W/L0, W/L1, ..., W/L1023. Die Wortleitungen W/L0, W/L1, ..., W/L1023 sind mit einer Steuerschaltung **50** gekoppelt. Die Steuerschaltung **50** erzeugt oder stellt in anderer Weise den Wortleitungen W/L0, W/L1, ..., W/L1023 Spannungssignale oder Spannungsimpulse zur Verfügung, wie nachfolgend genauer beschrieben wird. Die Steuerschaltung **50** kann als Software, Hardware oder durch andere dem Fachmann bekannte Mittel implementiert werden.

[0033] Die **Fig. 10** und **Fig. 11** zeigen Diagramme von spannungsabhängig aufgetragenen Zustandsverteilungsbereichen gemäß der Erfindung. Eine erfindungsgemäße Ausführungsform beinhaltet die Maßnahme, die Lesewortleitungsspannung im Wesentlichen gleich der Verifizierwortleitungsspannung zu machen, wie in den **Fig. 10** und **Fig. 11** dargestellt ist. Dadurch werden die Spannungszustandsbereiche schmaler und die Trennungsbereiche zwischen den Zuständen 11 und 10 sowie zwischen den Zuständen 10 und 01 aufgeweitet, wodurch die Lesegenauigkeit verbessert wird. Dadurch, dass die Lesespannung und die Verifizierungsspannung gleich sind, ergibt sich aber zwischen den Zuständen 01 und 00 nur eine relativ kleine Lesetoleranz, wenn keine weiteren Maßnahmen getroffen werden, wie aus den **Fig. 10** und **Fig. 11** ersichtlich ist, siehe insbe-

sondere die gestrichelte Kennlinie in [Fig. 11](#).

[0034] [Fig. 11](#) zeigt die Zustandskurven für die Zustände 11, 10, 01 und 00 als schmale Glockenkurven mit breiten Trennungsbereichen dazwischen, wenn die Lesewortleitungsspannung und die Verifizierwortleitungsspannung im Wesentlichen gleich sind. Dies steht im Kontrast zu den entsprechenden, in [Fig. 8](#) dargestellten Zustandskurven im herkömmlichen Fall, bei dem die von der Verifizierwortleitungsspannung verschiedene Lesewortleitungsspannung in breiteren Zustandskurven mit schmalen Trennungsbereichen dazwischen resultiert, wodurch die Lesegenauigkeit verschlechtert wird.

[0035] Durch das Gleichsetzen der Lesewortleitungsspannung und der Verifizierwortleitungsspannung kann die Lesespannungstoleranz zwischen den Zuständen 01 und 00 kleiner werden, wie aus den [Fig. 10](#) und [Fig. 11](#) ersichtlich ist, da die Lese-/Verifizierwortleitungsspannung gerade oberhalb der Schwellwertspannung liegt, welche erforderlich ist, um die Transistoren für den Zustand 01 leitend zu schalten. Es sei daran erinnert, dass der Zustand 00 durch Rückschluss gelesen wird. Das bedeutet, dass auf den Zustand 00 rückgeschlossen wird, wenn ausgelesen wird, dass die Speicherzelle sich nicht in den Zuständen 11, 10 und 01 befindet und daher kein Stromfluss in assoziierten Speicherzellen detektiert wird.

[0036] Um die Lesespannungstoleranz zwischen den Zuständen 01 und 00 zu verbessern und dennoch die Lesewortleitungsspannung gleich der Verifizierwortleitungsspannung zu halten, umfasst die Erfindung eine Programmierung von Speicherzellen ohne zwischenzeitliche Verifizierungsvorgänge, wie nachfolgend unter Bezugnahme auf [Fig. 12](#) beschrieben wird. Dadurch wird die im Speichergate 21 gespeicherte Ladung proportional ohne zwischenzeitlichen Verifizierungsvorgang erhöht. Durch die Erhöhung der im Speichergate 21 gespeicherten Ladung wird die Kennlinie für den Zustand 00 auf die rechte Seite der Lese-/Verifizierwortleitungsspannung verschoben, wie aus [Fig. 11](#) ersichtlich ist, wodurch die Lesetoleranz erhöht wird, während die Lesegenauigkeit dadurch erhöht wird, dass die Lesewortleitungsspannung gleich der Verifizierwortleitungsspannung ist.

[0037] [Fig. 12](#) zeigt ein Flussdiagramm einer entsprechenden erfindungsgemäßen Vorgehensweise. Wie aus [Fig. 12](#) ersichtlich ist, umfasst diese Vorgehensweise ein Verfahren 1100, welches das Verfahren 300 aus [Fig. 3](#) beinhaltet, das durch einen Flagsetzprozess 1102 und einen Schleifenprozess 1104 modifiziert ist. Nach der Programmierung im Schritt 302 führt das Verfahren 1100 den Flagsetzprozess 1102 aus. Das Verfahren bestimmt hierbei im Schritt 1106, ob die Speicherzelle Daten mit dem Zustand 00

enthält. Befindet sich die Speicherzelle im Zustand 00, dann setzt das Verfahren im Schritt 1108 ein Flag, d. h. ein Markierbit, auf den Wert 1. Verifiziert das Verfahren 1100 im Schritt 306 die Programmierung der Speicherzelle, dann wird der Schleifenprozess 1104 ausgeführt. Das Verfahren 1100 überprüft hierbei im Schritt 1110, ob das Flag auf den Wert 1 gesetzt ist oder auf dem Ursprungswert 0 liegt. Ist das Flag nicht auf den Wert 1 gesetzt, dann wird das Verfahren 1100 mit dem Schritt 312 beendet. Wird im Schritt 1110 festgestellt, dass das Flag auf den Wert 1 gesetzt ist, weil die Speicherzelle auf den Zustand 00 programmiert ist, dann wird im Schritt 1112 ein Zähler COUNT auf Null gesetzt. Das Verfahren 1100 erhöht schrittweise die Wortleitungsspannung im Schritt 1114, programmiert die Speicherzelle im Schritt 1116 und erhöht im Schritt 1120 den Zählerstand um 1, bis er im Schritt 1118 einen vorbestimmten Grenzwert erreicht, z. B. 10, der programmierbar, d. h. einstellbar sein kann. Erreicht der Zählerstand im Schritt 1118 den vorbestimmten Grenzwert, dann wird die Programmierung im Schritt 312 beendet. Durch das Ausführen des Schleifenprozesses 1104 verschiebt das Verfahren effektiv den Zustand 00 des Spannungsbereichs in [Fig. 11](#) nach rechts, wie oben beschrieben ist.

[0038] [Fig. 13](#) zeigt ein Diagramm der Wortleitungsspannung über der Zeit. Wie aus den [Fig. 12](#) und [Fig. 13](#) ersichtlich ist, umfasst das Verfahren 1100 den Schleifenprozess 1104, welcher die Speicherzelle im Schritt 1116 programmiert und den Zählerstand im Schritt 1120 solange erhöht, bis der Zählerstand im Schritt 1118 den vorbestimmten Grenzwert erreicht, z. B. 10, der programmierbar bzw. einstellbar ausgeführt werden kann. Erreicht der Zählerstand im Schritt 1118 den vorbestimmten Grenzwert, dann wird die Programmierung in Schritt 312 beendet.

## Patentansprüche

1. Verfahren zur Programmierung einer Mehrzahl von Speicherzellen (10) in einen Sollzustand, wobei eine jeweilige Speicherzelle mehr als zwei mögliche Zustände aufweist, gekennzeichnet durch die Schrittfolge:

- Durchführen eines Programmierschrittes für die jeweilige Speicherzelle (10),
- Verifizieren, dass die jeweilige Speicherzelle den Sollzustand erreicht hat, und
- Durchführen eines zusätzlichen Programmierschrittes für diejenigen Speicherzellen, deren Sollzustand ein höchster der möglichen Zustände ist, um diese auf einen höheren Pegel zu programmieren, ohne ihren Zustand weiter zu verifizieren.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass das Durchführen des Programmierschrittes das Anlegen von wenigstens einem Programmierimpuls an die Speicherzelle (10) beinhaltet

und/oder das Durchführen des zusätzlichen Programmierschrittes das Anlegen von wenigstens einem zusätzlichen Programmierimpuls an die Speicherzelle **(10)** beinhaltet.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Verifizierung folgende Schritte umfasst:

- Anlegen einer Verifizierungsspannung an die Speicherzelle **(10)** und
- Anlegen einer Lesespannung, welche gleich der Verifizierungsspannung ist, um Daten von der programmierten Speicherzelle **(10)** zu lesen.

4. Verfahren nach Anspruch 2 oder 3, dadurch gekennzeichnet, dass der zusätzliche Programmierschritt für die Speicherzelle **(10)** ohne weitere Verifizierung ihres Zustandes eine Lesetoleranzspanne zwischen dem höchsten Zustand und dem nächst höchsten Zustand oder dem höheren Pegel vergrößert.

5. Verfahren nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, dass der Programmierschritt für die Speicherzelle und das Verifizieren, dass die Speicherzelle den Sollzustand erreicht hat, abwechselnd und wiederholt ausgeführt werden, bis der zusätzliche Programmierschritt durchgeführt wird.

6. Nichtflüchtiger Speicher mit

- einer Mehrzahl von Speicherzellen **(10)** mit jeweils mehr als zwei möglichen Zuständen, gekennzeichnet durch
- ein Mittel **(50)** zum Anlegen von wenigstens einem Programmierimpuls an die Speicherzellen **(10)**,
- ein Mittel **(50)** zum Verifizieren, dass jede Speicherzelle einen Sollzustand erreicht hat, und
- ein Mittel **(50)** zum Anlegen von wenigstens einem zusätzlichen Programmierimpuls an Speicherzellen **(10)**, deren Sollzustand ein höchster der möglichen Zustände ist, ohne den Zustand dieser Speicherzellen **(10)** weiter zu verifizieren.

7. Nichtflüchtiger Speicher nach Anspruch 6, dadurch gekennzeichnet, dass das Mittel zur Verifizierung **(50)** folgende Komponenten umfasst:

- ein Mittel zum Anlegen einer Verifizierungsspannung an die Speicherzelle und
- ein Mittel zum Anlegen einer Lesespannung, welche gleich der Verifizierungsspannung ist, um Daten aus den programmierten Speicherzellen zu lesen.

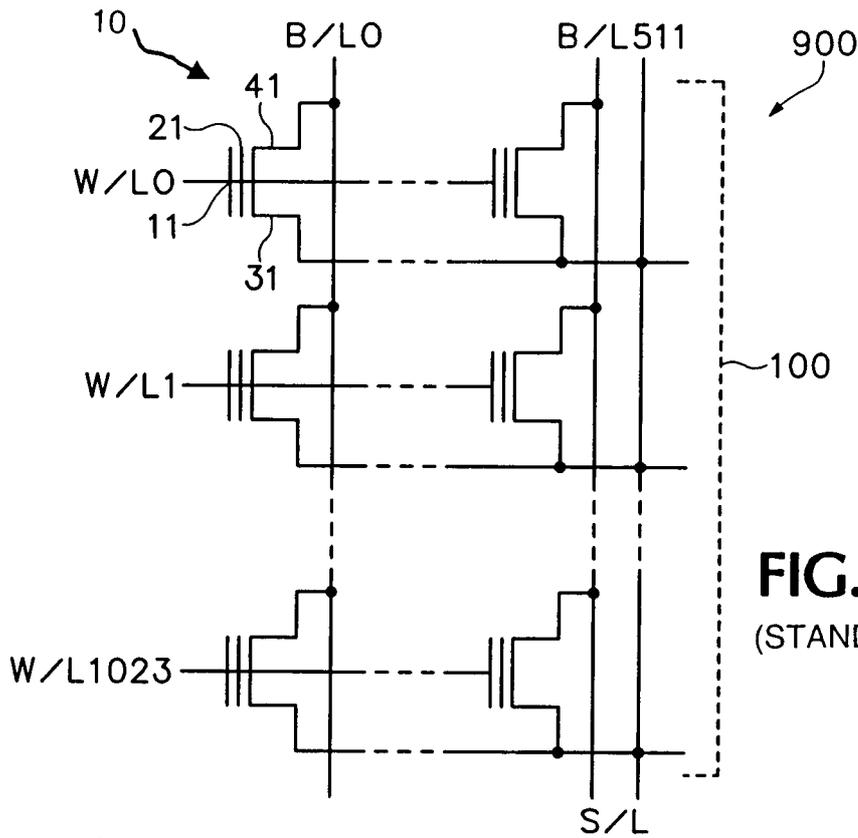
8. Nichtflüchtiger Speicher nach Anspruch 6 oder 7, dadurch gekennzeichnet, dass das Mittel **(50)** zum Anlegen des wenigstens einen zusätzlichen Programmierimpulses an die ausgewählten Speicherzellen ohne weitere Verifizierung des Zustandes dieser Speicherzellen ein Mittel zum Vergrößern einer Lesetoleranzspanne zwischen dem höchsten Zustand und dem nächst höchsten Zustand umfasst.

9. Nichtflüchtiger Speicher nach einem der Ansprüche 6 bis 8, dadurch gekennzeichnet, dass das Mittel **(50)** zum Anlegen des mindestens einen Programmierimpulses an die Speicherzellen und das Mittel zur Verifizierung für abwechselnden und wiederholten Betrieb, bis das Mittel zum Anlegen des zusätzlichen Programmierimpuls aktiviert ist, eingerichtet sind.

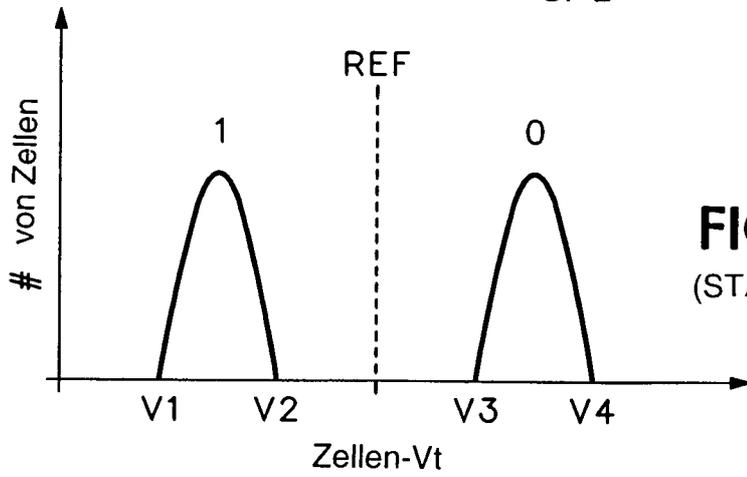
10. Nichtflüchtiger Speicher nach einem der Ansprüche 6 bis 9, dadurch gekennzeichnet, dass die mehr als zwei möglichen Zustände der jeweiligen Speicherzelle unterschiedlichen Ladungswerten entsprechen.

Es folgen 9 Blatt Zeichnungen

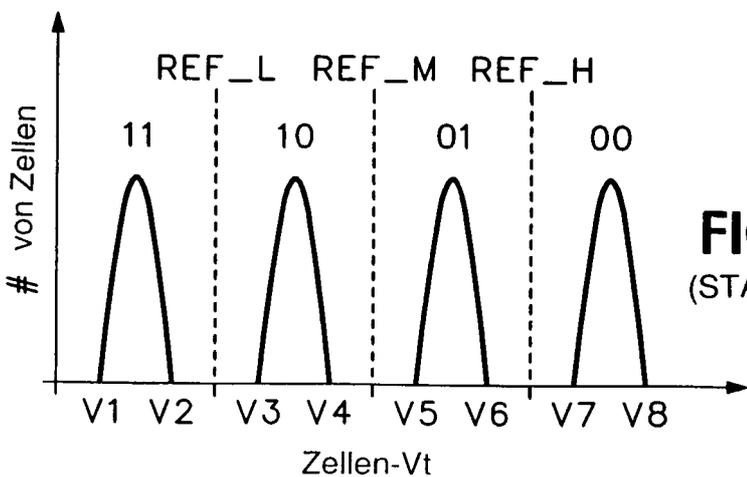
Anhängende Zeichnungen



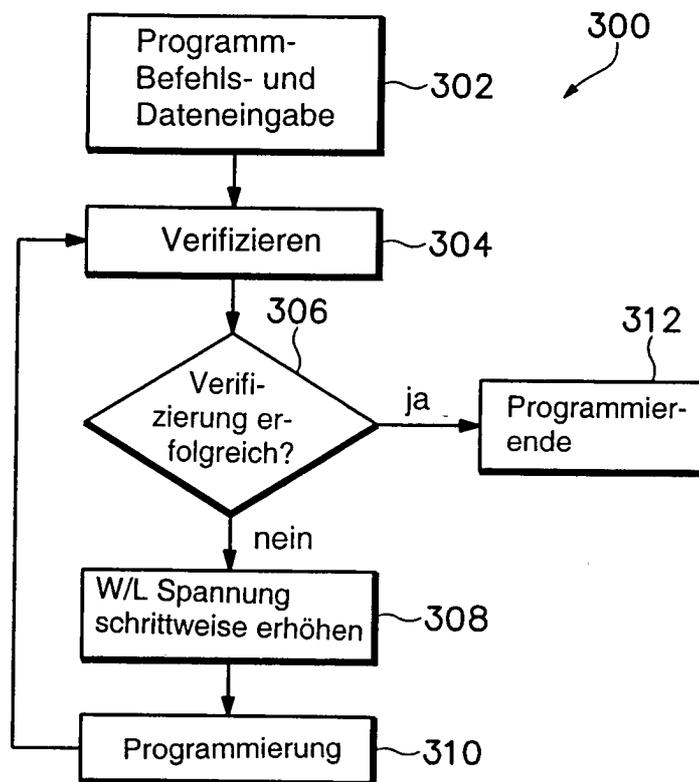
**FIG. 1**  
(STAND DER TECHNIK)



**FIG. 2A**  
(STAND DER TECHNIK)

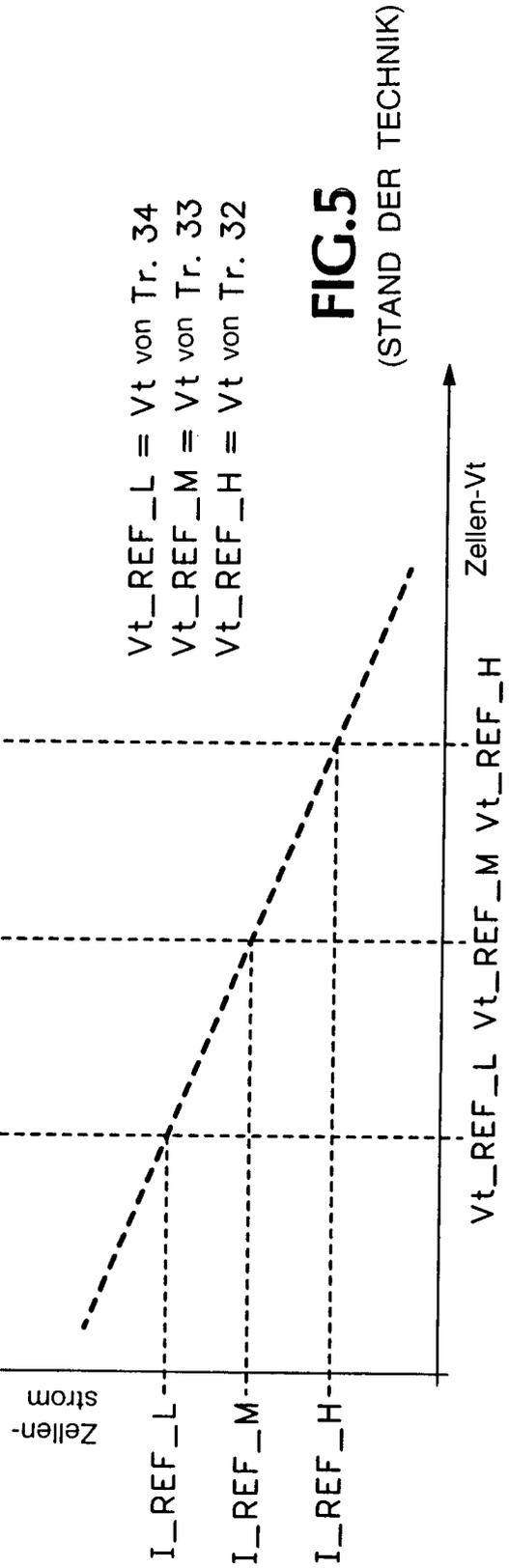
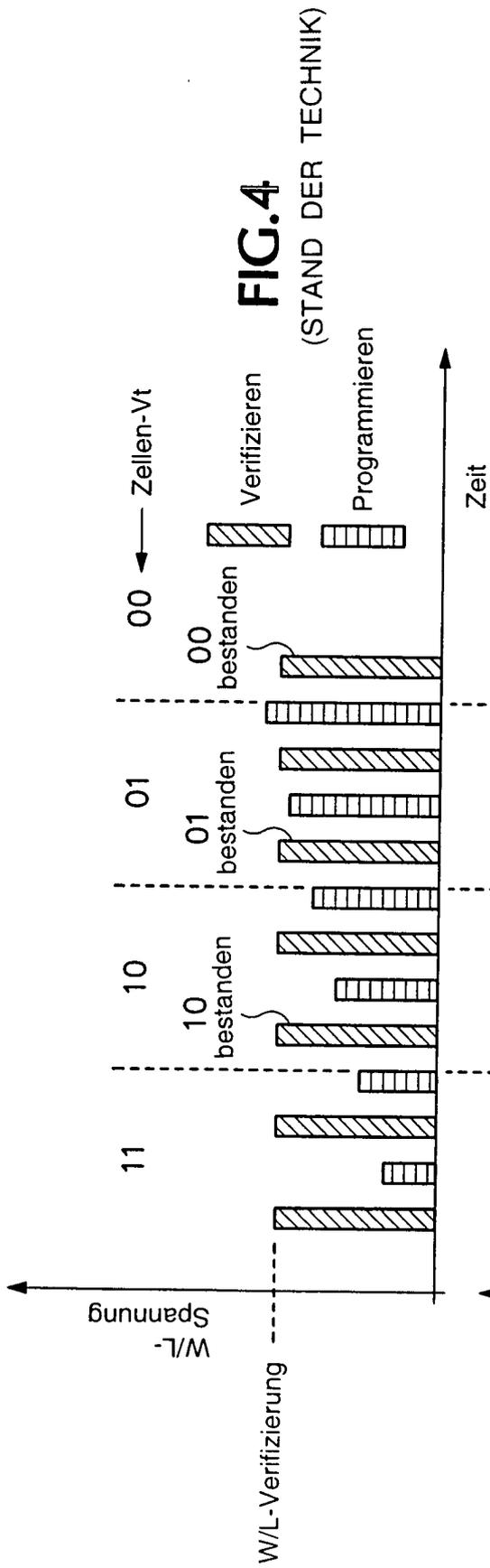


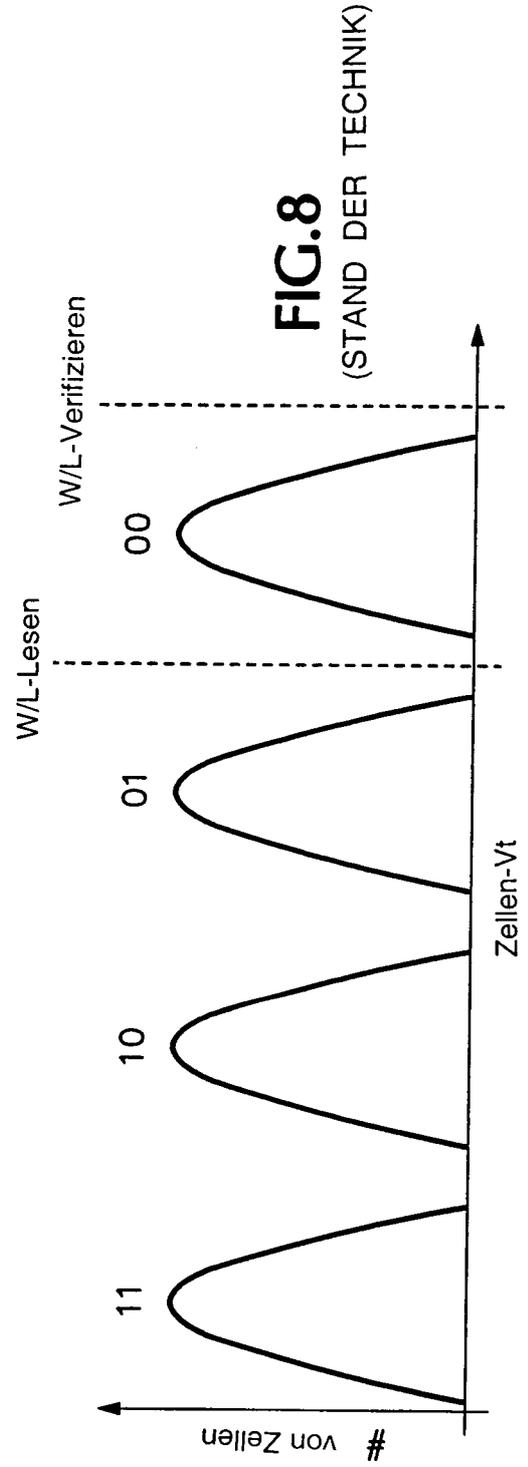
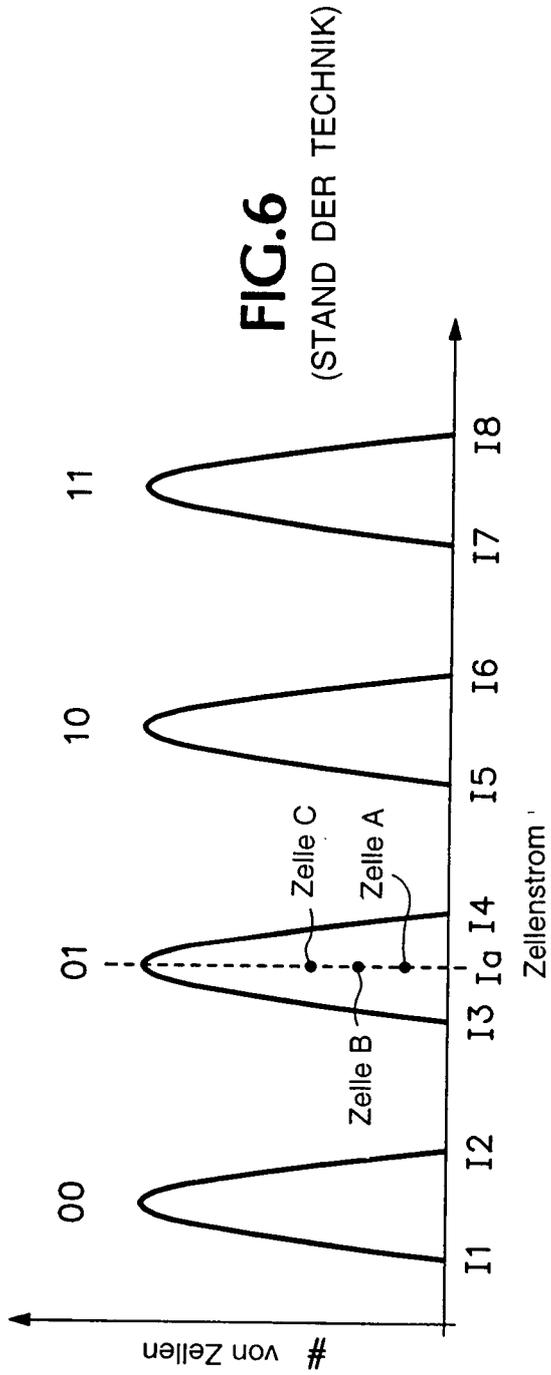
**FIG. 2B**  
(STAND DER TECHNIK)

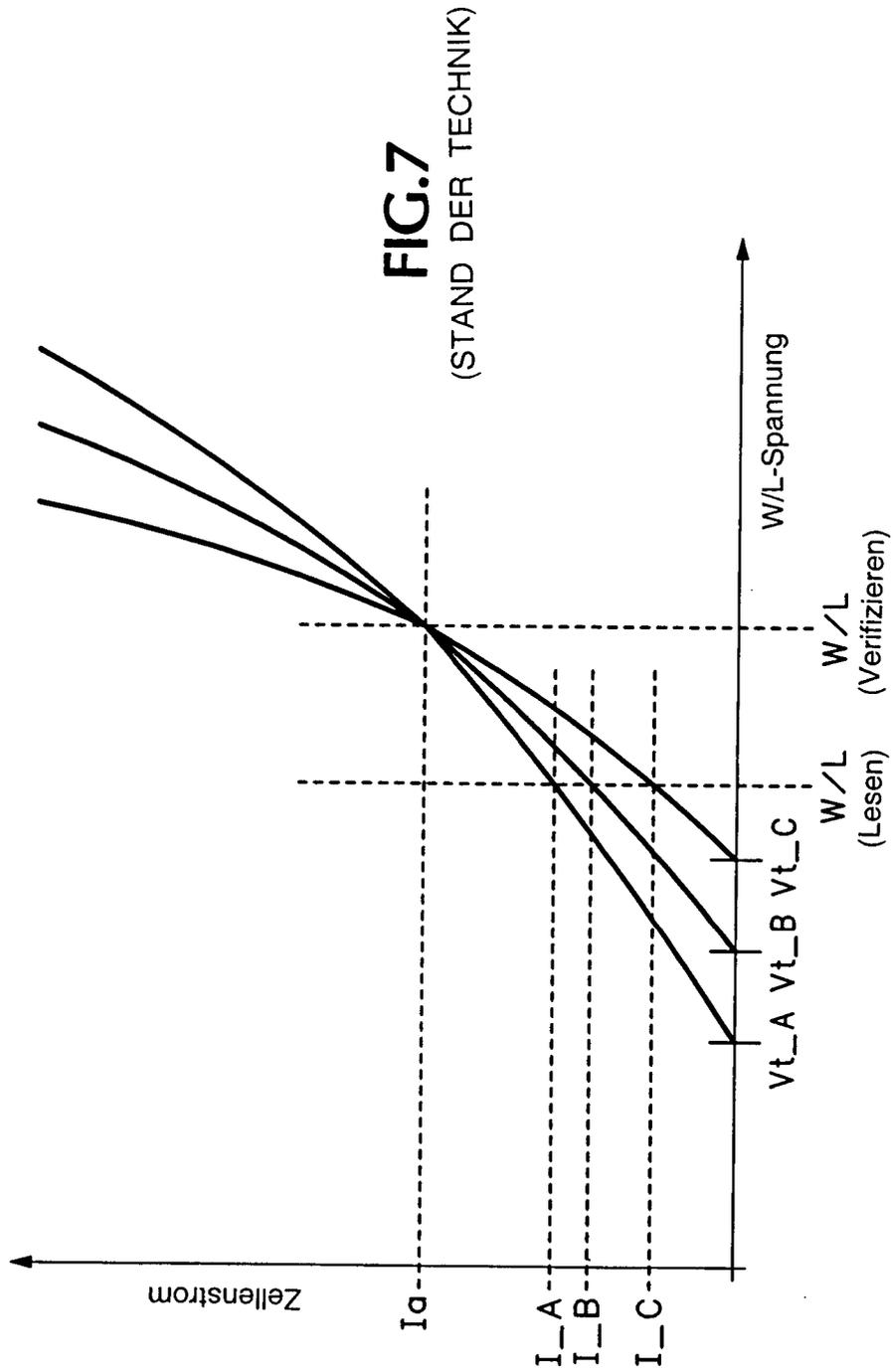


**FIG.3**

(STAND DER TECHNIK)







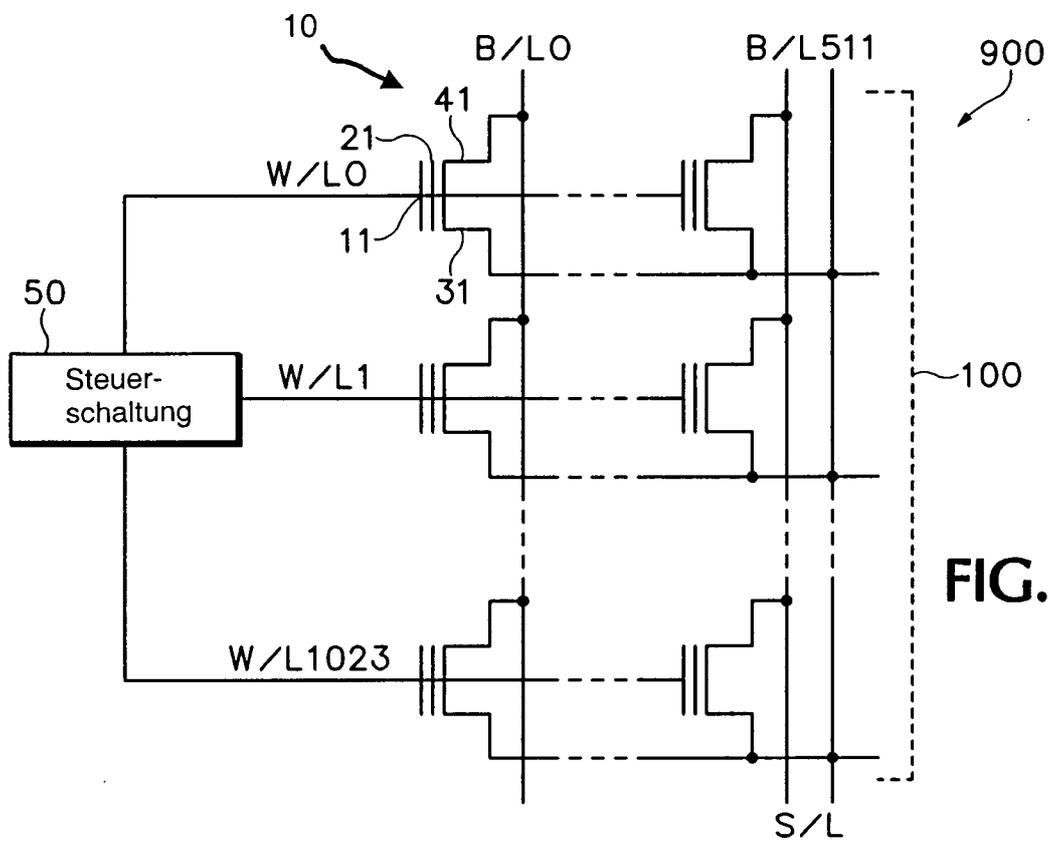


FIG.9

