



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2011년02월25일  
 (11) 등록번호 10-1018103  
 (24) 등록일자 2011년02월21일

(51) Int. Cl.

*H01L 29/78* (2006.01)

(21) 출원번호 10-2005-7002426

(22) 출원일자(국제출원일자) 2003년08월08일

심사청구일자 2008년08월07일

(85) 번역문제출일자 2005년02월12일

(65) 공개번호 10-2005-0047099

(43) 공개일자 2005년05월19일

(86) 국제출원번호 PCT/US2003/025057

(87) 국제공개번호 WO 2004/015782

국제공개일자 2004년02월19일

(30) 우선권주장

10/217,758 2002년08월12일 미국(US)

10/342,576 2003년01월14일 미국(US)

(56) 선행기술조사문헌

US19915021365 A1

EP0295490 A

EP0789388 A

전체 청구항 수 : 총 45 항

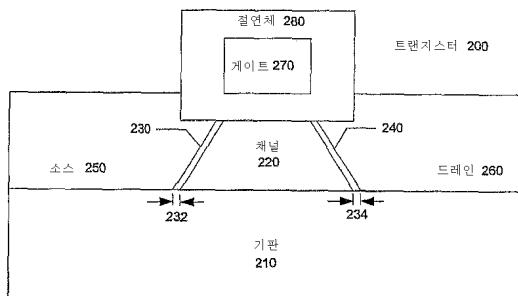
심사관 : 정두한

(54) 채널에 대한 패시베이팅 쇼트키 배리어들을 가진 절연 게이트 전계 효과 트랜지스터

### (57) 요 약

트랜지스터는, 게이트(270) 근처에 배치되고 적어도 하나가 금속으로 이루어진 소스와 드레인 사이의 전기적 경로에 배치되는 반도체 채널(220)을 포함하며, 상기 채널과 상기 소스 또는 드레인 중 적어도 하나는 채널-계면층-소스/드레인 접합부를 형성하기 위해 계면층에 의해 분리되며, 상기 반도체 채널의 페르미 준위는 상기 접합부 근처의 영역에서 디파닝되고, 상기 접합부는 약  $1000 \Omega\text{-}\mu\text{m}^2$  미만의 특정 콘택 저항을 갖는다. 상기 계면층은 상기 반도체 채널의 질화물, 불화물, 산화물, 산질화물, 수소화물, 및/또는 비화물과 같은 패시베이팅 물질을 포함할 수 있다. 몇몇 경우들에서, 상기 계면층은 상기 반도체 채널의 페르미 준위를 탈-결합시키도록 구성되는 단일층, 또는 상기 표면의 화학적 안정성을 달성하기 위해 상기 반도체 채널의 모든 개수 또는 충분한 개수의 맹글링 결합들을 제거하기에 충분한 패시베이션 물질의 양을 본질적으로 포함할 수 있다. 또한, 상기 계면층은 상기 패시베이팅 물질과 상이한 물질의 분리층을 포함할 수 있다. 상기 분리층의 사용시, 상기 분리층은 상기 반도체 채널에서 금속-유도 캡 상태들의 영향들을 감소시키기에 충분한 두께를 갖는다.

**대 표 도** - 도2



## 특허청구의 범위

### 청구항 1

트랜지스터로서,

(i) 채널 내의 전도율을 조절하도록 구성되는 게이트 근처에 배치되고, (ii) 소스와 드레인 사이의 전기적 경로에 배치되는, 반도체 채널을 포함하며,

상기 소스와 상기 드레인 중 적어도 하나는 금속으로 이루어지고,

상기 채널과 상기 소스 및 상기 드레인 중 적어도 하나는 상기 금속으로 이루어지며, 채널-계면층-소스/드레인 접합부를 형성하기 위해 계면층에 의해 분리되고, 상기 반도체 채널의 페르미 준위는 상기 접합부 근처의 영역에서 디피닝되며(depinning), 상기 접합부는  $1000 \Omega-\mu\text{m}^2$  미만의 특정 콘택 저항을 갖는,

트랜지스터.

### 청구항 2

제 1 항에 있어서,

상기 반도체 채널은 Si, Ge, SiGe, SiGeC, 또는 SiC 중 하나로 이루어지는, 트랜지스터.

### 청구항 3

제 1 항에 있어서,

상기 금속은 순 금속, 합금, 또는 내화 금속 중 하나를 포함하는, 트랜지스터.

### 청구항 4

제 1 항에 있어서,

상기 금속은 알루미늄을 포함하는, 트랜지스터.

### 청구항 5

제 1 항에 있어서,

상기 특정 콘택 저항은  $100 \Omega-\mu\text{m}^2$  이하인, 트랜지스터.

### 청구항 6

제 1 항에 있어서,

상기 특정 콘택 저항은  $50 \Omega-\mu\text{m}^2$  이하인, 트랜지스터.

### 청구항 7

제 1 항에 있어서,

상기 특정 콘택 저항은  $10 \Omega-\mu\text{m}^2$  이하인, 트랜지스터.

### 청구항 8

제 1 항에 있어서,

상기 특정 콘택 저항은  $1 \Omega-\mu\text{m}^2$  이하인, 트랜지스터.

### 청구항 9

제 1 항에 있어서,

상기 계면층은 패시베이팅 물질을 포함하는, 트랜지스터.

#### 청구항 10

제 9 항에 있어서,

상기 패시베이팅 물질은 상기 반도체 채널의 질화물, 상기 반도체 채널의 불화물, 상기 반도체 채널의 산화물, 상기 반도체 채널의 산질화물(oxynitride), 상기 반도체 채널의 수소화물 및 상기 반도체 채널의 비화물 중 하나 이상을 포함하는, 트랜지스터.

#### 청구항 11

제 10 항에 있어서,

상기 계면층은 상기 반도체 채널의 표면의 화학적 안정성을 달성하기 위해 상기 반도체 채널의 표면의 댕글링 결합(dangling bond)들을 제거할 수 있도록 패시베이팅 물질의 양을 필수적으로 포함하는, 트랜지스터.

#### 청구항 12

제 10 항에 있어서,

상기 계면층은 상기 반도체 채널의 페르미 준위를 디피닝(depin)시키도록 구성되는 단일층을 필수적으로 포함하는, 트랜지스터.

#### 청구항 13

제 12 항에 있어서,

상기 계면층은 상기 반도체 채널에서 금속-유도 캡 상태들의 영향들을 감소시킬 수 있는 두께를 갖는, 트랜지스터.

#### 청구항 14

제 9 항에 있어서,

상기 계면층은 분리층을 더 포함하는, 트랜지스터.

#### 청구항 15

제 14 항에 있어서,

상기 분리층은 상기 반도체 채널에서 금속-유도 캡 상태들의 영향들을 감소시킬 수 있는 두께를 갖는, 트랜지스터.

#### 청구항 16

제 1 항에 있어서,

상기 반도체 채널은 유전체에 의해 상기 게이트로부터 분리되는, 트랜지스터.

#### 청구항 17

트랜지스터의 반도체 채널의 하나 이상의 표면들상에 계면층을 형성하는 단계; 및

채널-계면층-소스/드레인 접합부를 형성하기 위해 상기 반도체 채널에 대향하는 상기 계면층의 하나 이상의 표면들상에 상기 트랜지스터를 위한 소스 또는 드레인 단자를 형성하는 단계

를 포함하고, 상기 반도체 채널의 페르미 준위는 상기 접합부 근처의 영역에서 디피닝되며, 상기 접합부는  $1000 \Omega - \mu\text{m}^2$  미만의 특정 콘택 저항을 갖는,

방법.

#### 청구항 18

제 17 항에 있어서,

상기 반도체 채널은 상기 반도체 채널 상부에 형성되는 게이트 구조물에 의해 적어도 부분적으로 형성된 마스크에 의해 보호되지 않는 반도체 기판의 일부분을 제거함으로써 형성되는, 방법.

#### 청구항 19

제 17 항에 있어서,

상기 특정 콘택 저항은  $100 \Omega\text{-}\mu\text{m}^2$  이하인, 방법.

#### 청구항 20

제 17 항에 있어서,

상기 특정 콘택 저항은  $50 \Omega\text{-}\mu\text{m}^2$  이하인, 방법.

#### 청구항 21

제 17 항에 있어서,

상기 특정 콘택 저항은  $10 \Omega\text{-}\mu\text{m}^2$  이하인, 방법.

#### 청구항 22

제 17 항에 있어서,

상기 특정 콘택 저항은  $1 \Omega\text{-}\mu\text{m}^2$  이하인, 방법.

#### 청구항 23

제 17 항에 있어서,

상기 반도체 채널은 Si, Ge, SiGe, SiGeC, 또는 SiC 중 하나로 이루어지는, 방법.

#### 청구항 24

제 23 항에 있어서,

게이트는 상기 반도체 채널 상부에 배치된 산화물층 상에 형성되는, 방법.

#### 청구항 25

제 24 항에 있어서,

상기 산화물층은 상기 게이트와 상기 반도체 채널 사이에 용량성 결합(capacitive coupling)만을 제공할 수 있는 두께를 가지는 유전체층을 포함하는, 방법.

#### 청구항 26

제 24 항에 있어서,

상기 산화물층은 기판을 산화시킴으로써 상기 반도체 기판 상부에 형성되는, 방법.

#### 청구항 27

제 26 항에 있어서,

상기 산화물층 상에 금속층을 증착하고 리소그래피 노광을 기반으로 상기 증착된 금속층의 일부분을 제거함으로써, 상기 게이트가 상기 산화물층 상에 형성되는, 방법.

#### 청구항 28

제 25 항에 있어서,

상기 소스 또는 드레인 단자는 상기 반도체 기판 상에 시드층 물질을 이방성으로 증착함으로써 형성된 시드층으로부터 형성되는, 방법.

### 청구항 29

제 27 항에 있어서,

상기 계면층은 상기 반도체 채널에 패시베이션 물질의 적어도 단일층을 공유 결합함으로써 형성되는, 방법.

### 청구항 30

제 29 항에 있어서,

상기 패시베이션 물질은 상기 반도체 채널의 질화물, 상기 반도체 채널의 불화물, 상기 반도체 채널의 산화물, 상기 반도체 채널의 산질화물, 상기 반도체 채널의 수소화물 및 상기 반도체 채널의 비화물 중 하나 이상을 포함하는, 방법.

### 청구항 31

제 29 항에 있어서,

상기 계면층은 상기 패시베이션 물질과 상이한 물질을 포함하는 분리층을 포함하는, 방법.

### 청구항 32

제 31 항에 있어서,

상기 분리층을 구성하는 물질은 상기 반도체 채널의 산화물을 포함하는, 방법.

### 청구항 33

제 17 항에 있어서,

상기 계면층은 상기 반도체 채널의 하나 이상의 표면들의 화학적 안정성을 달성하기 위해 상기 반도체 채널의 하나 이상의 표면들의 모든 또는 몇몇의 데그링 결합들을 제거할 수 있도록 패시베이션 물질의 양을 포함하는, 방법.

### 청구항 34

전기적 장치로서,

게이트 근처에 배치되고, 소스와 드레인 사이의 전기적 경로에 배치되는 반도체 채널을 갖는 트랜지스터에 결합된 회로를 포함하고,

상기 소스와 상기 드레인 중 적어도 하나는 금속으로 이루어지며, 상기 채널과 상기 소스 및 상기 드레인 중 적어도 하나는 상기 금속으로 이루어지고 채널-계면층-소스/드레인 접합부를 형성하기 위해 계면층에 의해 분리되며, 상기 반도체 채널의 페르미 준위는 상기 접합부 근처의 영역에서 디파닝되고, 상기 접합부는  $1000 \Omega - \mu\text{m}^2$  미만의 특정 콘택 저항을 갖는,

전기적 장치.

### 청구항 35

제 34 항에 있어서,

상기 반도체 채널은 유전체에 의해 상기 게이트로부터 분리되는, 전기적 장치.

### 청구항 36

제 35 항에 있어서,

상기 특정 콘택 저항은  $100 \Omega-\mu\text{m}^2$  이하인, 전기적 장치.

### 청구항 37

제 35 항에 있어서,

상기 특정 콘택 저항은  $50 \Omega-\mu\text{m}^2$  이하인, 전기적 장치.

### 청구항 38

제 35 항에 있어서,

상기 특정 콘택 저항은  $10 \Omega-\mu\text{m}^2$  이하인, 전기적 장치.

### 청구항 39

제 35 항에 있어서,

상기 특정 콘택 저항은  $1 \Omega-\mu\text{m}^2$  이하인, 전기적 장치.

### 청구항 40

제 35 항에 있어서,

상기 반도체 채널은 Si, Ge, SiGe, SiGeC, 또는 SiC 중 하나로 이루어지는, 전기적 장치.

### 청구항 41

제 35 항에 있어서,

상기 계면층은 패시베이팅 물질을 포함하는, 전기적 장치.

### 청구항 42

제 41 항에 있어서,

상기 계면층은 패시베이션 물질과 상이한 물질을 포함하는 분리층을 포함하는, 전기적 장치.

### 청구항 43

제 41 항에 있어서,

상기 계면층은 상기 반도체 채널에서 금속-유도 캡 상태들의 영향들을 감소시킬 수 있는 두께를 갖는, 전기적 장치.

### 청구항 44

제 41 항에 있어서,

상기 계면층은 상기 접합부 근처의 영역에서 상기 반도체 채널의 표면의 화학적 안정성을 달성하기 위해 상기 반도체 채널의 모든 또는 몇몇의 맹글링 결합들을 제거할 수 있도록 패시베이팅 물질의 양을 포함하는, 전기적 장치.

### 청구항 45

제 44 항에 있어서,

상기 패시베이팅 물질의 양은 단일층을 포함하는, 전기적 장치.

## 명세서

## 기술분야

[0001] 본 출원은 2002년 8월 12일 출원되고 본 출원과 동일한 양도인에게 양도된 Daniel Grupp 및 Daniel J. Connelly에 의한 발명의 명칭이 "Method for Depinning the Fermi Level of a Semiconductor at an Electrical Junction and Devices Incorporating Such Junctions"인 공동 계류중인 일부 계속 출원 미국특허출원 10/217,758이다. 본 특허 출원은 전체적으로 여기에 참조로써 통합된다.

[0002] 본 발명은 일반적으로 고체 상태 스위칭 및 증폭 장치들에 관한 것이다. 특히, 본 발명은 소스로부터 채널로 및/또는 채널로부터 드레인으로 패시베이팅된 금속 반도체 접합부를 가지며 채널을 포함하는 반도체의 페르미 준위가 디피닝(depinning)되는 트랜지스터에 관한 것이다.

## 배경 기술

[0003] 현대 소자들에서 사용된 가장 기본적인 전기 접합중 하나는 금속-반도체 접합이다. 이들 접합들에서, 금속(알루미늄 같은)은 반도체(실리콘과 같은)와 접촉하게 된다. 이것은 본질적으로 정류할 수 있는 소자(다이오드)를 형성한다; 즉, 상기 접합은 다른 방향으로 보다 바람직하게 한쪽 방향으로 보다 많은 전류를 도통시키고자 할 것이다. 다른 경우들에서, 사용된 물질들에 따라, 상기 접합은 자연적으로 오움 접합일 수 있다(즉, 상기 접촉은 전류 흐름 방향에 무관하게 무시할 수 있는 저항을 가질 수 있다). 다이오드들외에, 상기 금속-반도체 접합들은 MOSFET들(금속 산화물 반도체 전계 효과 트랜지스터들)로서 공지된 트랜지스터들 종류에서 소스/드레인-채널 인터페이스들에 제공된다.

[0004] 상기 인용된 특허 출원에서 설명된 바와같이, 소위 쇼트키 배리어가 금속-반도체 접촉부에 존재한다. 종래 금속 반도체 접합에서 쇼트키 배리어는 외적 및 내적 표면 상태 모두로 인해 반도체의 페르미 준위 피닝(pinning)을 특징으로 한다. 외적 상태들은 인터페이스 결정 구조의 결합들로부터 발생할 수 있다. 내적 상태들은 반도체의 밴드갭(bandgap)에 금속 전자들의 전자들의 양자-기계적 침투로 인해 발생한다. 이를 소위 금속 유도갭 상태들(MIGS)은 상기 접합들의 물리적 현상들을 설명하는데 기본적으로 중요하다. J. Tersoff에 의한 1984년 2월 6일 "Schottky Barrier Heights and the Continuum of Gap States", Phys. Rev. Lett. 52(6)를 참조하라.

[0005] 금속 반도체 인터페이스에서 쇼트키 배리어 높이는 접합부의 전기적 특성을 결정한다. 따라서, 만약 금속-반도체 접합의 배리어 높이를 제어하거나 조절하는 것이 가능하면, 목표된 특성의 전기적 장치들은 형성될 수 있다. 배리어 높이를 조절하기 위하여, 반도체의 페르미 준위는 디핑되어야 한다. 상기 인용된 특허 출원에서 상세히 논의된 바와같이, 본 발명자들은 금속 및 반도체 사이에서 실질적인 전류 흐름을 허용하는 장치에서 이런 목표를 달성했다. 이하에서, 발명자들은 MOSFET 소자들에 이 기술을 적용하는 것을 제공한다.

[0006] 쇼트키 접합을 통합한 MOSFET들은 길지만 무익한 히스토리를 가진다. 1996년에, Lepselter 및 Kahng는 쇼트키 다이오드들을 연구하였다. 그 해에, 그들은 PtSi/Si 인터페이스를 가진 장치에 관한 미국특허 3,290,127를 받았다. 실리사이드의 사용은 이전 금속/Si 접촉부들 이상의 개선점을 나타내었다. 다이오드들은 상기 시기에 발명자들에 의해 주의된 바와같이 인터페이스들이 밀봉되었기 때문에 부분적으로 재생가능하고 안정하였다. 실리사이드는 외적 표면 상태들(결합들)을 감소시킬 수 있다. 나머지 피닝은 비록 이것이 그 시기에 인식되지 않았을지라도 내적 표면 상태들(MIGS)로 인해 가장 발생하기 쉽다. 그후, Lepselter 및 Sze는 쇼트키 배리어를 MOSFET에 통합하였다(M.P.Lepselter 및 S.M.Sze에 의한 "SB-IGFET: 소스 및 드레인으로서 쇼트키 배리어 접촉들을 사용하는 절연 게이트 전계 효과 트랜지스터, Proc. IEEE 56, 1088(1968) 참조). Lepselter에 의한 미국 특허 3,590,471은 쇼트키 배리어들의 통합을 논의하였지만, 채널은 여전히 주입 영역들에 의해 절연되었다. 쇼트키 배리어들(미국특허 3,708,360)에 의해 절연된 채널에 대한 제 1 특허는 1973년 Wakefield 및 Cunningham에 대해 특허허여되었다. 이 장치는 또한 실리사이드 접합들을 사용하였다.

[0007] 미국특허 4,300,152에서, Lepselter는 쇼트키 배리어 MOSFET을 기술하였다. 소스 기판 영역에서 pn 접합을 제거함으로써, Lepselter는 래치업의 원인인 기생 pnpn 구조가 제거된 것을 보여줬다. 그러나, 제안된 장치들은 여전히 소스 및 드레인 금속에 대한 PtSi를 사용하였다.

[0008] Lepselter의 초기 작업의 확장은 Koeneke 등에 의한 미국특허 4,485,550에서 발견되었다. 이들 장치들에서, 추가 주입은 소스 금속 너머로 확장하도록 부가되었다. 이것은 현대 CMOS 헤일로(halo) 주입과 유사하다. 추가 주입은 게이트 아래의 채널 에지로 유도함으로써 트랜지스터의 구동 전류 능력을 개선시킨다. 이 장치에서 채널 절연은 PtSi 소스 금속이 아니라, pn 접합에 의해 이루어진다. 게이트 아래 소스로 유도하기 위한 시도는 에칭(C.J.Koeneke 등에 의한 "VLSI에 대한 쇼트키 MOSFET" 참조, IEDM, 367(1981)). 그러나, 측벽 스페이서들은 여전히 제한 요소이다. 이것은 수평 프로파일 제어와 관계없이 수직 도핑 프로파일들을 제어하기 위한 능력

을 나타냈던, Snyder에 의한 미국특허 6,303,479에 개시된 바와같이 개선되었다. 접촉부들은 PtSi로 다시 만들어졌다.

[0009] Chan 등에 의한 미국특허 6,096,590는 PtSi/Si 접합들이 리세스되지 않은 장치를 기술한다. 이것은 채널의 에지에서 게이트의 감소된 커플링으로 인해 빈약한 서브 임계 기울기를 형성한다. 너무 높은 쇼트키 배리어를 가리키는 지수적 턴온은 상기 특허에서 제공된 측정치들을 도시했다. 게다가, 게이트 소스 캐페시턴스는 너무 높을 것이다.

[0010] 최근에, 소스/드레인 및 채널 사이의 금속-반도체 접합들을 가진 MOSFET 장치들은 PtSi<sub>2</sub>(예를들어, C. Wang 등에 의한 "40nm이하 PtSi 쇼트키 소스/드레인 금속-산화물 전계 효과 트랜지스터들", Appl. Phys. Lett. 74, 1174(1999); 및 A. Itoh 등에 의한 "주입된 산소 기판에 의한 분리부에서 25nm 길이 채널 금속 게이트 p 타입 쇼트키 소스/드레인 금속-산화물 반도체 전계 효과 트랜지스터", J. Journal Appl. Phys. Part 1 39, 4757(2000)), ErSi<sub>2</sub>(예를들어, J. Kedzierski 등에 의한, "20nm 게이트 길이 체제에 대한 상보형 실리사이드 소스/드레인 박막 몸체 MOSFET", IEDM Tech. Dig., International Electron Devices Meeting 2000, San Francisco, CA, p. 00-57(2000); 및 W. Saitoh 등에 의한 "금속 게이트를 가진 50nm 이하의 장치들의 형태 및 실리콘 온 절연체 기판상 단채널 쇼트키 소스/드레인 금속 산화물 반도체 전계 효과 트랜지스터의 분석", J. Journal Appl. Phys. Part 1 38, 6226(1999), 및 CoSi<sub>2</sub>(예를들어, U.K.Matsuzawa 등에 의한 "쇼트키 소스 금속 산화물 반도체 전계 효과 트랜지스터들에서 핫 전자 생성 속도 강화", Appl. Phys. Lett 76, 3992(2000))를 사용하는 50nm 이하의 채널 길이들을 가지는 것을 나타냈다. 또한, 시뮬레이션들은 비록 장치 파라미터들의 빈약한 선택이 성능 결과들, 예를들어 큰  $\Phi_B$ 를 제한했다. 모든 이들 장치들의 성능은 채널에 대한 소스 및 드레인 인터페이스들에서 쇼트키 배리어의 높이를 제어하기 위하여, 특히 낮추기 위하여 부분적으로 능력을 제한했다.

[0011] 쇼트키 배리어 MOSFET의 비실리사이드 순수 금속/Si 접촉 실시예의 두개의 개시물들만이 본 발명자들에 의해 발견되었다. Welch, U.S. 특허 5,663,584는 쇼트키 배리어 MOSFET 시스템들 및 그것의 제조 방법을 기술한다; 그러나, "금속 또는 금속 실리사이드"의 접촉이 언급된다. 이것은 제어된 배리어 높이를 가진 장치의 제조에 적당하다. 즉, 개시된 표면 처리 또는 인터페이스 유전체는 없다.

[0012] Hebiguchi에 의한 미국특허 5,801,398은 아마도 보다 실용적이고, 디스플레이들에 사용하기 위한 박막 트랜지스터를 제조하기 위한 방법은 제공된다. 이 장치에서(전계 효과 트랜지스터 또는 FET임), Si 채널에 대한 소스/드레인 접촉부들은 금속(가능한 리스트가 제공됨)이지만, 표면 제공은 언급되지 않는다.

[0013] 도 1은 Hebiguchi에 의해 논의된 FET(100)를 도시한다. 트랜지스터는 유리 기판9110), 게이트 전극(120), 게이트 절연막(130), 드레인 전극(140), 소스 전극(150), 및 반도체 액티브 막(160)을 포함한다. 동작 동안, 전압은 소스 전극(150) 및 게이트 전극(120)에 인가된다. 게이트 전극(120)에 인가된 전압은 반도체 액티브 막(160)의 전기 특성들을 변화시켜, 전류가 소스 전극(150)으로부터 드레인 전극(140)으로 흐르게 한다. 특히, 게이트 전극(120)에 인가된 전압은 게이트 절연막(130)에서 단 거리인 반도체 액티브 막(160)에 채널 생성 영역(170)을 형성하고, 상기 채널 형성 영역을 통해 전류가 흐를 수 있다.

[0014] Hebiguchi는 수소처리된 비결정질 실리콘인 반도체 액티브 막(160)을 기술하고, 드레인 및 소스 전극들(140 및 150)은 클롬(Cr), 알루미늄(Al), 탄탈륨(Ta), 배금(Pt), 금(Au), 텅스텐(W), 니켈(Ni), 몰리브덴(Mo), 또는 이들 물질들의 임의의 혼합물을 같은 도전성 물질들(금속들)로 형성되고, 반도체 액티브 막(160) 및 소스와 드레인 전극들(150 및 140) 사이의 접합들은 절연 쇼트키 배리어들이다. n 채널 박막 트랜지스터를 위하여 선택된 금속은 실리콘보다 작은 일함수를 가지는 것을 기초로 선택되고 p 채널 박막 트랜지스터를 위하여 선택된 금속은 실리콘보다 큰 일함수를 가진다.

[0015] Hebiguchi에 의해 논의된 트랜지스터의 중요 제한 사항은 일반적으로 쇼트키 배리어 높이에 비해 빈약한 제어 능력이다. 잘 공지된 바와같이, 폭넓게 가변하는 일함수들을 가진 여러 금속들의 사용은 매우 감소된 범위 이상으로 높이에서 가변하는 쇼트키 배리어들을 유발한다. 게다가, Hebiguchi에서는 외적 표면 상태들을 제어하거나 감소시키기 위하여 특정 노력이 이루어지지 않았다.

[0016] 채널에 대한 다른 형태의 접합은 Yoshimura에 의한 미국특허 6,037,605에 의해 도입되고, 언급된 목표는 단채널 효과들을 감소시키는 것이다. 산화물 또는 질화물은 Si 소스 및 드레인 접촉부들 및 Si 채널 사이에 배치된다. 산화물은 게이트에 의해 제어되지 않는 전류들을 감소시키기 위하여 채널(Si 안쪽 아래)에 비해 두껍다. 산화물의 두께는 "전하 터널링을 허용하기에 충분히 얇고", 0.5 내지 2.0nm로 개시된다. 이것은 예를들어 금속과

반대로 소스/드레인으로서 Si를 사용하는 것과 같이 이하에 설명된 본 발명과 다르다.

### 발명의 상세한 설명

[0017] 트랜지스터는 게이트 근처에 배치되고 소스 및 드레인 사이의 전기 경로에 배치된 반도체 채널(유전체에 의해 분리됨)을 포함하고, 채널 및 적어도 하나의 소스 또는 드레인은 반도체 채널의 페르미 준위가 접합부 근처 영역에서 디핑되고 접합부가 대략  $1000\Omega\text{-}\mu\text{m}^2$  미만의 특정 콘택 저항을 가지는 채널-계면층(interface layer)-소스/드레인 접합을 형성하기 위하여 계면층에 의해 분리된다. 계면층은 반도체 채널의 질화물, 플루오르화물, 산화물, 산질화물, 수소화물 및/또는 비화물(arsenide) 같은 패시베이팅 물질을 포함할 수 있다. 몇몇 경우, 계면층은 반도체 채널의 페르미 준위를 디핑하도록 구성된 단결정층, 또는 표면의 화학적 안정성을 달성하기 위하여 반도체 채널의 모든 개수 또는 충분한 개수의 댕글링(dangling) 결합들을 제거하기에 충분한 양의 패시베이션 물질로 구성된다. 또한, 계면층은 패시베이팅 물질과 다른 물질의 분리층을 포함할 수 있다. 사용되는 경우, 상기 분리층은 반도체 채널의 고유 표면 상태들의 영향들을 감소시키기에 충분한 두께를 가진다.

[0018] 본 발명은 첨부 도면들에서 예시적인 방식에 의해 도시되고, 제한되지 않으며, 유사한 참조 번호들은 유사한 엘리먼트들을 참조한다.

### 실시예

[0030] 상기 인용된 공동 계류중인 특히 출원은 상기 접합부를 사용하는 장치들뿐 아니라 금속-반도체 접합에서 실리콘 바탕 또는 게르마늄 반도체(예를 들어, Si, SiC, SiGe, SiGeC, 또는 Ge)의 페르미 준위를 디핑하기 위한 처리들을 기술한다. 상기 출원에 보다 상세히 논의된 바와 같이, 계면층은 반도체 및 금속 사이에 도입된다. 계면층은 반도체 표면을 패시베이팅하고(즉, 표면의 화학 안정성을 보장하기 위하여 반도체 표면에 제공될 수 있는 댕글링 본딩들을 제거한다) MIGS의 효과를 감소시키기 위하여 금속으로부터 반도체를 치환하도록 기능한다.

[0031] 하기에도 보다 상세히 논의된 바와 같이, 본 발명자들은 금속-계면층-반도체 접합을 형성하기 위하여 금속 및 실리콘 바탕 또는 게르마늄 반도체(예를 들어, Si, SiC, SiGe, SiGeC, 또는 Ge) 사이에 배치된 얇은 계면층들을 결정했고, 대응하는 최소 특정 콘택 저항들이 제공된다. 정말로, 대략  $1000\Omega\text{-}\mu\text{m}^2$  이하 또는 대략  $100\Omega\text{-}\mu\text{m}^2$  또는 대략  $50\Omega\text{-}\mu\text{m}^2$  이하 또는 대략  $10\Omega\text{-}\mu\text{m}^2$  이하의 대략 최소 특정 콘택 저항들은 본 발명에 따른 상기 접합들을 위하여 달성될 수 있다. 상기 낮은 콘택 저항들을 달성하기 위하여, n 타입 반도체들에 대한 반도체의 전도대 근처 일함수, 또는 p 타입 반도체들에 대한 가전자대(valence band) 근처의 일함수를 가진 금속이 선택된다.

[0032] 도 8을 참조하여 상기 금속들을 사용하는 것의 효과(및 이유)는 이해될 수 있다. 2x2 그리드의 밴드 다이어그램이 도시된다. 상부 두개의 다이어그램들은 일함수가 다른 게이트 전압하에서 반도체 채널 전도대에 정렬되는 터널 배리어들(본 발명에 따라 구성된 계면층 형태) 및 금속 소스/드레인을 가진 n 타입 장치의 동작을 도시한다. 상기 장치는 게이트 대 소스 전압( $V_{GS}$ )가 0일 때 오프(즉, 전류가 도전되지 않음) 된다는 것을 유의한다. 상기 장치는  $V_{GS}>0$ 일 때 온(즉, 전류가 도전됨) 된다. 보다 밑에 있는 두개의 다이어그램은 일함수가 반도체 채널 중간 캡에 정렬되는 금속 소스/드레인을 가진 n 타입 장치의 동작을 도시한다. 심지어 온 상태(즉,  $V_{GS}>0$ )일 때, 전류 흐름에 대한 배리어는 밴드 밴딩(bending)에 의해 존재한다는 것이 주의된다. 이것은 보다 높은 콘택 저항을 유발한다.

[0033] 상기 인용된 특히 출원에 개시된 계면층들은 하기된 바와 같이 FET에서 반도체 표면의 채널과 관련하여 사용될 수 있다. 즉, 계면층은 절연 게이트 전계 효과 트랜지스터의 소스 및 채널, 채널 및 드레인, 또는 양쪽 사이에 배치될 수 있다. 상기 계면층의 사용은 여기에 상세히 기술된다. 본 발명은 소스-채널 및/또는 채널-드레인 접촉을 제공하고, 소스 및/또는 드레인 금속의 페르미 준위는 사용된 반도체 물질 및 금속들의 타입에 따라 반도체의 전도대 또는 가전자대와 정렬(또는 대략적으로 정렬됨) 된다.

[0034] 게다가, 본 발명의 접합은 소스 또는 드레인 주입 웨들에 대한 접촉부들을 형성하는데 사용되고 고도핑 레벨들에 대한 필요성을 감소시키는 장점을 가질 것이다(고체 용해도의 제한에 도달함). 고도핑 프로파일들은 터널링 전류를 증가시키기 위하여 비교적 얇은 접합 공정 층을 유지하도록 예전에 요구되었고, 따라서 접합 저항이 감소한다. 그러나, 저저항 접합들을 제공하기 위하여 도핑 프로파일들을 증가시키는 것은 매우 어렵다. 본 발명을 사용하여 저도핑 농도를 사용하여 동일한 레벨의 저항에 도달하는 것은 가능할 수 있다. 보다 낮은 도핑 농

도를 사용하여 보다 작은 저항을 달성하는 것이 가능할 수 있다. 본 발명이 고평 레벨들에 사용될 때, 저항은 추가로 감소될 것이다.

[0035] 본 발명의 이해를 돋기 위하여, 다음 설명은 본 발명의 현재 바람직한 실시예들의 특정 항목들을 제공한다. 그러나, 반도체들, 패시베이션 층들 및/또는 도전체들에 대하여 여기에 기술된 것 대신 잘 공지된 등가 물질들을 대체함으로써 이들 몇몇 특정 항목들없이 본 발명이 실행될 수 있다는 것은 당업자에게 명백할 것이다. 잘 공지된 구조들 및 장치들을 참조하는 경우, 볼록 다이어그램들은 상기 구조들 및 장치들의 넓은 범위에 본 발명의 넓은 응용 가능성을 나타내기 위하여 부분적으로 사용된다.

[0036] 본 발명자들은 쇼트키 배리어 트랜지스터내의 채널 표면으로서 반도체 표면을 패시베이팅하는 방법을 고안하였다. 상기 방법은 채널을 형성하는 반도체의 질화물, 수소화물, 산화물, 비소 및/또는 플루오르화물인 패시베이션 층을 형성하는 것을 포함한다. 몇몇 경우들에서(예를 들어, 패시베이팅 층이 반도체 채널의 수소화물이거나 플루오르화물일 때), 반도체 채널에서 내적 표면 상태들의 효과를 감소시키거나 제거하기 위하여 반도체 및 금속 소스/드레인 사이에 분리층을 포함하는 것이 필요할 수 있다. 상기 용어 계면층은 상기 분리층들이 적당한 경우 패시베이션 층들 단독 및 분리층들과 결합한 패시베이션 층들을 포함하도록 본 발명에 관련하여 사용될 것이다.

[0037] 계면층은 반도체 채널 표면을 화학적으로 중화하고 물리적으로 보호한다. 계면층은 표면 특성들보다 오히려 채널 반도체 및 소스/드레인 금속의 벌크 특성들에 따르는 높이를 가진 터널링 가능 쇼트키 배리어를 허용한다. 이것은 트랜지스터에 목표된 동작 특성들에 부합하도록 배리어 높이 이상으로 제어가 허용된다. 이런 방법은 채널 층을 절연하기 위한 지난날 다른 사람들에 의한 시도와 다르고, 계면층에 사용된 패시베이션 물질들이 반도체 채널과 쉽게 실리사이드를 형성하는 금속들로 제한되는 조절 가능한 쇼트키 배리어들을 제공한다. 다른 말로, 본 발명은 특정 일함수의 목표 같은 소스/드레인 금속을 선택하기 위하여 사용된 다른 고려사항들로부터의 반도체 패시베이션에 대한 필요성을 완화시킨다. 이전에 가능한 것보다 쇼트키 배리어 높이를 보다 잘 제어하는 것이 가능하다.

### I. 예시적 트랜지스터

[0039] 도 2는 기판(210)(예를 들어, Si 같은 반도체 기판 또는 SOI 같은 화합물 기판)상에 형성되고 본 발명의 실시예에 따라 구성된다. 트랜지스터(200)는 각각 계면층들(230 및 240)에 의해 소스(250) 및 드레인(260)으로부터 분리된 채널(22)을 포함하고, 상기 계면층들 각각은 패시베이팅된 쇼트키 배리어들로 형성된다. 스위칭 장치의 일실시예인 도시된 특정 트랜지스터(200)는 절연된 게이트 FET이다. 계면층들(230 및 240)은 채널 표면을 화학적으로 안정화시킴으로써 소스/드레인-채널 접합들의 영역에서 채널(220)의 표면들을 패시베이팅한다. 계면층들(230 및 240)은 채널(22)로부터 멀리 소스/드레인(250/260)을 이동시킴으로써 소스/드레인-채널 접합들의 영역에서 MIGS의 효과를 감소시키거나 제거한다. 반도체 채널(220) 및 금속 소스/드레인(250/260) 사이에 계면층들(230 및 240)을 도입한 결과는 채널(220)을 형성하는 반도체의 페르미 준위 디핑이다. 반도체의 페르미 준위가 디핑될 때, 쇼트키 배리어의 높이는 접합부에서 접촉하는 금속 및 반도체의 벌크 일함수들의 차이만에 의존하고, 인터페이스에 의존하지 않을 것이다. 페르미 준위를 피닝하기 위한 MIGS의 효율성의 감소는 인터페이스 유전체의 선택에 의존한다. 금속 및 유전체 사이의 인터페이스에 MIGS가 있을 것이다. 일반적으로, 유전체들은 일차적으로 보다 큰 밴드갭들로 인해 반도체들보다 약한 MIGS일 것이다. 따라서 유전체의 선택은 쇼트키 배리어 접합의 최종 전기 특성들을 결정하는데 중요하다.

[0040] 트랜지스터(200)는 또한 절연체(280)에 의해 둘러싸진 게이트(270)를 포함한다. 용어들 게이트, 소스 및 드레인 각각은 3개의 터미널 절연 게이트 FET의 단자들을 말한다. 소스(250) 및 드레인(260)은 게이트(270)에 인가된 전압으로부터 발생하는 전기장의 영향하에서 도전이 발생하는 단자들이다. 소스(250) 및 드레인(260)은 채널(220)이 소스(250) 및 드레인(260) 사이에 배치되도록 채널(220)의 대향 단부들에 제공된다. 종종, 본 발명의 요구는 아니지만, 소스(250) 및 드레인(260)은 기하구조적으로 대칭이도록 제조된다. 대칭 소스 및 드레인 단자들은 소스/드레인 단자들이라 할 수 있다. 특정 터미널은 FET가 전기 회로에서 동작할 때 단자에 인가될 전압을 바탕으로 소스 또는 드레인을 지정할 수 있다. 도시된 특정 트랜지스터(200)에서, 소스(250)는 비록 다른 실시예가 고안될 수 있지만, 채널(220)의 좌측편에 제공되고 드레인(260)은 채널(220)의 우측편에 제공되고, 상기 소스(250) 및 드레인(260)은 상호교환된다.

[0041] 소스(250) 및 드레인(260)은 각각 전도체, 바람직하게는 금속을 포함할 수도 있다. 사용될 수 있는 금속의 예로는 순수 금속, 합금, 내화성 금속, 규화물을 형성하지 않는 금속, 및 소정의 일함수를 갖는 금속이 있다. 바람직하게 금속 등의 전도체를 포함할 수도 있는 게이트(270)는 채널(220) 상부에 위치하고 절연체(280)를 통해

채널(220)과 용량 결합한다. 여기서, 다른 실시예에서는 트랜지스터의 3개의 단자가 동일 평면상에 있을 수도 있고, 또는 게이트(270)가 기판(210)에서 소스(250) 및/또는 드레인(260)의 레벨 아래에 배치될 수도 있다.

[0042] (금속 게이트 산화물 및 반도체 산화물 등의 유전체로 만들어질 수 있는) 절연체(280)는 게이트(270)를 둘러싸고 소스(250), 드레인(260), 채널(220) 및 계면층(230, 240)으로부터 게이트(270)를 격리시킨다. 절연체(280)는 본래 게이트(270)와 채널(220) 사이에 전류가 흐르지 않도록 게이트(270)와 채널(220) 사이에 높은 저항을 제공하기에 충분한 두께이다. 예를 들어, 저항은 약  $10^8$  Ω 내지 약  $10^{12}$  Ω, 또는 이보다 더 클 수도 있다. 이러한 저항은 게이트(270) 및 채널(220)을 용량 결합시키는 한편, 게이트(270)와 채널(220) 사이에 전류가 흐르는 것을 막는다.

[0043] 절연체(280)는 실리콘 이산화물보다 높은(즉, 약 4.0보다 높은) 유전율을 갖는 높은 k 유전재료를 또한 혹은 선택적으로 포함할 수 있다. 높은 k 재료는 게이트(270) 아래의 채널(220)에 유도된 동일한 전하가 보다 두꺼운 층에서 동일한 게이트 전압으로 달성될 수 있게 한다. 즉, 보다 높은 유전율은 절연체(280)가 동일한 양의 절연을 제공하는 대응하는 실리콘 이산화물 층보다 큰 층 두께를 갖게 할 수도 있다. 증가된 두께는 트랜지스터(200)의 제조를 간단하게 할 수도 있다. 또한 보다 두꺼운 층은 보다 얇은  $\text{SiO}_2$  층보다 적은 누설 전류를 가질 수도 있다. 예상되는 높은 k 유전재료의 예로는 약 4보다 크고(예를 들어 아연 산화물,  $\text{ZnO}$ ), 약 10보다 크고(예를 들어 알루미늄 산화물,  $\text{Al}_2\text{O}_3$ ), 약 20보다 크고(예를 들어 지르코늄 산화물,  $\text{ZrO}_2$ ), 약 40보다 큰(예를 들어 하프늄 산화물,  $\text{HfO}$ ) 유전율을 갖는 재료들이 있다.

[0044] 상술한 바와 같이, 채널(220)은 반도체 재료를 포함한다. 반도체란 용어는 약 0.1 전자 볼트보다 크고 약 4 전자 볼트보다 작은 밴드갭(bandgap)을 갖는 재료를 나타내는데 사용된다. 예상되는 반도체의 예로는 Si, Ge, SiGe 또는 SiC가 있다. 반도체 재료는 도핑을 전혀 포함하지 않는 넓은 범위의 도핑 레벨을 가질 수 있다. 계면층(230, 240)은 표면 반도체 원자의 비완결 결합과 공유 결합하여 반도체 원자를 완전히 통합함으로써 반도체 원자의 패시베이션을 도와 채널(220)에 패시베이션을 제공하는 패시베이션 재료를 각각 포함한다. 패시베이션 재료는 바람직하게 반도체 채널(220)의 수산화물, 질화물, 비화물, 산화물 및 불화물로 구성된 그룹으로부터 선택된다. 선택된 패시베이션 재료에 따라(예를 들어 H, As 또는 F가 패시베이션 재료로 사용됨), 계면층(230, 240) 내에 패시베이션 층 외에 또 격리 층이 필요할 수도 있다. 물론, 패시베이션 층과 격리 층과의 결합은 상술한 특허 출원에 개시된 낮은 특정 콘택 저항을 허용하기에 충분히 얇아야 한다. 계면층의 형성에 관한 보다 상세한 사항은 상술한 특허 출원으로 알 수 있으며 여기서 반복하지 않는다.

## II. 채널에 쇼트카 배리어를 패시베이션 한 트랜지스터의 제조

[0045] 도 3은 본 발명의 일 실시예에 따라 소스로부터 채널로, 그리고 채널로부터 드레인으로 패시베이션 된 금속 반도체 접합을 제조하는 방법(300)을 나타낸다. 상기 방법은 블록(301)에서 시작하여 기판이 제공되는 블록(310)으로 진행한다. 블록(320)에서 기판 상에 절연된 게이트 구조가 형성된다. 절연된 게이트 구조는 전도성 재료(예를 들어, 금속)를 갖는 게이트 및 전도성 재료 바로 밑의 절연 재료를 갖는 게이트 절연체를 포함할 수도 있다. 이어서 블록(330)에서 절연된 게이트 아래에 채널이 형성된다. 채널은 게이트 유전체에 인접하며 절연된 게이트 구조의 양 단부에서 채널로 연장하는 언더컷 보이드 영역을 포함한다. 상기 방법은 채널 면들에 계면층이 형성되는 블록(340)으로 진행한다. 계면층의 형성은 상술한 재료들 중 하나 이상을 이용한 패시베이션 층 및 (필요한 경우) 격리 층의 형성을 포함할 수도 있다. 이어서 상기 방법은 채널의 마주하는 양면에 소스 및 드레인이 형성되어, 계면층상에서 임의의 언더컷 영역 내에 포함되는 블록(350)으로 진행한다. 계면층 두께 및 강도에 따라, 소스 및 드레인은 실질적으로 비침입적 접근법에 의해 형성된다. 상기 방법은 블록(360)에서 종료한다.

[0047] 다른 진행 절차는 상술한 언더컷을 사용하지 않는다. 대신, "언더랩(underlap)"이 있다. 즉, 다른 프로세스에서는 게이트가 채널 아래에 부분적으로 겹쳐지도록 게이트의 폭이 채널의 폭보다 의도적으로 작게 만들어진다.

## III. 트랜지스터를 제조하기 위한 전형적인 프로세스

[0048] 도 4A-I는 본 발명의 일 실시예에 따라, 도 4I에 도시한 트랜지스터의 제조를 나타내는 중간 기판을 나타낸다. 도 4I에 도시한 특정 트랜지스터는 알루미늄 소스(492I)로부터 실리콘 채널(430I)로, 그리고 실리콘 채널(430I)로부터 알루미늄 드레인(494I)으로 형성된 패시베이션된 알루미늄-실리콘 접합(482I, 484I)을 포함한다. 그러나, 이것은 단지 본 발명에 따라 구성된 트랜지스터의 일례일 뿐이다. 예를 들어, 게이트가 소스 및/또는 드레인 아래의 평면에 배치되는 실시예와 같이, 게이트, 소스 및 드레인이 기판과 동일 평면상에 있거나 기판 상부에 있는 평면 디바이스들이 본 발명의 범위 내에 있다. 마찬가지로, 게이트의 폭이 채널의 폭보다 작은 실시

예들이 본 발명에 포함된다.

[0050] 따라서 도 4A-I는 방법(300)에 따라 트랜지스터를 제조하는 일 실시예를 나타낸다. 도 4A-4C는 기판을 제공하고 기판 상에 절연된 게이트를 형성하는 것을 나타낸다. 도 4D-4E는 절연된 게이트 아래에 채널을 형성하는 것을 나타내며, 채널과 절연된 게이트는 절연된 게이트 하부에서 절연된 게이트의 제 1 및 제 2 면으로부터 채널 쪽으로 연장하는 제 1 및 제 2 언더컷 보이드 영역을 형성한다. 도 4G는 채널의 노출된 측면 표면상에 계면층을 형성하는 것을 나타낸다. 마지막으로, 도 4F, 4G 및 4H는 계면층상에 포함되는 채널의 제 1 및 제 2 면상에 소스 및 드레인 단자를 형성하고, 절연된 게이트 아래의 언더컷 보이드 내에 확장 텁을 형성하는 것을 나타낸다.

[0051] 도 4A는 실리콘 기판(410A), 매립된 실리콘 산화물 층(420A), 절연체 상의 실리콘 층(430A), 실리콘 산화물 층(440A) 및 알루미늄 게이트(450A)를 포함하는 제 1 중간 기판(400A)을 나타낸다. 층(410A-430A)은 종래의 SOI(Silicon On Insulator) 기판을 나타낸다. SOI 기판은 매립된 층(440A)을 포함하여 절연체 상의 실리콘 층 내에 형성된 가까운 반도체 디바이스의 절연을 돋는다. 이 절연은 별크 웨이퍼에 형성된 반도체 디바이스에 비해 쇼트 채널 효과의 감소에 도움이 된다. 매립된 산화물 층은 절연체 상의 실리콘을 절연시키는데 효과적인 두께, 바람직하게는 약 10 nm보다 큰 두께를 가질 수 있다. 절연체 상의 실리콘 층은 약 20 nm, 또는 약간 더 작은 두께를 가질 수 있다.

[0052] 당업자들 및 본 개시의 이점에 의해 이해되듯이, SOI 기판은 본 발명의 한정이 아니다. 다른 기판들이 SOI 기판을 대체하는 것으로 예상된다. 예를 들어 제조 비용을 상승시킬 수 있음에도 불구하고 SOI 기판은 실리콘-온-사파이어 기판으로 대체될 수도 있고, 또는 반도체 디바이스의 열등한 전기적 절연 및 불충분한 쇼트-채널 특성을 제공함에도 불구하고 SOI 기판이 순전히 실리콘 웨이퍼로 대체될 수도 있다.

[0053] 실리콘 이산화물( $\text{SiO}_2$ )의 일 실시예에서, 실리콘 산화물 층(440A)은 반도체 프로세싱 기술에서 일반적인 바와 같이 절연체 상의 실리콘의 습식 또는 건식 산화에 의해 형성될 수 있다. 상기 층은 게이트 산화물 역할을 하기에 충분히 얇고 약 1 nm 내지 약 10 nm의 두께를 갖는다.

[0054] 알루미늄 게이트(450A)가 산화물(440A) 상에 형성된다. 알루미늄 게이트는 의도한 채널 길이와 거의 동일하거나 약간 더 큰 폭(451A)을 가지며, 의도한 채널 길이는 일 실시예에서는 약 50 nm 미만이고 다른 실시예에서는 약 20 nm 미만이다. 채널 길이 이상으로 폭의 매우 약간의 증가는 차후의 언더컷 에칭의 범위 및 각도를 증가시킬 수도 있고, 이는 제조를 복잡하게 할 수도 있다. 게이트(450A)는 산화물(440A) 상에 알루미늄 층을 증착하고, 증착된 알루미늄 층상에 포토레지스트 층을 증착하고, 포토레지스트에서 폭(451A)을 포함하는 패턴을 종래의 고해상도 리소그래피를 이용하여 노광하고, 노광된 패턴에 따라 포토레지스트의 일부를 제거하고, 패턴화된 포토레지스트에 따라 증착된 알루미늄 층의 일부를 습식 또는 건식 에칭하고, 나머지 포토레지스트를 제거함으로써 형성될 수 있다.

[0055] 도 4B는 알루미늄 게이트(450B)의 상부 및 측면들을 포함하며, 노출된 부분 상에 형성된 알루미늄 산화물 절연체(460B)를 포함하는 제 2 중간 기판(400B)을 나타낸다. 알루미늄 산화물 층(460B)은 약 1 nm 내지 약 20 nm의 두께를 가질 수 있다. 두께는 층(440B)의 두께와 거의 동일하거나 약간 더 클 수도 있다. 보다 큰 두께는 게이트와 소스 사이의 커페시턴스를 감소시킴으로써 성능을 향상시킬 수도 있지만, 추가적인 두께는 언더컷을 증가시킴으로써 제조 복잡성을 증가시킬 수도 있다. 알루미늄 산화물 층(460B)의 형성을 적당한 산화 분위기를 제공하는 산소 플라스마 에처(etcher)에서, 또는 반도체 프로세싱 기술에 공지된 다른 방법으로 알루미늄 게이트(450A)를 산화시키는 것을 포함할 수도 있다.

[0056] 도 4C는 알루미늄 게이트(450B) 또는 알루미늄 산화물(460B) 아래에 있지 않은 층(440B)의 일부를 제거함으로써 형성된 게이트 산화물(440C)을 포함하는 제 3 중간 기판(400C)을 나타낸다. 제거는 층(440B)에 대한 마스크로서 산화된 알루미늄 게이트(450B-460B)를 이용하며, 산화된 알루미늄 게이트(450B-460B) 밑에 있지 않고 이들에 의해 숨겨지지 않는 층(440B) 부분들을 제거하는 것을 포함할 수도 있다. 이러한 제거는 노출된 게이트 산화물(440C), 알루미늄 게이트(450C) 또는 산화물(460C) 밑에 있지 않은 절연체 층(430C) 상의 실리콘 일부를 남긴다. 에칭은 우선적으로 층(440B)의 표면에 대한 법선 또는 수직 방향으로 에칭을 촉진시키는 반응성 이온 에칭(RIE)을 포함할 수도 있다. RIE는 건식 에칭 프로세스이며, 중간 기판(400B)이 무선 주파수 촉진 전극 상에 배치되고 플라스마로부터 에칭된 표면 쪽으로 추출된 에칭 종의 이온 충격의 가속 및 이온화에 도움이 되는 전위를 갖는다.

[0057] 도 4D는 실질적으로 게이트 산화물(440C) 밑에 있지 않고 이것에 의해 숨겨지지 않는 절연체 층(430C) 상의 실

리콘 일부를 제거함으로써 형성된 실리콘 채널(430D)을 포함하는 제 4 중간 기판(400D)을 나타낸다. 제거는 테트라메틸암모늄 수산화물(TMAH)로 표준 Si-100 방위를 갖는 절연체 상의 실리콘을 에칭하여 도시한 바와 같이 게이트(450D)를 향해 안쪽으로 경사진 각진 측벽을 형성하는 것을 포함한다. 혹은, 절연체 상의 실리콘은 Si-110 방위를 갖는다면, TMAH의 자기 제한적 에칭에 의해 게이트 산화물(440D)과 정렬된 비교적 수직인 측벽이 형성될 수도 있다. 이러한 비교적 수직인 측벽들 또한 RIE에 의해 형성될 수 있다.

[0058] 도 4E는 게이트 산화물(440D) 밑에서 이것과 정렬되는 채널(430D)의 일부를 제거함으로써 형성된 언더컷 실리콘 채널(430E)을 포함하는 제 5 중간 기판(400E)을 나타낸다. 언더컷 실리콘 채널(430E)은 언더컷 영역을 포함하며, 게이트 산화물(440D)의 좌우 에지에서 채널(430D)로부터 실리콘은 제거되어 차후 수직으로 게이트 산화물(440E) 아래에 소스 및 드레인 재료의 형성을 가능하게 한다. 제거는 TMAH에 의한 비방향성 또는 등방성 습식 실리콘 에칭에 의해 이루어질 수 있으며, 에칭은 측벽을 따라 거의 균일한 양으로 일어난다. 절연체 상의 실리콘의 결정축이 리소그래피와 정확하게 정렬되지 않으면, TMAH 에칭은 완전히 자기 제한적이지 않으며 결정 구조의 수직 리지(ridge) 또는 계단으로 인해 언더컷을 형성할 수도 있다. 대안적으로, 제거는 등방성 RIE에 의해 이루어질 수도 있다.

[0059] 도 4F는 절연된 게이트의 상부 표면 및 절연된 게이트의 좌우 측면 상에 각각 형성된 시드 층(476F, 472F, 474F)을 포함하는 제 6 중간 기판(400F)을 나타낸다. 시드 층은 이어지는 금속 소스 및 드레인의 형성을 용이하게 한다. 시드 층은 알루미늄 산화물(460F), 게이트 산화물(440F) 또는 채널(430F)의 수직 측벽 상에 중요한 시드 층 재료가 증착되지 않고 게이트 산화물(440F)의 언더컷 돌출부의 아래쪽에 본래 금속이 증착되지 않도록 이방성으로 증착될 수도 있다. 이는 시드 층 부분(472F, 474F)으로부터 시드 층 부분(476F)을 전기적으로 절연시키는데 바람직하다. 일 실시예에서, 시드 층은 열 소스로부터 증착된 크롬을 포함한다. 크롬은 바람직한 전기 화학을 제공하며 초박막의 형성에 매우 적합하다.

[0060] 도 4G는 절연된 게이트의 상부 표면으로부터 층 부분(476F)을 선택적으로 제거함으로써 형성된 변형된 시드 층(472G-474G)을 포함하는 제 7 중간 기판(400G)을 나타낸다. 부분(476F)의 제거는 산화된 알루미늄 게이트 구조 상부에 소스 및 드레인 재료를 증착하지 않고 층 부분(472G, 476G) 위에 소스 및 드레인 재료를 증착할 수 있게 하는데 바람직하다. 시드 층 부분(476F)은 시드 층 부분(472F, 476F)과 전기적으로 절연되기 때문에, 부분(476F)은 CAN(Cerric Ammonium Nitrate) 크롬 에칭에 의해 전기 화학적으로 제거될 수도 있다. 예를 들어 시드 층 부분(476F)이 아닌 시드 층 부분(472F, 474F)이 기판의 에지에서 구리 전기 프로브와 전기적으로 결합하여 시드 층 부분(472F-474F)이 아닌 시드 층 부분(476F)을 에칭할 수도 있다. 그러나, 크롬 층(476F)을 형성하지 않고 크롬 층(472F, 474F)을 형성하는데 패터닝이 사용될 수도 있는 다른 실시예를 생각할 수 있다는 점에 주의해야 한다. 이는 이어지는 크롬 층(476F)의 제거를 피할 수도 있다.

[0061] 도 4H는 채널(430H)의 측벽 표면상에 형성된 계면층(482H, 484H)을 포함하는 제 8 중간 기판(400H)을 나타낸다. 계면층은 (바람직한 쇼트키 배리어 특성에 따라) 단층일 수도 있고, 단층보다 약간 많거나, 약 0.3 nm 미만, 약 0.5 nm 미만 또는 약 1 nm 미만일 수도 있다. 즉, 어떤 경우에는 반도체 채널의 모든 또는 충분한 개수의 비완결 결합을 종료하여 표면의 화학적 안정성을 달성하기에 충분한 대량의 패시베이션 재료가 사용될 수도 있다. 계면층은 상술한 특허 출원에서 논의된 기술에 따라 성장할 수 있다. 예상되는 패시베이션 재료로는 상술한 바와 같이 비소, 수소, 불소, 산소 및 질소가 있으며, 계면층(482H, 484H)은 패시베이션 층과 격리 층 모두로 구성될 수도 있다.

[0062] 도 4I는 시드 재료(472H) 상부 및 남아있는 언더컷 돌출부 아래에 형성된 소스(492I) 및 시드 재료(474H) 상부 및 오른쪽 언더컷 돌출부 아래에 형성된 드레인(494I)을 포함하는 제 9 중간 기판(400I)을 나타낸다. 소스 및 드레인은 게이트 절연체(440I) 상부로 연장하는 두께를 갖는다. 바람직하게, 두께는 정확하게 제어될 수도 있다. 형성은 시드 층(472H, 474H) 상에 전위적으로 다른 소스/드레인 재료를 도금하는 것을 포함한다. 이는 포토레지스트를 증착하고, 포토레지스트를 조사하여 채널 폭 패턴을 노광하고, 포토레지스트의 일부를 제거하여 시드 층(472H, 474H)을 노광하며, 시드 층(472H, 474H) 상에 소스/드레인 재료를 도금하고, 포토레지스트의 나머지를 제거하는 것을 포함할 수도 있다. 일 실시예에 따르면, 소스 및 드레인 재료는 알루미늄이다. 혹은, 소스 및 드레인 재료는 다른 바람직하고 전위적으로 다른 금속 또는 합금일 수도 있다.

[0063] 도 4I에 나타낸 트랜지스터는 다수의 이점을 갖는다. 일반적으로, 트랜지스터는 단순한 구조를 제공한다. 이는 50 nm의 채널 길이 미만, 20 nm의 채널 길이 미만, 또는 심지어 10 nm의 채널 길이 미만으로 트랜지스터 제조를 연장시킬 수도 있다. 다른 이점은 계면층에 의해 제공된 쇼트키 배리어 높이에 대한 보다 큰 제어이다. 배리어 높이는 소스/드레인과 채널 사이의 일함수 차 외에도 패시베이션 재료, 층 두께 및 층 형성 조건 등의

계면층의 특성에 의해 제어될 수 있다. 이러한 배리어 높이 제어 능력은 계면층으로 인해 소스/드레인 재료가 실리콘 채널로 쉽게 규화물을 형성할 필요가 없기 때문에 소스/드레인 재료를 선택하는데 있어서 보다 큰 융통성에 의해 더 증가한다. 또 다른 이점은 도핑된 실리콘보다는 높은 전도성 금속의 사용으로 인한 소스에서의 낮은 저항이다. 일반적으로 접합에서의 도편트 제거는 이러한 도편트의 인가가 프로세스 제어성에 대한 제한을 갖고 있기 때문에 초대형 접적(ULSI) 제조 투시도로부터 관심을 끌 수도 있다.

[0064] 도 4I에 나타낸 트랜지스터의 채널-계면층-소스/드레인 접합(들)은 반도체 채널의 페르미 준위가 접합 근처의 영역에서 분리되고, 접합은 약  $1000 \Omega\text{-}\mu\text{m}^2$ 보다 작은 특정 콘택 저항을 갖는다는 점에서 독특하다. 이는 본 발명에 따라 구성된 모든 트랜지스터의 사실이다. 게다가, 약  $1000 \Omega\text{-}\mu\text{m}^2$  이하 또는 약  $1 \Omega\text{-}\mu\text{m}^2$  이하의 최소 특정 콘택 저항이 본 발명에 따라 이러한 접합에 대해 달성될 수도 있다. 이러한 낮은 콘택 저항을 달성하기 위해, n-형 반도체에 대한 반도체의 유도 대역에 가까운 일함수, 또는 p-형 반도체에 대한 원자가 대역 근처에 있는 일함수를 갖는 소스/드레인 금속이 선택된다. 소스/드레인과 반도체 채널 사이의 배리어 높이를 조율, 조정 또는 제어하는데 있어서 계면층의 분리 역할은 반도체 재료와 결합하여 비완결 결합을 소비함으로써 채널의 표면 상태에 있어서의 감소, 및 (소스/드레인 금속의) 전자파 기능이 반도체 채널로 침투하는 것을 막는 두께 및 밴드갭을 제공함으로써 반도체 채널에 MIGS를 형성하는데 있어서의 감소를 모두 수반한다. 전자파 기능은 계면층에 대신 침투하여 계면층 재료의 상태와 관련된 에너지로 계면층 내에 MIGS를 형성할 수도 있다. 원하는 대로, MIGS의 밀도 및 MIGS의 계면층으로의 침투 깊이는 계면층 재료 또는 채널의 반도체보다 큰 밴드갭 또는 보다 높은 유효 질량을 갖는 재료를 선택함으로써 감소될 수도 있다. 계면층은 디바이스 동작 동안 반도체 채널로/채널로부터 전류를 통과시키도록 동작할 수 있다.

[0065] 일부 실시예에서, 단층 또는 예를 들어 약  $0.1 \text{ nm}$  내지 약  $0.3 \text{ nm}$ 의 두께를 갖고, 계면층이 페르미 준위(배리어 높이가 접합 재료의 벌크 특성에 크게 좌우되도록)를 분명하게 하고 충분한 전류 이송을 가능하게 하는 넓은 밴드갭(채널의 반도체와 비교할 때)을 갖는 계면층을 사용하는 것이 바람직할 수도 있다. 어떤 경우에 계면층은 반도체 채널의 모든 또는 충분한 개수의 비완결 결합을 종료하여 표면의 화학적 안정성을 달성하기에 충분한 대량의 패시베이션 재료를 포함할 수도 있다. 유리하게, 이러한 계면층은 (배리어 두께에 대한 직접 터널링의 지수 관계로 인해) 다수의 반도체 디바이스에 바람직한 전류 흐름에 낮은 임피던스를 제공하는 동시에, 충분한 반도체 표면 패시베이션을 제공하여 조정 가능한 배리어 높이를 가능하게 하기에 충분히 얇을 수도 있다. 즉, 계면층은 표면 상태의 패시베이션 및 반도체에서 MIGS의 감소(또는 제거)를 가능하게 하여, 조절 가능한 배리어 높이에 대해 계면층에 걸쳐 충분한 전류가 이동되게 하는 실질적으로 얇은 층을 갖게 한다.

[0066] 상술한 특허 출원에서 설명한 바와 같이, 배리어 높이가 조정될 수 있게 하는 여러 가지 방법이 있다. 예를 들어, 페르미 준위 고정의 정도를 조율함으로써 조정될 수도 있다. 즉, 어떤 실시예에서는 반도체 채널에서 MIGS의 효과가 전혀 제거되지 않도록 충분히 얇은 계면층을 고려할 수도 있다. 또한, 고정은 계면층의 두께와 인터페이스 재료 선택의 조합에 의해 달라질 수도 있다. 계면층과 접촉하는 금속은 다른 재료로 다른 레벨에서 MIGS에 의해 고정될 수 있다. 거꾸로 또는 추가로, 반도체 채널 패시베이션은 패시베이션 되지 않은 상태의 유효 레벨을 고려하도록 불완전하게 남아 있다. 페르미 준위의 완전한 분리(MIGS를 포함하는 반도체 채널에서 모든 표면 상태의 제거임)은 다른 선택 사항이며, 이 경우 바람직한 일함수를 갖는 순수 금속 또는 합금을 선택함으로써 배리어 높이를 간단히 조율할 수 있다.

[0067] 요약하면, 반도체 기판 상에 트랜지스터를 제조하는 일 실시예는 (1) 반도체 기판을 산화함으로써 반도체 기판 상에 반도체 산화물 유전층을 형성하고; (2) 반도체 산화물 상에 금속층을 증착함으로써 반도체 산화물 층상에 금속 게이트를 형성하고 리소그래피 노광을 기초로 증착된 금속층의 일부를 제거하고; (3) 금속 게이트를 산화함으로서 금속 게이트의 노출된 부분 상에 금속 산화물 유전층을 형성하고; (4) 금속 게이트 상에 형성된 금속 산화물에 의해 보호되는 반도체 산화물 층의 일부를 제거함으로써 게이트 산화물 유전체를 형성하고; (5) 금속 게이트 상에 형성된 금속 산화물에 의해 보호되지 않은 반도체 기판의 일부를 제거함으로써 반도체 채널 구조를 형성하고; (6) 게이트 산화물 좌측 단부 아래에 있으며 게이트 산화물 아래에서 채널 상부 안쪽으로 연장하는 반도체 채널 구조의 소스 팀 부분을 제거하고 게이트 산화물 우측 단부 아래에 있으며 게이트 산화물 아래에서 채널 상부 안쪽으로 연장하는 드레인 팀 부분을 제거함으로써 소스 팀을 위한 소스 언더컷 영역 및 드레인 팀을 위한 드레인 언더컷 영역을 포함하는 언더컷 반도체 채널을 형성하고; (7) 시드 층 재료가 언더컷 반도체 채널의 노출된 측벽 표면상에 증착되지 않도록 시드 층 재료를 이방성 증착하고 언더컷 반도체 채널 상부에 있는 증착된 시드 층 재료의 일부를 제거함으로써 언더컷 반도체 채널의 왼쪽 측면 상에 소스 시드 층을 형성하고 언더컷 반도체 채널의 오른쪽 측면 상에 드레인 시드 층을 형성하고; (8) 적어도 단층(또는 그 미만)의 패시베이션 재료를 언더컷 반도체 채널의 노출된 측벽 표면의 반도체 원자들과 공유 결합함으로써 언더컷 반도체 채널의 노

출된 측벽 표면상에 계면층을 형성하고; (9) 패시베이션 층상에서 반도체 채널 구조의 제 1 부분의 제거에 대응하는 제 1 언더컷 내에 포함되는 채널의 제 1 면상에 소스를 형성하고 계면층상에서 반도체 채널 구조의 제 2 부분의 제거에 대응하는 제 2 언더컷 내에 포함되는 채널의 제 2 면상에 드레인을 형성하는 것을 포함한다.

#### [0068] IV. 다른 배치들

도 4I에 도시한 트랜지스터는 본 발명으로부터 이익을 얻을 수 있는 FET의 종류의 일례일 뿐이다. 본 계면층을 소스/드레인 채널 접합에 통합함으로써 공지된 다른 FET 또한 이러한 이익을 실현할 수 있다. 예를 들어, 소위 FinFET은 이러한 계면층들을 통합할 수 있다. FinFET은 얇은 바디의 SOI 디바이스의 예이며 캘리포니아 대학에서 연구원들에 의해 개발된 FET의 종류에 주어진 이름이다. 종래의 FinFET은 본원에 참조로 포함된 Yang-kyu Choi 등의 "Nanoscale CMOS Spacer FinFET for the Terabit Era", IEEE Electron Device Letters, vol 25, no.1(2002년 1월)에서 상세히 설명하며, 이러한 디바이스(500)의 예는 도 5A에 도시한다. 도시된 바와 같이, FinFET의 채널은 스페이서-형성된 반도체 핀들에 의해 형성된다.

도 5B는 본 발명의 실시예에 따라 계면층(522)을 포함하도록 변형된 Fin-FET(520)를 나타낸다. 이러한 실시예에서, 상기 반도체 소스 및/또는 드레인은 금속 소스 및/또는 드레인으로 대체된다. 상기 반도체 핀들(즉, 채널)은 계면층을 통해 이러한 소스/드레인 영역들과 접촉된다.

본 발명이 적용될 수 있는 다른 트랜지스터는 예를 들어, 본 발명에 참조로 포함될 수 있는 2001년 VLSI 기술 다이제스트 심포지움의 태크니컬 페이퍼스, 페이퍼 No. 5B-2, p55-56, E.Josse 외의 "종래의 CMOS 공정 플로우에서의 고성능 40nm 수직형 MOSFET"에 기술된 바와 같은 소위 "수직형 MOSFET"이다. 수직형 MOSFET들은 이중 게이트 사이에 삽입되는 기동-모양의 채널을 특징으로 한다. 소스 및 드레인은 상기 채널 기동의 단부들에 위치된다. 이러한 구조물(600)의 예는 도 6A에 도시된다.

도 6B는 본 발명의 실시예에 따라 계면층들을 포함하도록 변형되는 수직형 MOSFET(620)를 나타낸다. 이러한 트랜지스터는 도 6A에 도시된 MOSFET와 유사하지만, 상부 Si n-영역(본 예에서 드레인)은 금속 드레인으로 대체되고, 채널과의 콘택은 계면층(622)을 통해 이루어진다. 따라서, 이러한 소자들은 비대칭일 수 있으며, 상부 콘택에서 패시베이션되는 Si/금속 터널 접합부, 및 상기 기판 측면상의 소자 저면에서의 Si p-n 접합부를 갖는다. 저면 콘택들에 대해 먼저 p 및 n 영역들을 주입시킨 후, 채널에 대한 상부 콘택들로서 p형 또는 n형 소자들에 선택되는 일함수들을 각각 갖는 2개의 상이한 금속들을 사용함으로써 동일한 기판상에 보충적인 소자들이 제조될 수 있다.

도 7A는 또 다른 형태의 트랜지스터(700)인 MESFET를 도시한다. MESFET(Metal Semiconductor FET)는 채널에 인접한 게이트/절연체/반도체 스택을 의도적으로 셀트리 배리어를 형성하는 금속/반도체 콘택으로 대체시킨다. 채널의 전도율은 인가되는 게이트 전압이 채널로의 셀트리 배리어의 공핍 폭을 변화시킬 때 조절된다. 도시된 바와 같은 채널은 SOI 기판에서처럼 얇은 Si 층일 수 있다.

특정 MESFET 어플리케이션의 유용성을 최적화하기 위해, 셀트리 배리어를 상승 또는 하강시키는 것이 바람직할 수 있다. 이것은 본 발명의 트랜지스터(720)를 구현함으로써 도 7B에 도시된 바와 같이 달성될 수 있으며, 여기서 특정 계면 유전체 및 콘택 금속은 적절히 선택될 수 있다. 상기 계면 유전체는 게이트와 채널 사이에 계면층(722)을 형성한다. 다른 실시예들에서, 상기 게이트는 금속 대신에 폴리실리콘일 수 있다.

#### v. 전기적 시스템들에서 트랜지스터의 사용

본 발명에서 기술된 바와 같은 트랜지스터들은 많은 전기적 시스템들내에서 칩, 집적회로, 일체형 소자, 반도체 소자들, 마이크로전자 소자들 등에 사용될 수 있다. 예시되는 전기적 시스템들은 컴퓨터 시스템들(예, 휴대용, 랩탑, 데스크탑, 서버, 메인프레임 등), 하드 카피 설비(예, 프린터, 플로터, 팩스기 등), 및 다른 전기적 시스템들을 포함한다. 예를 들어, 일 실시예에서, 컴퓨터 시스템은 명령어들의 실행을 돋는 트랜지스터를 갖는 마이크로프로세서를 포함할 수 있다. 상기 컴퓨터 시스템은 이에 한정됨이 없이, 정보를 통신하는 버스 또는 다른 통신 수단, 정보를 저장하는 메모리(예, RAM과 같은 동적 메모리 또는 ROM과 같은 정적 메모리), 디스플레이 장치, 데이터 입력 장치, 및 모뎀과 같은 통신 장치를 포함하는 다른 종래의 컴퓨포넌트들을 포함할 수 있으며, 이들은 통상의 기술 수준과 본 발명의 장점을 습득한 당업자에 의해 고려된다. 이러한 임의의 또는 모든 장치들은 본 발명에 따라 구성되는 트랜지스터들을 포함할 수 있다.

지금까지 소스에서 채널 및/또는 채널에서 드레인으로의 패시베이션되는 접합부들을 갖는 트랜지스터, 및 이러한 트랜지스터를 형성하기 위한 방법이 기술되었다. 특정 실시예들을 참조로 기술되었지만, 본 발명의 폭넓은 사상과 범주를 벗어남이 없이 본 명세서에 기재된 기술들에 다양한 변형들과 수정들이 이루어질 수 있음을 고려

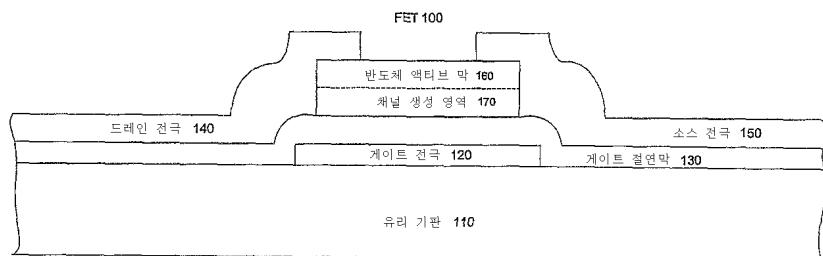
해야 한다. 예를 들어, 알루미늄 이외의 금속들이 본 발명에 따라 구성되는 트랜지스터들에 사용될 수 있다. 사용될 수 있는 낮은 일함수 금속들은 Er, Eu, Ba, Cs, Ca, Ce, Rb, Sm, Y, 및 Yb를 포함한다. 이러한 모든 금속들은 3eV 미만의 일함수를 갖는다. 사용될 수 있는 높은 일함수 금속들(밴드들의 균형을 맞추도록 정렬시키기 위함)은 Pt, Ir, Pd, Re, Ni, Co, 및 Au를 포함한다. 이에 따라 본 명세서 및 도면들은 엄격한 의미가 아닌 예시적인 것으로 간주되어야 하며, 본 발명은 첨부된 청구범위에 의해서만 평가되어야 한다.

## 도면의 간단한 설명

- [0019] 도 1은 소스 및 채널과 채널 및 드레인 사이의 금속-반도체 셀트리 접합들을 가진 종래 FET를 도시한다.
- [0020] 도 2는 본 발명의 일실시예에 따라, 소스로부터 채널로 및 채널로부터 드레인으로 패시베이팅된 금속-반도체 접합들을 가진 FET를 도시한다.
- [0021] 도 3은 본 발명의 일실시예에 따라, 소스로부터 채널로 및 채널로부터 드레인으로 패시베이팅된 금속-반도체 접합들을 가진 트랜지스터를 제조하는 방법을 도시한다.
- [0022] 도 4A-4I는 본 발명의 일실시예에 따라, 알루미늄 소스로부터 실리콘 채널로 및 실리콘 채널로부터 알루미늄 드레인으로 형성된 패시베이팅된 알루미늄-실리콘 접합을 가진 트랜지스터의 제조를 나타내는 중간 기관을 도시한다.
- [0023] 도 5A는 종래 FinFET 장치 부분들을 도시한다.
- [0024] 도 5B는 본 발명의 일실시예에 따라 소스/드레인 및 채널 사이에 계면층들을 가진 FinFET 장치 부분들을 도시한다.
- [0025] 도 6A는 종래 수직 MOSFET 장치의 부분들을 도시한다.
- [0026] 도 6B는 본 발명의 일실시예에 따라 소스/드레인 및 채널 사이에 계면층들을 가진 수직 MOSFET 장치의 부분들을 도시한다.
- [0027] 도 7A는 종래 MESFET 장치의 부분들을 도시한다.
- [0028] 도 7B는 본 발명의 실시예에 따라 게이트 및 채널 사이에 계면층을 가진 MESFET의 부분들을 도시한다.
- [0029] 도 8은 다양한 게이트 전압 조건들하에서 본 발명의 실시예에 따른 터널 배리어들을 가진 여러가지 n 타입 장치들의 동작을 도시한다.

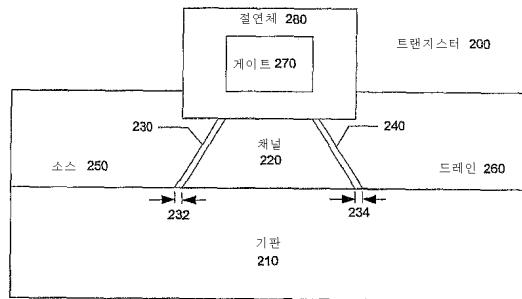
## 도면

### 도면1

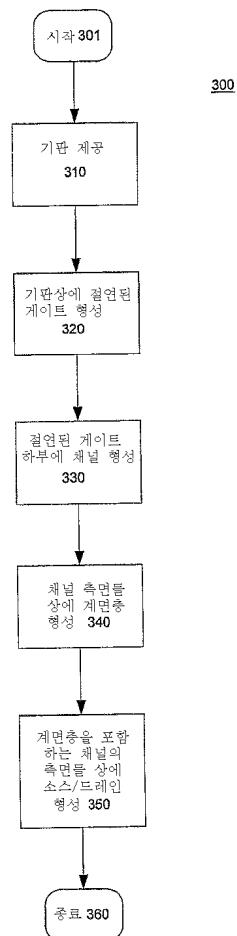


(종래기술)

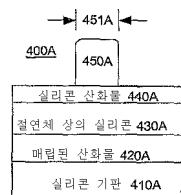
## 도면2



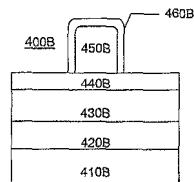
## 도면3



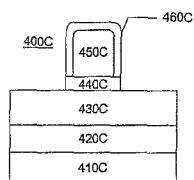
도면4A



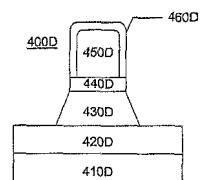
도면4B



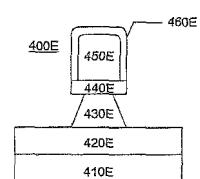
도면4C



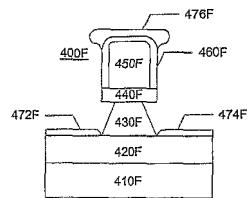
도면4D



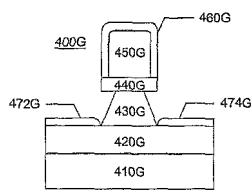
도면4E



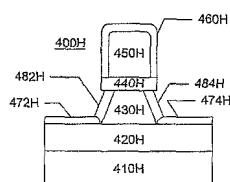
도면4F



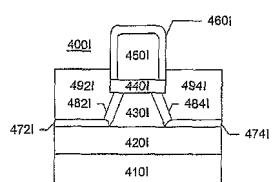
도면4G



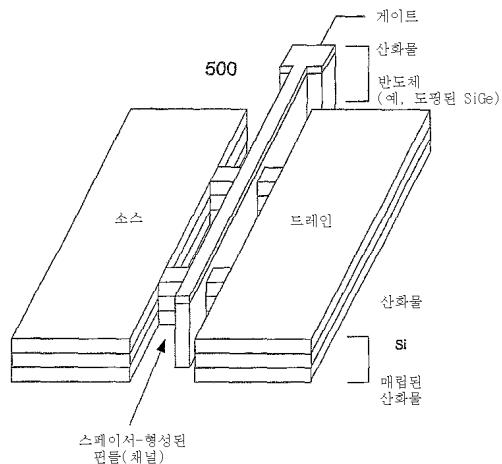
도면4H



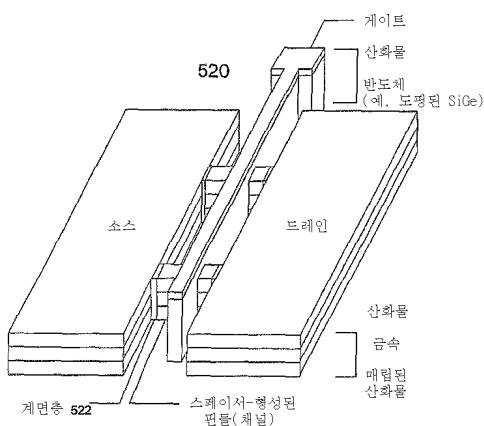
도면4I



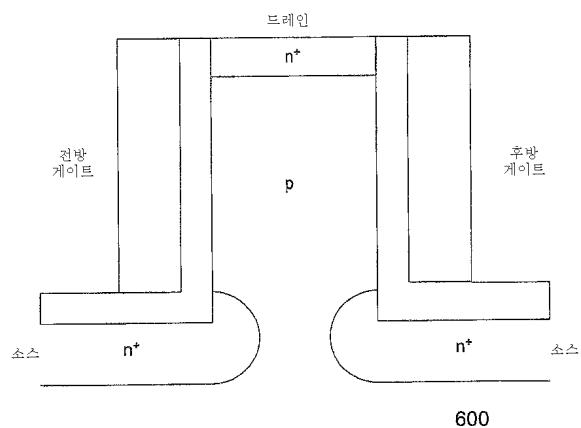
도면5A



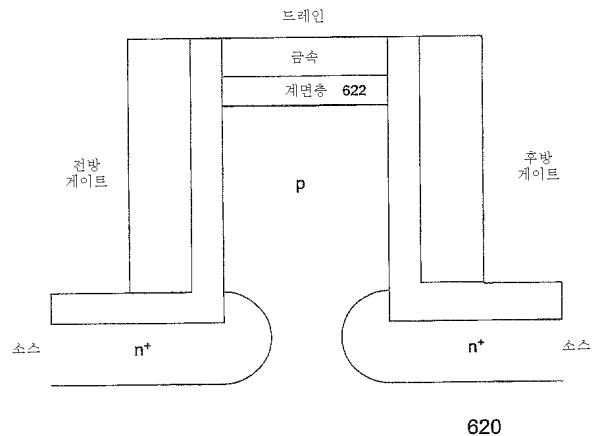
도면5B



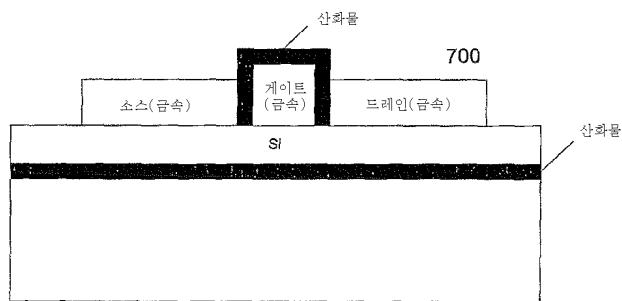
도면6A



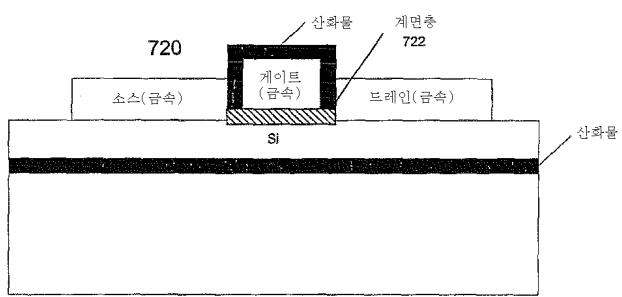
## 도면6B



## 도면7A



## 도면7B



## 도면8

