

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷
H01L 21/00



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 99103446.5

[45] 授权公告日 2003 年 10 月 8 日

[11] 授权公告号 CN 1123914C

[22] 申请日 1999.3.11 [21] 申请号 99103446.5

[30] 优先权

[32] 1998.3.11 [33] US [31] 09/038383

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

共同专利权人 国际商业机器公司

[72] 发明人 王廷浩 彭登青

D·M·多布岑斯凯 R·S·维瑟

[56] 参考文献

CN1162192A 1997.10.15 H01L21/76

JP5234984A 1993.09.10 H01L21/306

US5253594A 1993.10.26 H01L21/205

US5259737A 1993.11.09 F04B35/04

审查员 刘天飞

[74] 专利代理机构 中国专利代理(香港)有限公司

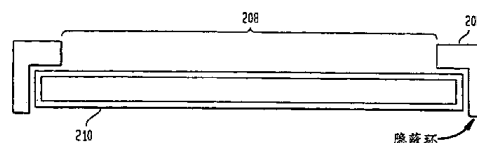
代理人 王忠忠

权利要求书 1 页 说明书 6 页 附图 2 页

[54] 发明名称 减少半导体制造中的黑硅

[57] 摘要

黑硅的减少是通过在形成硬腐蚀掩模之前在晶片的轮缘部分和侧面提供保护器件层实现的。



I S S N 1 0 0 8 - 4 2 7 4

1、一种用于制造半导体器件的方法，包括适用于减少黑硅的形成的工艺，所述方法包括下列步骤：

5 在晶片的表面形成保形掩膜层；

 构图掩膜层以从基本芯片区域有选择地去掉掩膜层，留下至少保持在轮缘部分的掩膜层；

 在基本芯片区域中形成基底叠层，该基底叠层包括基底氧化物层和基底停止层；和

10 形成附加硬掩膜层，该硬掩膜层至少覆盖基底叠层和轮缘部分上的掩膜层。

2. 利用如权利要求 1 所述的方法制作的半导体器件。

减少半导体制造中的黑硅

5 技术领域

本发明一般涉及半导体制造，特别涉及减少黑硅的形成。

背景技术

在集成电路（ICs）或芯片的制造中，为了各种目的而在如硅晶片的衬底中典型地形成通孔或沟槽。通孔或沟槽是通过腐蚀进入衬底形成的。深槽（DTs），
10 例如用作存储单元阵列的沟槽电容器的作用。

通常，DTs 是通过首先在晶片表面上提供基底叠层形成的。基底叠层包括，例如基底氧化物 112 和基底氮化物 114 的连续层。基底叠层的上面是硬掩模层 116，其包括例如 TEOS。硬掩模层起用于形成 DTs 的硬腐蚀掩模的作用。

在硬掩模层上淀积光刻胶层并构图以选择暴露要形成 DTs 的区域。一般，
15 通过反应离子腐蚀（RIE）去掉硬掩模的暴露区域，以暴露基底叠层底部的部分。去除硬掩模的该腐蚀步骤称为硬掩模开口腐蚀。基底叠层的暴露部分被去掉以暴露硅晶片。用 RIE 腐蚀暴露的硅部分，形成 DTs。

但是，常规的掩模开口和 DT 腐蚀由于不均匀的等离子体覆盖而在晶片边缘消耗硬掩模材料的速率比在晶片其余部分的速率大。公知为靶心效应的这种现象导致硬掩模材料从晶片边缘耗尽。在 DT 腐蚀的后来阶段期间边缘和侧面的
20 基底叠层被腐蚀掉，暴露出这些区域中的晶片表面底部。随着 DT 腐蚀的继续，结果在晶片的暴露区域形成条型表面。这种条型表面称为“黑硅”。关于黑硅的说明可以参见，例如 V. W. Hess, Solid State Technology, 1981 年 4 月，第 192 页，和 G. K. Herb, Solid State Technology, 1989 年 10 月，第 104 页，在这里
25 引用供参考。

黑硅的形成是因为作为硅的表面上的硬掩模的微型掩模被腐蚀。在 DT 腐蚀的后来阶段中，在晶片表面上留下硬腐蚀材料的岛状物。这些岛状物保护下面的硅不被腐蚀。这样，没有被岛状物保护的部分继续被腐蚀，而保护的部分剩余下来。在进行 RIE 时，保护的部分导致条状物或钉状物的形成。

30 在 RIE 过程中黑硅的形成使晶片的处理非常困难。例如，黑硅钉状物很容

易脱落并不利地影响制造成品率。

防止黑硅形成的一个常规技术是采用夹环以覆盖晶片边缘，在硬掩模开口 RIE 过程中保护晶片边缘。但是，夹环的使用产生夹指屏蔽，这将影响平板印刷分辨率或可靠性和腐蚀均匀性。结果，芯片成品率降低。另外，夹环的使用防止了静电吸盘（ESC）装配工具的使用，这在高密度等离子体腐蚀工具中是需要的。

从前面的讨论看出，需要提供制造半导体器件而不形成黑硅的改进技术。

发明内容

本发明涉及在半导体器件制造过程中减少黑硅。通过在晶片的轮缘（bead）和侧面提供保护器件层来减少黑硅的形成。

根据本发明的一个方面，一种用于制造半导体器件的方法，该方法适用于减少黑硅的形成，所述方法包括下列步骤：

在晶片的表面形成保形掩膜层；

构图掩膜层以从基本芯片区域有选择地去掉掩膜层，留下至少保持在轮缘部分的掩膜层；

在基本芯片区域中形成基底叠层，该基底叠层包括基底氧化物层和基底停止层；和

形成附加硬掩膜层，该硬掩膜层至少覆盖基底叠层和轮缘部分上的掩膜层。

根据本发明的另一个方面，提供了一种利用上述方法制作的半导体器件

在一个实施例中，保护器件层保形地淀积在晶片表面上并构图，从而从基本芯片区域去掉该保护器件层。然后在晶片上淀积基底叠层和硬掩模。可以用用于形成硬掩模的材料形成器件层，但这不是必需的。在 DT 腐蚀过程中，晶片轮缘和侧面的保护器件层可以提供附加的保护，减少或防止黑硅的形成。

附图说明

图 1 表示 DRAM 单元；和

图 2a-d 表示本发明的实施例，用于防止在集成电路制造过程中黑硅的形成。

具体实施方式

本发明涉及防止在集成电路（ICs）制造过程中形成黑硅。ICs，例如，包括诸如随机存取存储器（RAMs）、动态 RAMs（DRAMs）、同步 DRAMs（SDRAMs）

静态 RAMs (SRAMs) 或只读存储器 (ROMs) 的存储器电路。而且, ICs 还可以包括逻辑器件, 如可编程逻辑阵列 (PLAs)、专用 ICs (ASICs)、合并 DRAM-逻辑 ICs (埋置式 DRAMs)、或其它任何电路器件。

典型地, 在如硅晶片的衬底上制造许多并联 ICs。处理之后, 为了把 ICs 分成多个独立的芯片而切割晶片。然后芯片被封装成最后产品, 这些最后产品用于例如消费产品, 诸如计算机系统、蜂窝电话、个人数字辅助装置 (PADs) 和其它产品。

为了讨论的目的, 首先说明常规 DRAM 单元。参照图 1, 其中示出了沟槽电容器 DRAM 单元。这种 DRAM 单元在例如 Nesbit et al., A 0.6 μ m₂ 256Mb Trench DRAM Cell With Self-Aligned Buried Strap (BEST), IEDM 93-627, 中有说明, 在这里引用供参考。

如图所示, DRAM 单元包括形成在衬底 101 中的沟槽电容器 160。沟槽典型地用多晶硅 (poly) 161 填充, 该多晶硅是用 n 掺杂剂重掺杂的。此多晶硅起电容器的一个板极的作用, 并被称为“存储节点”。用 n 型掺杂剂掺杂的掩埋板极 165 围绕沟槽的下部。在沟槽的上部中的是用于减少寄生漏电的轴环 168。节点介质 163 把电容器的两个板极分隔开。提供包括 n 型掺杂剂的掩埋阱 170, 与阵列中的 DRAM 单元的掩埋板极连接。掩埋阱上面是 p 阱 173。p 阱起减少垂直漏电的作用。

DRAM 单元还包括晶体管 110。该晶体管包括栅极 12 和包括 n 型掺杂剂的扩散区 113 和 114。扩散区被作为源和漏。源和漏的设计取决于晶体管的工作。经过扩散区 125 实现晶体管与电容器的连接, 扩散区 125 被称为“节点扩散”。栅, 也称作“字线”, 一般包括多晶硅 366 和氮化物 368 层。或者, 层 357 是多晶硅和硅化物层, 其包括在多晶硅层上的硅化物, 诸如钼硅化物 (MoSi_x)、钽硅化物 (TaSi_x)、钨硅化物 (WSi_x)、钛硅化物 (TiSi_x)、或钴硅化物 (CoSi_x), 以减少字线电阻。

在一个实施例中, 多晶硅和硅化物层包括多晶硅上的 WSi_x 。氮化物衬里 369 覆盖栅极叠层和衬底。氮化物层 368 和氮化物衬里对后来的处理起腐蚀或抛光停止层的作用。

提供浅沟槽隔离 (STI) 180 以把 DRAM 单元与其它单元或器件隔离开。如图所示, 字线 120 形成在沟槽上并被 STI 隔离。字线 120 称为“穿通字线”。

这种构形被称作折叠式位线结构。也可以使用如开口或开口式折叠位线结构的其它构形或单元设计。

层间绝缘层 189 形成在字线上。表示位线的导电层形成在层间绝缘层上。在层间绝缘层中提供位线接触开口 186, 从而使源 113 与位线 190 接触。

- 5 多个这种单元构形成阵列。单元的阵列用字线和位线互连。对单元的存取是通过激活单元的对应字线和位线实现的。

参见图 2a, 其中示出其上形成集成电路的衬底 201。该衬底例如包括硅晶片。也可以使用其它类型的衬底, 如硅-绝缘体 (SOI)、硅-蓝宝石 (SOS)、锗、砷化镓或 III-V 族化合物。

- 10 在晶片上形成器件层 210。如图所示, 器件层保形地覆盖晶片表面, 包括侧面和底部。最好是, 器件层包括与用于 DT 腐蚀的硬掩模材料相同的材料。在一个实施例中, 器件层包括氧化物。也可以使用其它硬掩模材料形成器件层。

- 该氧化物是通过, 例如使用化学汽相淀积 (CVD) 技术如低压 CVD (LPCVD) 分解 TEOS 形成的。也可以使用其它保形氧化物淀积技术。TEOS 层的厚度足以
15 在 DT 腐蚀过程中防止晶片边缘暴露。一般, TEOS 层的厚度约为 $1000-2000 \text{ \AA}$ 。此厚度可以根据, 例如腐蚀化学方法、腐蚀效率、硬掩模材料和 DTs 的深度而改变。

- 参见图 2b, 产生黑硅的晶片的至少边缘和侧面被保护, 而要形成 ICs 的区域 208 未被保护。这里使用的术语“基本芯片区域”指的是形成 ICs 的晶片的
20 区域。被保护的晶片边缘部分典型地称作轮缘部分。轮缘部分的宽度一般约为 3mm 宽, 但是它可以根据晶片上的芯片的特殊设计和布局而改变。

在一个实施例中, 采用如屏蔽环的晶片支架 205 以保护晶片边缘。这种晶片支架被发现在例如配有屏蔽环的 AMATOmega、MxP 或 MxP+腐蚀工具中具有。修改的夹环也可以用于保护轮缘部分。

- 25 或者, 可以采用抗蚀剂层并对其构图以保护晶片的边缘和轮缘区域。这包括淀积抗蚀剂层而不采用轮缘去除, 容许保护轮缘和边缘部分。使用空白掩模以选择暴露抗蚀剂, 从而容许在显影过程中基本芯片区域中的抗蚀剂被除去。

- 参见图 2c, 基本芯片区域 208 中的 TEOS 层 210 的未保护部分相对于晶片被选择去掉。器件层的去除是使用适当的化学方法用例如 RIE、湿法腐蚀、或
30 化学干法腐蚀 (CDE) 实现的, 以对硅选择地去掉 TEOS。最好采用湿法腐蚀或

CDE, 因为不会如 RIE 那样对硅有损伤。当使用 RIE 时, 后来的热处理或单独的退火起修复硅损伤的作用。

参见图 2d, 基底叠层 250 形成在基本芯片区域中的晶片上。基底叠层一般包括基底氧化物层和基底停止层。基底氧化物层是用例如热氧化淀积的。基底氧化物足够厚以减少应力和增强基底停止层与晶片之间的粘附力。基底氧化物的典型厚度约为 5-20nm, 最好约为 10 nm。

基底氧化物的上面是基底停止层。基底停止层包括具有对其它材料如用于填充 DTs 的材料足够的选择性的材料, 从而起有效腐蚀或 CMP 停止层的作用。在一个实施例中, 基底停止层包括氮化硅 (Si_3N_4), 因为它对于用于填充沟槽的多晶硅具有相对低的腐蚀率。其它合适的腐蚀或 CMP 停止层材料也可以用于形成基底停止层。氮化物层是用例如低压化学汽相淀积 (LPCVD) 淀积的。也可以使用其它淀积氮化物层的技术, 如等离子体增强化学汽相淀积 (PECVD)。一般, 基底氮化物层约为 100-300nm 厚, 最好约为 200-220 nm。但是, 其厚度可以根据应用和 CMP 性能或腐蚀效率以及氮化物和用于构图氮化物的抗蚀剂之间的腐蚀选择性而变化。

如上所述, 虽然基底叠层包括基底氧化物和基底停止层, 但是根据实际应用也可以包括附加层。

形成基底叠层之后, 硬掩模层 260 淀积在晶片表面上。在一个实施例中, 硬掩模包括从 TEOS 形成的氧化物。如所示, TEOS 层是用 LPCVD 形成的并覆盖晶片表面, 包括侧面和底部。具有对硅的高腐蚀选择性的其它材料也可以用作硬腐蚀掩模。这样的材料包括, 例如硼硅酸盐玻璃 (BSG)。硬腐蚀掩模起用于腐蚀 DTs 的掩模的作用。硬掩模层的厚度为例如约 700nm。当然其厚度也可以改变, 这取决于 DTs 的深度和采用的腐蚀工艺。

使用常规平板印刷技术构图硬掩模, 以确定形成 DTs 的区域。这样的技术包括淀积光刻胶层及用曝光源和掩模对它选择曝光。抗蚀剂的曝光或未曝光部分在显影过程中被去掉, 这取决于它是正或负型抗蚀剂。结果 DT 区域中的硬掩模未被抗蚀剂层保护。然后沿着 DT 区域中基底叠层的其它层的硬掩模材料被去掉, 暴露下面的硅晶片。基底叠层的未保护部分的去除是用例如反应离子腐蚀 (RIE) 实现的。

已经构图基底叠层之后, 进行 DT 腐蚀以形成 DTs。DT 腐蚀例如是 RIE。由

于器件层 210 在晶片边缘提供附加保护，所以 DT 腐蚀不会穿透到晶片。结果防止了黑硅的形成。

硬掩模层是使用常规平板印刷技术构图的，以确定形成 DTs 的区域。这种技术包括淀积光刻胶层及用曝光源和掩模对其选择曝光。抗蚀剂的曝光或未曝光部分在显影过程中被去掉，这取决于它是正或负型抗蚀剂。结果 DT 区域中的硬掩模没有被抗蚀剂层保护。然后沿着 DT 区域中基底叠层的其它层的硬掩模材料被去掉，暴露下面的硅晶片。去掉基底叠层是用例如 RIE 实现的。

已经构图基底叠层之后，进行 DT 腐蚀以形成 DTs。DT 腐蚀例如是 RIE。氧化物层 210 在晶片的轮缘部分和侧面提供附加保护。结果在轮缘部分和侧面 DT 腐蚀没有穿透到晶片，防止了这些区域中黑硅的形成。

继续进行工艺以形成 ICs 的其余部分。这包括，例如沿着支撑器件形成多个 DRAM 单元，如图 1 所述，以制造 DRAM 芯片。

上面已经特别地表示和参照各个实施例介绍了本发明，但是本领域普通技术人员在不脱离本发明范围的情况下可以对本发明做各种修改和改变。因此本发明的范围不应该由上述的说明来确定，而应该参照所附的权利要求书及等效物的整个范围确定。

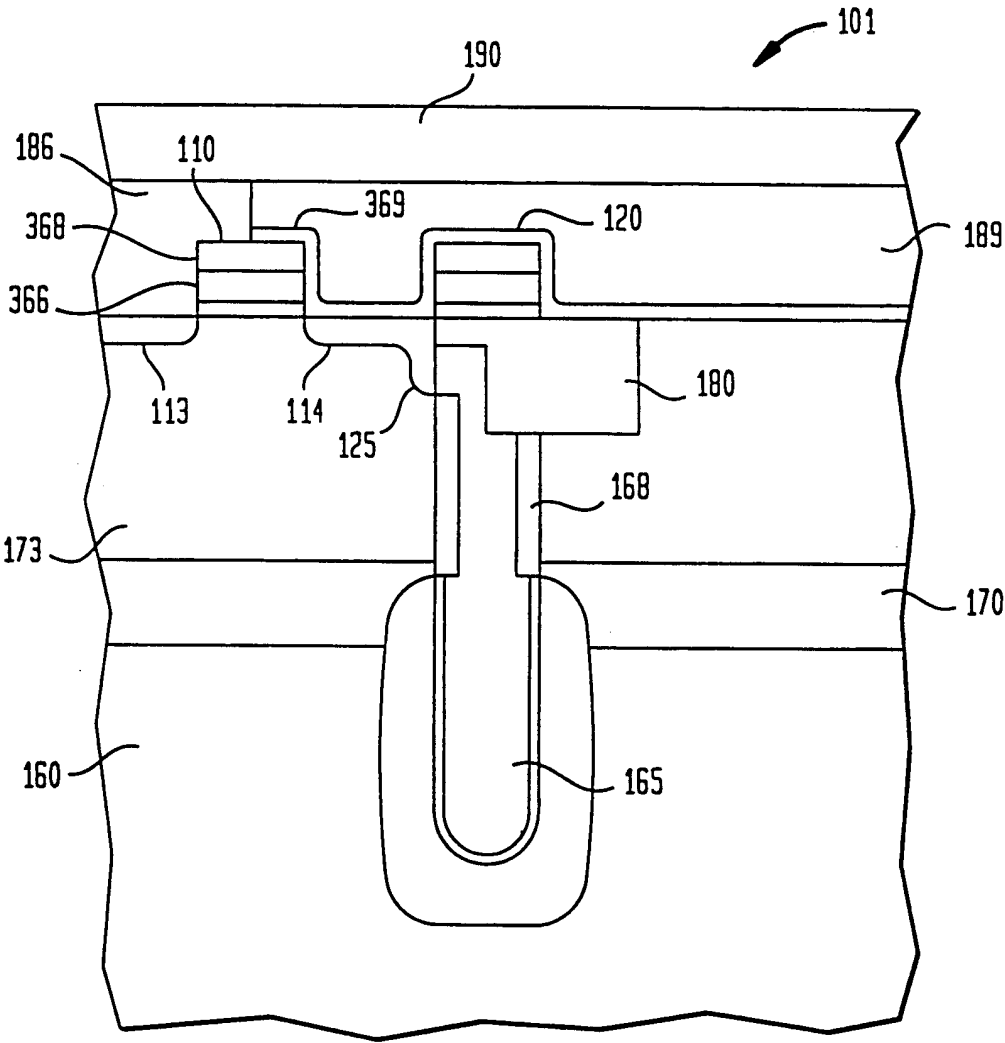


图 1

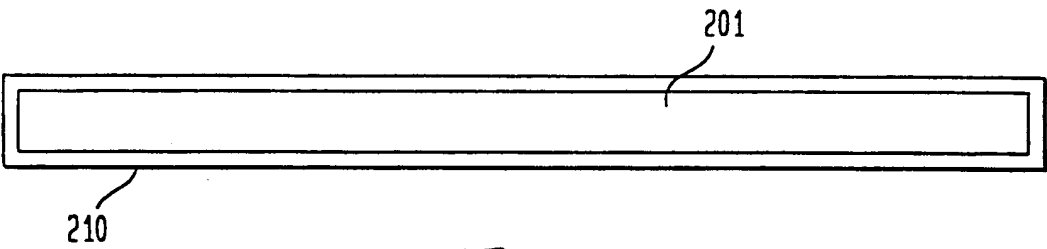


图 2a

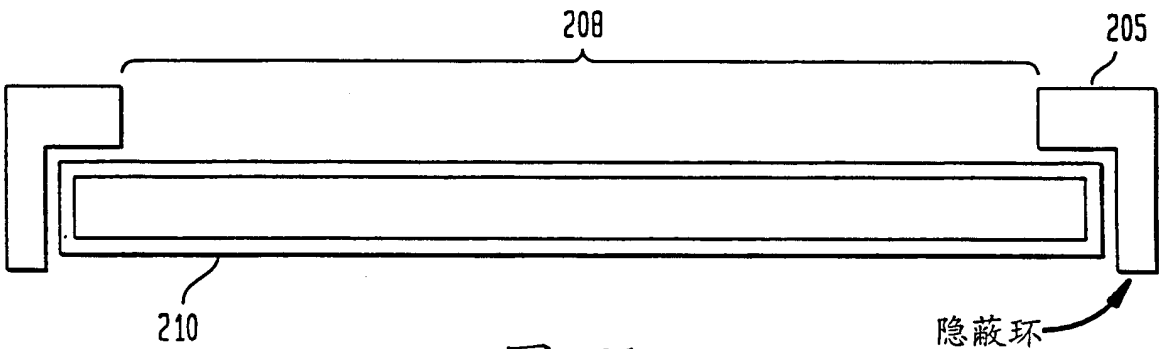


图 2b

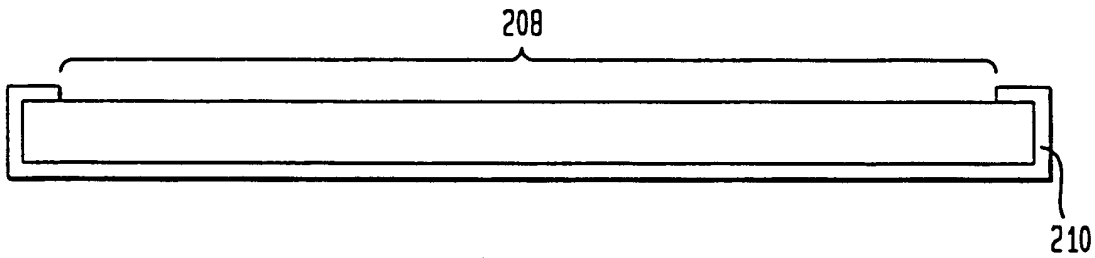


图 2c

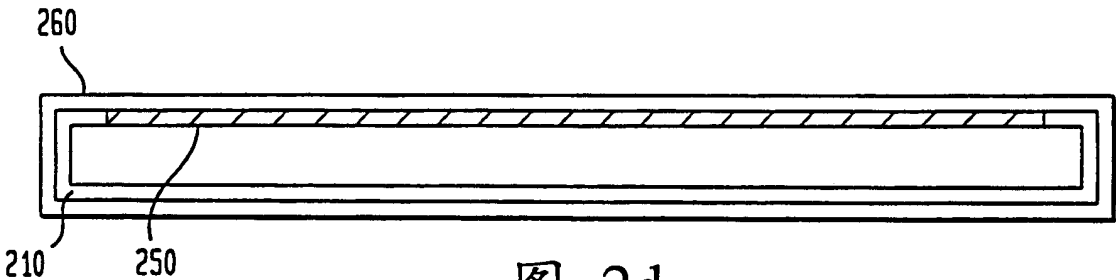


图 2d