(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3554071号

(P3554071)

(45)発行日　平成16年8月11日(2004.8.11)　(24)登録日　平成16年5月14日(2004.5.14)

(51)Int.Cl.[7]	F I		
G05F 1/10	G05F	1/10	301A
H02M 1/08	H02M	1/08	301B
H02M 3/28	H02M	3/28	H

請求項の数 4　(全 8 頁)

(21)出願番号　特願平7-86058
(22)出願日　平成7年3月17日(1995.3.17)
(65)公開番号　特開平8-255025
(43)公開日　平成8年10月1日(1996.10.1)
審査請求日　平成13年10月15日(2001.10.15)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(73)特許権者　000233527
株式会社ルネサス東日本セミコンダクタ
東京都青梅市藤橋三丁目３番地２
(74)代理人　100081938
弁理士　徳若　光政
(72)発明者　工藤　良太郎
埼玉県入間郡毛呂山町大字旭台１５番地
日立東部セミコンダクタ株式会社内
(72)発明者　嵯峨　良平
埼玉県入間郡毛呂山町大字旭台１５番地
日立東部セミコンダクタ株式会社内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】

【請求項１】

入力電圧に対応した電流信号を形成してホトダイオードに供給される駆動電流を形成する増幅回路と、

かかる増幅回路自身の動作電流を決定する第１の抵抗素子及び上記ホトダイオードに並列に設けられて、そのバイアス電圧を形成する第２の抵抗素子とが同一の半導体基板上に形成されてなることを特徴とする半導体装置。

【請求項２】

上記ホトダイオードには直列に電流制限用の第３の抵抗素子が設けられるものであり、

かかる第３の抵抗素子も上記半導体装置を構成する半導体基板上に形成されるものであることを特徴とする請求項１の半導体装置。

【請求項３】

上記第１ないし第３の抵抗素子は、

同じ抵抗材料で形成されるものであることを特徴とする請求項１又は請求項２の半導体装置。

【請求項４】

上記半導体装置は、

ホトカプラを介して２次側の出力電圧に対応した帰還信号によりＰＷＭ信号を形成してスイッチング素子を介してトランスの１次側コイルを駆動するスイッチングコントロールＩＣと、

上記２次側コイルの出力を整流して形成された出力電圧と基準電圧との差分に対応した電流信号を形成する誤差増幅回路と、
かかる誤差増幅回路の出力電流により駆動され、上記ホトカプラを構成するホトダイオードとを備えたスイッチング電源における上記誤差増幅回路として用いられるものであることを特徴とする請求項１、請求項２又は請求項３の半導体装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
この発明は、半導体装置に関し、例えばスイッチング電源における出力電圧をホトカラプを用いてフィードバックさせる誤差増幅回路に利用して有効な技術に関するものである。
【０００２】
【従来の技術】
本願に先立って図４に示すようなスイッチング電源を検討した。このスイッチング電源において、２次側電圧を受ける誤差増幅回路は、可変形シャントレギュレータが用いられ、トランスの２次側から１次側への誤差増幅出力信号のフィードバックにはホトカラプを用いている。このようなホトカプラを用いることにより、トランスの１次側（一般的に商用電源側）と２次側とを電気的に分離し、安全性を高くすることができる。
【０００３】
図４において、ホトカラプを構成するホトダイオードには、電流バイパスのための抵抗ＲＰＳが並列に設けられ、バイアス電流設定並びに電流制限のための抵抗ＲＢが直列に設けられる。上記抵抗ＲＰＳにて電流を分流する理由は、シャントレギュレータ（エラーアンプＩＣ）の入力電圧Ｖ１と、ホトダイオードの順方向電流ＩＦの関係を線形特性にし、系の安定化を図るためである。
【０００４】
図５には、上記誤差増幅回路部の入力電圧Ｖ１対動作電流ＩＫ並びに入力電圧Ｖ１対順方向電流ＩＦの関係を示す特性図が示されている。同図において、ＩＫ≦ＩＭＮでＶ１対ＩＫ特性が非線形になるのはシャントレギュレータが自己消費電流（動作電流）ＩＭＮを必要とするからである。電流バイパス用の抵抗ＲＰＳに、上記電流ＩＭＮ以下の電流しか流れないときにはホトダイオードには順方向電圧ＶＦが与えられないから、上記抵抗ＲＰＳによってホトダイオードを線形領域に動作補償させることができる。
【０００５】
【発明が解決しようとする課題】
上記のスイッチング電源では、シャントレギャレータが１つの半導体集積回路により形成されるのに対して、上記電流パイパス用の抵抗ＲＰＳが外付部品で構成されている。このため、比較的大きな素子定数のバラツキを持つことより上記自己消費電流ＩＭＮが比較的大きく変動することをみこして、抵抗ＲＰＳの抵抗値を比較的小さく設定してかなりのマージンを設定しなければならない。すなわち、ホトダイオードを線形領域で動作させるために、ムダ電流を多く流すことによりその線形領域での動作補償を行うというものである。この結果、単に消費電流が増大することにとどまらず、出力電圧ＶＯに対する動作ＩＫ範囲が狭くなり、結果として動作ＩＦ範囲、言い換えるならば、ホトカプラのダイナミックレンジを狭くしてしまうという問題が生じる。特に、スイッチ電源等により動作させられる電子回路は、その動作電圧が５Ｖ系から３Ｖ系のように低電圧化される傾向にあるので、上記ホトカプラのダイナミックレンジが狭いということは今後大きな問題になるものである。
【０００６】
この発明の目的は、低消費電流とホトダイオードのダイナミックレンジの拡大を可能にした半導体装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。
【０００７】
【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、入力電圧に対応した電流信号を形成してホトダイオードに供給される駆動電流を形成する増幅回路と、かかる増幅回路自身の動作電流を決定する第１の抵抗素子及び上記ホトダイオードに並列に設けられて、そのバイアス電圧を形成する第２の抵抗素子とを同一の半導体基板上に形成する。

【０００８】

【作用】

上記した手段によれば、半導体集積回路内では抵抗比が精度よくできることから、自己消費電流ＩＭＮと上記バイアス電圧を形成する抵抗とが相関関係をもって変化し、少ない電流によりホトダイオードを線形領域での動作補償を行うことができ、これによりホトダイオードのダイナミックレンジも拡大させることができる。

【０００９】

【実施例】

図１には、この発明が適用されたスイッチング電源の２次側回路の一実施例の回路図が示されている。スイッチング電源における２次側コイルから出力された出力電圧は、整流回路により整流され、さらにインダクタンスＬ及びコンデンサＣ０１とにより平滑されて直流出力電圧ＶＯが形成される。この出力電圧ＶＯは、端子ＤＣ　ＯＵＴを介して図示しない電子回路等の負荷に供給される。

【００１０】

上記出力電圧ＶＯを所望の電圧に安定化させるために、抵抗Ｒ０１とＲ０２により分圧され、エラーアンプＩＣ（誤差増幅回路）に入力電圧Ｖ１として供給される。このエラーアンプＩＣは、同図に点線で示すようにエラーアンプの他に、ホトカプラを構成するホトダイオードＰＤに並列に接続される電流バイパス用抵抗ＲＰＳも内蔵される。つまり、エラーアンプＩＣは、ホトダイオードＰＤの両端が接続される端子Ｋ及びＰＳが設けられ、かかる端子ＫとＰＳに対してホトダイオードのアノードとカソードとがそれぞれ接続される。上記端子Ｋには、上記ホトダイオードＰＤのバイアス電流設定並びに電流制限のための抵抗ＲＢが直列に設けられる。そして、端子Ａは回路の接地電位が与えられる。特に制限されないが、上記抵抗ＲＢには、コンデンサＣ０２が並列に設けられる。

【００１１】

図２には、この発明に係るエラーアンプＩＣの一実施例の回路図が示されている。同図の各回路素子は、公知の半導体集積回路の製造技術により、単結晶シリコンのような１個の半導体基板上において形成される。

【００１２】

この実施例では、特に制限されないが、バンドギャップ基準電圧源が利用される。つまり、ダイオード形態のトランジスタＱ２と、そのベースにベースが接続されたトランジスタＱ３とは、所定の比（この実施例では２：４）を持って形成される。上記トランジスタＱ３のエミッタにはエミッタ抵抗Ｒ４が設けられる。上記トランジスタＱ３とＱ４のコレクタには、抵抗Ｒ２とＲ３がそれぞれ設けられ、抵抗のＲ２とＲ３の他端は共通に接続されて抵抗Ｒ１を介して入力端子Ｒから供給される入力電圧Ｖ１を受けるトランジスタＱ１のエミッタ電圧が供給される。

【００１３】

上記トランジスタＱ４のコレクタ出力電圧は、トランジスタＱ６のベース、エミッタ間に供給される。このトランジスタＱ６のコレクタには抵抗Ｒ５が設けられる。上記抵抗Ｒ５の他端には、上記トランジスタＱ１のエミッタ出力を受けるトランジスタＱ８のエミッタが接続される。上記トランジスタＱ８のコレクタには、ＰＮＰ型の電流ミラー回路を構成する入力側トランジスタＱ４が設けられる。かかる電流ミラー回路を構成する出力側トランジスタＱ５のコレクタには、上記トランジスタＱ２のベースにベースが接続されたトランジスタＱ７が設けられる。

【００１４】

上記トランジスタＱ７のコレクタ出力は、ダーリントン形態のトランジスタＱ９と１０の

ベースに供給される。そして、上記入力トランジスタＱ１のコレクタ、電流ミラートランジスタＱ４，Ｑ５のエミッタ及び出力トランジスタＱ９，Ｑ１０のコレクタは共通化されて端子Ｋに接続される。そして、かかる端子Ｋと新たに設けられた端子ＰＳとの間には、上記抵抗ＲＰＳが設けられる。なお、トランジスタＱ６とＱ７のベースとコレクタ間には、それぞれ発振防止用（位相補償用）のコンデンサＣ１，Ｃ２が接続されている。

【００１５】

この実施例のエラーアンプ（シャントレギュレータ）の安定動作時には、トランジスタＱ６とＱ７のベース，エミッタ間電圧が等しいとき、$V_{BE6}=V_{BE7}$ である。よって、次式（１）、（２）が成立する。

$R2\cdot IC2=R3\cdot IC3$ ・・・・・・（１）

$V_{BE2}=V_{BE3}+IC3\cdot R4$ ・・・・・・（２）

ここで、ＩＣ２，ＩＣ３はトランジスタＱ２，Ｑ３のコレクタ電流である。

【００１６】

上記式（１）を（２）に代入すると、式（３）、（４）が得られる。

$$V_{BE2}=V_{BE3}+(R2/R3)\cdot IC2\cdot R4 \quad \cdots\cdots (3)$$

$$IC2=(V_{BE2}-V_{BE3})(1/R4)(R3/R2)$$
$$=[V_T \ln(IC2/2IS)-V_T \ln(IC2/4IS)]$$
$$\times(1/R4)(R3/R2)$$
$$=(1/R4)(R3/R2)V_T \ln(2R3/R2) \quad \cdots (4)$$

【００１７】

自己消費電流ＩＭＮの合計は、

$$IMN=IC2+IC3+IC6+IC7$$
$$=IC2+(R2/R3)IC2+IC2/2+IC2/2$$
$$=IC2(2+R2/R3)$$
$$=(1/R4)(R3/R2)(2+R2/R3)$$
$$\times V_T \ln(2R3/R2) \quad \cdots\cdots (5)$$

ここで、トランジスタＱ６とＱ７は、トランジスタＱ２のエミッタ面積比が１／２であるから、上記安定動作時にはＩＣ６＝ＩＣ７＝ＩＣ２／２となる。

【００１８】

同一チップ内での同種類の抵抗比精度は非常に高い。また、上記熱電圧 V_T（＝ｑ／ｋＴ）はプロセスバラツキの影響を受けないために、上記式（５）は、次式（６）のように表すことができる。

$IMN=A/R4$ ・・・・・・・・・（６）

ここで、$A=(R3/R2)(2+R2/R3)V_T \ln(2R3/R2)$ である。

【００１９】

この実施例のように、上記自己消費電流ＩＭＮを決定する抵抗Ｒ４と、上記バイパス抵抗ＲＰＳとを上記同種類抵抗として構成すると、極めて抵抗比精度の高いペアを採ることができる。したがって、この実施例のシャントレギュレータは、ＩＭＮとＶＦ／ＲＰＳとは比例関係にすることができる。言い換えるならば、ＩＭＮとＲＰＳのバラツキには相関がある。したがって、図５の特性図において、ＶＦ／ＲＰＳをＩＭＮに対して必要最小のマージンをもって小さく設定することができる。言いかかるならば、抵抗ＲＰＳの抵抗値を比較的大きく設定できるために、前記のようなムダ電流が必要最小にできる。この結果、動作ＩＫ範囲と動作ＩＦ範囲を出力電圧ＶＯとほぼ同じく大きく設定できる、これに伴ってホトダイオードのダイナミックレンジも大きくできる。

【００２０】
図３には、この発明が適用されたスイッチング電源の一実施例の全体回路図が示されている。交流入力は、整流されされてトランスの一次側コイルの電源として供給される。この整流電圧は、約１００Ｖを整流したものであるので、それをそのままスイッチングコントロールＩＣの電源として使用できない。それ故、トランスの２次側から降圧された電圧を整流して動作電圧を得るようにしている。ただし、起動用として比較的大きな抵抗を介して上記整流電圧が供給される。
【００２１】
スイッチングコントロールＩＣは、ホトカプラを介してフィードバックされた信号によりＰＷＭ波形を形成し、スイッチング素子ＦＥＴを駆動して上記トランスの１次側コイルを駆動する。２次側コイルから得られる出力電圧は、整流回路により整流され、インダクタンスＬとコンデンサＣ０１とにより平滑されて出力直流電圧ＶＯが形成される。
【００２２】
この出力直流電圧ＶＯは、抵抗Ｒ０１とＲ０２により分圧され、この発明に係るエラーアンプＩＣの入力電圧が形成される。この実施例のエラーアップは、前記図２の実施例回路の他に、ホトダイオードに直列接続されるべき抵抗ＲＢも合わせて内蔵されている。それ故、出力電圧ＶＯが供給される端子Ｖが新たに設けられる。なお、動作の安定化のために端子ＰＳと端子Ｒとの間には、コンデンサＣ０３が設けられている。
【００２３】
この実施例では、ホトダイオードのバイアス電流設定並びに電流制限のための抵抗ＲＢとＲＰＳとも高い比精度で形成できるから、電圧分配比精度を向上させることができるものとなる。特に制限されないが、エラーアンプＩＣには、かかるバイアス電流設定並びに電流制限のための抵抗ＲＢだけを内蔵させるようにしてもよい。だだし、この抵抗ＲＢは、ホトダイオードと直列に接続されるため、外部端子を介して上記バイパス抵抗ＲＰＳと接続されることとなり、前記図１又は図３の実施例が現実的である。
【００２４】
上記の実施例により得られる作用効果は、下記の通りである。
（１）　入力電圧に対応した電流信号を形成してホトダイオードに供給される駆動電流を形成する増幅回路と、かかる増幅回路自身の動作電流を決定する第１の抵抗素子及び上記ホトダイオードに並列に設けられて、そのバイアス電圧を形成する第２の抵抗素子とを同一の半導体基板上に形成することにより、自己消費電流ＩＭＮと上記バイアス電圧を形成する抵抗とが相関関係をもって変化し、少ない電流によりホトダイオードを線形領域での動作補償を行うことができ、これによりホトダイオードのダイナミックレンジも拡大させることができるという効果が得られる。
【００２５】
（２）　ホトダイオードのバイアス電流設定並びに電流制限のための抵抗ＲＢも合わせて上記半導体集積回路に形成することにより、かかる抵抗ＲＢと上記抵抗ＲＰＳとも高い比精度で形成できるから、電圧分配比精度を向上させることができるという効果が得られる。
【００２６】
（３）　上記（１）（２）により、スイッチング電源に適用した場合には、それを構成する部品点数を減らすことができ、その低消費電力が可能になるとともに小型化や組み立ても容易にできるという効果が得られる。
【００２７】
以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、エラーアンプの具体的構成は、上記実施例のように、内蔵された抵抗により自己消費電流が設定され、かつ、入力電圧に対応した出力電流を形成する機能を持つものであれば何であってもよい。トランスの１側を駆動するスイッチングコントロールＩＣは、ホトカプラを介してフィードバック信号によりＰＷＭ出力を形成して、ス

イッチ素子を駆動するものであれば何であってもよい。

【００２８】

この発明は、入力電圧に対応してホトダイオードを駆動する増幅回路を備えた半導体装置に広く利用でき、かかる半導体装置は前記のようなスイッチング電源の他、ホトダイオードを入力電圧に対応して駆動するものに広く利用できる。

【００２９】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、入力電圧に対応した電流信号を形成してホトダイオードに供給される駆動電流を形成する増幅回路と、かかる増幅回路自身の動作電流を決定する第１の抵抗素子及び上記ホトダイオードに並列に設けられて、そのバイアス電圧を形成する第２の抵抗素子とを同一の半導体基板上に形成することにより、自己消費電流ＩＭＮと上記バイアス電圧を形成する抵抗とが相関関係をもって変化し、少ない電流によりホトダイオードを線形領域での動作補償を行うことができ、これによりホトダイオードのダイナミックレンジも拡大させることができる。

【００３０】

ホトダイオードのバイアス電流設定並びに電流制限のための抵抗ＲＢも合わせて上記半導体集積回路に形成することにより、かかる抵抗ＲＢと上記抵抗ＲＰＳとも高い比精度で形成できるから、電圧分配比精度を向上させることができる。

【図面の簡単な説明】

【図１】この発明が適用されたスイッチング電源の２次側回路の一実施例を示す回路図である。

【図２】この発明に係るエラーアンプＩＣの一実施例を示す回路図である。

【図３】この発明が適用されたスイッチング電源の一実施例を示す全体回路図である。

【図４】この発明に先立って検討されたスイッチング電源の一例を示す回路図である。

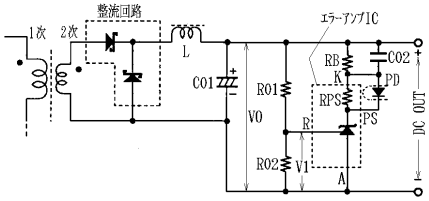
【図５】上記スイッチング電源におけるエラーアンプの動作を説明するための特性図である。

【符号の説明】

ＦＥＴ…スイッチング素子、Ｒ０１、Ｒ０２…抵抗、Ｃ０１～Ｃ０３…コンデンサ、Ｌ…インダクタンス、Ｑ１～Ｑ１０…トランジスタ、Ｒ１～Ｒ５…抵抗、Ｃ１，Ｃ２…コンデンサ、ＲＰＳ…バイパス抵抗、ＲＢ…バイアス電流抵抗、ＰＤ…ホトダイオード。

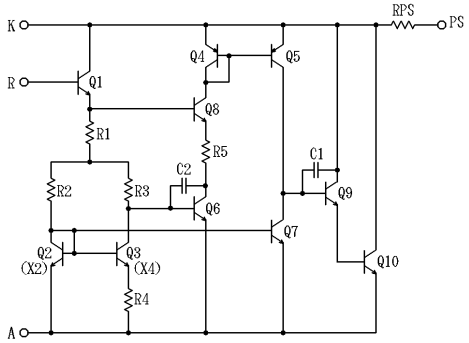
【図１】

図1



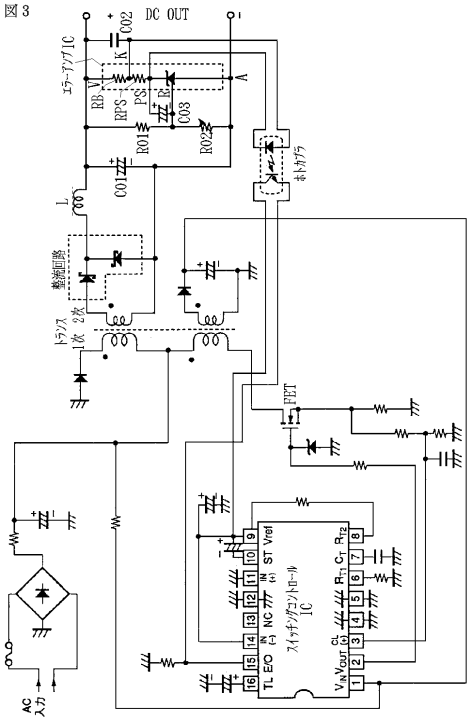
【図２】

図2



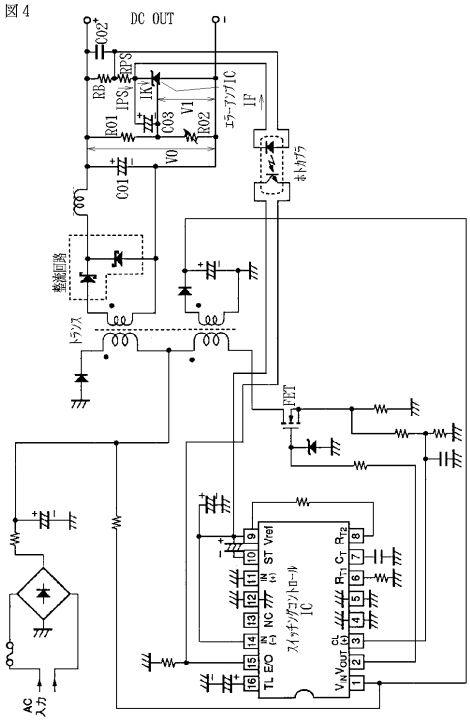
【図３】

図3



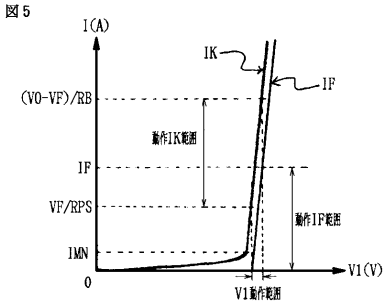
【図４】

図4



【図５】

図5



フロントページの続き

(72)発明者　塩川　智久
埼玉県入間郡毛呂山町大字旭台１５番地　日立東部セミコンダクタ株式会社内
(72)発明者　星野　達也
埼玉県入間郡毛呂山町大字旭台１５番地　日立東部セミコンダクタ株式会社内
(72)発明者　石井　幸樹
埼玉県入間郡毛呂山町大字旭台１５番地　日立東部セミコンダクタ株式会社内

審査官　川端　修

(56)参考文献　特開平０６－３３９２７０（ＪＰ，Ａ）
特開平０７－０３９１３８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
G05F　1/10
H02M　1/08
H02M　3/28