

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号

WO 2010/066098 A1

(43) 国际公布日

2010年6月17日 (17.06.2010)

PCT

- (51) 国际专利分类号:
G11C 7/10 (2006.01) G11C 5/14 (2006.01)
G11C 29/00 (2006.01) G06F 12/02 (2006.01)
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): 王树峰 (WANG, Shufeng) [CN/CN]; 中国广东省深圳市南山区工业八路天骄华庭 3D-812, Guangdong 518067 (CN)。
- (21) 国际申请号: PCT/CN2009/001379
- (22) 国际申请日: 2009年12月7日 (07.12.2009)
- (74) 代理人: 深圳市睿智专利事务所 (SHENZHEN RUIZHI PATENT AGENCY); 中国广东省深圳市南山区科技园科苑路6号科技大厦中501A, Guangdong 518057 (CN)。
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
200810218321.3 2008年12月12日 (12.12.2008) CN
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (71) 申请人 (对除美国外的所有指定国): 深圳市晶凯电子技术有限公司 (SHENZHEN CITY GCAI ELECTRONICS CO., LTD.) [CN/CN]; 中国广东省深圳市宝安区石岩镇宏发科技园G栋4楼, Guangdong 518120 (CN)。

[见续页]

(54) Title: METHOD AND DEVICE FOR CONSTRUCTING HIGH SPEED SOLID STATE STORAGE DISK WITH LARGER CAPACITY DRAM INVOLVED IN MANAGEMENT OF FLASH MEDIA

(54) 发明名称: 用较大容量 DRAM 参与闪存介质管理构建高速固态存储盘的方法及装置

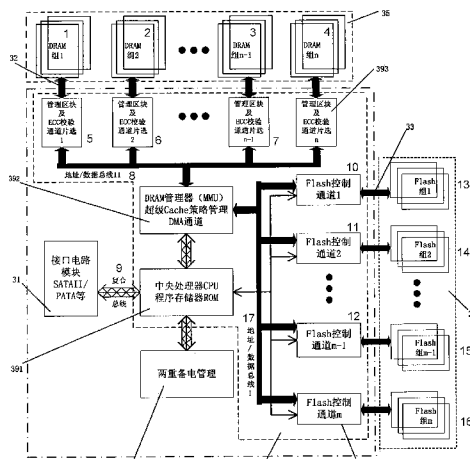
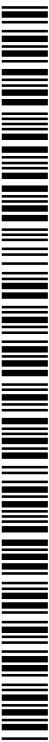


图 1 / Fig.

- 1 DRAM group 1
- 2 DRAM group 2
- 3 DRAM group n-1
- 4 DRAM group n
- 5 management block and ECC verification channel chip select 1
- 6 management block and ECC verification channel chip select 2
- 7 management block and ECC verification channel chip select n-1
- 393 management block and ECC verification channel chip select n
- 8 address/data bus II
- 9 composite bus
- 31 interface circuit module SATA/II/PATA etc.
- 10 Flash control channel 1
- 11 Flash control channel 2
- 12 Flash control channel m-1
- 394 Flash control channel m
- 13 Flash group 1
- 14 Flash group 2
- 15 Flash group m-1
- 16 Flash group m
- 17 address/data bus I
- 32 DRAM management unit (MMU) super cache policy management DMA channel
- 391 central process unit CPU program memory ROM
- 38 double electric backup management

(57) Abstract: A high speed solid state storage disk device constructed with larger capacity DRAM involved in management of flash media, which used as a storage device of computers or servers includes a flash media module and an interface circuit module, and especially includes a larger capacity dynamic random memory DRAM module and a hard disk controller with DARM involved in management of flash media, and a double electric backup management module required by the DRAM module. The hard disk controller with DRAM involved in management of flash media is respectively coupled to the DRAM module and the flash media module through an address/data bus. The hard disk controller with DRAM involved in management of flash media is coupled to the interface circuit module through a composite bus. The double electric backup management module is electrically coupled to the hard disk controller with DRAM involved in management of flash media.

[见续页]



WO 2010/066098 A1



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(57) **摘要:**

一种用较大容量 DRAM 参与管理闪存介质构建的高速固态存储盘装置, 用作计算机或服务器的存储装置, 包括闪存介质模块和接口电路模块, 尤其还包括较大容量的动态随机存储器 DRAM 模块和 DRAM 参与管理闪存介质的硬盘控制器, 以及为 DRAM 模块所需的两重备电管理模块。所述 DRAM 参与管理闪存介质的硬盘控制器分别通过地址/数据总线与 DRAM 模块、闪存介质模块联接。DRAM 参与管理闪存介质的硬盘控制器通过复合总线与接口电路模块联接。两重备电管理模块电联接到 DRAM 参与管理闪存介质的硬盘控制器。

用较大容量 DRAM 参与闪存介质管理构建高速固态存储盘的方法及装置

技术领域 本发明涉及可擦除可编程序只读存储器,特别是涉及在存储器系统或者体系结构内的存取、寻址或分配,尤其是涉及用动态随机存储器 DRAM 复合到 Flash 管理构建固态存储硬盘的方法及装置。

背景技术 随着计算机领域中央处理器 (CPU) 速度和内存 (Memory) 速度的不断发展,传统的机械式硬盘 (硬盘驱动器英文为 hard disk drives,用于指这类硬盘,以下简称: HHD) 越来越成为数据输入/输出 (I/O) 的瓶颈,虽然硬盘缓存 (Cache) 技术和接口 (PATA,SATA 等) 技术不断改进使得 HHD 的速度得到了很大提升,但仍不能满足 CPU 和总线对进一步提升 I/O 速度的要求。

闪存介质 (Flash) 技术的迅速发展,在容量不断提升,成本逐步降低的情况下,提供给硬盘制造一种新型的非易失性固体数据存储器。如图 2 所示的 (solid-state drives, 简称 SSD) 开始出现。此类型的 SSD,由于考虑到 Flash 写入次数的限制,为增加稳定性往往采用单层单元结构 (single-level cell, 简称 SLC) 的 Flash,但其成本高,制造该硬盘价格昂贵,目前多层单元结构 (Multi-Level Cell, 简称 MLC) 大容量低成本都开始进入批量生产,为减少写入次数而加入了 Cache 处理的空间,为提高 Flash 的使用寿命而采用了进阶动态损耗均衡 (Advanced Dynamic Wear Leveling, 简称 ADWL) 算法,为提高写入速度而采用了多通道、数据宽带、以及并行作业 (Concurrent Operations, 简称 CO) 等措施。此种解决方案低温低噪声,能提供个人计算机及网络服务器重量轻、低耗电及速度快的存储解决方案。

但受限于 I/O 的速度提升及 I/O 速度的不对称性 (Flash 的写入速度要比读出速度慢许多)、制造成本过高、硬盘的耐久性和稳定性等诸多因素的影响,使用这类固态硬盘难于广泛地推向市场。造成这种结果的主要原因来自于 Flash 的技术本身,由于采用了区块 (Block) 和页面 (Page) 的管理模式,Flash 写入前要把整块内容读出备份,加入要更改的内容,再用该内容对擦除操作完成的块进行写入编程。这种整块写入的方式和机理决定了是有写入次数限制的,特别是为了增加容量而开发的 MLC 集成度提高了,单位容量的成本较 SLC 大大缩减,但同时写入编程的时间也相对延长了,有效写入次数也大幅度降低。再加上晶片 Wafer 制成的不断缩进 (从 70nm,到 56nm,再到 50nm,43nm,甚至为 34nm),容

量提升的同时，坏点区域在增加，写入编程有效次数在缩减。等等这些都为有效的把新的制成和新的低成本型号应用到 SSD 使用制造中，带来了是否可行的问题。

动态随机存储器 (Dynamic Random Access Memory, 简称 DRAM) 技术是为 CPU 提供存储 Memory 的过程中速度和容量不断被诉求进步而目前活跃发展着的一种技术。一些接口形式 (如接口 PCI-E 和 SATA-II 及 PATA 形式等) 的纯 DRAM 形式的 SSD 也相继出现 (如图 3 所示), 容量由于价格等的限制大多在 4GB, 8GB, 16GB 的范围内, 该形式由于要持续提供电源才能保持内部存储数据不丢失, 所以只应用于一些特殊速度要求较高的场合, 为保证数据不丢失, 掉电或者关机时要在软件层面设置数据回写到后备式硬盘中或者直接将数据通过接口挂在后备式硬盘上。由于价格和不能掉电保存数据等原因, 单独作为后备存储硬盘存在困境。

从 SDRAM 发展到 DDR1, DDR2, DDR3 等及一些特殊应用形式的 DRAM, 速度越来越快, 同时 Wafer 制成的不断缩进, 速度容量不断提高的同时, 制造过程的良品和带有坏点区域的 B 级品 (通常也称为存储空间有缺陷点或者称瑕疵点) 的数量始终占有一定比例。由于 Memory 的使用是连续空间的 I/O, 不允许类似硬盘这种坏块区域管理的运算和标定参与, 所以, 目前这种 B 级的产品应用场合受到限制, 由于不能像 Flash 能被有效使用一定比例, 可以有效完成一定比例的成本摊销, 目前 DRAM 的生产厂家存在数量庞大的货量并且仍在积累中。如果能有效应用一定比例的 B 级品的部分将会对整个行业成本摊销是有利的。这是 DRAM B 级品目前存在的客观面。同时, 在 SSD 的应用中, Cache 部分多半也是采用 DRAM 的产品来完成的, 但由于成本因素的考虑, 采用 DRAM 容量的都不大, 构建的 Cache 也是为块回写和减少块回写, 以及采用最近最少使用 (least recently used, LRU) 和最近使用 (most recently used, MRU) 缓存技术的传统缓存器。

发明内容 本发明要解决的技术问题是针对上述现有技术中的不足而提出的一种用动态随机存储器 DRAM 复合到 Flash 管理构建固态存储硬盘的方法, 既发挥了 DRAM 的高速和均衡 I/O 能力, 又有效使得 Flash 的大容量存储发挥作用, 将二者有机的结合起来, 并使 SSD 摆脱单独使用 Flash 构建时对写入次数的依赖及单独使用 DRAM 构建对掉电保护的依赖。

本发明为解决上述技术问题而提出的技术方案是: 一种用动态随机存储器 DRAM 复合到 Flash 管理构建固态存储硬盘的方法, 用于组成计算机或服务器的存储系统, 所述方法包括步骤:

- A. 设置闪存介质模块和接口电路模块;

- B. 设置较大容量的动态随机存储器 DRAM 模块, 将其一部分存储空间同所述闪存介质模块一起用作数据存储;
- C. 设置 DRAM 参与管理闪存介质的硬盘控制器;
- D. 设置两重备电管理模块, 用于在关机或者掉电时将所述 DRAM 模块中的数据回写到所述闪存介质模块中提供保护性备用电源;
- E. 用所述较大容量的 DRAM 模块构建超级高速缓存器 Cache 区域, 采用分区和分级形式划分存储空间, 同时构建复合型自适应调整的多种缓存策略的高效算法对所述区域和各分区进行内部管理;
- F. 在所述固态硬盘 SSD 生产完成初始化阶段, 要对所述 DRAM 模块做离线测试, 以便构建缺陷点区域表;
- G. 所述 DRAM 模块各存储器逻辑地址, 在结合了所述缺陷点区域表之后映射到所述 DRAM 模块的良好物理地址上;
- H. 采用硬件实现的差错校验 ECC 纠错方式进行在线监视和检索, 实时地将所述 DRAM 模块内不稳定区域的地址登记到缺陷点区域表中从而参与新的映射管理。

步骤 E 所述: “采用分区和分级形式划分存储空间”中的分区是将所述高速缓存器 Cache 区域分为超级 Cache 的内存区、超级 Cache 的写入区和超级 Cache 的传统 Cache 区; 所述超级 Cache 操作系统内存区是对主机操作系统开在本固态硬盘上的用于存储页面文件 Page files 的内存 Cache 进行缓冲; 所述超级 Cache 写入区用于对要写入本固态硬盘数据进行暂存。

步骤 E 所述: “采用分区和分级形式划分存储空间”中的分级形式是将所述超级 Cache 操作系统内存区划分一级直联区和二级压缩区; 超级 Cache 的传统 Cache 区划分为一级组联区和二级全联区。

步骤 E 所述 “复合型自适应调整的多种缓存策略的高效算法对所述区域和各分域进行内部管理” 是对所述超级 Cache 操作内存区采用一级直联二级压缩的管理方式和算法; 对所述超级 Cache 的传统 Cache 区所采取的一级组相联二级全相联的管理方式及算法; 超级 Cache 的写入区采用数据分类管理方式。

步骤 E 中所述的划分存储空间是依据应用统计的经验值进行动态调整, 即将原按缺省值对高速缓存器 Cache 空间划分调整为以所述经验值进行空间划分。

同时, 在使用无坏点区域的 DRAM 的 A 级品时, 可以不实施步骤 F、G、H。

采用更大容量的 DRAM 和 Flash 构建超大容量的多级 Cache 系统, 将服务器和网络存

储与磁盘阵列的数据 I/O 及交换架构在这个高速 Cache 之上, 可构建廉价冗余磁盘阵列 RAID 型海量高速存储系统, 从而增强 RAID 的管理能力和降低成本。

本发明为解决上述技术问题还进一步地提供了一种用较大容量 DRAM 参与闪存介质管理构建的高速固态存储盘装置, 用作计算机或服务器的存储装置, 包括闪存介质模块和接口电路模块, 尤其还包括较大容量的动态随机存储器 DRAM 模块和 DRAM 参与管理闪存介质的硬盘控制器, 以及为 DRAM 模块所需的两重备电管理模块。

所述 DRAM 参与管理闪存介质的硬盘控制器分别通过地址/数据总线与 DRAM 模块、Flash 模块联接; DRAM 参与管理闪存介质的硬盘控制器通过复合总线与接口电路模块联接; 两重备电管理模块电联接到 DRAM 参与管理闪存介质的硬盘控制器。

所述 DRAM 参与管理闪存介质的硬盘控制器包括 CPU-程序存储器、DRAM 管理器-超级 Cache 策略管理-DMA 通道、m 个闪存介质通道控制器、n 个 DRAM 管理区块及 ECC 校验通道片选;

CPU-程序存储器通过复合总线连接 DRAM 管理器-超级 Cache 策略管理-DMA 通道, 同时用控制总线联接闪存介质通道控制器; 闪存介质通道控制器与闪存介质模块通过数据总线联接; DRAM 管理器-超级 Cache 策略管理-DMA 通道用地址/数据总线 Π 与 DRAM 管理区块及 ECC 校验通道片选联接; DRAM 管理区块及 ECC 校验通道片选通过地址/数据总线联接到 DRAM 模块上。

所述的两重备电管理模块的工作方式包括电容式储电和电池供电两重结合的供电方式; 当该固态存储盘装置在其所属的主机正常工作状态时, 所述两重备电管理模块, 处于充电状态和满电保护状态; 当计算机关机或者掉电时, 该两重备电管理模块向所述固态存储盘装置供电, 并由信号线触发 DRAM 参与管理闪存介质的硬盘控制器完成对 DRAM 模块中的超级 Cache 区内有回写标志置位的数据回写到闪存介质模块中。

所述两重备电管理模块的电路中, 两个备用电源无主次之分, 根据使用时的电压浮动供电; 当所述两路备电中一路失效时, 另一路可独立满足该固态存储盘装置中超级 Cache 最大限度完成回写的电量需求及备电报警提示所需电量。同时, 两重备电管理的电路设计, 包括用金电容组和锂电池的组合方式以提高安全性和可靠性; 同时, 所述两重备电管理模块的电路中的电池是可更换的。所述两重备电管理模块中使用的金电容为超级大电容。

所述接口电路模块使用的硬盘接口包括 SATAII、SATAIII、e-SATA、PATA、PCI、PCI-E、USB2.0 和 USB3.0。

同现有技术相比, 本发明的有益效果在于: 最大程度的降低 Flash 回写, 同时由于 I/O

的命中率高而达到了提速的目的，而且读写速度因为不依赖于 Flash 的写入速度而得到极大提升，按本发明所构建的固态存储硬盘 SSD 对系统响应的速度得到极大提升；并可根据数据请求 I/O 的不同作出因应性的区域策略管理，使得在一个海量高速存储系统里边同时适应多种数据 I/O 请求的管理策略。这样，就使得不仅仅是 I/O 在超级 Cache 中命中率极大提高，同时在因应不同的 I/O 请求上数据管理能够并行应对多个不同类型的诉求，使得海量高速存储系统在不增加多少成本的前提下实现了更快速的响应，性能得到更大的提升。

- 附图说明** 图 1 是本发明动态随机存储器 DRAM 复合到 Flash 管理构建固态存储硬盘的结构框图；
- 图 2 是现有技术的 Flash-SSD 固态硬盘结构框图；
- 图 3 是现有技术的 DRAM-SSD 固态硬盘结构框图；
- 图 4 是本发明所述 DRAM 硬件结构的一种形式,缺陷点缺陷区域的入链原则是：
坏点区域 X 首地址 < 坏点区域 X 尾地址 < 坏点区域 Y 首地址
坏点区域 Y 首地址 < 坏点区域 R 首地址
坏点区域 R 首地址 < 坏点区域 Z 首地址
- 图 5 是本发明所述 DRAM 作为超级 Cache 的一种复合式 Cache 策略的划分框图；
- 图 6 是本发明所述超级 Cache 传统 Cache 区的一级组相联 Cache 策略参与 Flash 存储区域逻辑单元的映射示意图；
- 图 7 是本发明所述超级 Cache 传统 Cache 区的二级全相联 Cache 策略参与 Flash 存储区域逻辑单元的映射示意图；
- 图 8 是本发明所述超级 Cache 不同 Cache 区域策略协同工作的流程框图；
- 图 9 是本发明所述两重备电管理模块的一种电路实施实例示意图；
- 图 10 是本发明中为掉电或者关闭电源,电源保护及超级 Cache 回写 Flash 存储区域的程序流程框图；
- 图 11 是本发明所述用较大容量 DRAM 复合参与到 Flash 管理中构建廉价冗余磁盘阵列 RAID 型海量高速存储系统的一种实施图示意图。

具体实施方式

下面，结合附图所示之优选实施例进一步阐述本发明

参见图 1，本发明用动态随机存储器 DRAM 复合到 Flash 管理构建固态存储硬盘的方法，实施步骤：

- A. 设置闪存介质模块 37 和接口电路模块 31；
- B. 设置较大容量的动态随机存储器 DRAM 模块 35，将其一部分存储空间同所述闪存介质模块 37 一起用作数据存储；
- C. 设置 DRAM 参与管理闪存介质的硬盘控制器 39；
- D. 设置两重备电管理模块 38，用于在关机或者掉电时将所述 DRAM 模块 35 中的数据回写到所述闪存介质模块 37 中提供保护性备用电源；
- E. 用所述较大容量的 DRAM 模块 35 构建超级高速缓存器 Cache 区域，采用分区和分级形式划分存储空间，同时构建复合型自适应调整的多种缓存策略的高效算法对所述区域和各分区进行内部管理；
- F. 在所述固态存储盘 SSD 生产完成初始化阶段，要对所述 DRAM 模块 35 做离线测试，以便构建缺陷点区域表；
- G. 所述 DRAM 模块 35 各存储器逻辑地址，在结合了所述缺陷点区域表之后映射到所述 DRAM 模块 35 的良好物理地址上；
- H. 采用硬件实现的差错校验 ECC 纠错方式进行在线监视和检索，实时地将所述 DRAM 模块 35 内不稳定区域的地址登记到缺陷点区域表中从而参与新的映射管理。

步骤 E 所述：“采用分区和分级形式划分存储空间”中的分区是将所述高速缓存器 Cache 区域分为超级 Cache 的内存区、超级 Cache 的写入区和超级 Cache 的传统 Cache 区；所述超级 Cache 操作系统内存区是对主机操作系统开在本固态存储硬盘上的用于存储页面文件 Page files 的内存 Cache 进行缓冲；所述超级 Cache 写入区用于对要写入本固态存储硬盘数据进行暂存。

步骤 E 所述：“采用分区和分级形式划分存储空间”中的分级形式是将所述超级 Cache 操作系统内存区划分一级直联区和二级压缩区；超级 Cache 的传统 Cache 区划分为一级组联区和二级全联区。

步骤 E 所述“复合型自适应调整的多种缓存策略的高效算法对所述区域和分区进行内部管理”是对所述超级 Cache 操作内存区采用一级直联二压缩的管理方式和算法；对所述超级 Cache 的传统 Cache 区所采取的一级组相联二级全相联的管理方式及算法；超级 Cache 的写入区采用数据分类管理方式。

步骤 E 中所述的划分存储空间是依据应用统计的经验值进行动态调整, 即将原按缺省值对高速缓存器 Cache 空间划分调整为以所述经验值进行空间划分。

在使用无坏点区域的 DRAM 的 A 级品时, 可以不实施步骤 F、G、H。

采用更大容量的 DRAM 和 Flash 构建超大容量的多级 Cache 系统, 将服务器和网络存储与磁盘阵列的数据 I/O 及交换架构在这个高速 Cache 之上, 可构建廉价冗余磁盘阵列 RAID 型海量高速存储系统, 从而增强 RAID 的管理能力和降低成本。

参见图 1, 本发明同时进一步地提供了一种用较大容量 DRAM 参与闪存介质管理构建高速固态存储盘装置, 用作计算机或服务器的存储装置, 包括闪存介质模块 37 和接口电路模块 31, 尤其还包括较大容量的动态随机存储器 DRAM 模块 35 和 DRAM 参与管理闪存介质的硬盘控制器 39, 以及为 DRAM 模块 35 所需的两重备电管理模块 38。

所述 DRAM 参与管理闪存介质的硬盘控制器 39 分别通过地址/数据总线 32、33 与 DRAM 模块 35、Flash 模块 37 联接; DRAM 参与管理闪存介质的硬盘控制器 39 通过复合总线与接口电路模块 31 联接; 两重备电管理模块 38 电联接到 DRAM 参与管理闪存介质的硬盘控制器 39。

所述 DRAM 参与管理闪存介质的硬盘控制器 39 包括 CPU-程序存储器 391, DRAM 管理器-超级 Cache 策略管理-DMA 通道 392, m 个闪存介质通道控制器 394, n 个 DRAM 管理区块及 ECC 校验通道片选 393;

CPU-程序存储器 391 通过复合总线连接 DRAM 管理器-超级 Cache 策略管理-DMA 通道 392, 同时用控制总线联接闪存介质通道控制器 394; 闪存介质通道控制器 394 与闪存介质模块 37 通过数据总线 33 联接; DRAM 管理器-超级 Cache 策略管理-DMA 通道 392 用地址/数据总线 II 与 DRAM 管理区块及 ECC 校验通道片选 393 联接; DRAM 管理区块及 ECC 校验通道片选 393 通过地址/数据总线 32 联接到 DRAM 模块 35 上。

所述的两重备电管理模块 38 的工作方式包括电容式储电和电池供电两重结合的供电方式; 当该固态存储盘装置在其所属的主机正常工作状态时, 所述两重备电管理模块 38, 处于充电状态和满电保护状态; 当计算机关机或者掉电时, 该两重备电管理模块 38 向所述固态存储盘装置供电, 并由信号线触发 DRAM 参与管理闪存介质的硬盘控制器 39 完成对 DRAM 模块 35 中的超级 Cache 区内有回写标志置位的数据回写到闪存介质模块 37 中。

所述两重备电管理模块 38 的电路中, 两个备用电源无主次之分, 根据使用时的电压浮动供电; 当所述两路备电中一路失效时, 另一路可独立满足该固态存储盘装置中超级 Cache 最大限度完成回写的电量需求及备电报警提示所需电量。在两重备电管理的电路设

计中，包括用金电容组和锂电池的组合方式以提高供电的安全性和可靠性，电路中的电池是可更换的。所述两重务电管理模块电路中使用的金电容为超级大电容。

所述接口电路模块 31 使用的硬盘接口包括 SATAII、SATAIII、e-SATA、PATA、PCI、PCI-E、USB2.0 和 USB3.0。

DRAM 管理区块及 ECC 校验通道片选 392 的硬件设计的一种形式如图 4 所示。根据 DRAM 存储器寻址结构，可以对 DRAM 在应用之前的区块分类或者 bit 分类，剔出掉缺陷点缺陷区域 354 较多的部分在 MMU 寻址之外，对缺陷点缺陷区域 354 比较离散或不多的可以直接到 MMU 寻址中。

参见图 1、4，DRAM 模块 35 的某一组 DRAM 组中的 1 号~9 号 DRAM 存储器地址线串联到地址总线 321 上，数据线汇集成 72 位并联到数据总线 322 上，其中 D0~D63 共 64 位数据线为存储器数据存储带宽，D64~D71 共 8 位数据线为存取器数据 ECC 校验带宽（即 9 号 DRAM355）。地址总线 321 和数据总线 321 汇集到管理区块及 ECC 校验通道管理器 392 之 L。该方式数据总线可以视具体应用做调整，如 32 位或者 128 位等方式。

对无论采用以上任何一种形式寻址管理的 DRAM 存储器，在 SSD 生产完成初始化设置阶段（或者称低级格式化阶段），都要进行非在线的对 DRAM 存储器的测试程序，该测试过程是为了构建缺陷点区域表（如图 4 所示：按地址顺序构建了 351、352、353 的节点表）。完成测试的一组片选 CS 的所有 DRAM 存储器上的缺陷点或区域 354 均用首址和尾址的方式被按地址大小排序的方式记录在缺陷点区域表记录节点中（排序目的是减少利用缺陷点区域表检索的时间，从而提升逻辑地址向 DRAM 物理地址映射的效率；如果下一地址没有缺陷点，这样被登记的首址=尾址）。由于同一片选组的 DRAM 存储器数据是组合数据带宽，为提高检索管理效率，对于同一片选组某一地址的不同 DRAM 存储器，只要有一缺陷点就意味着该地址的所有数据存储区被做了缺陷点登记（从 DRAM 大容量区域作少数的缺陷点标定，由于这样被“连累”的好的空间数目也是少数的，可以忽略不计）。当测试程序完成测试构建了缺陷点区域表后，程序将会将形成的该表存储到 Flash 特定存储区域中（该区域作为 SSD 管理区，对 SSD 的用户区来说属于不开放区域；同时，该区域有预留足够的空间存储该表及替换块储备盈余）。

当 SSD 投入使用时，DRAM 存储器的 I/O 数据都是经过硬件实现的 ECC 校验方式管理的，该管理在线监视和检索 DRAM 存储器中的数据完整性，如果出现校验错误将及时纠正该位错误（能对 DRAM 存储器数据进行 1bit 在线纠错），若该处错误不只 1bit 错误，则不可纠正，需要通知重新发数据。并将该地址做缺陷点区域表的节点做插入入栈登记。

ECC 校验中新发现的缺陷点（或者缺陷块）节点 356 入栈方式如图 4 所示。以地址索引找寻入栈节点位置，做插入登记。同时，逻辑和物理的映射区域做缺失处理登记，登记到临时的缺失表中，启用“逻辑+1”的新的地址做 I/O 操作。待到关机后被更新的缺陷点区域表被回写 Flash 管理区域，当在重新启用 SSD 时，新的 DRAM 的逻辑地址和物理地址的映射又在上一次更新过的缺陷点区域表基础上进行。采用这样的管理模式，目的是使得 DRAM 存储器的稳定性得到更好的保障。构建了 DRAM 存储器管理的硬件体系，为有效的发挥其高速度，大容量，去构造更加高效的 Cache 策略提供了可靠的硬件平台。

以下将就图 5、6、7 所示的超大容量 DRAM 存储器所构建的超级 Cache 的实施实例做进一步详细说明：

本发明中设计的超级 Cache，由于其超大容量和采用了分区，其中超级 Cache 的操作系统内存 Cache 区，以下简称“超级 Cache 内”；超级 Cache 的写入数据 Cache 区，以下简称“超级 Cache 写”；超级 Cache 的传统 Cache 区，以下简称“超级 Cache 传”。本实施中以一个存储容量为 2GB 的超大容量 DRAM 存储器来说明超级 Cache 的空间分配。图 5 示为初始化后的缺省状态空间分配图。空间分配大小在 SSD 进入实际应用过程后，动态调整策略会根据实际工作的情况做出动态分配调整，以便优化具体应用的倾向性。

超级 Cache 被缺省分配为超级 Cache 内 51；超级 Cache 写 52；超级 Cache 传 53。空间分别为 1GBytes;512MBytes;512Mbytes。

超级 Cache 内 51 内部采用二级管理方式：一级为直联模式 511，缺省空间为 256MBytes；二级为压缩模式 512，缺省空间为 768Mbytes。该区域主要是对操作系统（OS）开在 SSD 上的用于存储页面文件（Page Files）的内存 Cache 进行缓存。为了最大限度利用这一空间的同时不影响响应的速度，对这一区域内的存储内容进行依据使用频率的调度：经常被访问数据块被放在一级直联模式 511 区域，不经常被访问数据块被放在二级压缩模式 512 区域。这样的调度策略可以获得几倍于有限空间的存储（经抽取页面文件数据进行模拟试验，可以在 1GBytes 空间内完成存储 1.7~4.5GBytes 的页面文件的请求）。若一二级的方式仍不能满足内存 Cache 对 SSD 的空间诉求，其管理策略上可考虑将数据使用级别中在二级压缩模式 512 区域深层的数据块移至 Flash 存储空间中，其调度管理由二级管理上升到三级管理模式。内部一二级的存储数据块的转换及一二级的空间动态分配调度，对于本行业的工程技术人员都比较容易理解，在此不再赘述。

超级 Cache 写 52 内部管理策略倾向主要是对要写入 SSD 的数据进行暂存, 对要写入 SSD 的数据可进行数据分类管理, 该数据可分为二种: 一种是已经存在于 SSD 中要替换的; 一种是新请求 SSD 分配空间存储的。对前一种数据形式, 可以认为是正在编辑或者修改的数据, 假定修改或者编辑还在继续, 替换随时都有可能发生, 为减少 SSD 中 Flash 的写入次数, 这种类型的数据暂存缓存中, SSD 管理器可以当这部分数据为真正的存储空间一样参与管理中, 只有等到该区域满或者关机掉电等情况时才完成对 Flash 的写入。对后一种数据形式, 可以作为优先级最低的数据暂存于缓存中, 在缓存空间紧张或者关机掉电等时被写入 Flash 中。由于缓存的后台操作性, 使得对 SSD 写入速度的限制约束被放开, 写入速度摆脱开了 Flash 存储器的速度限制, 同时, 最大限度的降低了对 Flash 存储器的写入操作。

超级 Cache 传(53)内部采用二级管理方式: 一级为组相联方式 531; 二级为全相联方式 532。缺省空间分配为 128MBytes; 384Mbytes。以下参考图 6, 图 5 进行详细说明。

参见图 6, 一级组相联 531 方式, 是对缓存区域分组, 闪存介质模块逻辑单元进行分区, 组内空间等于区内空间。“组 1~组 256”映射“区 1~区 256”; 映射“区 256+1~区 256+256”; ...; 映射“区 1M-256~区 1M”。组内的 SB 区域号和对应映射的区内的 SB 区域号可以不实际一一对应, 允许串动。该方式的映射形式, 依据的是时间局部性原理: 即如果一个存储项被访问, 则可能该访问项很快被再访问。

一组: 1024 块; 每块 512Bytes(SB); 该组相联区域缺省状态为 256 组(128Mbytes=256 组*1024 块*512Bytes)(该缓存空间可视硬件结构和动态应用空间调整策略可变)。

一区: 1024 块; 每块 512Bytes, Flash 存储器设定为 512GBytes 容量(该容量根据具体应用容量可变), 则有 1M 个区(512GBytes=1M 区*1024 块*512Bytes)。

考虑到算法的效率, 考虑到时间局部性, 一级组相联(531)缓存的替换和组内查找操作采用二次哈希(Hash)算法。查找和替换操作均以逻辑单元号(LUN)和逻辑块组合(LBA)后的 LUN+LBA 来作为 Hash 搜索运算的关键字。

参见图 7, 二级全相联 532 方式, 是对缓存区域分大块区域, 每个大块区域由若干小块区域组成的方式。具体为: LB1~LB n(n<24K, 因为 Flag 区域和数据链路区域有空间占用)个大块, 每个大块由 SB1~SB128 共计 128 个小块和块前 16Bytes 的 Flag 区域组成, 每个小块为 512Bytes 容量。Flash 存储器区域逻辑单元仍然是分 1M 的 SB 小块区域。其编号为 SB1~SB1M。该方式的映射形式, 依据的是空间局部性原理: 如果一个存储项被访问, 则

该项及邻近的项也可能很快被访问。具体的说，就是 Flash 存储器区域逻辑单元中的一小块及相邻的 m 个小块 (m 小于 128) 数据，作为一个大块 (LB) 数据从存储器中取出到二级全相联的一个空闲大块中 (LB)，由于是相邻小块被取出，体现了预取的方法。此时对已经访问过的小块在其对应的 Flag 位中标识为 1，以便将来大块由于被替换出去时，可以将有访问标记的小块移到一级组相联 531 的缓存中去。

二级全相联 532 的查找采用平衡二叉树的方式，对应于 Flash 存储器区域逻辑单元小块 (SB) 都有一平衡二叉树节点单元，以每一节点单元中的 LBA 为关键字来查找平衡二叉树。

二级全相联 532 的替换采用 LRU 的替换算法来实现，把需要被替换出去的大块中的 Flag 中标识为 1 的小块搬移到一级组相联 531 的相应区域中。替换进来的大块数据做新的 Flag 的相应访问标定，对 LRU 表做修正。

二级全相联 532 的搬移是单向的，只能向一级组相联 531 搬移。搬移的种类有二种：一是替换时提到的对 Flag 标识为 1 的小块的搬移；二是系统的定时搬移。

此一级和二级的协同工作方式，最大限度的把时间和空间局部性原理得到体现，解决了单一缓存管理环节二者不可得兼的固有矛盾。使得对 SSD 的数据请求的访问速度摆脱开了 Flash 存储器的速度限制，大大缩减了换入换出及查询时间，提高了系统的速度。

以上对超级 Cache 的三种空间划分：超级 Cache 内 51；超级 Cache 写 52；超级 Cache 传 53 进行了介绍。其三种划分及每种内部的缓存策略的使用，使得应用设备通过系统 (OS) 对本发明的 SSD 的 I/O 操作的速度完全架构于 DRAM 基础上，使得读/写速度摆脱开了 Flash 存储器的束缚。同时最大限度的减少了对 Flash 存储器的写入，进而降低了对均衡损耗等算法的依赖度，从而进一步提升了 SSD 的可靠性和使用寿命，更进一步，对采用廉价新制程的 Flash (如 3LC 等) 降低成本将会有更加深层的意义。

超级 Cache 的内部功能划分和多种缓存策略的应用，具体实施可采用如图 8 所示流程：超级 Cache(缺省值)和超级 Cache(经验值)指的是对超级 Cache 空间区域的划分方式，缺省值方式是 SSD 固态硬盘出厂的设定方式。经验值方式是在该 SSD 固态硬盘被具体的用户应用到自己的应用环境中，经过一系列的数据流分类分析统计得出的经验值来重新对超级 Cache 空间区域进行设定的划分方式。分析统计的相关参数作为全局量，将会受到具体的超级 Cache(超级 Cache 内、超级 Cache 写、超级 Cache 传)策略的加权值影响。几种超级 Cache 之间的数据交换和流动细节在此不做叙述。

采用的一种两重备电源管理模块是为关机或者掉电 DRAM 中数据回写 Flash 存储器而采用的保护性备电方式。具体应用可以根据用电量而采取更精确的测算，参考图 9，本实施实例是以 2GB DRAM 和 512GB Flash 存储器来说明用电量的匹配的一种方式。

按 18 片 DDR2 1Gb (128M*8bit) 计算，消耗电流为 $18*0.12=2.16A$ ，此为 1.8V 电源的消耗，功率约 3.5W，再加上 Flash 和控制电路的消耗，预算为需要 5W 的功率，如需 3 分钟，则能量需求为 $5*3*60=900W \cdot S$ ，取电容电压为 4.2V，需要的容量为 $C=900/4.2^2=51F$ ，考虑电压变换的效率和隔离二极管的压降，选用的电容为 70F。

设计电源输入为 5VDC，备用电源为单只的锂电和金电容组，主备电源通过二极管隔离和转换。电源变换电路考虑到 DRAM、Flash 和主控制器的供电需求不同分别产生 3.3V、1.8V 和 1.5V 的工作电压。电源变换电路采用的是比较通用的 DC-DC 电路，其中 1.8V 的电流较大，由 SP7651 组成，负载能力可达 3A，1.5V 电源由 1.8V 经 LDO 稳压 SP6201 获得，负载能力为 0.2A，3.3V 电源由 SP6641 组成，负载能力为 0.5A。（若采用 DDR3 作为 DRAM 的主要组成时，要考虑增加 1.5V 的负载能力，而减少 1.8V 的负载）

电源输入的 5VDC，经过二极管 D4 到达后级电源变换电路的 VDD 端，同时也通过电池充电电路 U3 (MCP73831) 给电池充电，电池的输出通过二极管 D5 到达 VDD，由于 $VDD=V_{in}-0.4V$ ，约为 4.6V，高于二极管 D5 的正端的 4.2V 的电池电压，所以电池在正常工作状态是不放电的。VDD 点的电压同时通过 D6 和 R15 给金电容组充电，使其上的电压达到 4.2V 左右，二极管 D6 的作用是降掉一点电压以使金电容组不过压 (4.6V)，电阻 R15 限制金电容组充电的电流。

当输入电源断开时，VDD 将由电池通过 D5 和金电容组通过 D7 供给。由于电池的浮充电电压是 4.2V，而稳定的放电电压为 3.7V，所以金电容组的电压将高于电池电压，首先由金电容组通过 D7 给 VDD 供电，当电压下降到一定的值后，再由电池同时供电。

MOS-FET Q2 及外围电路构成电源开关电路，当 5VDC 输入有效时，通过 D1 和 R2 使 Q2 导接通，从而使 VDD 得电，这时电源变换电路的 3.3V 电源也通过 D9 和 R2 给 Q2 提供接通控制。当 5VDC 电源撤掉时，由于上述备电系统的工作而使 3.3V 电源继续存在，从而 Q2 继续接通。

掉电的检测由 Q1 及外围电路组成，当 5VDC 电源正常时，Q1 接通，其集电极输出低电平信号给 CPU 33，为正常模式，当 5VDC 电源失掉时，Q1 截止从而输出高电平，触发 CPU 33

进行关机/掉电模式的操作（其中最主要的是数据的 Flash 回写），当操作结束时，CPU 33 将输出一个高电平信号关掉 3.3V 的电源，使 Q2 也关闭，整机电源关闭。

图 10 是将上述两重备管理模块实施例的原理逻辑和文字描述更进一步以程序框图示意，以明晰关机/掉电后，电源保护及超级 Cache 回写 Flash 存储区域的工作程序流程。

参考图 11，将本发明中为超级 Cache 在更大规模的 RAID 中实例应用做一描述，以示与 SSD 应用的共性和特殊的地方，以示不同和比较说明。如图 11 所示，廉价冗余磁盘阵列（RAID）型海量高速存储系统的实现，是将 DRAM & Flash 复合形成的多级超大容量的 Cache91 运用到 RAID 的管理设备当中，运用的方式有架构在 RAID 阵列卡 92、93 和磁盘阵列 94 之间；或者直接合并到 RAID 阵列卡的结构当中等多种形式。其工作的高效机理仍然是将服务器，网络存储设备等（接口可以为 SCSI/SATA2 等形式）和磁盘阵列 94 之间的 I/O 速度架构在 DRAM & Flash 复合型高速 Cache 之上，从而有效的提升磁盘存储的效率。进而解除了低速后备存储设备对服务器，网络速度的约束。DRAM & Flash 复合形成的多级超大容量的 Cache 91 和前面所描述的 SSD 固态硬盘的共性都是为提速而设计，不同则体现在以下几个方面；

其一，DRAM 的应用容量上有较大区别，在 SSD 的应用是几 GB 的级别，在 RAID 的应用上是几十 GB 的级别（由于位置空间等不受限制，备电系统将会提供更大的应用级别的可能，比如 512GB 成为可能）。

其二，Flash 的应用在 SSD 上可以作为后备主存储体，在 RAID 上可以作为 DRAM 级 Cache 的下一级后备暂存 Cache（不排除由于价格降级或者特殊应用要求的情况作为磁盘阵列的目的应用）。

其三，结构设计上由于 RAID 的应用有较大的灵活空间位置，设计上会考虑 DRAM, Flash 的插叠或堆叠方式，便于应用扩展的灵活性。SSD 由于空间位置的限制将更多的考虑定制和集成性。

其四，内部管理策略上，RAID 的应用上将会比 SSD 的应用上更趋于复杂和要求更多的智能自适应性。

上述过程为本发明优选实现过程，本领域的技术人员在本发明基本上进行的通常变化和替代包含在本发明的保护范围之内。

1. 一种用较大容量 DRAM 参与闪存介质管理构建高速固态存储盘的方法, 用于组成计算机或服务器的存储系统; 所述方法包括步骤:
 - A. 设置闪存介质模块 (37) 和接口电路模块 (31);其特征在于还包括步骤:
 - B. 设置较大容量的动态随机存储器 DRAM 模块 (35), 将其一部分存储空间同所述闪存介质模块 (37) 一起用作数据存储;
 - C. 设置 DRAM 参与管理闪存介质的硬盘控制器 (39);
 - D. 设置两重备电管理模块 (38), 用于在关机或者掉电时将所述 DRAM 模块 (35) 中的数据回写到所述闪存介质模块 (37) 中提供保护性备用电源;
 - E. 用所述较大容量的 DRAM 模块 (35) 构建超级高速缓存器 Cache 区域, 采用分区和分级形式划分存储空间, 同时构建复合型自适应调整的多种缓存策略的高效算法对所述区域和各分区进行内部管理;
 - F. 在所述固态存储盘 SSD 生产完成初始化阶段, 要对所述 DRAM 模块 (35) 做离线测试, 以便构建缺陷点区域表;
 - G. 所述 DRAM 模块 (35) 各存储器逻辑地址, 在结合了所述缺陷点区域表之后映射到所述 DRAM 模块 (35) 的良好物理地址上;
 - H. 采用硬件实现的差错校验 ECC 纠错方式进行在线监视和检索, 实时地将所述 DRAM 模块 (35) 内不稳定区域的地址登记到缺陷点区域表中从而参与新的映射管理。
2. 按照权利要求 1 所述的用较大容量 DRAM 参与闪存介质管理构建高速固态存储盘的方法, 其特征在于: 步骤 E 所述: “采用分区和分级形式划分存储空间” 中的分区是将所述高速缓存器 Cache 区域分为超级 Cache 的内存区、超级 Cache 的写入区和超级 Cache 的传统 Cache 区; 所述超级 Cache 操作系统内存区是对主机操作系统开在本固态存储硬盘上的用于存储页面文件 Page files 的内存 Cache 进行缓冲; 所述超级 Cache 写入区用于对要写入本固态存储硬盘数据进行暂存。
3. 按照权利要求 1 所述的用较大容量 DRAM 参与闪存介质管理构建高速固态存储盘的方法, 其特征在于: 步骤 E 所述: “采用分区和分级形式划分存储空间” 中的分级形式是将所述超级 Cache 操作系统内存区分一级直联区和二级压缩区; 超级 Cache 的传统 Cache 区化分为一级组联区和二级全联区。
4. 按照权利要求 1 所述的用较大容量 DRAM 参与闪存介质管理构建高速固态存储盘的方

法，其特征在于：步骤 E 所述“复合型自适应调整的多种缓存策略的高效算法对所述区域和各分区进行内部管理”是对所述超级 Cache 操作内存区采用一级直联二级压缩的管理方式和算法；对所述超级 Cache 的传统 Cache 区所采取的一级组相联二级全相联的管理方式及算法；超级 Cache 的写入区采用数据分类管理方式。

5. 按照权利要求 1 所述的用较大容量 DRAM 参与闪存介质管理构建高速固态存储盘的方法，其特征在于：步骤 E 中所述的划分存储空间是依据应用统计的经验值进行动态调整，即将原按缺省值对高速缓存器 Cache 空间划分调整为以所述经验值进行空间划分。
6. 按照权利要求 1 所述的用较大容量 DRAM 参与闪存介质管理构建高速固态存储盘的方法，其特征在于：在使用无坏点区域的 DRAM 的 A 级品时，可以不实施步骤 F、G、H。
7. 按照权利要求 1 所述的用较大容量 DRAM 参与闪存介质管理构建高速固态存储盘的方法，其特征在于：采用更大容量的 DRAM 和 Flash 构建超大容量的多级 Cache 系统，将服务器和网络存储与磁盘阵列的数据 I/O 及交换架构在这个高速 Cache 之上，可构建廉价冗余磁盘阵列 RAID 型海量高速存储系统，从而增强 RAID 的管理能力和降低成本。
8. 一种用较大容量 DRAM 参与闪存介质管理构建的高速固态存储盘装置，用作计算机或服务器的存储装置，包括闪存介质模块（37）和接口电路模块（31），其特征在于：

还包括较大容量的动态随机存储器 DRAM 模块（35）和 DRAM 参与管理闪存介质的硬盘控制器（39），以及为 DRAM 模块（35）所需的两重备电管理模块（38）；

所述 DRAM 参与管理闪存介质的硬盘控制器（39）分别通过地址/数据总线（32、33）与 DRAM 模块（35）、Flash 模块（37）联接；DRAM 参与管理闪存介质的硬盘控制器（39）通过复合总线与接口电路模块（31）联接；两重备电管理模块（38）电联接到 DRAM 参与管理闪存介质的硬盘控制器（39）。
9. 按照权利要求 8 所述的用较大容量 DRAM 参与闪存介质管理构建的高速固态存储盘装置，其特征在于：所述 DRAM 参与管理闪存介质的硬盘控制器（39）包括 CPU-程序存储器（391），DRAM 管理器-超级 Cache 策略管理-DMA 通道（392），m 个闪存介质通道控制器（394），n 个 DRAM 管理区块及 ECC 校验通道片选（393）；

CPU -程序存储器(391)通过复合总线连接 DRAM 管理器-超级 Cache 策略管理-DMA 通道(392), 同时用控制总线联接闪存介质通道控制器(394); 闪存介质通道控制器(394)与闪存介质模块(37)通过数据总线(33)联接; DRAM 管理器-超级 Cache 策略管理-DMA 通道(392)用地址/数据总线 II 与 DRAM 管理区块及 ECC 校验通道片选(393)联接; DRAM 管理区块及 ECC 校验通道片选(393)通过地址/数据总线(32)联接到 DRAM 模块(35)上。

10. 按照权利要求 8 所述的种用较大容量 DRAM 参与闪存介质管理构建的高速固态存储盘装置, 其特征在于: 所述的两重备电管理模块(38)的工作方式包括电容式储电和电池供电两重结合的供电方式; 当该态存储盘装置在其所属的主机正常工作状态时, 所述两重备电管理模块(38), 处于充电状态和满电保护状态; 当计算机关机或者掉电时, 该两重备电管理模块(38)向所述固态存储盘装置供电, 并由信号线触发 DRAM 参与管理闪存介质的硬盘控制器(39)完成对 DRAM 模块(35)中的超级 Cache 区内有回写标志置位的数据回写到闪存介质模块(37)中。
11. 按照权利要求 8 或 10 所述的用较大容量 DRAM 参与闪存介质管理构建的高速固态存储盘装置, 其特征在于: 所述两重备电管理模块(38)的电路中, 两个备用电源无主次之分, 根据使用时的电压浮动供电; 当所述两路备电中一路失效时, 另一路可独立满足该高速固态存储盘装置中超级 Cache 最大限度完成回写的电量需求及备电报警提示所需电量。
12. 按照权利要求 10 所述用较大容量 DRAM 参与闪存介质管理构建高速固态存储盘的装置, 其特征在于: 两重备电管理模块的电路中, 包括用金电容组和锂电池的组合方式以提高供电的安全性和可靠性。
13. 按照权利要求 8 或 10 所述的用较大容量 DRAM 参与闪存介质管理构建的高速固态存储盘装置, 其特征在于: 所述两重备电管理模块(38)的电路中的电池是可更换的。
14. 按照权利要求 8 所述的用较大容量 DRAM 参与闪存介质管理构建的高速固态存储盘装置, 其特征在于: 所述接口电路模块(31)使用的硬盘接口包括 SATAII、SATAIII、e-SATA、PATA、PCI、PCI-E、USB2.0 和 USB3.0。

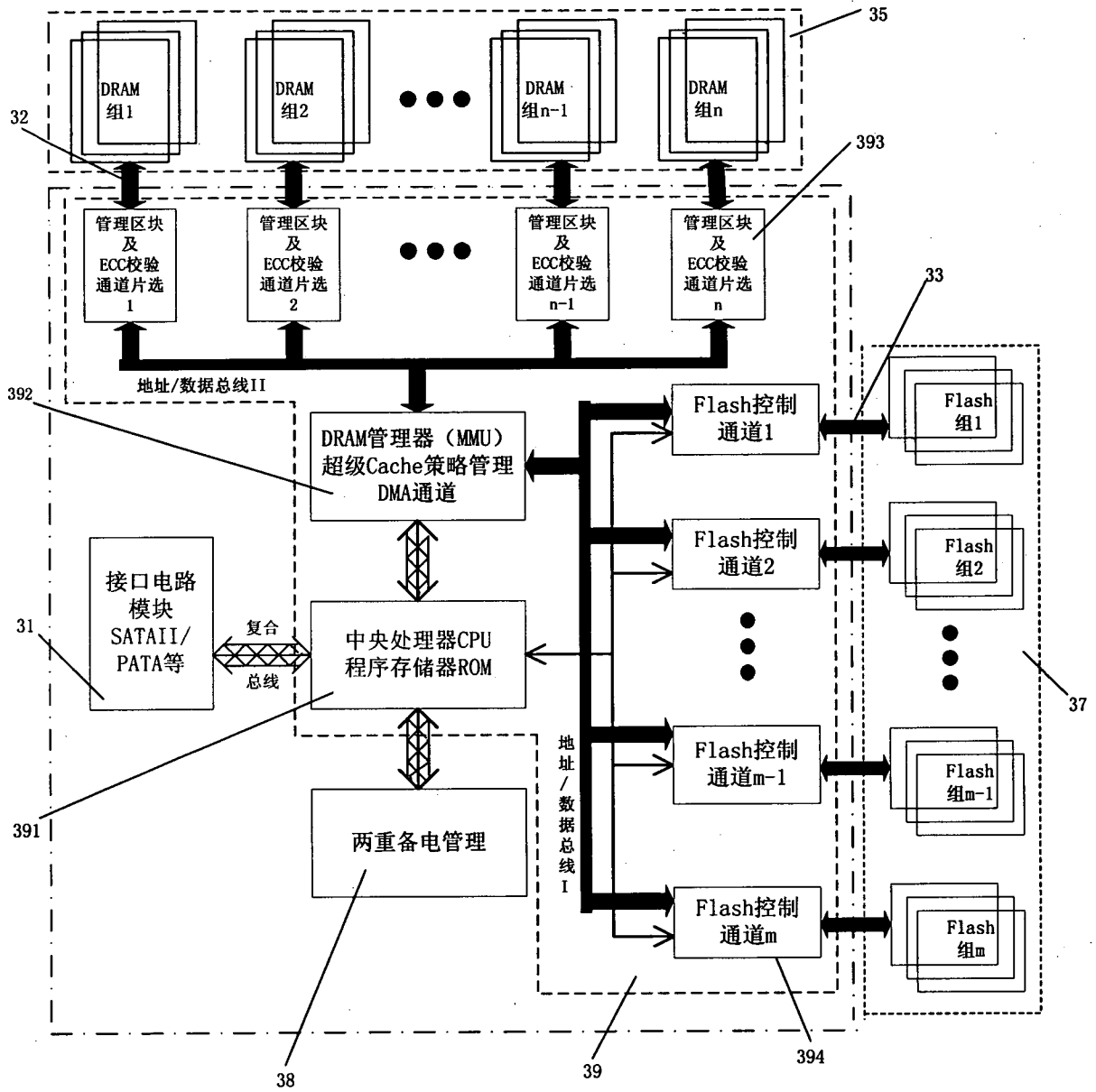


图 1

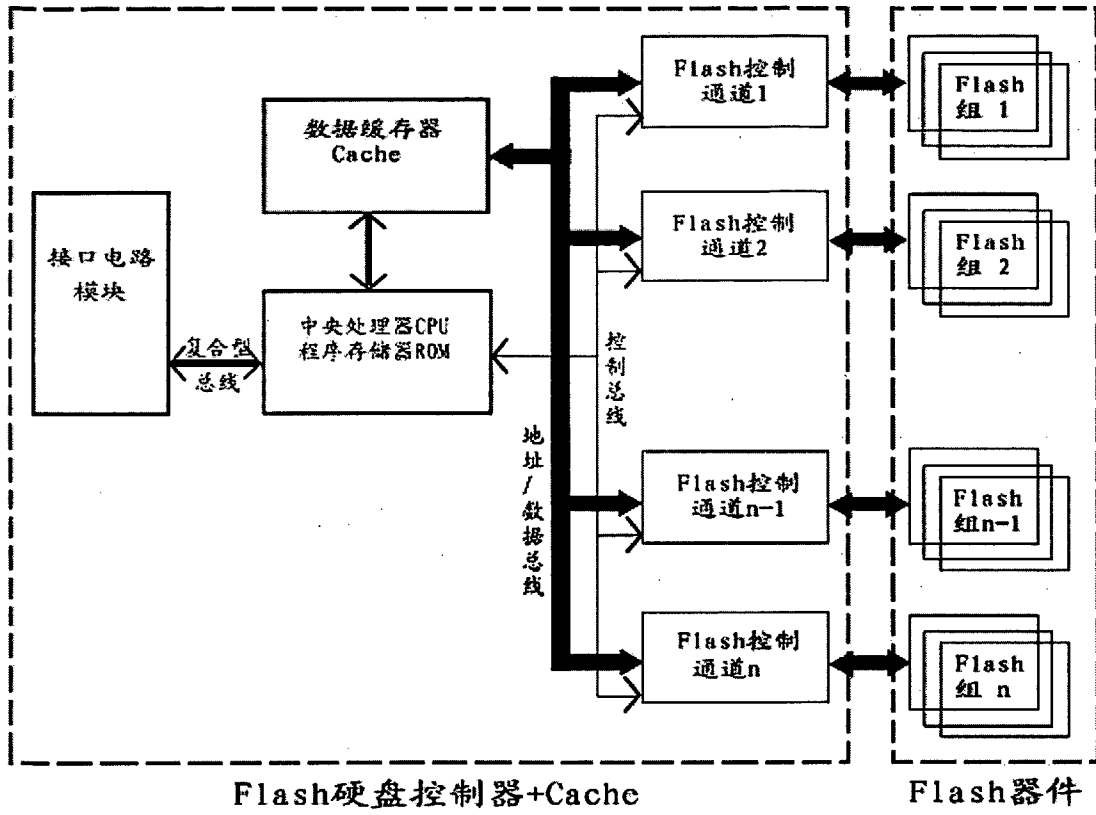


图 2

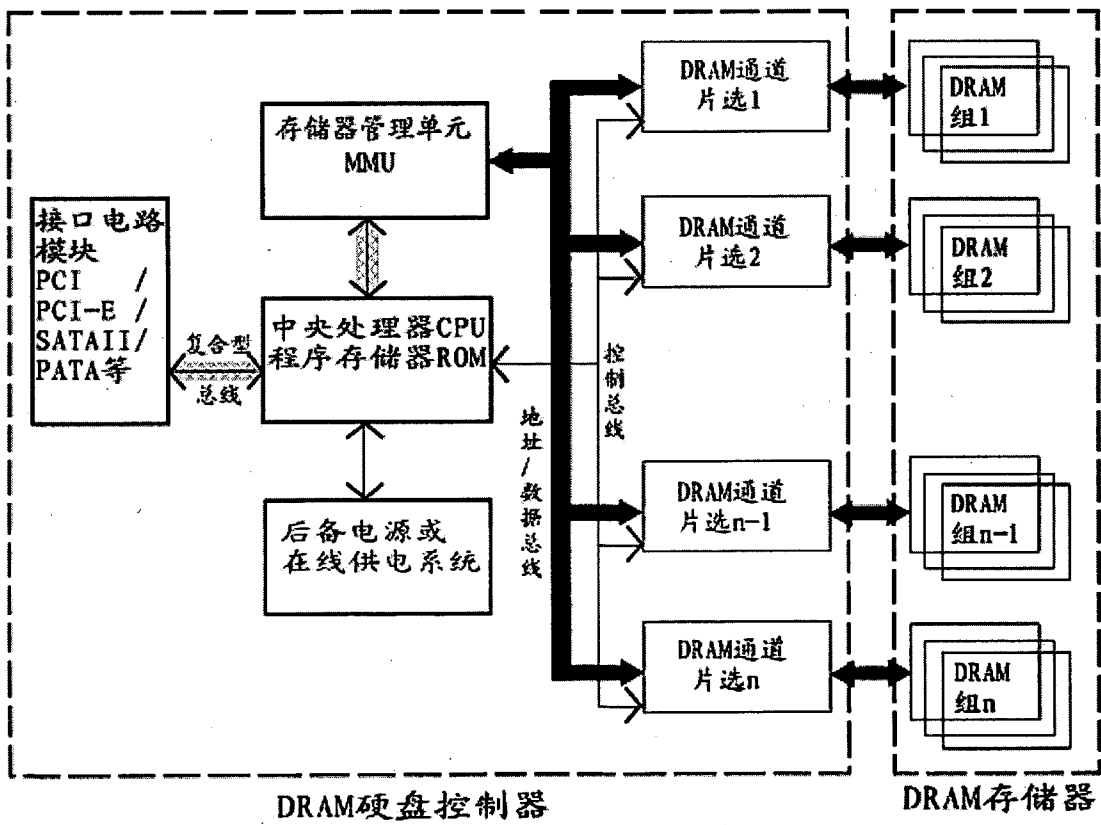
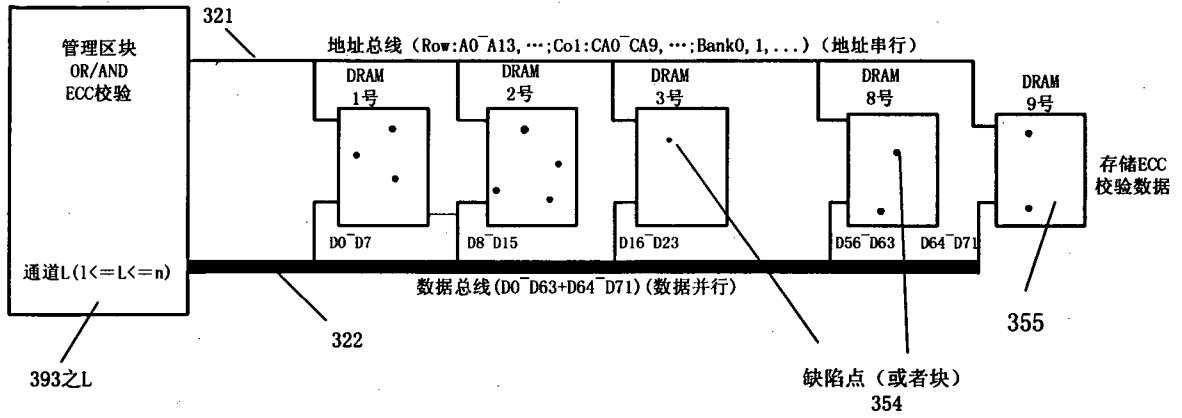


图 3



缺陷点区域表结构示意图 (以通道片选为一条双向链表)

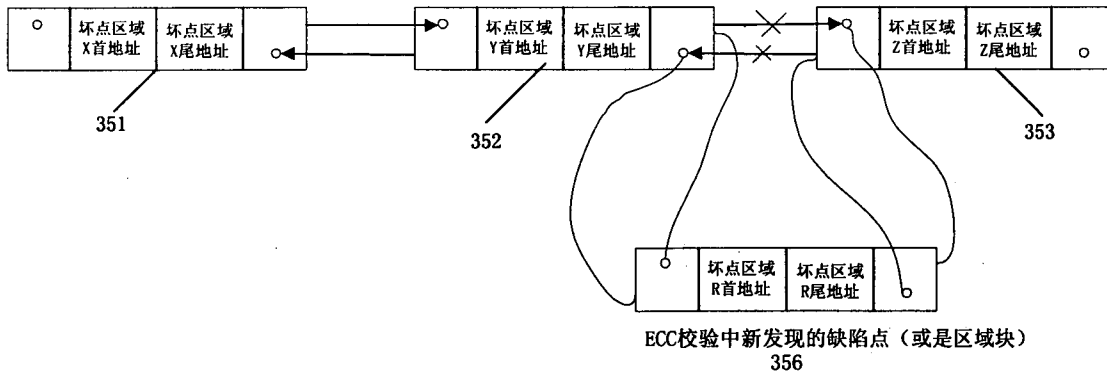


图 4

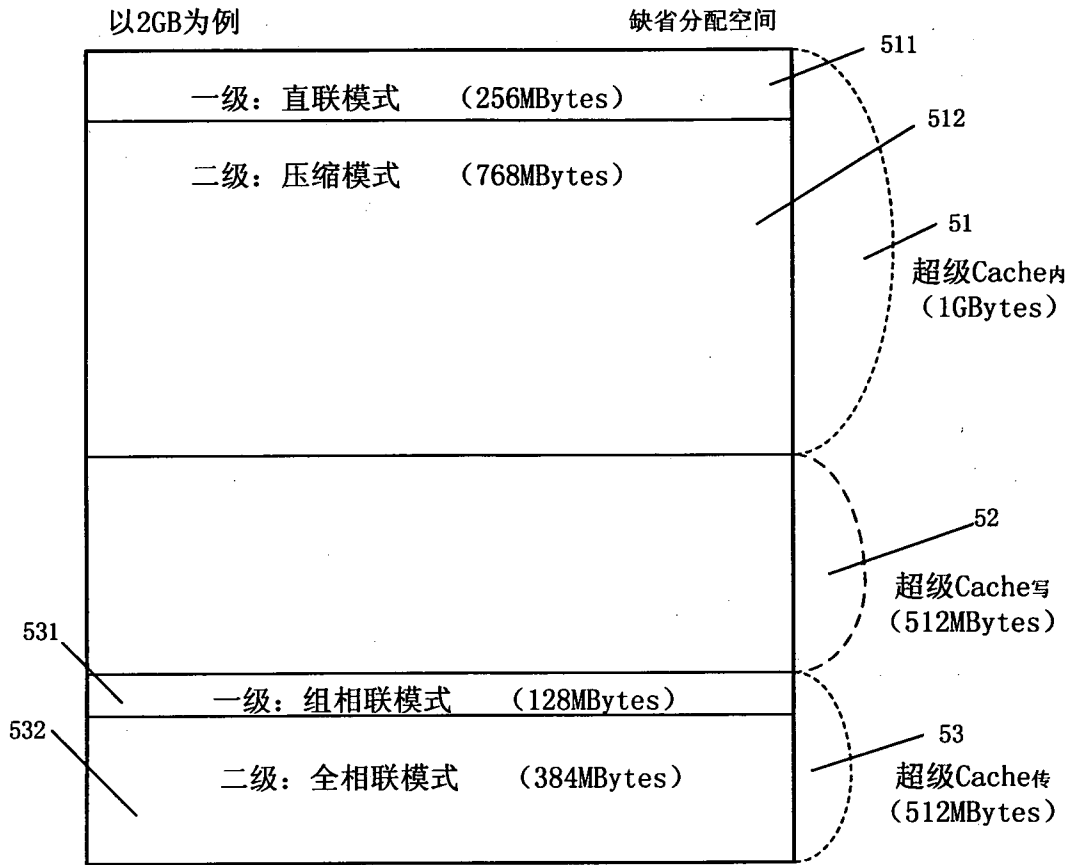


图 5

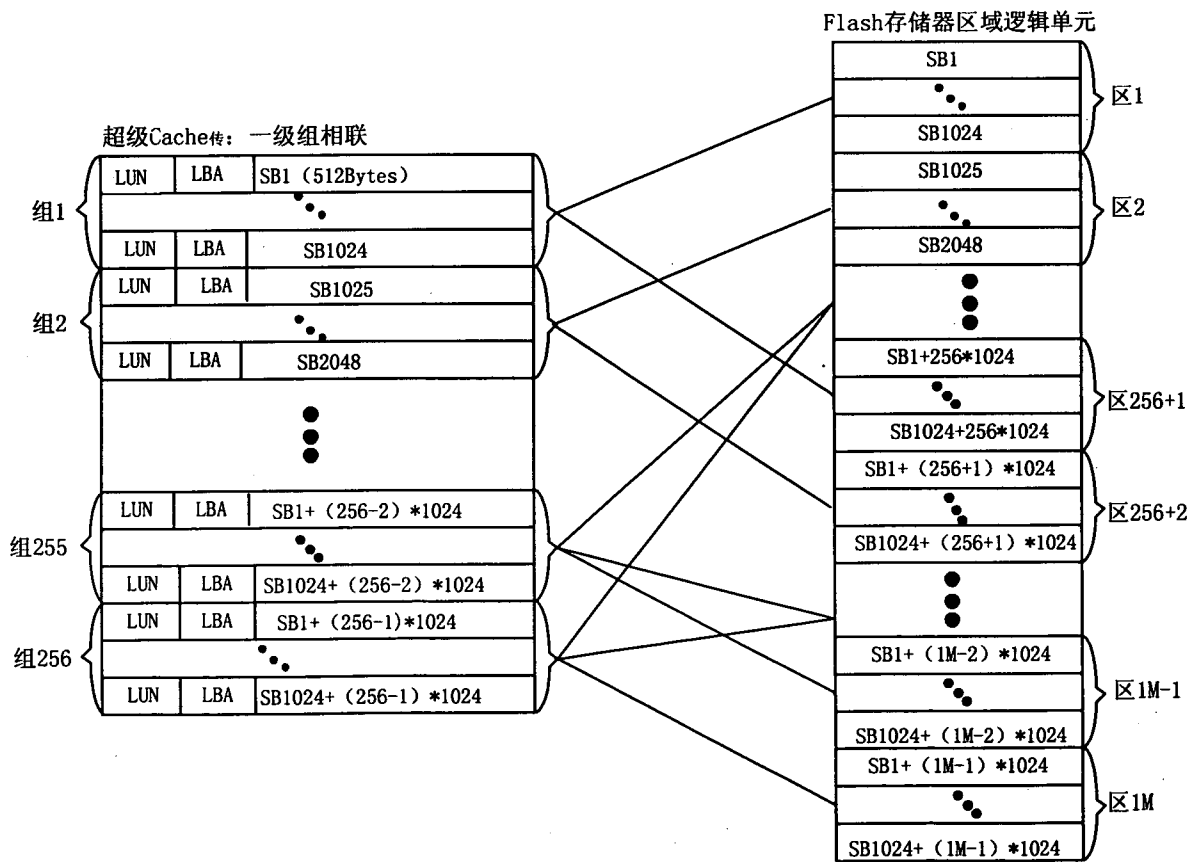


图 6

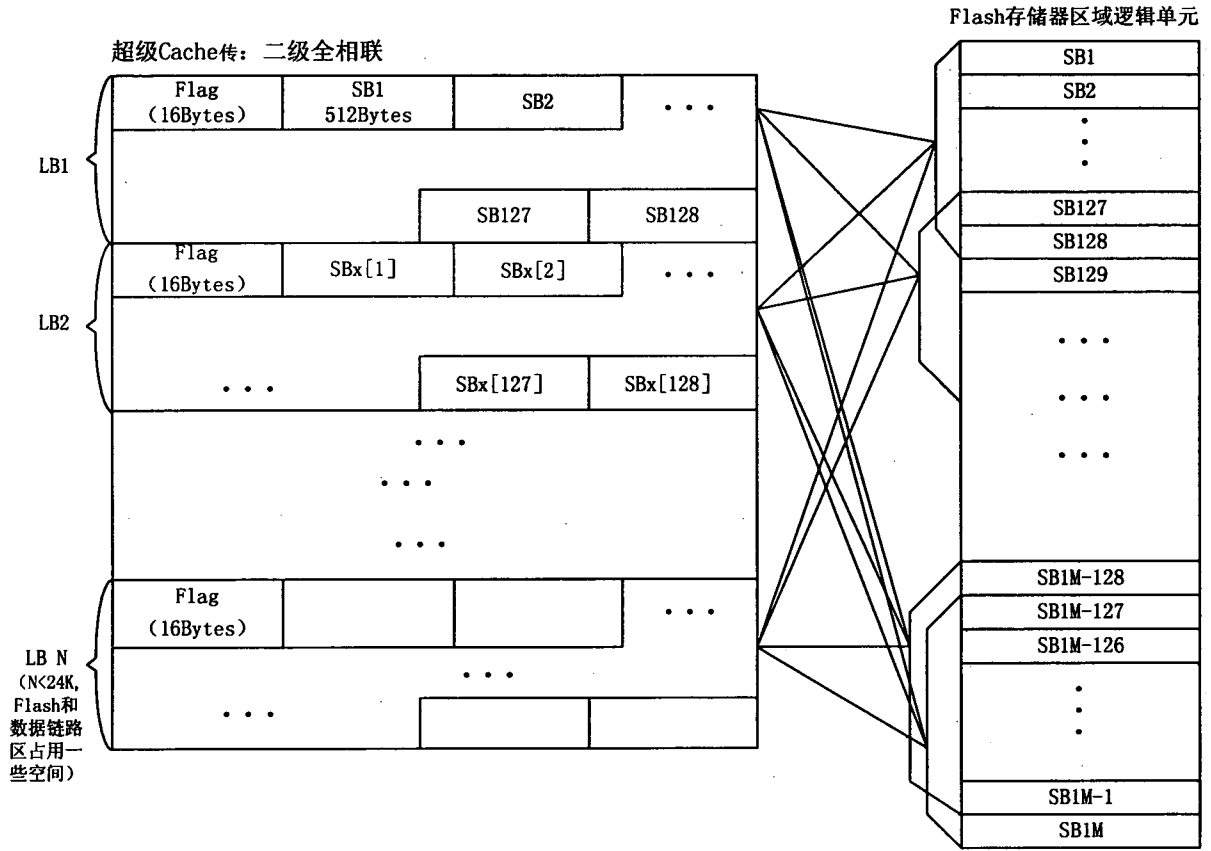


图 7

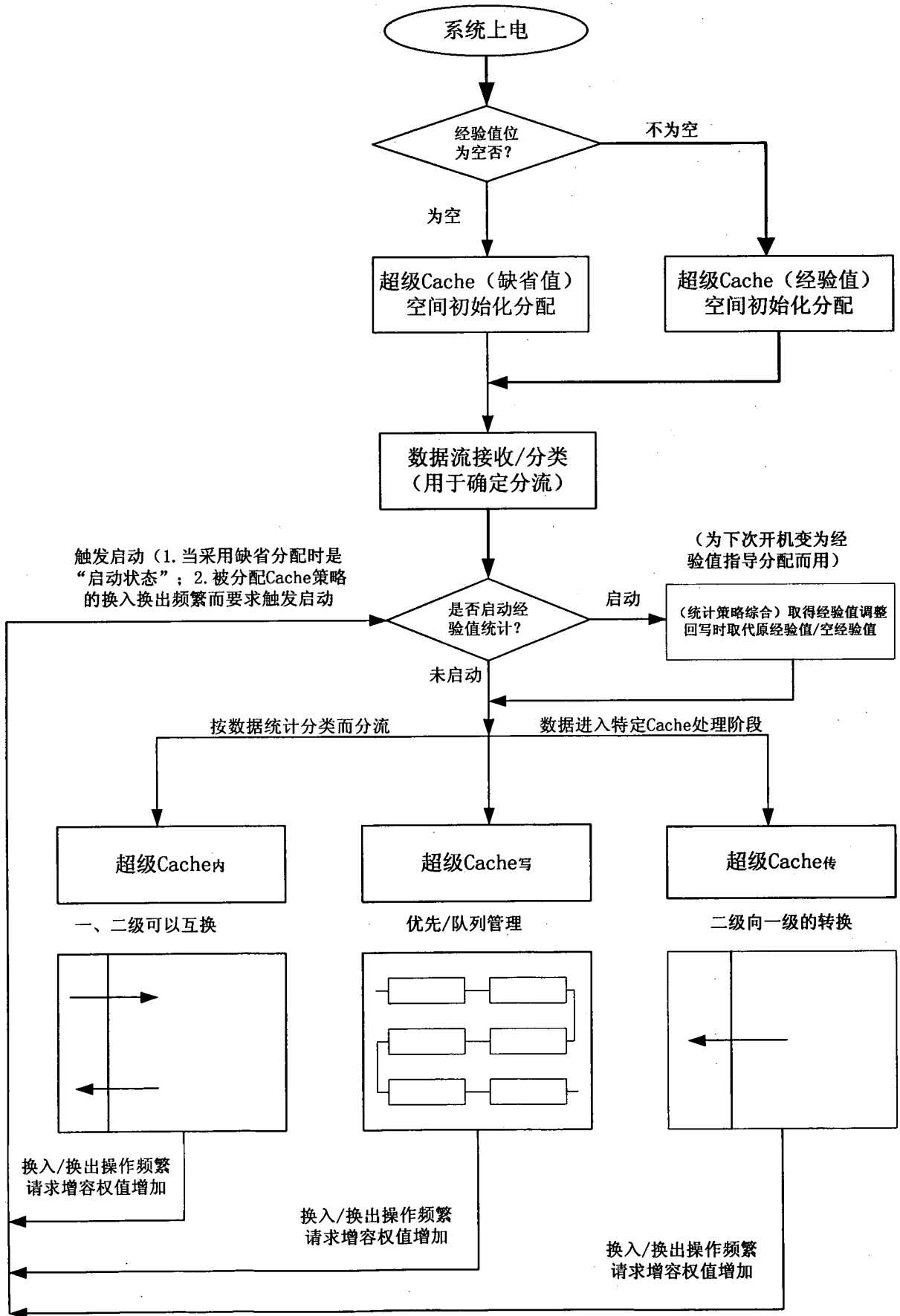
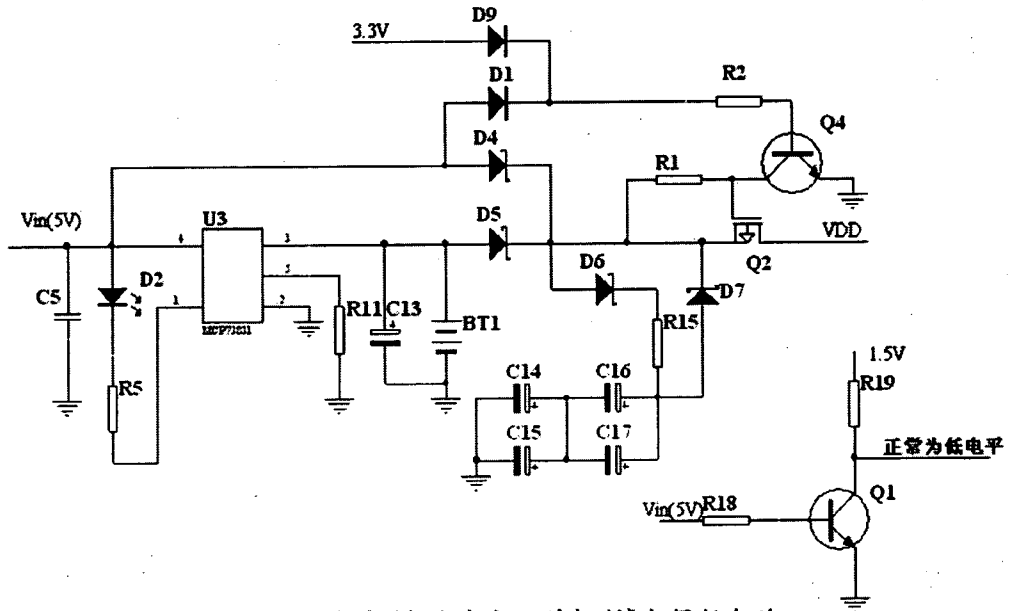
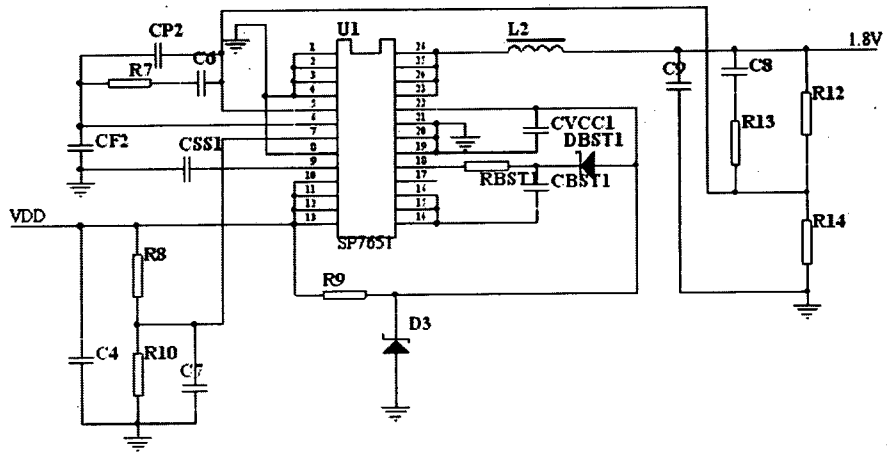


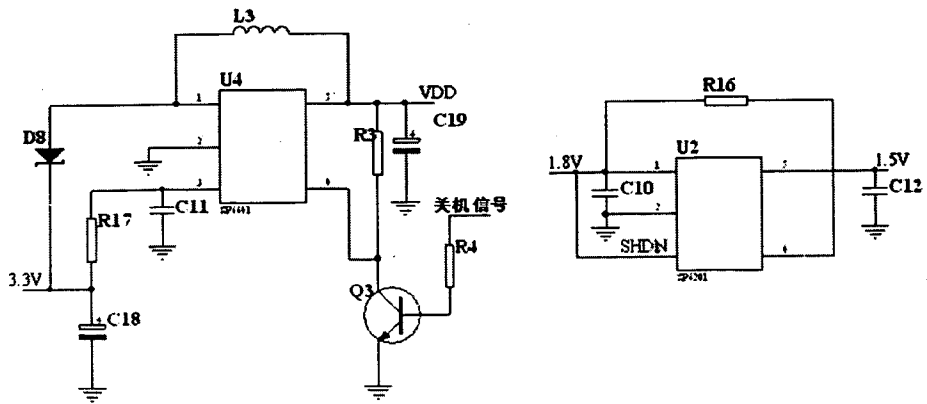
图 8



5V电源输入、电容/电池充电、关机/掉电保护电路



1.8V DC-DC电路



3.3V DC-DC电路和1.5V LDO稳压电路

图 9

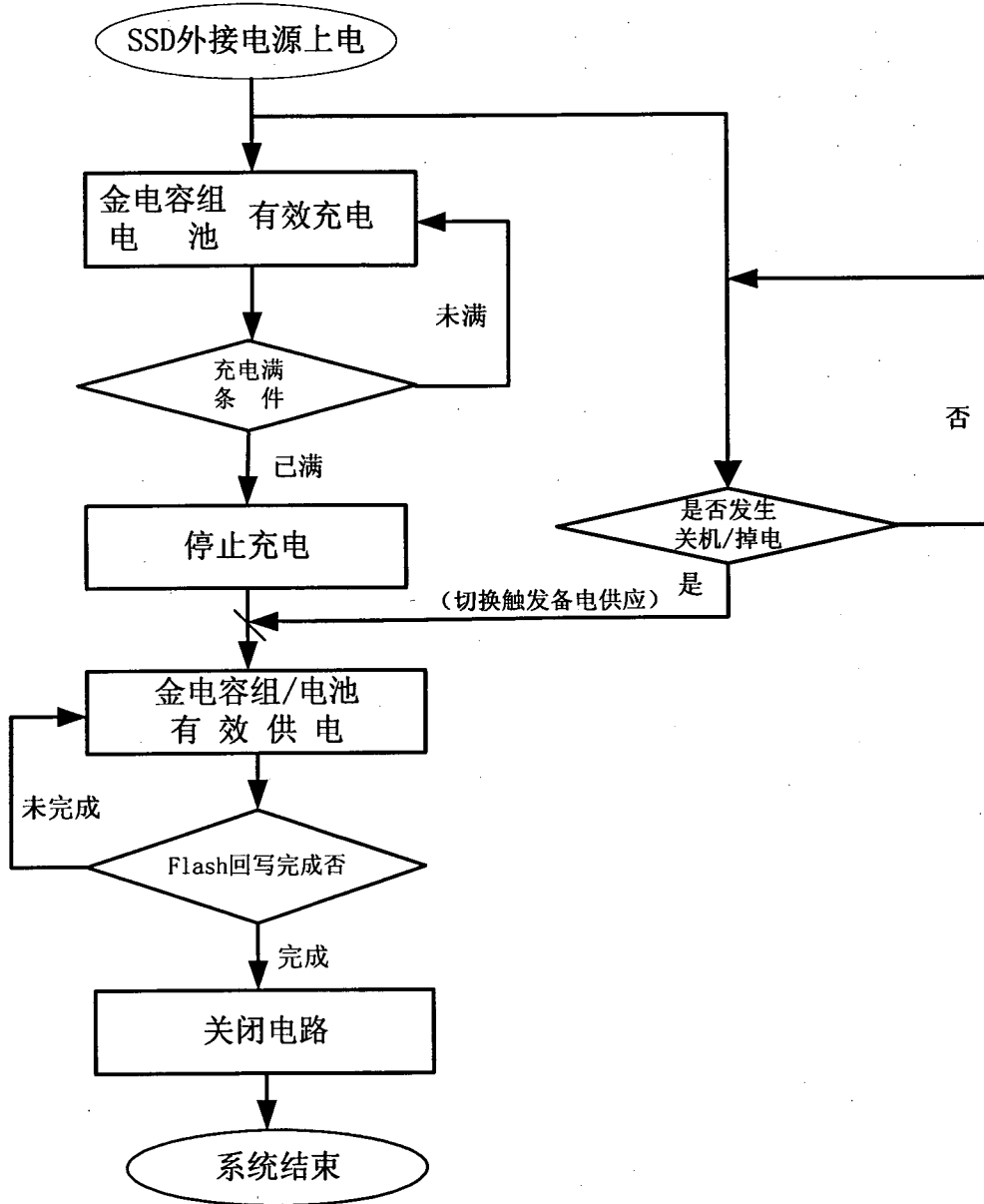


图 10

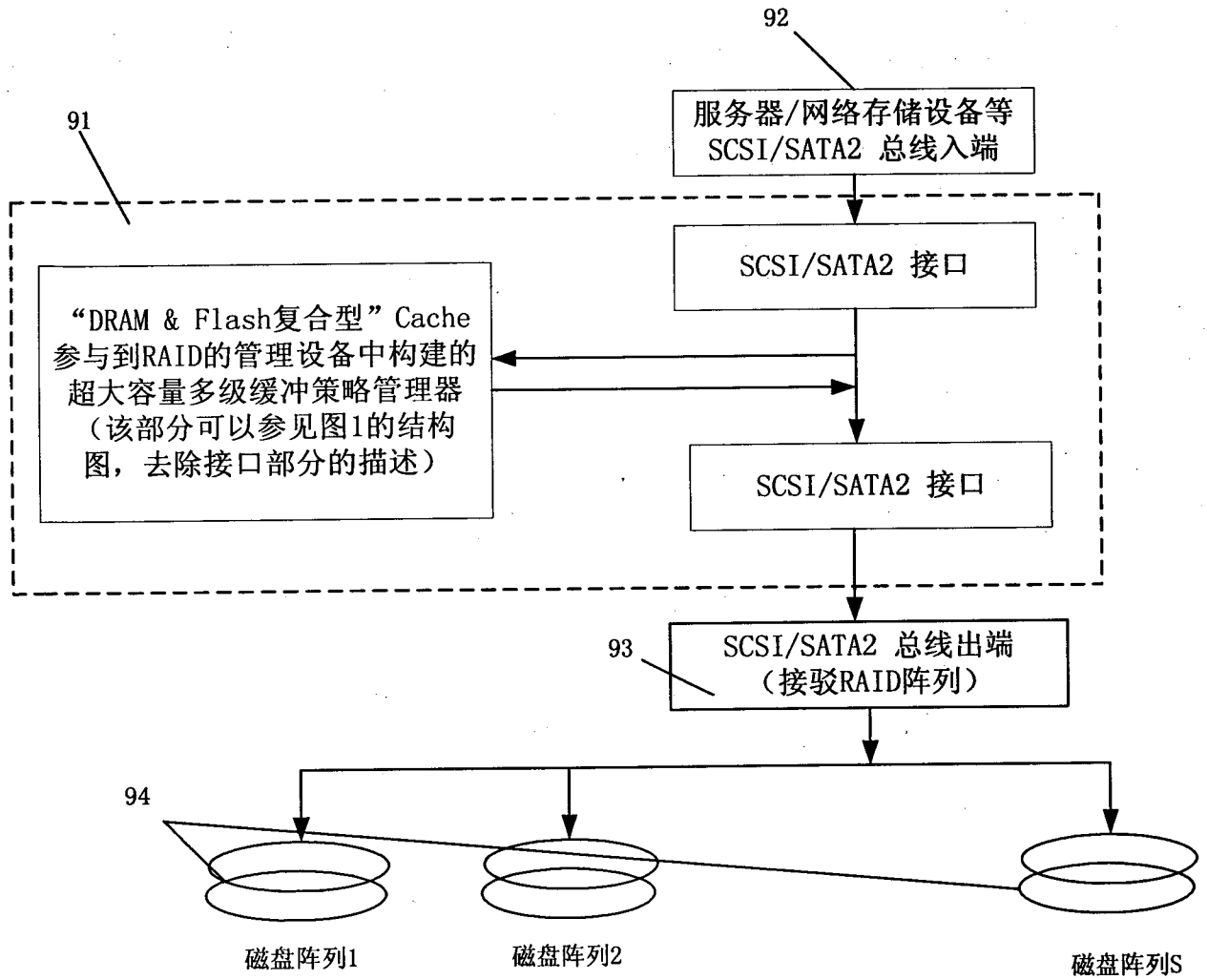


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2009/001379

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G11C G06F 12/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; EPODOC; PAJ, DRAM, FLASH, dynamic random access memory, management,
High speed solid state memory, memory disc/disk, interface, disc/disk controller, backup electronic, mapping, address,
Super speed cache

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 101552032 A (SHENZHEN JINGKAI ELECTRONIC TECHNOLOGY CO LT) 07 Oct. 2009 (07. 10. 2009) the whole document	1-14
A	WO 2008057557 A2 (RAMBUS INC) 15 May 2008 (15.05.2008) The whole document	1-14
A	US 2004186946 A1 (SAMSUNG ELECTRONICS CO LTD) 23 Sep. 2004 (23.09.2004) The whole document	1-14
A	EP 0619541 A2 (HITACHI LTD et al) 12 Oct. 1994 (12.10.1994) The whole document	1-14

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
--	---

Date of the actual completion of the international search
25 Feb. 2010 (25.02.2010)

Date of mailing of the international search report
18 Mar. 2010 (18.03.2010)

Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451

Authorized officer
LI, Qian
Telephone No. (86-10)6241 2075

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2009/001379

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN101552032 A	07.10.2009	NONE	
WO2008057557 A2	15.05.2008	WO2008057557 A3	21.08.2008
US2004186946 A1	23.09.2004	JP2004288150 A	14.10.2004
		KR20040082921 A	30.09.2004
		TW200419345 A	01.10.2004
		KR100526879 B	09.11.2005
		TW265411 B1	01.11.2006
EP0619541 A2	12.10.1994	EP0619541 A3	01.03.1995
		US5530673 A	25.06.1996
		US5862083 A	19.01.1999
		KR970008188B1	21.05.1997
		US5973964 A	26.10.1999
		US6078520 A	20.06.2000
		TW403871 B	01.09.2000
		US6275436 B1	14.08.2001
		US2002051394 A1	02.05.2002
		US6421279 B1	16.07.2002
		EP0619541 B1	02.07.2003
		DE69432878E	07.08.2003
		DE69432878 T2	27.05.2004
		KR970008188 B1	21.05.1997
		JP7036759 A	07.02.1995
		JP7028690 A	31.01.1995
		JP6332806 A	02.12.1994
		JP746820 A	06.06.1995

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2009/001379

Continuation of : International Patent Classification (IPC) or both national classification and IPC

G11C 7/10(2006.01)i

G11C 29/00(2006.01)i

G11C 5/14(2006.01)i

G06F 12/02(2006.01)i

国际检索报告

国际申请号
PCT/CN2009/001379

A. 主题的分类		
见附加页		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC: G11C G06F 12/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
WPI; EPODOC; PAJ; CPRS; CNKI; 动态随机访问存储器, DRAM, 闪存, FLASH, 管理, 高速固态存储器, 存储盘, 接口, 硬盘控制器, 备用电源, 映射, 地址, 超级高速缓存, cache, dynamic random access memory, management, High speed solid state memory, memory disc/disk, interface, disc/disk controller, backup electronic, mapping, address, Super speed cache		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 101552032 A(深圳市晶凯信息技术有限公司) 07. 10月 2009(07.10.2009) 全文	1-14
A	WO 2008057557 A2(RAMBUS INC) 15. 5月 2008(15.05.2008) 全文	1-14
A	US 2004186946 A1(SAMSUNG ELECTRONICS CO LTD) 23. 9月 2004(23.09.2004) 全文	1-14
A	EP 0619541 A2(HITACHI LTD 等) 12. 10月 1994(12.10.1994) 全文	1-14
<input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件		“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件
国际检索实际完成的日期 25. 2月 2010(25.02.2010)		国际检索报告邮寄日期 18.3月 2010(18.03.2010)
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451		受权官员 李倩 电话号码: (86-10) 6241 2075

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2009/001379

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101552032 A	07.10.2009	无	
WO2008057557 A2	15.05.2008	WO2008057557 A3	21.08.2008
US2004186946 A1	23.09.2004	JP2004288150 A	14.10.2004
		KR20040082921 A	30.09.2004
		TW200419345 A	01.10.2004
		KR100526879 B	09.11.2005
		TW265411 B1	01.11.2006
EP0619541 A2	12.10.1994	EP0619541 A3	01.03.1995
		US5530673 A	25.06.1996
		US5862083 A	19.01.1999
		KR970008188B1	21.05.1997
		US5973964 A	26.10.1999
		US6078520 A	20.06.2000
		TW403871 B	01.09.2000
		US6275436 B1	14.08.2001
		US2002051394 A1	02.05.2002
		US6421279 B1	16.07.2002
		EP0619541 B1	02.07.2003
		DE69432878E	07.08.2003
		DE69432878 T2	27.05.2004
		KR970008188 B1	21.05.1997
		JP7036759 A	07.02.1995
		JP7028690 A	31.01.1995
		JP6332806 A	02.12.1994
		JP746820 A	06.06.1995

国际检索报告

国际申请号

PCT/CN2009/001379

续：国际专利分类(IPC)或国家分类和 IPC 两种分类

G11C 7/10(2006.01)i

G11C 29/00(2006.01)i

G11C 5/14(2006.01)i

G06F 12/02(2006.01)i