

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5414757号  
(P5414757)

(45) 発行日 平成26年2月12日(2014.2.12)

(24) 登録日 平成25年11月22日(2013.11.22)

(51) Int.Cl.

F I

G O 1 R 31/02 (2006.01)  
B 6 O L 3/00 (2006.01)G O 1 R 31/02  
B 6 O L 3/00 S

請求項の数 4 (全 9 頁)

(21) 出願番号 特願2011-198061 (P2011-198061)  
(22) 出願日 平成23年9月12日(2011.9.12)  
(65) 公開番号 特開2013-61163 (P2013-61163A)  
(43) 公開日 平成25年4月4日(2013.4.4)  
審査請求日 平成25年7月12日(2013.7.12)

(73) 特許権者 510123839  
オムロンオートモーティブエレクトロニクス株式会社  
愛知県小牧市大草年上坂6368番地  
(74) 代理人 100101786  
弁理士 奥村 秀行  
(72) 発明者 笠島 正人  
愛知県小牧市大草年上坂6368番地 オムロンオートモーティブエレクトロニクス株式会社内  
(72) 発明者 藤井 真輝  
愛知県小牧市大草年上坂6368番地 オムロンオートモーティブエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 漏電検知装置

(57) 【特許請求の範囲】

【請求項 1】

一端が直流電源に接続されるカップリングコンデンサと、  
前記カップリングコンデンサの他端にパルスを供給するパルス発生手段と、  
前記パルスにより充電される前記カップリングコンデンサの電圧を検出する電圧検出手段と、

前記電圧検出手段が検出した電圧を閾値と比較し、その比較結果に基づいて前記直流電源の漏電の有無を判定する漏電判定手段と、  
を備えた漏電検知装置において、

前記カップリングコンデンサに昇圧されたパルス電圧を印加するための昇圧回路を更に  
備え、

前記パルス発生手段は、前記昇圧回路の出力電圧を前記パルス電圧に変換し、

前記電圧検出手段は、前記昇圧回路の出力電圧に基づいて前記パルス電圧より低いオフセット電圧を生成するオフセット電圧生成回路と、前記カップリングコンデンサの電圧から前記オフセット電圧を減算した電圧を出力する演算回路とを含み、

前記漏電判定手段は、前記演算回路の出力電圧と前記閾値との比較結果に基づいて、漏電の有無を判定することを特徴とする漏電検知装置。

【請求項 2】

請求項 1 に記載の漏電検知装置において、

前記パルス発生手段は、前記昇圧回路の出力電圧に基づいて定電圧の基準電圧を生成す

10

20

る基準電圧生成回路と、この基準電圧生成回路から出力される前記基準電圧をスイッチングして前記パルス電圧に変換するスイッチング素子と、このスイッチング素子のON・OFF動作を制御する制御部とを含むことを特徴とする漏電検知装置。

【請求項3】

請求項1または請求項2に記載の漏電検知装置において、

前記漏電判定手段は、前記パルス発生手段が前記パルスを発生するたびに、所定のタイミングで、前記演算回路の出力電圧と前記閾値とを比較して、漏電の有無を判定することを特徴とする漏電検知装置。

【請求項4】

一端が直流電源に接続されるカップリングコンデンサと、  
前記カップリングコンデンサの他端にパルスを供給するパルス発生手段と、  
前記パルスにより充電される前記カップリングコンデンサの電圧を検出する電圧検出手  
段と、

を備えた漏電検知装置において、

前記カップリングコンデンサに昇圧されたパルス電圧を印加するための昇圧回路を更に  
備え、

前記パルス発生手段は、前記昇圧回路の出力電圧を前記パルス電圧に変換し、  
前記電圧検出手段は、前記昇圧回路の出力電圧に基づいて前記パルス電圧より低いオフ  
セット電圧を生成するオフセット電圧生成回路と、前記カップリングコンデンサの電圧から  
前記オフセット電圧を減算した電圧を出力する演算回路とを含み、

前記演算回路の出力電圧に基づいて、漏電を検知することを特徴とする漏電検知装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば電気自動車において、直流電源の漏電を検知するために用いられる漏電検知装置に関する。

【背景技術】

【0002】

電気自動車においては、モータや車載機器を駆動するための高電圧の直流電源が搭載される。この直流電源は、グランドに接地されている車体と電氣的に絶縁されている。しかしながら、何らかの原因により、直流電源と車体との間で絶縁不良や短絡等が発生した場合、直流電源からグランドへ至る経路に電流が流れ、漏電が生じる。そこで、この漏電を検知するための漏電検知装置が、直流電源に付設される。

【0003】

このような漏電検知装置として、カップリングコンデンサを用いたものが知られている。この漏電検知装置は、一端が直流電源に接続されるカップリングコンデンサと、カップリングコンデンサの他端にパルスを供給するパルス発生器と、パルスにより充電されるカップリングコンデンサの電圧を検出する電圧検出部と、電圧検出部が検出した電圧を閾値と比較し、その比較結果に基づいて直流電源の漏電の有無を判定する漏電判定部とを備えている。後掲の特許文献1、2には、このような構成を有する漏電検知装置が記載されている。

【0004】

また、特許文献3には、モータ駆動装置の電源部における平滑コンデンサの蓄積エネルギーを利用し、当該コンデンサの充電電圧を電源回路で昇圧して、モータコイルとグランド間に印加することにより、モータの絶縁低下を検出する技術が記載されている。

【0005】

ところで、カップリングコンデンサの電圧に基づいて漏電有無を検知するにあたっては、カップリングコンデンサに印加する電圧の大きさが検知精度を左右する。すなわち、図4に示すように、カップリングコンデンサの電圧 $V_a$ が小さいと、直流電源とグランド間の漏電抵抗が温度等により変動した場合に、コンデンサ電圧の変化幅も小さくなる。つ

10

20

30

40

50

まり、ダイナミックレンジを大きくとることができないため、検知精度に限界がある。一方、図5に示すように、カップリングコンデンサの電圧 $V_b$ が大きいと、漏電抵抗の変動に対して、コンデンサ電圧の変化幅は大きくなる。つまり、ダイナミックレンジを大きくとることができるため、検知精度が向上する。

【0006】

したがって、検知精度を上げるには、昇圧回路を設け、この昇圧回路で昇圧された電圧をカップリングコンデンサに印加すればよい。しかしながら、カップリングコンデンサの電圧が大きくなると、この電圧が、CPUの読み込み可能な電圧（例えば5V）を超えてしまい、CPUにおいて漏電有無の判定ができなくなるという問題がある。

【先行技術文献】

10

【特許文献】

【0007】

【特許文献1】特開2005-127821号公報

【特許文献2】特開2007-163291号公報

【特許文献3】特開2007-159289号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の課題は、検知精度を上げるためにカップリングコンデンサの印加電圧を大きくしても、漏電有無の判定を正常に行うことができる漏電検知装置を提供することにある。

20

【課題を解決するための手段】

【0009】

本発明では、一端が直流電源に接続されるカップリングコンデンサと、このカップリングコンデンサの他端にパルスを供給するパルス発生手段と、このパルスにより充電されるカップリングコンデンサの電圧を検出する電圧検出手段と、この電圧検出手段が検出した電圧を閾値と比較し、その比較結果に基づいて直流電源の漏電の有無を判定する漏電判定手段とを備えた漏電検知装置において、カップリングコンデンサに昇圧されたパルス電圧を印加するための昇圧回路を更に設ける。パルス発生手段は、昇圧回路の出力電圧をパルス電圧に変換する。また、電圧検出手段は、昇圧回路の出力電圧に基づいてパルス電圧より低いオフセット電圧を生成するオフセット電圧生成回路と、カップリングコンデンサの電圧からオフセット電圧を減算した電圧を出力する演算回路とを含む。そして、漏電判定手段は、演算回路の出力電圧と閾値との比較結果に基づいて、漏電の有無を判定する。

30

【0010】

このようにすると、カップリングコンデンサに印加されるパルス電圧が、昇圧された高い電圧であっても、電圧検出手段からは、カップリングコンデンサの電圧からオフセット電圧を減算した低い電圧が、検出電圧として出力される。このため、検出電圧を、漏電判定手段の読み込み可能な電圧の範囲内に収めることができる。その結果、漏電判定手段は、当該検出電圧に基づいて、漏電の有無を正常に判定することができる。

【0011】

本発明において、パルス発生手段は、昇圧回路の出力電圧に基づいて定電圧の基準電圧を生成する基準電圧生成回路と、この基準電圧生成回路から出力される基準電圧をスイッチングしてパルス電圧に変換するスイッチング素子と、このスイッチング素子のON・OFF動作を制御する制御部とを含むように構成されていてもよい。

40

【0012】

また、本発明において、漏電判定手段は、パルス発生手段がパルスを発生するたびに、所定のタイミングで、演算回路の出力電圧と閾値とを比較して、漏電の有無を判定するようにしてもよい。

【発明の効果】

【0013】

本発明によれば、検知精度を上げるためにカップリングコンデンサの印加電圧を大きく

50

しても、漏電有無の判定を正常に行うことが可能な漏電検知装置を提供することができる。

【図面の簡単な説明】

【0014】

【図1】本発明の実施形態に係る漏電検知装置を示した回路図である。

【図2】非漏電時における各部の信号の波形図である。

【図3】漏電時における各部の信号の波形図である。

【図4】カップリングコンデンサの印加電圧が小さい場合のダイナミックレンジを説明する図である。

【図5】カップリングコンデンサの印加電圧が大きい場合のダイナミックレンジを説明する図である。

10

【発明を実施するための形態】

【0015】

以下、本発明の実施形態につき、図面を参照しながら説明する。ここでは、本発明を電気自動車に搭載される漏電検知装置に適用した場合を例に挙げる。

【0016】

図1に示すように、漏電検知装置100は、駆動電源1の正極が接続される端子T1、駆動電源1の負極が接続される端子T2、負荷電源10の負極が接続される端子T3を備えている。駆動電源1は、例えば鉛蓄電池からなる低圧の直流電源であり、負荷電源10は、例えばリチウムイオン電池からなる高圧の直流電源である。負荷電源10は、車両に搭載されている各負荷へ電圧を供給する。負荷電源10とグランドG（車体）との間には、浮遊容量Csが存在している。また、負荷電源10の漏電時には、負荷電源10とグランドGとの間に、等価的に漏電抵抗Rxが接続される。

20

【0017】

漏電検知装置100には、電源回路2、昇圧回路3、CPU5、メモリ9、パルス発生回路11、電圧検出回路12、ダイオードD、抵抗R、およびカップリングコンデンサCが備わっている。パルス発生回路11は、基準電圧生成回路4とスイッチング素子Qとを有している。電圧検出回路12は、フィルタ回路6と、オフセット電圧生成回路7と、演算回路8とを有している。

【0018】

30

電源回路2は、CPU5に駆動電圧を供給する回路であって、その入力側は、ダイオードDを介して端子T1に接続されている。昇圧回路3は、駆動電源1の電圧を昇圧する回路であって、その入力側は、ダイオードDを介して端子T1に接続されており、出力側は、基準電圧生成回路4およびオフセット電圧生成回路7に接続されている。

【0019】

基準電圧生成回路4は、昇圧回路3の出力電圧に基づいて定電圧の基準電圧を生成する回路であって、その出力側には、スイッチング素子Qが接続されている。スイッチング素子Qは、例えばFET（電界効果トランジスタ）からなり、基準電圧生成回路4から出力される基準電圧をスイッチングして、パルス電圧に変換する。スイッチング素子Qのドレインdは基準電圧生成回路4に接続され、ソースsは抵抗Rの一端に接続され、ゲートgはCPU5に接続されている。スイッチング素子QのON・OFF動作は、CPU5によって制御される。

40

【0020】

抵抗Rの他端と端子T3との間には、カップリングコンデンサCが接続されている。このカップリングコンデンサCは、漏電検知装置100と負荷電源10とを直流的に分離する。カップリングコンデンサCの一端は、端子T3を介して負荷電源10の負極に接続されている。カップリングコンデンサCの他端は、抵抗Rを介してスイッチング素子Qに接続されているとともに、フィルタ回路6に接続されている。フィルタ回路6は、カップリングコンデンサCの電圧からノイズを除去するための回路である。

【0021】

50

オフセット電圧生成回路 7 は、昇圧回路 3 の出力電圧に基づいて、オフセット電圧を生成する。このオフセット電圧は、カップリングコンデンサ C に供給されるパルス電圧よりも低い。演算回路 8 の + 端子には、フィルタ回路 6 の出力が入力され、演算回路 8 の - 端子には、オフセット電圧生成回路 7 の出力が入力される。演算回路 8 は、フィルタ回路 6 の出力であるカップリングコンデンサ C の電圧から、オフセット電圧生成回路 7 の出力であるオフセット電圧を減算した電圧を出力する。演算回路 8 の出力は、CPU 5 に与えられる。CPU 5 は、演算回路 8 の出力と閾値との比較結果に基づいて、負荷電源 10 の漏電の有無を判定する。メモリ 9 には、上記の閾値が記憶されている。

【0022】

以上において、パルス発生回路 11 は、本発明における「パルス発生手段」の一例である。電圧検出回路 12 は、本発明における「電圧検出手段」の一例である。CPU 5 は、本発明における「漏電判定手段」および「制御部」の一例である。負荷電源 10 は、本発明における「直流電源」の一例である。

【0023】

次に、上述した構成からなる漏電検知装置 100 の動作について説明する。

【0024】

まず、負荷電源 10 とグランド G との間に漏電が生じていない場合の動作について、図 2 を参照しながら説明する。

【0025】

図 2 (a) に示すように、CPU 5 は、所定の周波数を持った制御パルス信号を出力する。この制御パルス信号は、スイッチング素子 Q のゲート g に与えられる。このため、スイッチング素子 Q は、制御パルス信号と同期して ON・OFF 動作を行い、基準電圧生成回路 4 から出力される昇圧された基準電圧をスイッチングして、図 2 (b) に示すようなパルス電圧に変換する。パルス電圧のピーク値  $V_1$  は、基準電圧とほぼ同じである。このパルス電圧は、抵抗 R を介してカップリングコンデンサ C に供給され、当該コンデンサを充電する。このとき、浮遊容量  $C_s$  も充電される。

【0026】

漏電が生じていない場合は、負荷電源 10 とグランド G との間に漏電抵抗  $R_x$  が存在しないため、カップリングコンデンサ C の電圧 (図 1 の n 点の電位) は、図 2 (c) に示すように、パルス電圧の印加によって急峻に立ち上がり、 $V_1$  近くまで上昇する。そして、パルス電圧が印加されなくなると、充電された電荷が放電して、カップリングコンデンサ C の電圧は、ほぼ 0 V まで下降する。なお、丸で囲んだ部分は、電圧波形に重畳したノイズを表している。

【0027】

カップリングコンデンサ C の電圧は、フィルタ回路 6 に入力され、ここでノイズが除去される。図 2 (d) は、フィルタ回路 6 の出力電圧の波形を表している。フィルタ回路 6 の出力電圧は、演算回路 8 の + 端子に入力される。一方、オフセット電圧生成回路 7 は、昇圧回路 3 の出力電圧に基づいて、図 2 (d) に一点鎖線で示すようなオフセット電圧  $V_o$  を出力する。ここで、 $V_o < V_1$  である。このオフセット電圧  $V_o$  は、演算回路 8 の - 端子に入力される。

【0028】

演算回路 8 は、フィルタ回路 6 の出力電圧からオフセット電圧  $V_o$  を減算する。この結果、図 2 (e) に示すように、演算回路 8 からは、図 2 (d) の電圧波形の、オフセット電圧  $V_o$  よりも上の部分が抽出された電圧が出力される。この出力電圧を、以下では便宜上「検出電圧」と呼ぶ。検出電圧のピーク値  $V_2$  は、パルス電圧のピーク値  $V_1$  よりも小さくなっている。一例として、 $V_1$  を 15 [V]、 $V_o$  を 10 [V] とした場合、 $V_2 = V_1 - V_o = 5$  [V] となり、検出電圧は、CPU 5 が読み込むことができる電圧の範囲内に収まる。

【0029】

CPU 5 は、演算回路 8 の出力から読み込んだ検出電圧と、メモリ 9 に記憶されている

10

20

30

40

50

閾値とを比較する。閾値は、図 2 ( e ) に  $V_s$  で示されている。そして、比較の結果、検出電圧が閾値  $V_s$  以上であれば、CPU 5 は、負荷電源 10 とグランド G との間に漏電が生じていないと判定する。一方、検出電圧が閾値  $V_s$  未満であれば、CPU 5 は、負荷電源 10 とグランド G との間に漏電が生じていると判定する。図 2 ( e ) の場合は、検出電圧が閾値  $V_s$  以上であるので、漏電が生じていないと判定される。

【 0 0 3 0 】

なお、上述した漏電有無の判定は、図 2 ( b ) のパルスが発生するたびに行われる。本実施形態では、パルスが立ち下がるタイミング (  $t_1$  ,  $t_2$  ,  $t_3$  , ... ) において、CPU 5 は演算回路 8 の出力を読み込み、閾値  $V_s$  と比較して漏電の有無を判定する。このため、漏電判定の回数が増えて、漏電検知を迅速に行うことができる。なお、この判定のタイミングは、パルスが立ち下がる直前のタイミングであってもよい。

10

【 0 0 3 1 】

次に、負荷電源 10 とグランド G との間に漏電が生じた場合の動作について、図 3 を参照しながら説明する。

【 0 0 3 2 】

CPU 5 は、図 3 ( a ) に示す制御パルス信号を出力し、スイッチング素子 Q は、この信号と同期して、基準電圧生成回路 4 の出力 ( 基準電圧 ) をスイッチングし、図 3 ( b ) に示すパルス電圧を出力する。このパルス電圧は、抵抗 R を介してカップリングコンデンサ C に供給され、当該コンデンサを充電する。このとき、浮遊容量  $C_s$  も充電される。以上の点については、図 2 の場合と同じである。

20

【 0 0 3 3 】

漏電が生じている場合は、負荷電源 10 とグランド G との間に漏電抵抗  $R_x$  が存在し、カップリングコンデンサ C の充電電流が漏電抵抗  $R_x$  にも流れる。このため、カップリングコンデンサ C の電圧 ( 図 1 の n 点の電位 ) は、図 3 ( c ) に示すように、パルス電圧の印加によって比較的緩やかに立ち上がり、 $V_1$  近くまでには達しない。パルス電圧が印加されなくなると、充電された電荷が放電して、カップリングコンデンサ C の電圧は、ほぼ 0 V まで下降する。丸で囲んだ部分は、電圧波形に重畳したノイズを表している。

【 0 0 3 4 】

図 2 の場合と同様に、カップリングコンデンサ C の電圧は、フィルタ回路 6 に入力され、ここでノイズが除去される。図 3 ( d ) は、フィルタ回路 6 の出力電圧の波形を表している。演算回路 8 は、フィルタ回路 6 の出力電圧からオフセット電圧  $V_o$  を減算する。この結果、演算回路 8 からは、図 3 ( e ) に示すような検出電圧が出力される。この検出電圧のピーク値  $V_3$  は、図 2 ( e ) の検出電圧のピーク値  $V_2$  よりも更に小さくなっている。したがって、演算回路 8 から出力される検出電圧は、CPU 5 が読み込むことができる電圧の範囲内に収まっている。

30

【 0 0 3 5 】

また、この検出電圧は、図 3 ( e ) に示すように、閾値  $V_s$  よりも小さくなっている。したがって、CPU 5 は、負荷電源 10 とグランド G との間に漏電が生じていると判定する。このように判定した場合、CPU 5 は、図示しない通信線を介して、上位装置へ漏電の発生を通知する。

40

【 0 0 3 6 】

以上のように、本実施形態によれば、カップリングコンデンサ C に印加されるパルス電圧が、昇圧回路 3 によって昇圧された高い電圧であっても、演算回路 8 から出力される検出電圧は、カップリングコンデンサ C の電圧からオフセット電圧  $V_o$  を減算した低い電圧となる。このため、検出電圧を、CPU 5 の読み込み可能な電圧の範囲内に収めることができる。その結果、漏電検知の精度を上げるためにパルス電圧を高くしても、CPU 5 において漏電の有無を正常に判定することができる。

【 0 0 3 7 】

本発明では、以上述べた以外にも種々の実施形態を採用することができる。例えば、図 1 では、カップリングコンデンサ C の電圧を、フィルタ回路 6 を介して演算回路 8 に入力

50

しているが、ノイズの影響が問題にならない場合は、フィルタ回路 6 を省略してもよい。

【 0 0 3 8 】

また、図 1 では、昇圧回路 3 の出力が、直接、オフセット電圧生成回路 7 に入力される構成となっているが、基準電圧生成回路 4 の出力がオフセット電圧生成回路 7 に入力される構成としてもよい。

【 0 0 3 9 】

また、図 1 では、スイッチング素子 Q として F E T を用いたが、F E T の代わりに一般のバイポーラ型トランジスタを用いてもよい。あるいは、スイッチング素子 Q としてリレーを用いてもよい。

【 0 0 4 0 】

10

また、図 2 および図 3 においては、C P U 5 から制御パルス信号が発生するたびに漏電有無の判定を行う例を挙げたが、例えば、制御パルス信号の 1 周期おきに、漏電有無の判定を行うようにしてもよい。

【 0 0 4 1 】

さらに、前記の実施形態では、車両に搭載される漏電検知装置に本発明を適用した例を挙げたが、本発明は、車両以外の用途に用いられる漏電検知装置にも適用することができる。

【 符号の説明 】

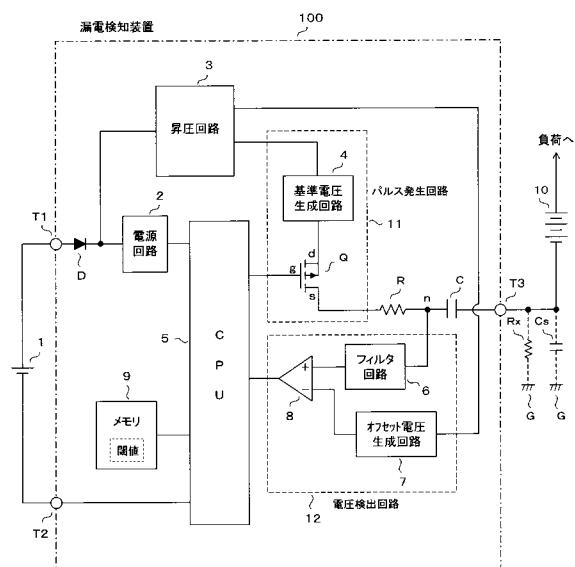
【 0 0 4 2 】

- 3 昇圧回路
- 4 基準電圧生成回路
- 5 C P U
- 7 オフセット電圧生成回路
- 8 演算回路
- 1 0 負荷電源
- 1 1 パルス発生回路
- 1 2 電圧検出回路
- 1 0 0 漏電検知装置
- C カップリングコンデンサ
- Q スwitching素子

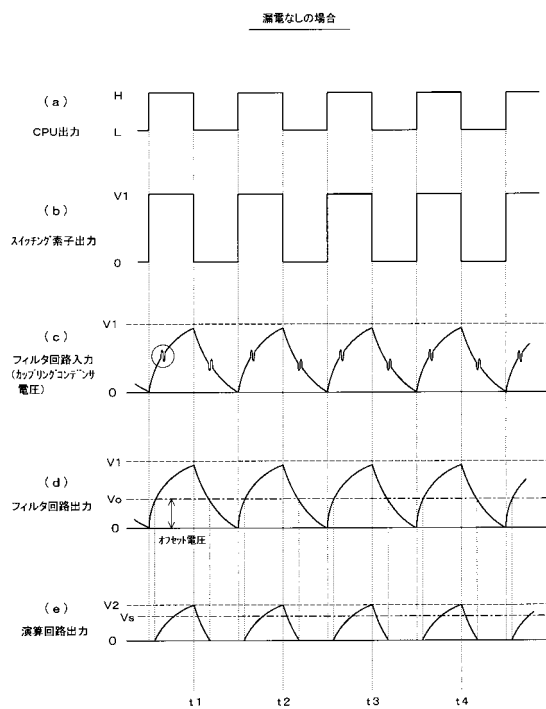
20

30

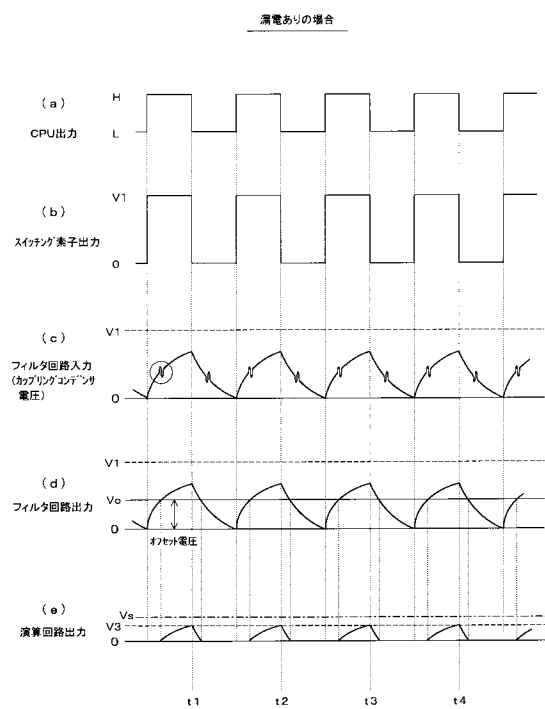
【図 1】



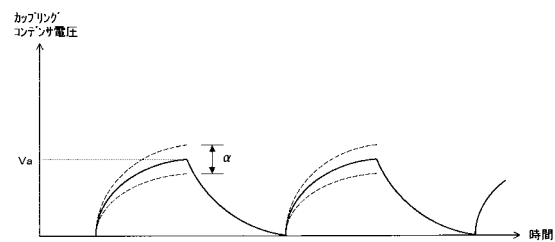
【図 2】



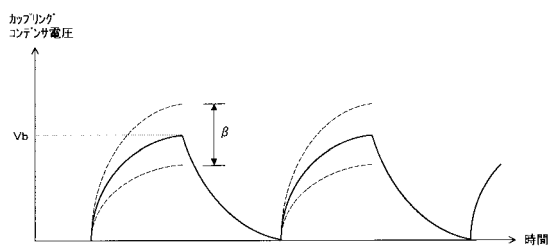
【図 3】



【図 4】



【図 5】





---

フロントページの続き

(72)発明者 関根 武司

愛知県小牧市大草年上坂 6 3 6 8 番地 オムロンオートモーティブエレクトロニクス株式会社内

(72)発明者 齊藤 貴弘

長野県飯田市桐林 2 2 5 4 番地 2 8 オムロン飯田株式会社内

審査官 吉岡 一也

(56)参考文献 特開 2 0 0 7 - 0 5 7 4 9 0 ( J P , A )

特開平 0 7 - 1 2 8 3 8 7 ( J P , A )

特開 2 0 0 4 - 3 4 7 3 7 2 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G 0 1 R 3 1 / 0 2

B 6 0 L 3 / 0 0

G 0 1 R 3 1 / 0 2

B 6 0 L 3 / 0 0