



(12) 发明专利

(10) 授权公告号 CN 103346124 B

(45) 授权公告日 2015. 08. 26

(21) 申请号 201310222267. 0

CN 101079380 A, 2007. 11. 28,

(22) 申请日 2013. 06. 04

审查员 刘晓华

(73) 专利权人 上海华力微电子有限公司

地址 201210 上海市浦东新区张江高科技园  
区高斯路 568 号

(72) 发明人 俞宏俊 周飞 徐莹

(74) 专利代理机构 上海申新律师事务所 31272

代理人 竺路玲

(51) Int. Cl.

H01L 21/8238(2006. 01)

H01L 21/285(2006. 01)

(56) 对比文件

CN 101110386 A, 2008. 01. 23,

US 2009/0101980 A1, 2009. 04. 23,

CN 101573795 A, 2009. 11. 04,

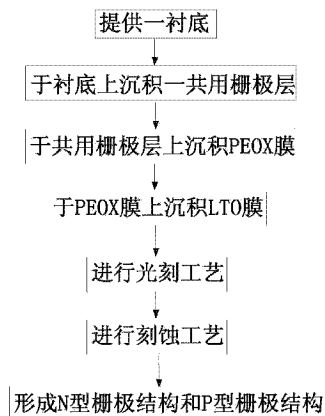
权利要求书1页 说明书6页 附图6页

(54) 发明名称

改善半导体器件良率的方法

(57) 摘要

本发明公开了一种改善半导体器件良率的方法,通过在 NMOS 栅极离子注入工艺完成后,先沉积一 PEOX 膜,再沉积一 LTO 膜,克服了现有技术中由于进行热退火工艺,使得注入 NMOS 上的栅极结构中的离子扩散至 PMOS 的栅极结构中,从而影响 PMOS 电学性能的问题;也克服了由于 PEOX 膜非常疏松,导致注入 NMOS 的栅极中的离子聚团析出在栅极表面,从而在后续的刻蚀工艺完成后,损伤 NMOS 有源区的问题;同时又克服了由于 LTO 膜张应力大,对下层膜敏感,会受到表面原子扩散速率的影响,而导致 NMOS 和 PMOS 上所沉积的 LTO 膜的厚度不同,影响后续的刻蚀工艺,导致半导体器件良率的降低的问题,从而提高了半导体器件的良率。



1. 一种改善半导体器件良率的方法,应用于在一衬底上制备栅极的工艺中,所述衬底包括第一阱区和第二阱区,其特征在于,包括以下步骤:

于所述衬底的上表面沉积一共用栅极层,并对位于所述第一阱区上方的共用栅极层进行离子注入工艺;

沉积一 PEOX 膜覆盖所述共用栅极层的上表面;

继续沉积一 LTO 膜覆盖所述 PEOX 膜的上表面;

其中,所述 PEOX 膜和所述 LTO 膜共同构成一硬掩膜层,且在制作硬掩膜层的工艺中,未进行热退火;

利用光刻、刻蚀工艺,并去除剩余的 PEOX 膜和 LTO 膜,形成第一类型栅极结构和第二类型栅极结构;

其中,PEOX 膜为等离子增强氧化膜。

2. 如权利要求 1 所述的改善半导体器件良率的方法,其特征在于,所述第一阱区为 P 阱区,所述第二阱区为 N 阱区,并于所述 P 阱区上方形成所述第一类型栅极结构,于所述 N 阱区上方形成所述第二类型栅极结构。

3. 如权利要求 1 或 2 中任意一项所述的改善半导体器件良率的方法,其特征在于,所述第一类型栅极结构为 N 型栅极结构,所述第二类型栅极结构为 P 型栅极结构。

4. 如权利要求 1 所述的改善半导体器件良率的方法,其特征在于,所述离子注入工艺采用的离子源为磷。

5. 如权利要求 1 所述的改善半导体器件良率的方法,其特征在于,利用等离子增强化学气相淀积的方法进行所述 PEOX 膜的沉积工艺。

6. 如权利要求 5 所述的改善半导体器件良率的方法,其特征在于,所述 PEOX 膜的沉积在  $390^{\circ}\text{C} \sim 410^{\circ}\text{C}$  的温度条件下进行。

7. 如权利要求 6 所述的改善半导体器件良率的方法,其特征在于,所述 PEOX 膜的厚度为  $80\text{\AA} \sim 120\text{\AA}$ 。

8. 如权利要求 1 所述的改善半导体器件良率的方法,其特征在于,利用低温化学气相淀积的方法进行所述 LTO 膜的沉积工艺。

9. 如权利要求 8 所述的改善半导体器件良率的方法,其特征在于,利用等离子增强化学气相淀积的方法进行所述 LTO 膜的沉积工艺。

10. 如权利要求 8 所述的改善半导体器件良率的方法,其特征在于,所述 LTO 膜的沉积在  $390^{\circ}\text{C} \sim 410^{\circ}\text{C}$  的温度条件下进行。

11. 如权利要求 10 所述的改善半导体器件良率的方法,其特征在于,所述 LTO 膜的厚度为  $280\text{\AA} \sim 320\text{\AA}$ 。

12. 如权利要求 1 所述的改善半导体器件良率的方法,其特征在于,所述刻蚀工艺采用干法刻蚀或者湿法刻蚀。

## 改善半导体器件良率的方法

### 技术领域

[0001] 本发明涉及半导体制造技术领域,尤其涉及一种改善半导体器件良率的方法。

### 背景技术

[0002] 半导体器件如存储器(动态随机存取存储器和静态随机存取存储器)以其自身固有的特色:高的集成度、高的集成密度和高的制造难度而标志着一个国家或者一个公司的集成电路技术的总体水平。国际上动态随机存取存储器(Dynamic Random Access Memory, DRAM)的集成度一直以每三年翻两番的速度增长,静态随机存取存储器(Static Random Access Memory, SRAM)也以类似的速度在发展。目前,国际上已研制出采用 0.35um 技术的 16 兆位的 SRAM。测试芯片已有 64 兆位的 CMOS (Complementary Metal Oxide Semiconductor, 互补金属氧化物半导体) SRAM。SRAM 特别是高速缓冲 SRAM,是具有高性能计算机的基本构件,高速测试系统和高速数据采集系统也需要使用高速 SRAM。另一方面,据有关资料报导,存储器要占世界整个半导体产品市场销售额的 30% 左右,SRAM 占各种存储器的总额的 22% 左右,并且以 21% 的平均年增长率在增长。SRAM 还有一个特点是制作 CMOS SRAM 的主要工艺技术可以直接扩展到 IC (Integrated Circuit, 集成电路)其他类别的电路的生产制造中去,例如通过逻辑电路和专用集成电路等,因此,SRAM 作为 IC 领域中一个极为重要的部分,其良率的重要性是显而易见的。

[0003] 然而,目前在制造 SRAM 的过程中,SRAM 中的上拉管 PMOS 和下拉管 NMOS 是采用一个栅极结构的,如图 1 所示,图 1 是 NMOS 和 PMOS 共用多晶硅栅的俯视结构示意图;在半导体衬底上形成有 P 阱区 101 和 N 阱区 102,在 P 阱区 101 内设置一区域为 N 型有源区 104,在 N 阱区内设置一区域为 P 型有源区 105,在 P 阱区 101 和 N 阱区 102 上表面沉积一共用多晶硅栅极层 103;图 2 是 NMOS 和 PMOS 共用多晶硅栅的剖面结构示意图;在半导体衬底上形成有 P 阱区 101 和 N 阱区 102,在 P 阱区 101 和 N 阱区 102 中形成一浅沟槽隔离结构 106,用以隔离 NMOS 和 PMOS 结构,在 P 阱区 101 和 N 阱区 102 上表面沉积一共用多晶硅栅极层 103;由于 NMOS 和 PMOS 之间的电性差异,通常会在 NMOS 的栅极结构中注入离子,以抑制多晶硅耗尽效应的发生,减小栅氧化层的电性厚度,所以在进行完 NMOS 的栅极离子注入工艺后,通常会采用三种方法来制作栅极硬掩膜:

[0004] 图 3 是现有技术中采用方法一进行热退火工艺时,注入 NMOS 栅极的离子水平扩散的结构示意图;如图 3 所示,方法一在进行完 NMOS 的栅极离子注入工艺后,进行热退火工艺,再沉积一层低温氧化膜(Low Temperature Oxide, 简称 LTO),这种方法虽然在进行完后续的刻蚀工艺后,未发现有源区损伤,但是由于热退火工艺的高温,使得注入 NMOS 栅极的离子 107 水平扩散至 PMOS 的栅极结构中,从而影响 PMOS 的电学性能,进而会降低 SRAM 的良率。

[0005] 图 4 是现有技术中采用方法二进行刻蚀工艺后,NMOS 有源区受到损伤的剖面结构示意图;图 5 是现有技术中采用方法二进行刻蚀工艺后, NMOS 有源区受到损伤的俯视结构示意图;如图 4 和图 5 所示,方法二在进行完 NMOS 的栅极离子注入工艺后,沉积一层等离子

增强氧化膜(Plasma Enhanced Oxide,简称PEOX),PEOX又称为射频低温等离子体增强二氧化硅薄膜,其是由硅烷和一氧化二氮在温度为400℃的条件下反应生成,PEOX非常疏松,会使多晶硅与注入离子聚集析出,所以,在进行后续的刻蚀工艺形成N型栅极结构108后,无法避免的会使NMOS的有源区受到损伤,如图4中在NMOS有源区上形成缺陷凹口,如图5中的缺陷110,从而降低SRAM的良率。

[0006] 图6是现有技术中采用方法三进行硬掩膜层沉积后,NMOS和PMOS栅极上的膜厚结构示意图;如图6所示,方法三在进行完NMOS的栅极离子注入工艺后,不进行退火工艺,而直接沉积一层400Å的LTO,然而,由于LTO是臭氧和正硅酸乙酯在400℃的低温下反应生成,LTO多孔疏松且张应力大,对下层膜敏感,会受到表面原子扩散速度的影响,NMOS栅极中的注入离子一定程度的聚集在NMOS栅极层的表面,从而使得NMOS和PMOS上所沉积的LTO膜109的厚度不同,进而影响后续的刻蚀工艺,导致SRAM良率的降低。

[0007] 中国专利(公开号:CN101567313A)公开了一种栅极制造方法,包括:提供一衬底;在所述衬底上依次形成栅氧化层、多晶硅层、硬掩膜层和图案化光阻层;以所述图案化光阻层为掩膜,刻蚀所述硬掩膜层,形成图案化硬掩膜层,同时所述图案化光阻层被部分移除;以剩余的图案化光阻层和所述图案化硬掩膜层为掩膜,刻蚀所述多晶硅层和栅氧化层,同时所述剩余的图案化光阻层被完全移除,所述图案化硬掩膜层被部分移除;移除剩余的图案化硬掩膜层,形成栅极。

[0008] 上述发明虽然可以避免光阻残渣现象的出现,提高了半导体器件的良率,并可节约生产成本,提高生产效率,但是上述发明仍然未能克服由于进行热退火工艺,使得注入NMOS上的栅极结构中的离子扩散至PMOS的栅极结构中,从而影响PMOS电学性能的问题;也未能克服由于PEOX非常疏松,导致注入NMOS的栅极上的离子聚团析出在栅极表面,从而在进行后续的刻蚀工艺后,损伤NMOS有源区的问题;同时又未能克服由于只沉积LTO膜,而LTO膜张应力大,对下层膜敏感,会受到表面原子扩散速率的影响,而导致NMOS和PMOS上所沉积的LTO膜厚不同,影响后续的刻蚀工艺,导致半导体器件良率的降低的问题。

## 发明内容

[0009] 针对上述存在的问题,本发明公开一种改善半导体器件良率的方法,以克服现有技术中由于进行热退火工艺,使得注入NMOS上的栅极结构中的离子扩散至PMOS的栅极结构中,从而影响PMOS电学性能的问题;也克服由于PEOX非常疏松,导致注入NMOS的栅极上的离子聚团析出在栅极表面,从而在进行后续的刻蚀工艺后,损伤NMOS有源区的问题;同时又克服由于只沉积LTO膜,而LTO膜张应力大,对下层膜敏感,会受到表面原子扩散速率的影响,而导致NMOS和PMOS上所沉积的LTO膜厚不同,影响后续的刻蚀工艺,导致半导体器件良率降低的问题。

[0010] 为了实现上述目的,本发明采用的技术方案为:

[0011] 一种改善半导体器件良率的方法,应用于在一衬底上制备栅极的工艺中,所述衬底包括第一阱区和第二阱区,其中,包括以下步骤:

[0012] 于所述衬底的上表面沉积一共用栅极层,并对位于所述第一阱区上方的共用栅极层进行离子注入工艺;

[0013] 沉积一PEOX膜覆盖所述共用栅极层的上表面;

[0014] 继续沉积一 LTO 膜覆盖所述 PEOX 膜的上表面；

[0015] 利用光刻、刻蚀工艺，并去除剩余的 PEOX 膜和 LTO 膜，形成第一类型栅极结构和第二类型栅极结构；

[0016] 其中，PEOX 膜为等离子增强氧化膜。

[0017] 上述的改善半导体器件良率的方法，其中，所述第一阱区为 P 阱区，所述第二阱区为 N 阱区，并于所述 P 阱区上方形成所述第一类型栅极结构，于所述 N 阱区上方形成所述第二类型栅极结构。

[0018] 上述的改善半导体器件良率的方法，其中，所述第一类型栅极结构为 N 型栅极结构，所述第二类型栅极结构为 P 型栅极结构。

[0019] 上述的改善半导体器件良率的方法，其中，所述离子注入工艺采用的离子源为磷。

[0020] 上述的改善半导体器件良率的方法，其中，所述 PEOX 膜和所述 LTO 膜共同构成一硬掩膜层。

[0021] 上述的改善半导体器件良率的方法，其中，利用等离子增强化学气相淀积的方法进行所述 PEOX 膜的沉积工艺。

[0022] 上述的改善半导体器件良率的方法，其中，所述 PEOX 膜的沉积在  $390^{\circ}\text{C} \sim 410^{\circ}\text{C}$  的温度条件下进行。

[0023] 上述的改善半导体器件良率的方法，其中，所述 PEOX 膜的厚度为  $80\text{\AA} \sim 120\text{\AA}$ 。

[0024] 上述的改善半导体器件良率的方法，其中，利用低温化学气相淀积的方法进行所述 LTO 膜的沉积工艺。

[0025] 上述的改善半导体器件良率的方法，其中，利用等离子增强化学气相淀积的方法进行所述 LTO 膜的沉积工艺。

[0026] 上述的改善半导体器件良率的方法，其中，所述 LTO 膜的沉积在  $390^{\circ}\text{C} \sim 410^{\circ}\text{C}$  的温度条件下进行。

[0027] 上述的改善半导体器件良率的方法，其中，所述 LTO 膜的厚度为  $280\text{\AA} \sim 320\text{\AA}$ 。

[0028] 上述的改善半导体器件良率的方法，其中，所述刻蚀工艺采用干法刻蚀或者湿法刻蚀。

[0029] 上述发明具有如下优点或者有益效果：

[0030] 本发明通过在 NMOS 栅极注入离子工艺完成后，先沉积一层 PEOX 膜，再沉积一层 LTO 膜，克服了现有技术中由于进行热退火工艺，使得注入 NMOS 上的栅极结构中的离子扩散至 PMOS 的栅极结构中，从而影响 PMOS 电学性能的问题；也克服了由于 PEOX 膜非常疏松，导致注入 NMOS 的栅极上的离子聚团析出在栅极表面，从而在后续的刻蚀工艺完成后，损伤 NMOS 有源区的问题；同时又克服了由于只沉积 LTO 膜，而 LTO 膜张应力大，对下层膜敏感，会受到表面原子扩散速率的影响，而导致 NMOS 和 PMOS 上所沉积的 LTO 膜的厚度不同，影响后续的刻蚀工艺，导致半导体器件良率的降低的问题，从而提高了半导体器件的良率。

[0031] 具体附图说明

[0032] 通过阅读参照以下附图对非限制性实施例所作的详细描述，本发明及其特征、外形和优点将会变得更加明显。在全部附图中相同的标记指示相同的部分。并未可以按照比例绘制附图，重点在于示出本发明的主旨。

[0033] 图 1 是 NMOS 和 PMOS 共用多晶硅栅的俯视结构示意图；

- [0034] 图 2 是 NMOS 和 PMOS 共用多晶硅栅的剖面结构示意图；
- [0035] 图 3 是现有技术中采用方法一进行热退火工艺时，注入 NMOS 栅极的离子水平扩散的结构示意图；
- [0036] 图 4 是现有技术中采用方法二进行刻蚀工艺后，NMOS 有源区受到损伤的剖面结构示意图；
- [0037] 图 5 是现有技术中采用方法二进行刻蚀工艺后，NMOS 有源区受到损伤的俯视结构示意图；
- [0038] 图 6 是现有技术中采用方法三进行硬掩膜层沉积后，NMOS 和 PMOS 栅极上的膜厚结构示意图；
- [0039] 图 7 是本发明的改善半导体器件良率的流程示意图；
- [0040] 图 8 是本发明实施例提供的 NMOS 栅极注入离子工艺后的结构示意图；
- [0041] 图 9 是本发明实施例提供的淀积 PEOX 膜后的结构示意图；
- [0042] 图 10 是本发明实施例提供的淀积 LTO 膜后的结构示意图；
- [0043] 图 11 是本发明实施例提供的进行刻蚀工艺后，NMOS 的结构示意图；
- [0044] 图 12 是本发明实施例提供的进行刻蚀工艺后，PMOS 的结构示意图。

### 具体实施方式

[0045] 下面结合附图和具体的实施例对本发明作进一步的说明，但是不作为本发明的限定。

[0046] 图 7 是本发明的改善半导体器件良率的流程示意图；如图所示，首先提供一衬底，该衬底上包括 P 阱区和 N 阱区，在 P 阱区和 N 阱区的上表面沉积一共用栅极层，利用等离子增强化学气相淀积的方法沉积一 PEOX 膜，在 PEOX 膜上表面利用低温化学气相淀积的方法沉积一 LTO 膜，PEOX 膜和 LTO 膜构成一硬掩膜层，再进行后续的光刻工艺和刻蚀工艺，从而可以在 P 阱区内形成 N 型栅极结构，在 N 阱区内形成 P 型栅极结构。

[0047] 该方法优选的应用于 65nm 或者 55nm 的技术节点的栅极工艺中，且优选应用于逻辑电路的半导体制造中，更适于应用于存储器的半导体制造中。

[0048] 实施例：

[0049] 图 8 是本发明实施例提供的 NMOS 栅极注入离子工艺后的结构示意图；如图所示，一衬底包括 P 阱区 201 和 N 阱区 202，在 P 阱区 201 内设置一区域为 NMOS 的 N 型有源区 204，在 N 阱区 202 内设置一区域为 PMOS 的 P 型有源区 205，P 阱区 201 和 N 阱区 202 通过一浅沟槽隔离结构 203 隔离，以隔离后续工艺中在 N 型有源区 204 与 P 型有源区 205 形成的 N 型有源结构和 P 型有源结构，浅沟槽隔离结构 203 形成于 N 阱区与 P 阱区相邻的区域，其深度会大于后续工艺中形成的 N 型有源结构和 P 型有源结构的深度，但小于 P 阱区和 N 阱区的深度，在 P 阱区和 N 阱区上沉积一共用栅极层 206，共用栅极层 206 为多晶硅层，对 P 阱区上的共用栅极层 206 的区域进行离子注入工艺，离子 207 为磷(P)离子。

[0050] 图 9 是本发明实施例提供的淀积 PEOX 膜后的结构示意图；如图所示，在进行完 NMOS 的 P 阱对应于共用栅极层 206 区域的离子注入工艺后，利用等离子增强化学气相淀积的方法，在 390℃~410℃ 的温度条件下，如 390℃、395℃、400℃、405℃、410℃ 等，采用硅烷和一氧化二氮进行 PEOX 膜 208 的沉积，PEOX 膜的厚度为 80 Å~120 Å，如

80 Å、90 Å、100 Å、110 Å、120 Å 等, PEOX 膜 208 覆盖于共用栅极层 206 的上表面, 先沉积 PEOX 膜能够克服由于 LTO 膜沉积于共用栅极 206, LTO 膜张应力大, 对下层膜敏感, 会受到表面原子扩散速率的影响, 而导致 NMOS 和 PMOS 上所沉积的 LTO 膜厚不同, 影响后续的刻蚀工艺, 导致半导体器件良率的降低的问题。

[0051] 图 10 是本发明实施例提供的淀积 LTO 膜后的结构示意图; 如图所示, 在 PEOX 膜 208 沉积完成后, 利用低温化学气相淀积的方法, 在 390°C~410°C 的温度条件下, 如 390°C、395°C、400°C、405°C、410°C 等, 采用正硅酸乙酯和臭氧进行 LTO 膜 209 的沉积, LTO 膜 209 的厚度为 280 Å~320 Å, 如 280 Å、290 Å、300 Å、310 Å、320 Å, LTO 膜 209 覆盖于 PEOX 膜 208 的上表面, 在 PEOX 膜上再沉积 LTO 膜能够克服由于 PEOX 膜非常疏松, 导致注入 NMOS 的栅极上的离子聚团析出在栅极表面, 从而在后续的刻蚀工艺完成后, 损伤 NMOS 有源区的问题。

[0052] 其中, PEOX 膜和 LTO 膜构成一硬掩膜层, 且在制作硬掩膜层的工艺中, 未进行热退火, 从而克服了由于进行热退火工艺, 使得注入 NMOS 上的栅极结构中的离子扩散至 PMOS 的栅极结构中, 从而影响 PMOS 电学性能的问题。

[0053] 图 11 是本发明实施例提供的进行刻蚀工艺后, NMOS 的结构示意图; 图 12 是本发明实施例提供的进行刻蚀工艺后, PMOS 的结构示意图; 如图 11 和 12 所示, 在进行完 LTO 膜的沉积工艺后, 于 LTO 膜上涂布光刻胶, 如采用旋转涂布法, 而后进行前烘、曝光、后烘、坚膜和显影的光刻工艺步骤, 再利用干法刻蚀或者湿法刻蚀的方法进行刻蚀工艺, 从而在半导体器件上形成 N 型栅极结构 210 和 P 型栅极结构 213, 再对半导体器件进行阱区有源区离子注入工艺, 使 P 阱区内的对应于 N 型栅极结构 210 的两侧, 形成有 N 型有源结构 211 和 212, 使 N 阱区内的对应于 P 型栅极结构 213 的两侧, 形成有 P 型有源结构 214 和 215。从而完成半导体器件的栅极工艺, 且克服了现有技术中的上述三个问题, 进而提高了半导体器件的良率。

[0054] 综上所述, 本发明通过在 NMOS 栅极注入离子工艺完成后, 先沉积一层 PEOX 膜, 再沉积一层 LTO 膜, 克服了现有技术中由于进行热退火工艺, 使得注入 NMOS 上的栅极结构中的离子扩散至 PMOS 的栅极结构中, 从而影响 PMOS 电学性能的问题; 也克服了由于 PEOX 膜非常疏松, 导致注入 NMOS 的栅极上的离子聚团析出在栅极表面, 从而在后续的刻蚀工艺完成后, 损伤 NMOS 有源区的问题; 同时又克服了由于只沉积 LTO 膜, 而 LTO 膜张应力大, 对下层膜敏感, 会受到表面原子扩散速率的影响, 而导致 NMOS 和 PMOS 上所沉积的 LTO 膜的厚度不同, 影响后续的刻蚀工艺, 导致半导体器件良率的降低的问题, 从而提高了半导体器件的良率。

[0055] 本领域技术人员应该理解, 本领域技术人员在结合现有技术以及上述实施例可以实现所述变化例, 在此不做赘述。这样的变化例并不影响本发明的实质内容, 在此不予赘述。

[0056] 以上对本发明的较佳实施例进行了描述。需要理解的是, 本发明并不局限于上述特定实施方式, 其中未尽详细描述的设备 and 结构应该理解为用本领域中的普通方式予以实施; 任何熟悉本领域的技术人员, 在不脱离本发明技术方案范围情况下, 都可利用上述揭示的方法和技术内容对本发明技术方案作出许多可能的变动和修饰, 或修改为等同变化的等

效实施例,这并不影响本发明的实质内容。因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰,均仍属于本发明技术方案保护的范围内。



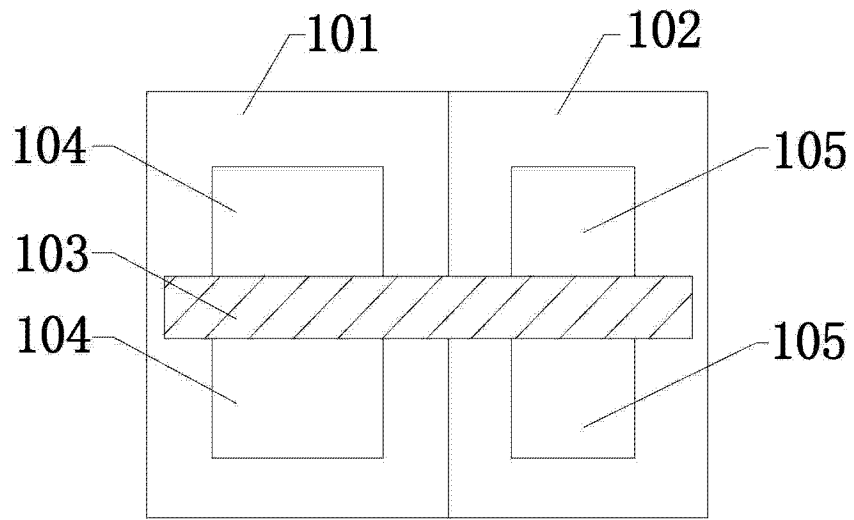


图 1

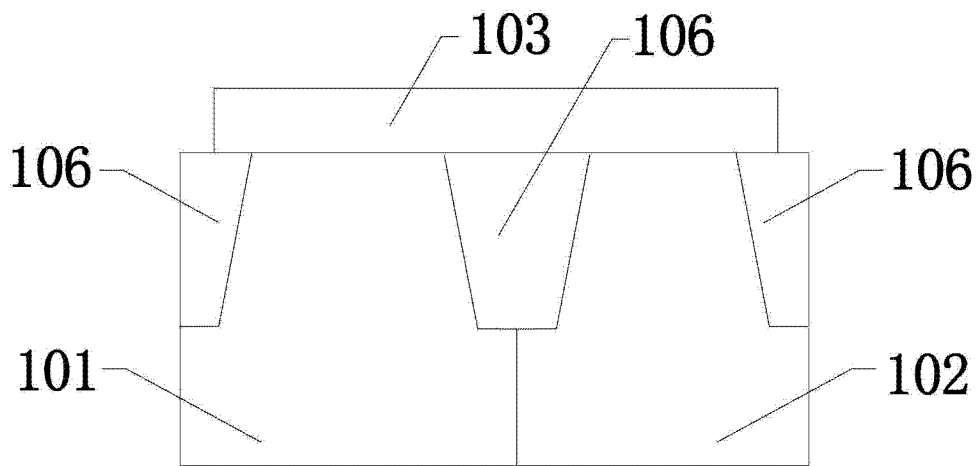


图 2

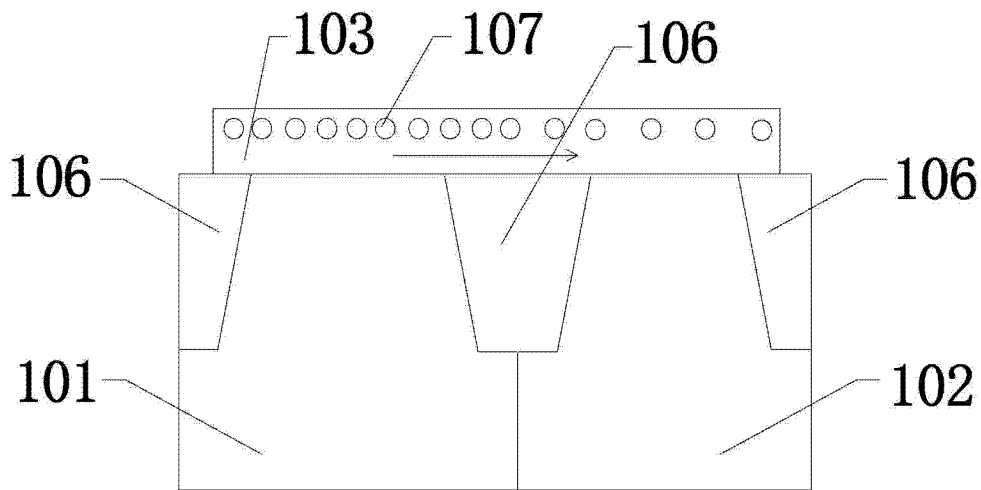


图 3

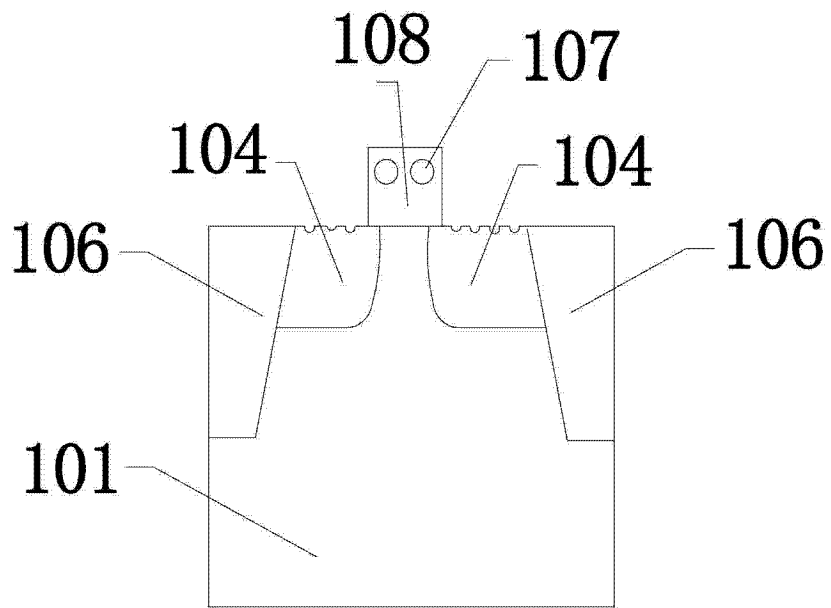


图 4

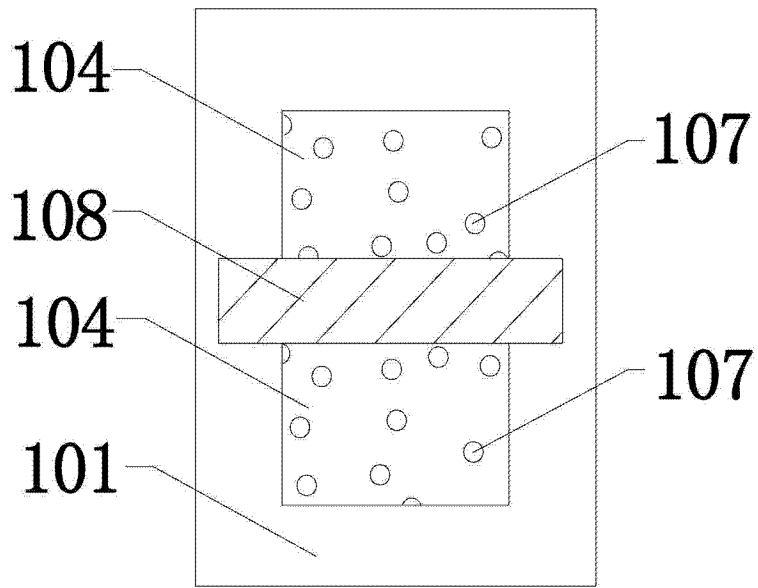


图 5

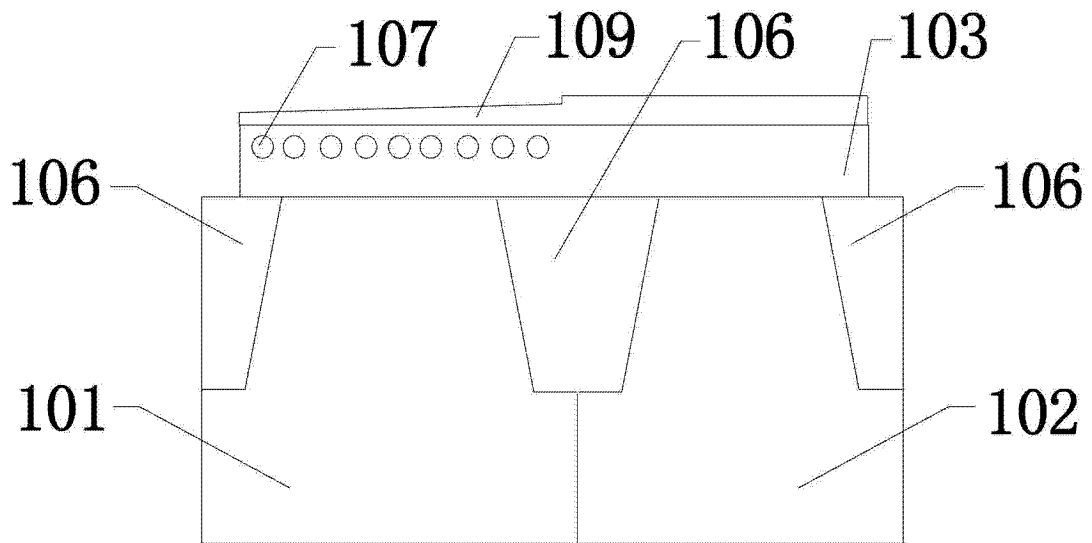


图 6

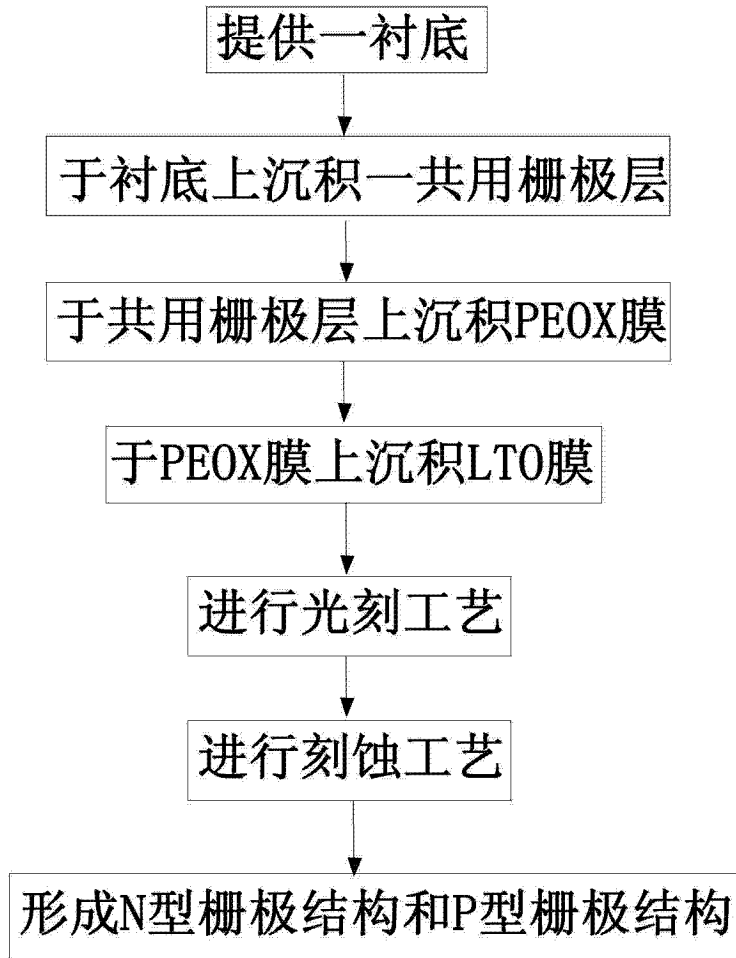


图 7

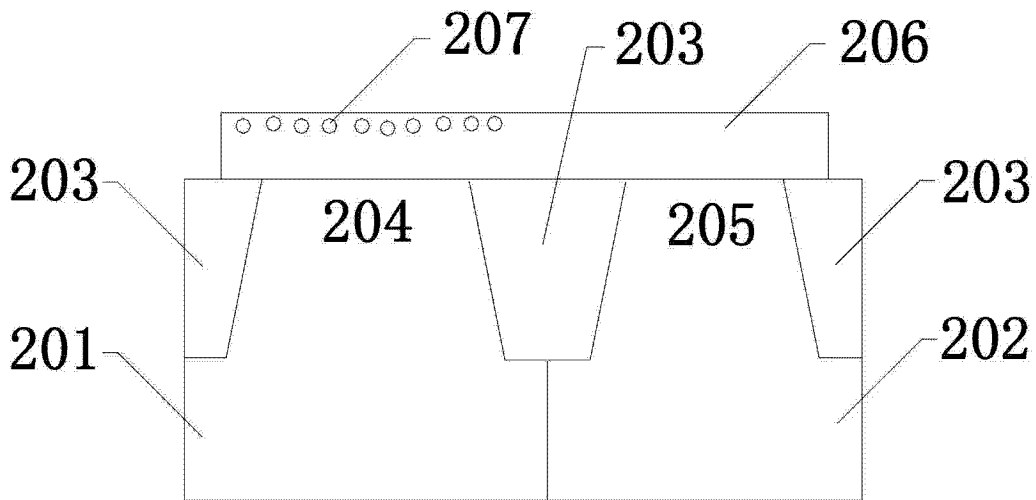


图 8

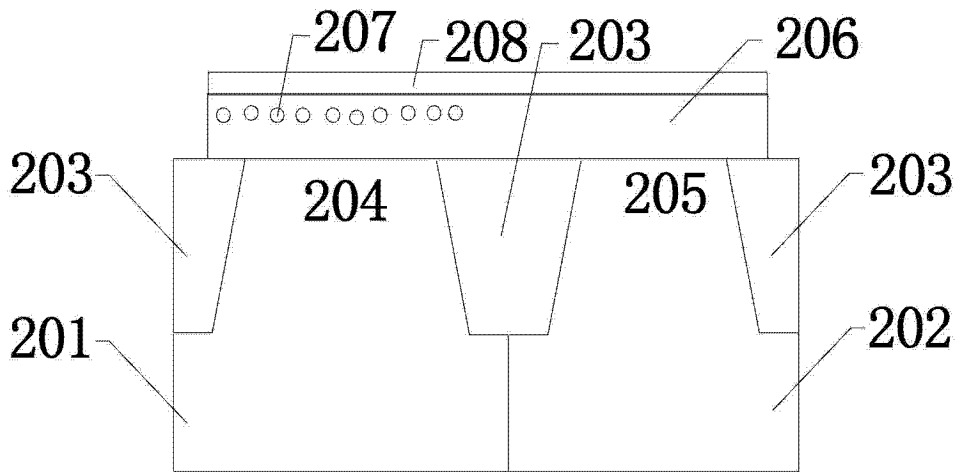


图 9

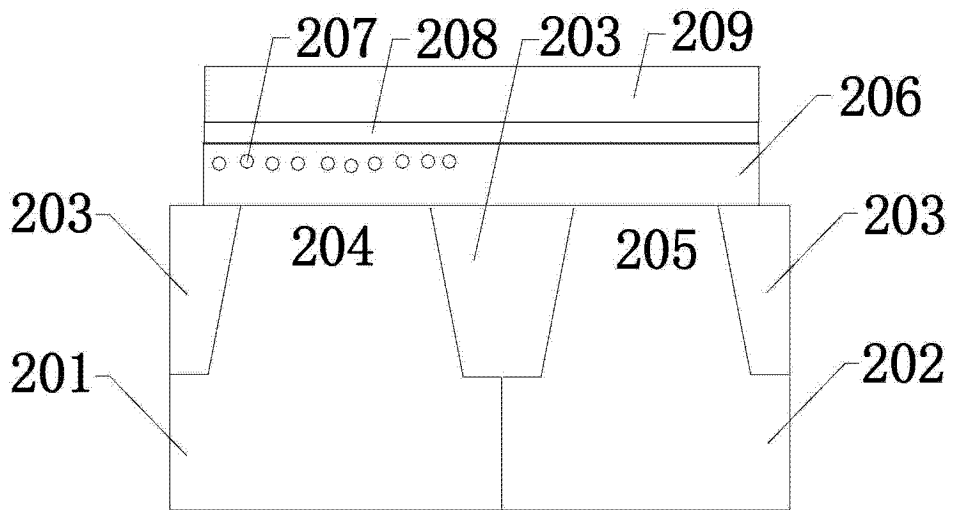


图 10

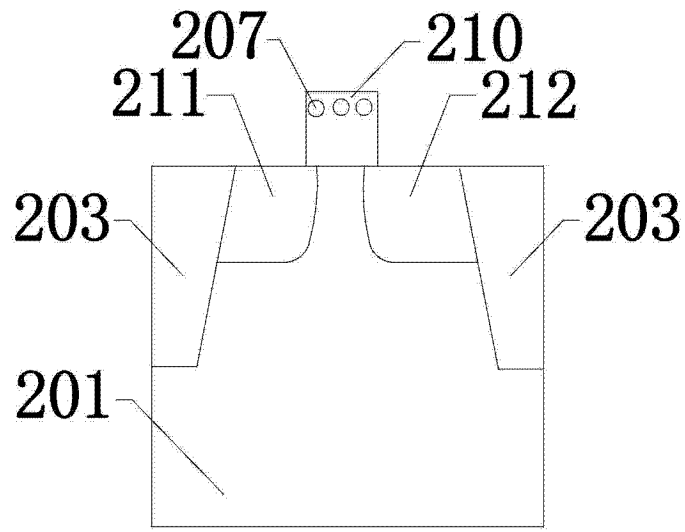


图 11

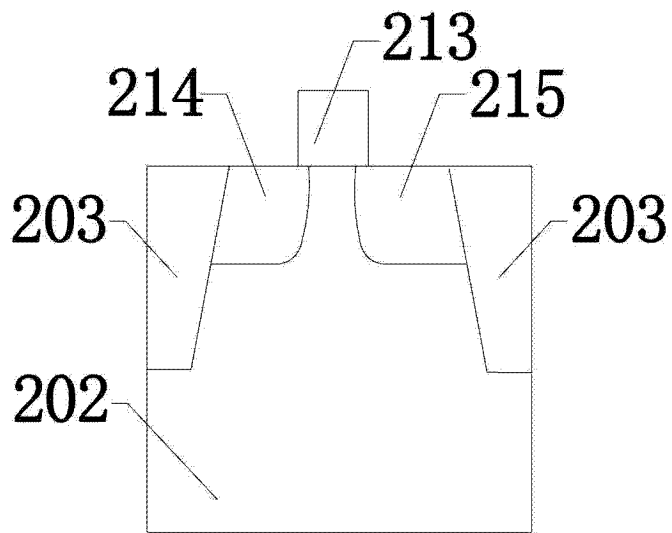


图 12