



(21) 申請案號：113110051

(22) 申請日：中華民國 113 (2024) 年 03 月 19 日

(51) Int. Cl. :

*G11C7/18 (2006.01)**G11C8/14 (2006.01)**G11C11/401 (2006.01)**H10B12/00 (2023.01)*

(30) 優先權：2023/03/24

南韓

10-2023-0039035

2023/04/24

南韓

10-2023-0053387

(71) 申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓(72) 發明人：元碩載 WON, SEOKJAE (KR)；姜玠求 KANG, YOONGOO (KR)；朴宰弘 PARK,
JAEHONG (KR)

(74) 代理人：林孟閱；盧珮君；陳怡如

申請實體審查：無 申請專利範圍項數：20 項 圖式數：30 共 94 頁

(54) 名稱

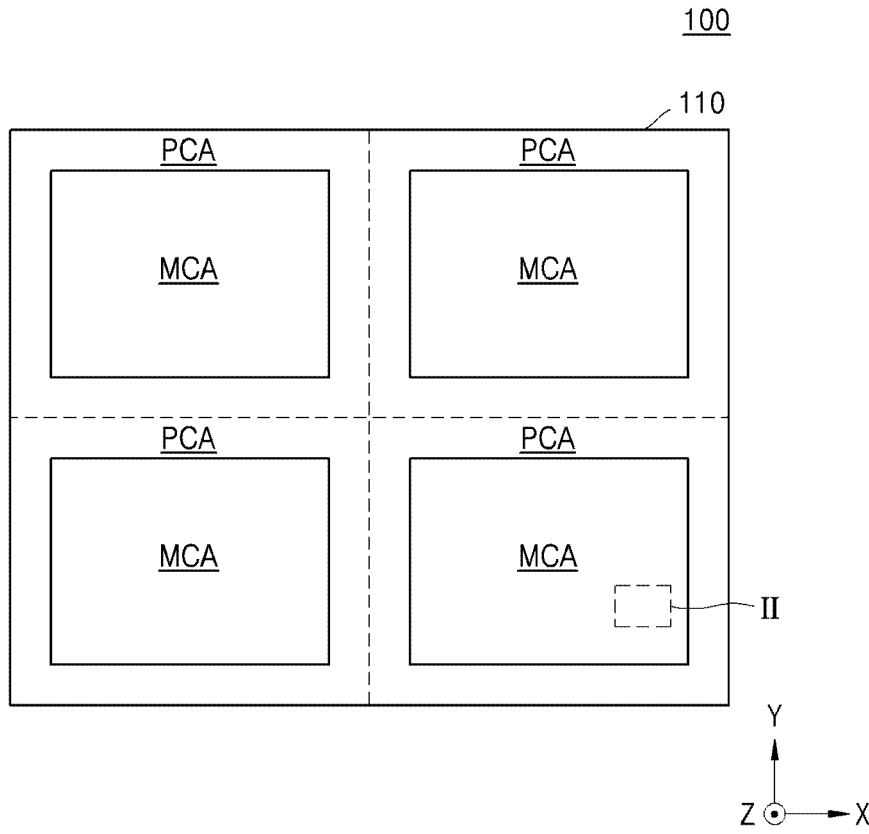
半導體裝置

(57) 摘要

本揭露提供包括位元線的半導體裝置。在一些實施例中，一種半導體裝置包括：基板，包括由裝置隔離層界定的多個主動區；多條位元線，在第一水平方向上在所述基板上延伸；位元線接觸件，位於所述多個主動區的第一主動區與在第一主動區上的多條位元線的第一位元線之間；以及主動接墊，位於所述多個主動區的相鄰於所述第一主動區的第二主動區上。所述位元線接觸件包括第一接觸件層及位於所述第一接觸件層上的第二接觸件層。所述主動接墊被設置成面向所述位元線接觸件。

The present disclosure provides semiconductor devices including a bit line. In some embodiments, a semiconductor device includes a substrate including a plurality of active regions defined by device isolation layers, a plurality of bit lines extending in a first horizontal direction on the substrate, a bit line contact between a first active region of the plurality of active regions and a first bit line of the plurality of bit lines on the first active region, and an active pad on a second active region of the plurality of active regions adjacent to the first active region. The bit line contact includes a first contact layer and a second contact layer on the first contact layer. The active pad is disposed to face the bit line contact.

指定代表圖：



符號簡單說明：

100:半導體裝置

110:基板

II:部分

MCA:胞元陣列區域/
胞元陣列區

PCA:周邊電路區域

X:第一水平方向

Y:第二水平方向

Z:垂直方向

【圖1】

【發明摘要】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【中文】本揭露提供包括位元線的半導體裝置。在一些實施例中，一種半導體裝置包括：基板，包括由裝置隔離層界定的多個主動區；多條位元線，在第一水平方向上在所述基板上延伸；位元線接觸件，位於所述多個主動區的第一主動區與在第一主動區上的多條位元線的第一位元線之間；以及主動接墊，位於所述多個主動區的相鄰於所述第一主動區的第二主動區上。所述位元線接觸件包括第一接觸件層及位於所述第一接觸件層上的第二接觸件層。所述主動接墊被設置成面向所述位元線接觸件。

【英文】The present disclosure provides semiconductor devices including a bit line. In some embodiments, a semiconductor device includes a substrate including a plurality of active regions defined by device isolation layers, a plurality of bit lines extending in a first horizontal direction on the substrate, a bit line contact between a first active region of the plurality of active regions and a first bit line of the plurality of bit lines on the first active region, and an active pad on a second active region of the plurality of active regions adjacent to the first active region. The bit line contact includes a first contact layer and a second contact layer on the first contact layer. The active pad is disposed to face the bit line contact.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100:半導體裝置

110:基板

II:部分

MCA:胞元陣列區域/胞元陣列區

PCA:周邊電路區域

X:第一水平方向

Y:第二水平方向

Z:垂直方向

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【技術領域】

[相關申請案的交叉參考]

【0001】本申請案主張 2023 年 3 月 24 日於韓國智慧財產局提出申請的韓國專利申請案第 10-2023-0039035 號及 2023 年 4 月 24 日於韓國智慧財產局提出申請的韓國專利申請案第 10-2023-0053387 號的優先權權益，上述韓國專利申請案的揭露內容全部併入本案供參考。

【0002】本揭露大體而言是有關於一種半導體裝置及其製造方法，且更具體而言，是有關於一種包括位元線的半導體裝置及其製造方法。

【先前技術】

【0003】隨著相關半導體裝置按比例縮小，用於實施相關半導體裝置的各別精細電路圖案的大小可進一步減小。作為另外一種選擇或另外，由於積體電路裝置可具有相對高的積體度，因此位元線的線寬度可減小，且因此，在位元線之間形成接觸件的製程的難度可增大。

【發明內容】

【0004】本揭露的態樣提供一種能夠潛在地減小在位元線之間形

成接觸件的製程的難度的半導體裝置。

【0005】 根據本揭露的態樣，提供一種半導體裝置。所述半導體裝置包括：基板，包括由裝置隔離層界定的多個主動區；多條位元線，在第一水平方向上在所述基板上延伸；位元線接觸件，位於所述多個主動區的第一主動區與在第一主動區上的多條位元線的第一位元線之間；以及主動接墊，位於所述多個主動區的相鄰於所述第一主動區的第二主動區上。所述位元線接觸件包括第一接觸件層及位於所述第一接觸件層上的第二接觸件層，所述主動接墊被設置成面向所述位元線接觸件。

【0006】 根據本揭露的態樣，提供一種半導體裝置。所述半導體裝置包括：基板，包括由裝置隔離層界定的多個主動區；多條位元線，在第一水平方向上在所述基板上延伸；位元線接觸件，位於所述多個主動區的第一主動區與在所述第一主動區上的所述多條位元線的第一位元線之間；位元線接觸件間隔件，環繞所述位元線接觸件的至少第一部分；以及主動接墊，設置於主動接墊孔洞中，所述主動接墊孔洞延伸至所述多個主動區的相鄰於所述第一主動區的第二主動區中。所述位元線接觸件包括第一接觸件層及位於所述第一接觸件層上的第二接觸件層。所述主動接墊環繞所述位元線接觸件間隔件的至少第二部分。

【0007】 根據本揭露的態樣，提供一種半導體裝置。所述半導體裝置包括：基板，包括由裝置隔離層界定的多個主動區；多條位元線，在第一水平方向上在所述基板上延伸；位元線接觸件，位

於所述多個主動區的第一主動區與在所述第一主動區上的所述多條位元線的第一位元線之間；位元線接觸件間隔件，環繞所述位元線接觸件的至少第一部分；主動接墊，設置於主動接墊孔洞中，所述主動接墊孔洞延伸至所述多個主動區的相鄰於所述第一主動區的第二主動區中；以及隱埋接觸件，位於所述主動接墊上。所述位元線接觸件包括第一接觸件層及位於所述第一接觸件層上的第二接觸件層。所述位元線接觸件間隔件包括環繞所述第一接觸件層的第一側壁的至少第二部分的第一接觸件間隔件層及設置於所述第一接觸件間隔件層的內壁上且環繞所述第二接觸件層的第二側壁的至少第三部分的第二接觸件間隔件層。所述主動接墊環繞所述位元線接觸件間隔件的至少一部分。

【0008】 另外的態樣可在以下說明中部分地陳述且部分地可因所述說明而變得顯而易見，及/或可藉由實踐所呈現的實施例來獲悉。

【圖式簡單說明】

【0009】 結合附圖閱讀以下詳細說明，本揭露的某些實施例的以上及其他的態樣、特徵及優點可更顯而易見，在附圖中：

圖 1 是說明根據各種實施例的半導體裝置的佈局圖。

圖 2 是根據各種實施例的圖 1 的部分 II 的放大佈局圖。

圖 3 是根據各種實施例的沿著圖 2 的線 A-A'截取的剖視圖。

圖 4 是根據各種實施例的沿著圖 2 的線 B-B'截取的剖視

圖。

圖 5 是根據各種實施例的圖 3 的部分 CX1 的放大圖。

圖 6 是根據各種實施例的圖 3 的參考水平高度 LV0 的水平剖視圖。

圖 7 是說明根據各種實施例的半導體裝置的剖視圖。

圖 8 是根據各種實施例的圖 7 的部分 CX1 的放大圖。

圖 9 是說明根據各種實施例的半導體裝置的剖視圖。

圖 10 是根據各種實施例的圖 9 的部分 CX1 的放大圖。

圖 11 是說明根據各種實施例的半導體裝置的剖視圖。

圖 12 是說明根據各種實施例的半導體裝置的剖視圖。

圖 13 是說明根據各種實施例的半導體裝置的剖視圖。

圖 14A 至圖 24C 是說明根據各種實施例的製造半導體裝置的方法的剖視圖。

圖 25 至圖 27 是說明根據各種實施例的製造半導體裝置的方法的剖視圖。

圖 28A 至圖 30 是說明根據各種實施例的製造半導體裝置的方法的剖視圖。

【實施方式】

【0010】 參考附圖提供以下說明以幫助全面理解由申請專利範圍及其等效內容界定的本揭露的實施例。包括各種具體細節以幫助理解，但該些細節僅被視為例示性的。因此，熟習此項技術者可認識到，可對本文中所述的實施例做出各種改變及修改，而此並

不背離本揭露的範疇及精神。另外，為清晰及簡潔起見，省略對眾所周知的功能及結構的說明。

【0011】 就對圖式的說明而言，類似的參考編號可用於指代類似或相關的元件。應理解，與物項對應的名詞的單數形式可包括事物中的一或多者，除非相關上下文另有明確指示。本文中所使用的例如「A 或 B」、「A 及 B 中的至少一者」、「A 或 B 中的至少一者」、「A、B 或 C」、「A、B 及 C 中的至少一者」及「A、B 或 C 中的至少一者」等措詞中的每一者可包括所述措詞中的對應措詞中一起枚舉的物項中的任一者或所有可能組合。本文中所使用的用語（例如，「第一（1st/first）」及「第二（2nd/second）」）可僅用於區分對應組件與另一組件，並不在其他方面（例如，重要性或次序）對組件加以限制。應理解，若在存在用語「操作地

（operatively）」或「通訊地（communicatively）」的情況下將元件（例如，第一元件）稱為「與另一元件（例如，第二元件）耦合」、「耦合至另一元件」、「與另一元件連接」或「連接至另一元件」，則意味著所述元件可直接地（例如有線地）、無線地或經由第三元件與另一元件耦合。

【0012】 應理解，當稱一個元件或層位於另一元件或層「之上」、「上方」、「上」、「下方」、「之下」、「下面」、「連接至」或「耦合至」另一元件或層時，所述元件或層可直接位於另一元件或層之上、上方、上、下方、之下、下面、連接或耦合至另一元件或層，或者可存在居中元件或層。相比之下，當稱一個元件

「直接位於另一元件或層之上」、「直接位於另一元件或層上方」、「直接位於另一元件或層上」、「直接位於另一元件或層下方」、「直接位於另一元件或層之下」、「直接位於另一元件或層下面」、「直接連接至」或「直接耦合至」另一元件或層時，則不存在居中元件或層。

【0013】 可將用語「上部的」、「中間的」、「下部的」及類似用語替換成例如「第一」、「第二」、「第三」等用語以用於闡述元件的相對位置。用語「第一」、「第二」、「第三」可用於闡述各種元件，但所述元件不受所述用語限制且「第一元件」可被稱為「第二元件」。作為另外一種選擇或另外，用語「第一」、「第二」、「第三」及類似用語於可用於將組件彼此區分開，並不限制本揭露。舉例而言，用語「第一」、「第二」、「第三」及類似用語可未必涉及任何形式的次序或數字含義。

【0014】 在本揭露通篇中提及「一個實施例」、「實施例」、「實例性實施例」或類似語言可指示結合所指示的實施例闡述的特定特徵、結構或特性包括於本解決方案的至少一個實施例中。因此，本揭露通篇中的措詞「在一個實施例中」、「在實施例中」、「在實例性實施例中」以及類似語言可全部皆指代相同的實施例，但未必全部皆指代相同的實施例。

【0015】 可在圖式中所示的施行所述的一或多個功能的區塊角度闡述且說明本文中的實施例。該些區塊（在本文中可被稱為單元或模組或諸如此類或按照名稱被稱為例如裝置、邏輯、電路、計

數器、比較器、產生器、轉換器或諸如此類)可藉由類比電路及/或數位電路(包括邏輯閘、積體電路、微處理器、微控制器、記憶體電路、被動電子組件、主動電子組件、光學組件及類似電路中的一或多者)實體地實施,且亦可由軟體及/或韌體(被配置成執行本文中所述的功能或操作)實施或驅動。

【0016】 本文中所使用的用語「Co」、「CoSi」、「GaAs」、「InAs」、「InP」、「Mo」、「NiSi」、「Ru」、「SiC」、「SiGe」、「SiN」、「SiO」、「SiON」、「Ta」、「TaN」、「Ti」、「TiN」、「TiSiN」、「W」、「WN」、「WSi」、「WSiN」及類似用語中的每一者可是指由所述用語中的每一者中所包括的元素製成的材料,並不是表示化學計量關係的化學式。

【0017】 在下文中,參考附圖闡述本揭露的各種實施例。

【0018】 圖 1 是說明根據各種實施例的半導體裝置 100 的佈局圖。圖 2 是根據各種實施例的圖 1 的部分 II 的放大佈局圖。圖 3 是根據各種實施例的沿著圖 2 的線 A-A'截取的剖視圖。圖 4 是根據各種實施例的沿著圖 2 的線 B-B'截取的剖視圖。圖 5 是根據各種實施例的圖 3 的部分 CX1 的放大圖。圖 6 是根據各種實施例的圖 3 的參考水平高度 LV0 的水平剖視圖。

【0019】 參考圖 1 至圖 6,半導體裝置 100 可包括基板 110。基板 110 可包括胞元陣列區域 MCA 及周邊電路區域 PCA。胞元陣列區域 MCA 可為及/或可包括動態隨機存取記憶體(dynamic random-access memory, DRAM)裝置的記憶胞元區域。作為另

外一種選擇或另外，周邊電路區域 PCA 可為及/或可包括 DRAM 裝置的核心區域及/或周邊電路區域。舉例而言，胞元陣列區域 MCA 可包括胞元電晶體 CTR（未示出）及/或連接至胞元電晶體 CTR 的電容器結構 CAP。再舉例而言，周邊電路區域 PCA 可包括將訊號及/或電力傳輸至胞元陣列區域 MCA 中所包括的胞元電晶體 CTR 的周邊電路電晶體（未示出）。在一些實施例中，周邊電路電晶體可被配置成包括各種電路，例如但不限於命令解碼器、控制邏輯、位址緩衝器、列解碼器、行解碼器、感測放大器、資料輸入/輸出電路及諸如此類。

【0020】 在實施例中，裝置隔離溝渠 112T 可形成於基板 110 中。作為另外一種選擇或另外，裝置隔離層 112 可形成於裝置隔離溝渠 112T 中。在可選或另外的實施例中，多個主動區 AC 可由裝置隔離層 112 界定於基板 110 上。

【0021】 如圖 2 中所示，所述多個主動區 AC 可分別被排列成在相對於第一水平方向 X 及第二水平方向 Y 傾斜的第一斜方向 D1 上具有長軸。多條字元線 WL 可在第一水平方向 X 上跨越所述多個主動區 AC 彼此平行地延伸。多條位元線 BL 可在第二水平方向 Y 上在所述多條字元線 WL 上彼此平行地延伸。所述多條位元線 BL 可經由位元線接觸件 DC 分別連接至所述多個主動區 AC。

【0022】 多個隱埋接觸件 BC 可形成於所述多條位元線 BL 之中的兩條相鄰位元線 BL 之間。多個搭接接墊 LP 可形成於所述多個隱埋接觸件 BC 上。所述多個隱埋接觸件 BC 及所述多個搭接

接墊 LP 可將形成於所述多條位元線 BL 上的電容器結構 CAP 的下部電極 172 連接至主動區 AC。所述多個搭接接墊 LP 中的每一者可被設置成與隱埋接觸件 BC 的一部分及/或位元線 BL 的一部分交疊。

【0023】 基板 110 可包含矽 (Si)，例如單晶矽、多晶矽或非晶矽。在一些實施例中，基板 110 可包含但不限於鍺 (Ge)、矽鍺 (SiGe)、碳化矽 (SiC)、砷化鎵 (GaAs)、砷化銦 (InAs) 及磷化銦 (InP) 中的至少一種。在一些實施例中，基板 110 可包括導電區，例如摻雜有雜質的阱及/或摻雜有雜質的結構。

【0024】 裝置隔離層 112 可包括氧化物層、氮化物層及/或其組合。第一緩衝絕緣層 114 及第二緩衝絕緣層 116 可依序設置於基板 110 的上表面上。第一緩衝絕緣層 114 及第二緩衝絕緣層 116 中的每一者可包含但不限於氧化矽 (SiO)、氮氧化矽 (SiON) 或氮化矽 (SiN)。

【0025】 在第一水平方向 X 上延伸的多個字元線溝渠 120T 可設置於基板 110 上。作為另外一種選擇或另外，隱埋閘極結構 120 可設置於所述多個字元線溝渠 120T 中。隱埋閘極結構 120 可包括設置於所述多個字元線溝渠 120T 中的每一者中的閘極介電層 122、閘極電極 124 及字元線頂蓋層 126。所述多個閘極電極 124 可對應於圖 2 中所說明的所述多條字元線 WL。

【0026】 所述多個閘極介電層 122 可包括但不限於氧化矽 (SiO) 層、氮化矽 (SiN) 層、氮氧化矽 (SiON) 層、氧化物/

氮化物/氧化物 (oxide/nitride/oxide, ONO) 層及/或介電常數高於氧化矽 (SiO) 層的介電常數相對高的介電膜。在實施例中, 所述多個閘極電極 124 可包含但不限於鈦 (Ti)、氮化鈦

(TiN)、鉭 (Ta)、氮化鉭 (TaN)、鎢 (W)、氮化鎢 (WN)、氮化鈦矽 (TiSiN)、氮化鎢矽 (WSiN) 或其組合中的至少一種。

所述多個字元線頂蓋層 126 可包括但不限於氧化矽 (SiO) 層、氮化矽 (SiN) 層、氮氧化矽 (SiON) 層或其組合。

【0027】 多個位元線接觸件孔洞 DCH 可穿過第一緩衝絕緣層 114 及第二緩衝絕緣層 116 且延伸至基板 110 中。作為另外一種選擇或另外, 多個位元線接觸件 DC 可分別形成於所述多個位元線接觸件孔洞 DCH 中。所述多個位元線接觸件 DC 可分別連接至所述多個主動區 AC。

【0028】 所述多個位元線接觸件 DC 可包括第一接觸件層 132 及第二接觸件層 134。第一接觸件層 132 可設置於主動區 AC 的上表面上。作為另外一種選擇或另外, 第二接觸件層 134 可設置於第一接觸件層 132 的上表面上。第一接觸件層 132 可在第一水平方向 X 上具有第一寬度 w_{11} 。第二接觸件層 134 可在第一水平方向 X 上具有第二寬度 w_{12} 。在實施例中, 第二寬度 w_{12} 可小於 (例如, 窄於) 第一寬度 w_{11} 。因此, 可在所述多個位元線接觸件 DC 的側壁上形成階梯。舉例而言, 所述階梯可形成於第一接觸件層 132 與第二接觸件層 134 之間的邊界處。作為另外一種選擇或另外, 第一接觸件層 132 的上表面的邊緣部分可自第二接觸

件層 134 的側壁向外突出。在一些實施例中，第一接觸件層 132 及第二接觸件層 134 可包含鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN)、鈦 (Ru)、鈷 (Co)、鉬 (Mo)、鎢 (W)、氮化鎢 (WN)、氮化鈦矽 (TiSiN)、氮化鎢矽 (WSiN)、矽化鈷 (CoSi)、矽化鎳 (NiSi) 及矽化鎢 (WSi) 中的至少一種。

【0029】 位元線接觸件間隔件 DCS 可覆蓋位於位元線接觸件孔洞 DCH 中的位元線接觸件 DC 的側壁。在一些實施例中，位元線接觸件間隔件 DCS 可包括第一接觸件間隔件層 142 及第二接觸件間隔件層 144。第一接觸件間隔件層 142 可形成於位元線接觸件孔洞 DCH 的內壁上及/或在平面圖中可具有環形形狀。第二接觸件間隔件層 144 可設置於第一接觸件間隔件層 142 的內壁 142IS 上及/或在平面圖中可具有環形形狀。第二接觸件間隔件層 144 可具有設置於較第一接觸件間隔件層 142 的底表面高的水平高度處的底表面。第一接觸件間隔件層 142 及第二接觸件間隔件層 144 可包含但不限於氮化矽 (SiN) 及/或氮氧化矽 (SiON)。

【0030】 位元線接觸件 DC 的第一接觸件層 132 可被設置成接觸第一接觸件間隔件層 142 的內壁 142IS 的下側。作為另外一種選擇或另外，位元線接觸件 DC 的第二接觸件層 134 可被設置成接觸第二接觸件間隔件層 144 的內壁 144IS。

【0031】 在各種實施例中，位元線接觸件間隔件 DCS 的上部部分可包括第一接觸件間隔件層 142 及第二接觸件間隔件層 144。在該些實施例中，由於位元線接觸件間隔件 DCS 的下部部分可

僅包括第一接觸件間隔件層 142，因此位元線接觸件間隔件 DCS 可在其內壁上包括階梯。形成於位元線接觸件間隔件 DCS 中的階梯可設置於與第一接觸件層 132 與第二接觸件層 134（例如，第一接觸件層 132 的頂表面與第二接觸件層 134 的底表面）之間的邊界相同的水平高度處。

【0032】 在一些實施例中，可以鑲嵌方式在位元線接觸件孔洞 DCH 中形成所述多個位元線接觸件 DC。舉例而言，可在由第一接觸件間隔件層 142 的內壁 142IS 環繞的空間的下側上形成第一接觸件層 132。隨後，可在第一接觸件間隔件層 142 的內壁 142IS 的上側上形成第二間隔件層 154。作為另外一種選擇或另外，可在由第二接觸件間隔件層 144 的內壁 144IS 環繞的空間中形成第二接觸件層 134。

【0033】 在一些實施例中，第一接觸件間隔件層 142 可在第一水平方向 X 上具有第一厚度 w_{21} 。作為另外一種選擇或另外，第二接觸件間隔件層 144 可在第一水平方向 X 上具有第二厚度 w_{22} 。在該些實施例中，第二厚度 w_{22} 可小於第一厚度 w_{21} 。即，可適當地選擇第二接觸件間隔件層 144 的第二厚度 w_{22} 以調整第二接觸件層 134 的寬度。舉例而言，當第二接觸件層 134 以鑲嵌方式填充由第二接觸件間隔件層 144 的內壁 144IS 環繞的空間時，可省略高難度的蝕刻製程。再舉例而言，根據用於形成位元線接觸件的相關實例性製程，可省略用於在位元線接觸件孔洞中形成導電層且移除所述導電層的側部以減小所述導電層的寬度的蝕刻製

程。

【0034】 所述多條位元線 BL 可在第二水平方向 Y 上在基板 110 及所述多個位元線接觸件 DC 上延伸。所述多條位元線 BL 中的每一者可經由位元線接觸件 DC 連接至主動區 AC。所述多條位元線 BL 可包含但不限於多晶矽、鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN)、鈳 (Ru)、鈷 (Co)、鉬 (Mo)、鎢 (W)、氮化鎢 (WN)、氮化鈦矽 (TiSiN)、氮化鎢矽 (WSiN)、矽化鈷 (CoSi)、矽化鎳 (NiSi) 及矽化鎢 (WSi) 中的至少一種。在一些實施例中，所述多條位元線 BL 中的每一者可被形成為由不同的材料製成的單層、雙層及/或三層。

【0035】 多個位元線頂蓋層 150 可設置於所述多條位元線 BL 中的每一者上。位元線頂蓋層 150 中的每一者可設置於對應位元線 BL 的上表面上且在第二水平方向 Y 上長長地延伸。位元線頂蓋層 150 可包含但不限於氮化矽 (SiN)、氧化矽 (SiO) 及氮氧化矽 (SiON) 中的至少一種。

【0036】 在一些實施例中，位元線間隔件 BLS 可設置於位元線 BL 及位元線頂蓋層 150 中的每一者的兩個側壁上。位元線間隔件 BLS 可包括依序設置於位元線 BL 的兩個側壁以及位元線頂蓋層 150 的上表面及兩個側壁上的第一間隔件層 152、第二間隔件層 154 及第三間隔件層 156。在可選或另外的實施例中，第一間隔件層 152 及第三間隔件層 156 可包含但不限於氮化矽 (SiN)。作為另外一種選擇或另外，第二間隔件層 154 可包含但不限於氧

化矽 (SiO)。

【0037】 在各種實施例中，位元線間隔件 BLS 可在第二緩衝絕緣層 116 的上表面之上在位元線 BL 的兩個側壁上延伸。作為另外一種選擇或另外，位元線間隔件 BLS 可覆蓋位元線接觸件 DC 的上表面及位元線接觸件間隔件 DCS 的上表面。由於可以鑲嵌方式在位元線接觸件孔洞 DCH 的內部填充位元線接觸件間隔件 DCS 及位元線接觸件 DC，因此位元線間隔件 BLS 可不延伸至位元線接觸件孔洞 DCH 中。

【0038】 延伸至基板 110 中的主動接墊孔洞 APH 可形成於所述多條位元線 BL 中的每一者之間。作為另外一種選擇或另外，主動接墊 AP 可設置於主動接墊孔洞 APH 中。在一些實施例中，主動接墊 AP 可包含經過摻雜的多晶矽。在可選或另外的實施例中，主動接墊 AP 可包含但不限於鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN)、鈦 (Ru)、鈷 (Co)、鉬 (Mo)、鎢 (W)、氮化鎢 (WN)、氮化鈦矽 (TiSiN)、氮化鎢矽 (WSiN)、矽化鈷 (CoSi)、矽化鎳 (NiSi) 及矽化鎢 (WSi) 中的至少一種。

【0039】 在各種實施例中，主動接墊孔洞 APH 可具有環繞位元線接觸件孔洞 DCH 的環形水平橫截面。一對隱埋絕緣圖案 140 可填充主動接墊孔洞 APH 的其餘空間。在一些實施例中，主動接墊孔洞 APH 可具有與位元線接觸件孔洞 DCH 同心的橢圓形或圓形外壁形狀。舉例而言，在形成主動接墊孔洞 APH 之後，可

在主動接墊孔洞 APH 中形成具有預定寬度的接墊間隔件 220 (例如, 如圖 15A 中所示), 且可藉由使用接墊間隔件 220 作為自對齊遮罩沿著接墊間隔件 220 的內壁進一步蝕刻基板 110 的一部分來形成位元線接觸件孔洞 DCH。

【0040】 如圖 6 中所示, 在平面圖中, 兩個主動接墊 AP 可設置於一個位元線接觸件 DC 的兩側上, 且位元線接觸件間隔件 DCS 可夾置於位元線接觸件 DC 與兩個主動接墊 AP 之間。舉例而言, 所述一對隱埋絕緣圖案 140 可在第二水平方向 Y 上彼此間隔開, 且位元線接觸件 DC、位元線接觸件間隔件 DCS 及主動接墊 AP 可設置於所述一對隱埋絕緣圖案 140 之間。

【0041】 如圖 6 中所示, 自平面圖看, 主動接墊 AP 可包括接觸主動區 AC 且具有彎曲表面的第一側表面 AP_S1。主動接墊 AP 可更包括接觸位元線接觸件間隔件 DCS 且具有彎曲表面的第二側表面 AP_S2。主動接墊 AP 可更包括分別接觸所述一對隱埋絕緣圖案 140 的第三側表面 AP_S3 及第四側表面 AP_S4。舉例而言, 主動接墊 AP 的第一側表面 AP_S1 及第二側表面 AP_S2 可形成同心圓的一些部分。

【0042】 在一些實施例中, 如圖 5 中所示, 主動接墊 AP 可包括可實質上垂直及/或傾斜成預定傾斜角度的側壁 AP_S。作為另外一種選擇或另外, 主動接墊 AP 可具有實質上平整的底表面 AP_B。在一些實施例中, 主動接墊 AP 的側壁 AP_S 與底表面 AP_B 可連接成相對大的傾斜角度, 且主動接墊 AP 的側壁 AP_S

與底表面 AP_B 可形成階梯形部分，且因此，主動接墊 AP 與主動區 AC 之間的接觸面積可相對大。

【0043】 在一些實施例中，主動接墊 AP 可具有設置於與所述一對隱埋絕緣圖案 140 的上表面相同的水平高度處的上表面。在一些實施例中，主動接墊 AP 的底表面 AP_B 可設置於可低於參考水平高度 LV0 的第一垂直水平高度 LV1 處。作為另外一種選擇或另外，位元線接觸件 DC 的第一接觸件層 132 的底表面可設置於可低於第一垂直水平高度 LV1 的第二垂直水平高度 LV2 處。在可選或另外的實施例中，位元線接觸件 DC 的第一接觸件層 132 的上表面可設置於可低於第一垂直水平高度 LV1 及/或可高於第二垂直水平高度 LV2 的第三垂直水平高度 LV3 處。本文中所使用的參考水平高度 LV0 可指示上面可設置有基板 110 的上表面的水平高度，低於參考水平高度 LV0 的水平高度可指示設置於基板 110 內部的水平高度，且高於參考水平高度 LV0 的水平高度可指示與基板 110 間隔開而處於基板 110 外部的水平高度。舉例而言，由於具有相對大的第一寬度 w11 的第一接觸件層 132 的上表面可設置於低於主動接墊 AP 的底表面 AP_B 的水平高度處，因此可確保第一接觸件層 132 與主動接墊 AP 之間存在相對大的分離距離。藉此，與相關半導體裝置相比，可潛在地改良半導體裝置 100 的電性效能。

【0044】 多個隱埋接觸件 BC 可在所述多條位元線 BL 之間設置於主動接墊 AP 的上表面上。在一些實施例中，所述多個隱埋接

觸件 BC 可包含經過摻雜的多晶矽。在可選或另外的實施例中，所述多個隱埋接觸件 BC 可包含但不限於鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN)、鈳 (Ru)、鈷 (Co)、鉬 (Mo)、鎢 (W)、氮化鎢 (WN)、氮化鈦矽 (TiSiN)、氮化鎢矽 (WSiN)、矽化鈷 (CoSi)、矽化鎳 (NiSi) 及矽化鎢 (WSi) 中的至少一種。

【0045】 絕緣柵欄 158 可被設置成在第一水平方向 X 上在兩個相鄰的位元線 BL 之間延伸。絕緣柵欄 158 可設置於與所述多個字元線溝渠 120T 在垂直方向上交疊的位置處。絕緣柵欄 158 可被設置成在第二水平方向 Y 上間隔開且在垂直方向 Z 上在兩個相鄰的位元線 BL 之間延伸。自平面圖看，所述多個隱埋接觸件 BC 及絕緣柵欄 158 可交替地設置於在第二水平方向 Y 上延伸的兩條位元線 BL 之間。

【0046】 多個搭接接墊 LP 可設置於所述多個隱埋接觸件 BC 上。所述多個搭接接墊 LP 中的每一者可包括搭接接墊障壁 162 及搭接接墊導電層 164。搭接接墊障壁 162 可包含但不限於鈦 (Ti)、氮化鈦 (TiN) 及/或其組合。搭接接墊導電層 164 可包含但不限於金屬、金屬氮化物、導電多晶矽及/或其組合。舉例而言，搭接接墊導電層 164 可包含鎢 (W)。在一些實施例中，所述多個搭接接墊 LP 在平面圖中可具有多個島形圖案形狀。

【0047】 所述多個搭接接墊 LP 可藉由環繞所述多個搭接接墊 LP 的絕緣圖案 166 彼此電性絕緣。絕緣圖案 166 可設置於搭接接墊

開口 LPH 中。本文中所使用的搭接接墊開口 LPH 可是指藉由移除搭接接墊障壁 162 的一些部分及搭接接墊導電層 164 的一些部分以及位元線頂蓋層的一些部分及位元線間隔件 BLS 的一些部分而形成的空間。絕緣圖案 166 可包含但不限於氮化矽 (SiN)、氧化矽 (SiO) 及氮氧化矽 (SiON) 中的至少一種。

【0048】 蝕刻停止層 170 可設置於所述多個搭接接墊 LP 及絕緣圖案 166 上。電容器結構 CAP 可設置於蝕刻停止層 170 上。電容器結構 CAP 可包括下部電極 172、電容器介電層 174 及上部電極 176。下部電極 172 可穿過蝕刻停止層 170 且接觸搭接接墊 LP 的上表面。在可選或另外的實施例中，不設置電容器結構 CAP，而是可設置記憶元件（例如但不限於磁性穿隧接面、相變記憶元件及/或可變電阻記憶元件）。

【0049】 在相關製程中，可藉由將位元線圖案化來形成位元線接觸件，且蝕刻設置於位元線之下的所述位元線接觸件的側部以減小所述位元線接觸件的寬度。然而，由於位元線之間間隔可減小，因此位元線接觸件的蝕刻的難度可增大及/或可能非常高。作為另外一種選擇或另外，在主動區與搭接接墊之間在位元線之間的空間中形成隱埋接觸件的製程亦可能是困難的。

【0050】 根據實施例，於在主動接墊孔洞 APH 中形成接墊間隔件 220 之後，可以鑲嵌方法形成位元線接觸件 DC，且隨後可在移除接墊間隔件之後形成主動接墊 AP。因此，可減小將位元線接觸件 DC 圖案化的製程的難度。另外，由於可確保形成於主動

接墊孔洞 APH 中的主動接墊 AP 與主動區 AC 之間存在相對大的接觸面積，因此與相關半導體裝置相比，半導體裝置 100 可具有改良的電性效能。

【0051】 圖 7 是說明根據各種實施例的半導體裝置 100A 的剖視圖。圖 8 是根據各種實施例的圖 7 的部分 CX1 的放大圖。圖 7 及圖 8 的半導體裝置 100A 可包括及/或可在很多方面類似於上文參考圖 1 至圖 6 所述的半導體裝置 100，且可包括上文未提及的另外的特徵。因此，為簡潔起見，可省略上文參考圖 1 至圖 6 所述的半導體裝置 100A 的重複說明。

【0052】 參考圖 1 及圖 8，薄導電障壁層 BCM 可設置於主動接墊 AP 與隱埋接觸件 BC 之間。導電障壁層 BCM 可位於主動接墊 AP 的頂表面與隱埋接觸件 BC 的底表面之間。作為另外一種選擇或另外，導電障壁層 BCM 可被設置成環繞隱埋接觸件 BC 的側壁的至少一部分。

【0053】 在一些實施例中，導電障壁層 BCM 可僅位於隱埋接觸件 BC 的在第一水平方向 X 上彼此間隔開的兩個側壁與位元線間隔件 BLS 之間。作為另外一種選擇或另外，導電障壁層 BCM 可不位於絕緣柵欄 158 與隱埋接觸件 BC 的在第二水平方向 Y 彼此間隔開的兩個側壁之間。

【0054】 在可選或另外的實施例中，導電障壁層 BCM 可既位於位元線間隔件 BLS 與隱埋接觸件 BC 的在第一水平方向 X 上間隔開的兩個側壁之間，亦位於絕緣柵欄 158 與隱埋接觸件 BC 的在

第二水平方向 Y 上間隔開的兩個側壁之間。在該些實施例中，導電障壁層 BCM 可環繞隱埋接觸件 BC 的整個側壁。

【0055】 在一些實施例中，導電障壁層 BCM 可包含但不限於鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN)、鈱 (Ru)、鈷 (Co)、鉬 (Mo)、鎢 (W)、氮化鎢 (WN)、氮化鈦矽 (TiSiN)、氮化鎢矽 (WSiN)、矽化鈷 (CoSi)、矽化鎳 (NiSi) 及矽化鎢 (WSi) 中的至少一種。作為另外一種選擇或另外，所述多個隱埋接觸件 BC 可包含但不限於鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN)、鈱 (Ru)、鈷 (Co)、鉬 (Mo)、鎢 (W)、氮化鎢 (WN)、氮化鈦矽 (TiSiN)、氮化鎢矽 (WSiN)、矽化鈷 (CoSi)、矽化鎳 (NiSi) 及矽化鎢 (WSi) 中的至少一種。

【0056】 圖 9 是說明根據各種實施例的半導體裝置 100B 的剖視圖。圖 10 是根據各種實施例的圖 9 的部分 CX1 的放大圖。圖 9 及圖 10 的半導體裝置 100B 可包括及/或可在很多方面類似於上文參考圖 1 至圖 8 所述的半導體裝置 100 及半導體裝置 100A 中的至少一者，且可包括上文未提及的另外的特徵。因此，為簡潔起見，可省略上文參考圖 1 至圖 8 所述的半導體裝置 100B 的重複說明。

【0057】 參考圖 9 及圖 10，導電障壁層 APM 可在主動接墊 AP 的側壁及底表面上被設置成具有小的厚度。導電障壁層 APM 可位於主動接墊 AP 與主動區 AC 之間以及主動接墊 AP 與位元線接

觸件間隔件 DCS 之間。在一些實施例中，導電障壁層 APM 可被配置成防止主動接墊 AP 與主動區 AC 之間直接接觸。在一些實施例中，導電障壁層 APM 可包含但不限於鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN)、鈳 (Ru)、鈷 (Co)、鉬 (Mo)、鎢 (W)、氮化鎢 (WN)、氮化鈦矽 (TiSiN)、氮化鎢矽 (WSiN)、矽化鈷 (CoSi)、矽化鎳 (NiSi) 及矽化鎢 (WSi) 中的至少一種。

【0058】 在一些實施例中，主動接墊 AP 可包含鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN)、鈳 (Ru)、鈷 (Co)、鉬 (Mo)、鎢 (W)、氮化鎢 (WN)、氮化鈦矽 (TiSiN)、氮化鎢矽 (WSiN)、矽化鈷 (CoSi)、矽化鎳 (NiSi) 及矽化鎢 (WSi) 中的至少一種。

【0059】 在一些實施例中，主動接墊 AP 可包含與位元線接觸件 DC 的材料（例如，第二接觸件層 134 的材料）實質上類似的材料及/或相同的材料。舉例而言，在可暴露出由主動接墊孔洞 APH 的內空間及設置於位元線接觸件孔洞 DCH 中的第二接觸件間隔件層 144 的內壁界定的空間的狀態中，可藉由填充主動接墊孔洞 APH 的內空間及位元線接觸件孔洞 DCH 的其餘空間來同時形成主動接墊 AP 與第二接觸件層 134。在此種情形中，主動接墊 AP 可包含與位元線接觸件 DC 的材料相同的材料。在一些實施例中，在形成主動接墊 AP 及位元線接觸件 DC 之前，可在主動接墊孔洞 APH 的內壁上選擇性地形成導電障壁層 APM。在可

選或另外的實施例中，可在形成第一接觸件層 132 的製程中與第一接觸件層 132 同時地形成導電障壁層 APM。

【0060】 在其他可選或另外的實施例中，主動接墊 AP 可包含與位元線 BL 的材料實質上類似及/或相同的材料。舉例而言，當主動接墊孔洞 APH 的內空間未被填充而是暴露出時，可在填充主動接墊孔洞 APH 的內空間時形成位元線導電層 BLm（例如，如圖 26 中所示）達相對大的高度。在此種情形中，主動接墊 AP 可包含與位元線 BL 的材料相同的材料。

【0061】 圖 11 是說明根據各種實施例的半導體裝置 100C 的剖視圖。圖 11 的半導體裝置 100C 可包括及/或可在很多方面類似於上文參考圖 1 至圖 10 所述的半導體裝置 100、100A 及 100B 中的至少一者，且可包括上文未提及的另外的特徵。因此，為簡潔起見，可省略上文參考圖 1 至圖 10 所述的半導體裝置 100C 的重複說明。

【0062】 參考圖 11，主動接墊 AP 的底表面 AP_B 可設置於第一垂直水平高度 LV1 處。位元線接觸件 DC 的第一接觸件層 132 的底表面可設置於可低於第一垂直水平高度 LV1 的第二垂直水平高度 LV2 處。作為另外一種選擇或另外，位元線接觸件 DC 的第一接觸件層 132 的上表面可設置於第一垂直水平高度 LV1 處。因此，設置於第一接觸件層 132 上的第二接觸件層 134 的底表面可設置於與主動接墊 AP 的底表面 AP_B 實質上類似及/或相同的水平高度處。

【0063】 儘管圖 11 示出位元線接觸件 DC 的第一接觸件層 132 的上表面可設置於第一垂直水平高度 LV1 上，本揭露並不僅限於此。舉例而言，在可選或另外的實施例中，第一接觸件層 132 的頂表面（及/或第二接觸件層 134 的底表面）可設置於高於第一垂直水平高度 LV1 的水平高度處。在該些實施例中，基板 110 的頂表面與第一接觸件層 132 的頂表面之間的垂直距離（及/或基板 110 的頂表面與第二接觸件層 134 的底表面之間的垂直距離）可小於基板 110 的頂表面與主動接墊 AP 的底表面 AP_B 之間的垂直距離。

【0064】 圖 12 是說明根據各種實施例的半導體裝置 100D 的剖視圖。圖 12 的半導體裝置 100D 可包括及/或可在很多方面類似於上文參考圖 1 至圖 11 所述的半導體裝置 100、100A、100B 及 100C 中的至少一者，且可包括上文未提及的另外的特徵。因此，為簡潔起見，可省略上文參考圖 1 至圖 11 所述的半導體裝置 100D 的重複說明。

【0065】 參考圖 12，位元線接觸件 DC 可包括第一接觸件層 132、第二接觸件層 134 及第三接觸件層 136。位元線接觸件間隔件 DCS 可包括第一接觸件間隔件層 142、第二接觸件間隔件層 144 及第三接觸件間隔件層 146。第一接觸件層 132 可設置於位元線接觸件孔洞 DCH 的底部上。作為另外一種選擇或另外，第一接觸件層 132 的側壁可被第一接觸件間隔件層 142 環繞。第二接觸件層 134 可設置於第一接觸件層 132 上，及/或第二接觸件層

134 的側壁可被第二接觸件間隔件層 144 環繞。第三接觸件層 136 可設置於第二接觸件層 134 上。作為另外一種選擇或另外，第三接觸件層 136 的側壁可被第三接觸件間隔件層 146 環繞。

【0066】 在一些實施例中，第一接觸件間隔件層 142 可設置於位元線接觸件孔洞 DCH 的整個側壁上，第二接觸件間隔件層 144 可設置於第一接觸件間隔件層 142 的內壁的上側上，且第三接觸件間隔件層 146 可設置於第二接觸件間隔件層 144 的內壁的上側上。因此，第二接觸件層 134 的水平寬度可小於（例如，窄於）第一接觸件層 132 的水平寬度。作為另外一種選擇或另外，第三接觸件層 136 的水平寬度可小於（例如，窄於）第二接觸件層 134 的水平寬度。

【0067】 根據實施例，可以鑲嵌方法使用第一接觸件間隔件層 142 至第三接觸件間隔件層 146 作為自對齊間隔件來形成第一接觸件層 132 至第三接觸件層 136。因此，第一接觸件層 132 至第三接觸件層 136 的寬度可基於所需形狀及/或位元線接觸件 DC 的輪廓來加以調整。

【0068】 儘管圖 12 說明位元線接觸件 DC 包括第一接觸件層 132 至第三接觸件層 136，但本揭露並不僅限於此。舉例而言，在可選或另外的實施例中，位元線接觸件 DC 可更包括另外的接觸件層。

【0069】 圖 13 是說明根據各種實施例的半導體裝置 100E 的剖視圖。圖 13 的半導體裝置 100E 可包括及/或可在很多方面類似於

上文參考圖 1 至圖 12 所述的半導體裝置 100、100A、100B、100C 及 100D 中的至少一者，且可包括上文未提及的另外的特徵。因此，為簡潔起見，可省略上文參考圖 1 至圖 12 所述的半導體裝置 100E 的重複說明。

【0070】 參考圖 13，位元線接觸件 DC 可僅包括第一接觸件層 132，及/或位元線接觸件間隔件 DCS 可僅包括第一接觸件間隔件層 142。第一接觸件層 132 的側壁可被第一接觸件間隔件層 142 環繞，且第一接觸件層 132 可填充位元線接觸件孔洞 DCH 的內空間。第一接觸件層 132 的頂表面可接觸位元線 BL 及位元線間隔件 BLS。

【0071】 圖 14A 至圖 24C 是說明根據各種實施例的製造半導體裝置的方法的剖視圖。參考圖 14A、圖 15B、圖 16、圖 17A、圖 18A、圖 19A、圖 20A、圖 22A、圖 23 及圖 24A，說明與圖 2 的 A-A'截面對應的剖視圖。參考圖 14B、圖 15B、圖 20B、圖 21、圖 22B 及圖 24B，說明與圖 2 的 B-B'截面對應的剖視圖。參考圖 14C、圖 15C、圖 17B、圖 18B、圖 19B、圖 20C、圖 22C 及圖 24C，分別說明圖 14A、圖 15A、圖 17A、圖 18A、圖 19A、圖 20A、圖 22A 及圖 24A 的俯視圖。

【0072】 參考圖 14A 至圖 14C，可在基板 110 的胞元陣列區 MCA 中形成多個裝置隔離溝渠 112T。

【0073】 此後，可形成填充所述多個裝置隔離溝渠 112T 的裝置隔離層 112。可藉由形成裝置隔離層 112 在基板 110 上界定多個

主動區 AC。所述多個主動區 AC 可在第一斜方向 D1 上延伸，所述第一斜方向 D1 可傾斜成與第一水平方向 X 及第二水平方向 Y 成預定角度。

【0074】 在一些實施例中，可使用但不限於氧化矽（SiO）、氮化矽（SiN）、氮氧化矽（SiON）及/或其組合中的至少一種來形成裝置隔離層 112。在一些實例中，裝置隔離層 112 可具有包含但不限於氧化矽（SiO）層及氮化矽（SiN）層的雙層結構。然而，本揭露並不僅限於此。

【0075】 可在基板 110 上形成遮罩圖案（未示出），且可使用所述遮罩圖案作為蝕刻遮罩來移除基板 110 的一部分以形成字元線溝渠 120T。舉例而言，可使用雙重圖案化技術（double patterning technology，DPT）及/或四重圖案化技術（quadruple patterning technology，QPT）來形成用於形成字元線溝渠 120T 的遮罩圖案。然而，本揭露並不僅限於此。

【0076】 此後，可在字元線溝渠 120T 中依序形成閘極介電層 122、閘極電極 124 及字元線頂蓋層 126。

【0077】 舉例而言，可在字元線溝渠 120T 的內壁上共形地設置閘極介電層 122。可藉由使用導電層（未示出）填充字元線溝渠 120T 且然後藉由回蝕所述導電層的上部部分再次暴露出字元線溝渠 120T 的上部部分來形成閘極電極 124。

【0078】 此後，可在主動區 AC 及裝置隔離層 112 上形成第一緩衝絕緣層 114、第二緩衝絕緣層 116 及覆蓋絕緣層 210。可在覆

蓋絕緣層 210 上形成遮罩圖案（未示出），且可藉由使用所述遮罩圖案作為蝕刻遮罩移除第一緩衝絕緣層 114 的一些部分、第二緩衝絕緣層 116 的一些部分、覆蓋絕緣層 210 的一些部分及基板 110 的一些部分來形成主動接墊孔洞 APH。

【0079】 在一些實施例中，主動接墊孔洞 APH 可具有在第一水平方向 X 上的寬度相對大的橢圓形水平橫截面。舉例而言，主動接墊孔洞 APH 的中心點可與對應主動區 AC 的中心點交疊，且一個主動接墊孔洞 APH 可在第一水平方向 X 上暴露出所述三個主動區 AC 的上表面。舉例而言，主要主動區 AC_m 的上表面可在一個主動接墊孔洞 APH 的中心處暴露出。作為另外一種選擇或另外，一個主動接墊孔洞 APH 的兩側上可分別暴露出第一邊緣主動區 AC_{e1} 的上表面及第二邊緣主動區 AC_{e2} 的上表面。因此，第一邊緣主動區 AC_{e1}、主要主動區 AC_m 及第二邊緣主動區 AC_{e2} 可在第一水平方向 X 上在一個主動接墊孔洞 APH 的底部處依序彼此間隔開。

【0080】 參考圖 15A 至圖 15C，可在主動接墊孔洞 APH 的內壁上形成接墊間隔件 220。在一些實施例中，可使用但不限於氧化矽（SiO）、氮化矽（SiN）、氮氧化矽（SiON）及/或其組合來形成接墊間隔件 220。

【0081】 在各種實施例中，接墊間隔件 220 可被形成為具有相對大的厚度以在暴露出主要主動區 AC_m 的上表面的同時覆蓋第一邊緣主動區 AC_{e1} 的至少一部分及第二邊緣主動區 AC_{e2} 的至

少一部分。在可選或另外的實施例中，接墊間隔件 220 的內壁 220H 可具有與主動接墊孔洞 APH 同心的橢圓形及/或圓形的水平橫截面。

【0082】 參考圖 16，可藉由使用接墊間隔件 220 作為自對齊遮罩進一步蝕刻基板 110 的暴露於由接墊間隔件 220 的內壁 220H 環繞的空間的部分來形成位元線接觸件孔洞 DCH。在形成位元線接觸件孔洞 DCH 的製程中，可移除覆蓋絕緣層 210 的一部分及接墊間隔件 220 的上側達部分厚度。因此，接墊間隔件 220 的上表面可設置於與第二緩衝絕緣層 116 的上表面實質上類似及/或相同的垂直水平高度處。

【0083】 在一些實施例中，位元線接觸件孔洞 DCH 可被形成為與接墊間隔件 220 的內壁 220H 一起連續地延伸。主動接墊孔洞 APH 可具有設置於可低於參考水平高度 LV0 的第一垂直水平高度 LV1 處的底部，且位元線接觸件孔洞 DCH 可具有設置於可低於第一垂直水平高度 LV1 的第二垂直水平高度 LV2 處的底部。

【0084】 舉例而言，位元線接觸件孔洞 DCH 可具有與主動接墊孔洞 APH 同心的橢圓形及/或圓形的水平橫截面。

【0085】 參考圖 17A 及圖 17B，可在接墊間隔件 220 的內壁 220H 上形成第一接觸件間隔件層 142。第一接觸件間隔件層 142 可形成於位元線接觸件孔洞 DCH 的內壁上且在平面圖中可具有環形形狀。第一接觸件間隔件層 142 可被形成為具有第一厚度 w_{21} （例如，如圖 6 中所示）。在一些實施例中，可使用但不限於

氮化矽 (SiN)、氮氧化矽 (SiON) 及/或其組合來形成第一接觸件間隔件層 142。

【0086】 參考圖 18A 及圖 18B，可在位元線接觸件孔洞 DCH 的底部上形成第一接觸件層 132。第一接觸件層 132 可具有定位於可高於第二垂直水平高度 LV2 及/或低於第一垂直水平高度 LV1 的第三水平高度 LV3 處的上表面。在一些實施例中，可使用但不限於鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN)、鈦 (Ru)、鈷 (Co)、鉬 (Mo)、鎢 (W)、氮化鎢 (WN)、氮化鈦矽 (TiSiN)、氮化鎢矽 (WSiN)、矽化鈷 (CoSi)、矽化鎳 (NiSi) 及矽化鎢 (WSi) 中的至少一種來形成第一接觸件層 132。

【0087】 參考圖 19A 及圖 19B，可在位元線接觸件孔洞 DCH 的側壁上 (例如，在第一接觸件間隔件層 142 的內壁 142IS 上) 形成第二接觸件間隔件層 144。可使用但不限於氮化矽 (SiN)、氮氧化矽 (SiON) 及/或其組合中的至少一種來形成第二接觸件間隔件層 144。在一些實施例中，第二接觸件間隔件層 144 可被形成為具有獨立於第一接觸件間隔件層 142 的第一厚度 w_{21} 的第二厚度 w_{22} (例如，如圖 6 中所示)。在一些可選或另外的實施例中，第二厚度 w_{22} 可小於 (例如，薄於) 第一厚度 w_{21} 。

【0088】 隨後，可在位元線接觸件孔洞 DCH 的內壁上形成第二接觸件層 134。舉例而言，可在第二接觸件間隔件層 144 的內壁 144IS 上及在第一接觸件層 132 的上表面上形成第二接觸件層

134。在一些實施例中，可使用但不限於鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN)、鈺 (Ru)、鈷 (Co)、鉬 (Mo)、鎢 (W)、氮化鎢 (WN)、氮化鈦矽 (TiSiN)、氮化鎢矽 (WSiN)、矽化鈷 (CoSi)、矽化鎳 (NiSi) 及矽化鎢 (WSi) 中的至少一種來形成第一接觸件層 132。

【0089】 在一些實施例中，可以鑲嵌方式在位元線接觸件孔洞 DCH 內部形成第二接觸件層 134。舉例而言，第二接觸件層 134 可填充由第二接觸件間隔件層 144 的內壁 144IS 及第一接觸件層 132 的上表面界定的空間。第二接觸件層 134 的上表面可設置於與第二緩衝絕緣層 116 的上表面及接墊間隔件 220 的上表面實質上類似及/或相同的平面上。

【0090】 本文中所使用的第一接觸件層 132 及第二接觸件層 134 可被稱為位元線接觸件 DC。作為另外一種選擇或另外，第一接觸件間隔件層 142 及第二接觸件間隔件層 144 可被稱為位元線接觸件間隔件 DCS。根據本揭露的態樣，可獲得如下結構：位元線接觸件 DC 可被位元線接觸件間隔件 DCS 環繞，位元線接觸件 DC 的上側可被主動接墊孔洞 APH 內的接墊間隔件 220 環繞，且位元線接觸件 DC 的下側可設置於位元線接觸件孔洞 DCH 中以接觸主動區 AC 的上表面。

【0091】 參考圖 20A 至圖 20C，可經由修整製程移除接墊間隔件 220 的一部分來形成一對凹部 140H。舉例而言，接墊間隔件 220 的藉由移除接墊間隔件 220 的一部分而留下的部分可被稱為第一

部分 220P1 及第二部分 220P2。經由所述修整製程，可獲得其中第一部分 220P1、位元線接觸件 DC 及第二部分 220P2 可在第一水平方向 X 上依序設置於主動接墊孔洞 APH 中的結構。當位元線接觸件 DC 被位元線接觸件間隔件 DCS 環繞時，位元線接觸件間隔件 DCS 可位於第一部分 220P1 與位元線接觸件 DC 之間以及第二部分 220P2 與位元線接觸件 DC 之間。

【0092】 所述一對凹部 140H 可暴露出被設置成與位元線接觸件 DC 在第二水平方向 Y 上間隔開的字元線頂蓋層 126 的一部分。作為另外一種選擇或另外，可在一個主動接墊孔洞 APH 中形成所述一對凹部 140H，且可經由所述一對凹部 140H 分別暴露出位元線接觸件間隔件 DCS 的在第二水平方向 Y 上彼此間隔開的兩個側壁。

【0093】 在一些實施例中，接墊間隔件 220 的第一部分 220P1 可被設置成覆蓋第一邊緣主動區域 AC_e1（例如，如圖 15C 中所示）。作為另外一種選擇或另外，接墊間隔件 220 的第二部分 220P2 可被設置成覆蓋第二邊緣主動區域 AC_e2（例如，如圖 15C 中所示）。

【0094】 參考圖 21，可在所述一對凹部 140H 中形成一對隱埋絕緣圖案 140。所述一對隱埋絕緣圖案 140 可被形成為填充主動接墊孔洞 APH 的除了可依序設置於第一水平方向 X 上的第一部分 220P1、位元線接觸件 DC 及第二部分 220P2 之外的其餘空間。舉例而言，所述一對隱埋絕緣圖案 140 中的每一者可被形成為與

主動接墊孔洞 APH 的側壁及位元線接觸件間隔件 DCS 的側壁接觸，且亦可與第一部分 220P1 的側壁及第二部分 220P2 的側壁接觸。所述一對隱埋絕緣圖案 140 的外壁可設置於主動接墊孔洞 APH 的外壁上，及/或可與所述一對隱埋絕緣圖案 140、第一部分 220P1 及第二部分 220P2 共同具有環形的水平橫截面。可使用但不限於氮化矽 (SiN)、氮氧化矽 (SiON) 及其組合中的至少一種來形成所述一對隱埋絕緣圖案 140。

【0095】 參考圖 22A 至圖 22C，可移除接墊間隔件 220 的第一部分 220P1 及第二部分 220P2。在一些實施例中，移除接墊間隔件 220 的第一部分 220P1 及第二部分 220P2 的製程可為及/或可包括使用對所述一對隱埋絕緣圖案 140 及位元線接觸件間隔件 DCS 具有相對低的蝕刻速率的蝕刻條件的蝕刻製程及使用對接墊間隔件 220 具有相對高的蝕刻速率的蝕刻條件的另一蝕刻製程。舉例而言，當可移除接墊間隔件 220 的第一部分 220P1 及第二部分 220P2 時，主動接墊孔洞 APH 的內壁上可暴露出主動區 AC 的上表面。

【0096】 隨後，可在主動接墊孔洞 APH 內部形成主動接墊 AP。在一些實施例中，可使用經過摻雜的多晶矽形成主動接墊 AP。在可選或另外的實施例中，可使用但不限於鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN)、鈷 (Ru)、鈷 (Co)、鉬 (Mo)、鎢 (W)、氮化鎢 (WN)、氮化鈦矽 (TiSiN)、氮化鎢矽 (WSiN)、矽化鈷 (CoSi)、矽化鎳 (NiSi) 及矽化鎢 (WSi) 中

的至少一種來形成主動接墊 AP。

【0097】 如圖 22A 中所示，主動接墊 AP 可具有在垂直方向上及/或實質上在垂直方向上延伸的側壁 AP_S 及平整及/或實質上平整地延伸的底表面 AP_B。作為另外一種選擇或另外，側壁 AP_S 與底表面 AP_B 可形成階梯形部分及/或可彼此連接。在實施例中，如圖 22C 中所示，自平面圖看，主動接墊 AP 可包括接觸主動區 AC 且具有彎曲表面的第一側表面 AP_S1、接觸位元線接觸件間隔件 DCS 且具有彎曲表面的第二側表面 AP_S2 以及分別接觸所述一對隱埋絕緣圖案 140 的第三側表面 AP_S3 及第四側表面 AP_S4。

【0098】 參考圖 23，可在位元線接觸件 DC 及主動接墊 AP 上形成位元線導電層(未示出)及位元線頂蓋材料層(未示出)。作為另外一種選擇或另外，可藉由將位元線頂蓋材料層及位元線導電層圖案化來形成多條位元線 BL 及多個位元線頂蓋層 150。

【0099】 在用於形成所述多條位元線 BL 及所述多個位元線頂蓋層 150 的圖案化製程中，位元線接觸件 DC 的上側的一部分及主動接墊 AP 的上側的一部分可被一起移除。因此，主動接墊 AP 的上表面可設置於低於位元線接觸件 DC 的上表面的垂直水平高度處。位元線接觸件 DC 的側壁(例如，第二接觸件層 134 的側壁)可被第二接觸件間隔件層 144 環繞且在圖案化製程中可實質上被移除及/或未被圖案化。

【0100】 隨後，可在所述多條位元線 BL 及所述多個位元線頂蓋

層 150 上形成位元線間隔件 BLS。

【0101】 參考圖 24A 至圖 24C，可藉由移除設置於所述多條位元線 BL 之間的空間中的位元線間隔件 BLS 的一部分來暴露出主動接墊 AP 的上表面。作為另外一種選擇或另外，可在所述多條位元線 BL 之間的空間中形成多個隱埋接觸件 BC 及絕緣柵欄 158。舉例而言，所述多個隱埋接觸件 BC 可設置於與主動接墊 AP 在垂直方向上交疊的位置處，且絕緣柵欄 158 可設置於與兩條相鄰位元線 BL 之間的字元線 WL 在垂直方向上交疊的位置處。

【0102】 在一些實施例中，於在多條位元線 BL 之間的空間中形成導電層(未示出)之後，可藉由移除所述導電層的一部分來形成多個隱埋接觸件。作為另外一種選擇或另外，可在可從中移除了導電層的區中形成絕緣柵欄 158。在可選或另外的實施例中，可在所述多條位元線 BL 之間的空間中形成在第二水平方向 Y 上彼此間隔開的多個絕緣柵欄 158。在該些實施例中，可藉由在所述多條位元線 BL 之間的空間及所述多個絕緣柵欄 158 之間的空間中填充導電層來形成多個隱埋接觸件 BC。

【0103】 在一些實施例中，可使用經過摻雜的多晶矽形成所述多個隱埋接觸件 BC。在可選或另外的實施例中，可使用但不限於鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN)、鈺 (Ru)、鈷 (Co)、鉬 (Mo)、鎢 (W)、氮化鎢 (WN)、氮化鈦矽 (TiSiN)、氮化鎢矽 (WSiN)、矽化鈷 (CoSi)、矽化鎳 (NiSi) 及矽化鎢 (WSi) 中的至少一種來形成所述多個隱埋接觸件 BC。

【0104】 再次參考圖 1 至圖 6，可藉由在所述多個隱埋接觸件 BC 上依序形成搭接接墊 LP 及絕緣圖案 166 且在搭接接墊 LP 上形成電容器結構 CAP 來完成半導體裝置 100。

【0105】 在相關半導體裝置中，可藉由將位元線圖案化來形成位元線接觸件，且然後蝕刻設置於位元線之下的位元線接觸件的側部以減小位元線接觸件的寬度。然而，由於位元線之間間隔減小，因此位元線接觸件蝕刻製程的難度可增大及/或可相對高。作為另外一種選擇或另外，在主動區與搭接接墊之間在位元線之間的空間中形成隱埋接觸件的製程的難度亦可相對高。

【0106】 根據實施例，於在主動接墊孔洞 APH 中形成接墊間隔件 220 之後，可以鑲嵌方法形成位元線接觸件 DC，且在移除接墊間隔件 220 之後，可形成主動接墊 AP。因此，可減小將位元線接觸件 DC 圖案化的製程的難度。作為另外一種選擇或另外，由於可確保形成於主動接墊孔洞 APH 中的主動接墊 AP 與主動區 AC 之間存在相對大的接觸面積，因此與相關半導體裝置相比，半導體裝置 100 可具有改良的電性效能。

【0107】 圖 25 至圖 27 是說明根據各種實施例的製造半導體裝置 100 的方法的剖視圖。

【0108】 可藉由執行參考圖 14A 至圖 21 所述的製程來在主動接墊孔洞 APH 及位元線接觸件孔洞 DCH 中形成位元線接觸件 DC。

【0109】 參考圖 25，可移除接墊間隔件 220 的第一部分 220P1 及

第二部分 220P2。在一些實施例中，移除接墊間隔件 220 的第一部分 220P1 及第二部分 220P2 的製程可為及/或可包括使用對所述一對隱埋絕緣圖案 140 及位元線接觸件間隔件 DCS 具有相對低的蝕刻速率的蝕刻條件的蝕刻製程及使用對接墊間隔件 220 具有相對高的蝕刻速率的蝕刻條件的另一蝕刻製程。舉例而言，當可移除接墊間隔件 220 的第一部分 220P1 及第二部分 220P2 時，主動接墊孔洞 APH 的內壁上可暴露出主動區 AC 的上表面。

【0110】 參考圖 26，可在主動接墊孔洞 APH 的內壁上在位元線接觸件 DC 上形成位元線導電層 BL_m 及位元線頂蓋材料層 150_m。位元線導電層 BL_m 可填充主動接墊孔洞 APH 的內壁。

【0111】 參考圖 27，可藉由將位元線頂蓋材料層 150_m 及位元線導電層 BL_m 圖案化來形成多條位元線 BL 及多個位元線頂蓋層 150。在用於形成多條位元線 BL 的圖案化製程中，位元線導電層 BL_m 的形成於主動接墊孔洞 APH 的內壁上的部分可與位元線 BL 分離。形成於主動接墊孔洞 APH 的內壁上的位元線導電層 BL_m 的一部分可被稱為主動接墊 AP。在所述實施例中，主動接墊 AP 可被形成為包含與構成位元線 BL 的材料相同的材料。

【0112】 此後，藉由執行參考圖 24A 至圖 24C 所述的製程，可完成半導體裝置 100。

【0113】 在可選或另外的實施例中，於在主動接墊孔洞 APH 的內壁上形成位元線導電層 BL_m 之前，可在主動接墊孔洞 APH 的內壁選擇性地進一步形成導電障壁層。在所述實施例中，可形成

參考圖 9 及圖 10 所述的半導體裝置 100A。

【0114】 圖 28A 至圖 30 是說明根據各種實施例的製造半導體裝置 100 的方法的剖視圖。參考圖 28A、圖 29B 及圖 30，說明與圖 2 的橫截面 A-A'對應的剖視圖。參考圖 28B 及圖 29B，說明與圖 2 的橫截面 B-B'對應的剖視圖。

【0115】 可藉由執行參考圖 14A 至圖 18B 所述的製程來形成其中第一接觸件間隔件層 142 及第一接觸件層 132 可設置於位元線接觸件孔洞 DCH 中的結構。

【0116】 參考圖 28A 及圖 28B，可在位元線接觸件孔洞 DCH 的側壁上（例如，在第一接觸件間隔件層 142 的內壁 142IS 上）形成第二接觸件間隔件層 144。

【0117】 此後，可藉由修整製程移除接墊間隔件 220 的一部分以形成一對凹部 140H。

【0118】 參考圖 29A 及圖 29B，可在所述一對凹部 140H 中形成一對隱埋絕緣圖案 140。此後，可移除接墊間隔件 220 的第一部分 220P1 及第二部分 220P2 以暴露出設置於主動接墊孔洞 APH 中的主動區 AC 的上表面。

【0119】 參考圖 30，可在位元線接觸件孔洞 DCH 中形成第二接觸件層 134，及/或可在主動接墊孔洞 APH 中形成主動接墊 AP。在一些實施例中，可在與主動接墊 AP 相同的製程中形成第二接觸件層 134。在該些實施例中，第二接觸件層 134 的材料可實質上類似及/或相同於主動接墊 AP 的材料。

【0120】 此後，藉由執行參考圖 23 至圖 24C 所述的製程，可完全形成半導體裝置 100。

【0121】 雖然已參考本揭露的實施例示出並闡述本揭露，但可理解，可對本揭露做出形式及細節上的各種改變，而此並不背離以下申請專利範圍的精神及範疇。

【符號說明】

【0122】

100、100A、100B、100C、100D、100E:半導體裝置

110:基板

112:裝置隔離層

112T:裝置隔離溝渠

114:第一緩衝絕緣層

116:第二緩衝絕緣層

120:隱埋閘極結構

120T:字元線溝渠

122:閘極介電層

124:閘極電極

126:字元線頂蓋層

132:第一接觸件層

134:第二接觸件層

136:第三接觸件層

140:隱埋絕緣圖案

140H:凹部
142:第一接觸件間隔件層
142IS、144IS:內壁
144:第二接觸件間隔件層
146:第三接觸件間隔件層
150:位元線頂蓋層
150m:位元線頂蓋材料層
152:第一間隔件層
154:第二間隔件層
156:第三間隔件層
158:絕緣柵欄
162:搭接接墊障壁
164:搭接接墊導電層
166:絕緣圖案
170:蝕刻停止層
172:下部電極
174:電容器介電層
176:上部電極
210:覆蓋絕緣層
220:接墊間隔件
220H:內壁
220P1:第一部分

220P2:第二部分

A-A'、B-B':線/橫截面

AC:主動區

AC_e1:第一邊緣主動區/第一邊緣主動區域

AC_e2:第二邊緣主動區/第二邊緣主動區域

AC_m:主要主動區

AP:主動接墊

APH:主動接墊孔洞

APM:導電障壁層

AP_B:底表面

AP_S:側壁

AP_S1:第一側表面

AP_S2:第二側表面

AP_S3:第三側表面

AP_S4:第四側表面

BC:隱埋接觸件

BCM:薄導電障壁層/導電障壁層

BL:位元線

BLm:位元線導電層

BLS:位元線間隔件

CAP:電容器結構

CX1、II:部分

D1:第一斜方向

DC:位元線接觸件

DCH:位元線接觸件孔洞

DCS:位元線接觸件間隔件

LP:搭接接墊

LPH:搭接接墊開口

LV0:參考水平高度

LV1:第一垂直水平高度

LV2:第二垂直水平高度

LV3:第三垂直水平高度/第三水平高度

MCA:胞元陣列區域/胞元陣列區

PCA:周邊電路區域

w11:第一寬度

w12:第二寬度

w21:第一厚度

w22:第二厚度

WL:字元線

X:第一水平方向

Y:第二水平方向

Z:垂直方向

【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

基板，包括由裝置隔離層界定的多個主動區；

多條位元線，在第一水平方向上在所述基板上延伸；

位元線接觸件，位於所述多個主動區的第一主動區與在所述第一主動區上的所述多條位元線的第一位元線之間，所述位元線接觸件包括第一接觸件層及位於所述第一接觸件層上的第二接觸件層；以及

主動接墊，位於所述多個主動區的相鄰於所述第一主動區的第二主動區上，所述主動接墊被設置成面向所述位元線接觸件。

【請求項2】 如請求項1所述的半導體裝置，更包括：

位元線接觸件間隔件，環繞所述位元線接觸件的至少一部分，

所述位元線接觸件間隔件包括：

第一接觸件間隔件層，位於延伸至所述基板中的位元線接觸件孔洞的內壁上；以及

第二接觸件間隔件層，位於在所述位元線接觸件孔洞的所述內壁上的所述第一接觸件間隔件層的內側壁上。

【請求項3】 如請求項2所述的半導體裝置，其中所述主動接墊接觸所述第一接觸件間隔件層的外壁。

【請求項4】 如請求項2所述的半導體裝置，其中自平面圖看，所述主動接墊包括：

第一側表面，接觸所述第一主動區且具有第一彎曲表面；以及

第二側表面，接觸所述第一接觸件間隔件層且具有第二彎曲表面，

其中所述主動接墊的所述第一側表面形成同心圓的至少第一部分，

其中所述主動接墊的所述第二側表面形成所述同心圓的至少第二部分。

【請求項5】 如請求項4所述的半導體裝置，其中：

所述主動接墊的所述第一側表面與所述主動接墊的底表面形成第一階梯形部分，且

所述主動接墊的所述第二側表面與所述主動接墊的所述底表面形成第二階梯形部分。

【請求項6】 如請求項2所述的半導體裝置，其中：

所述第一接觸件層的側壁被所述第一接觸件間隔件層至少部分地環繞，

所述第一接觸件層的底表面接觸所述第一主動區的頂表面，且

所述第二接觸件層在所述第一接觸件層的上表面上被所述第二接觸件間隔件層至少部分地環繞。

【請求項7】 如請求項2所述的半導體裝置，更包括：

位元線間隔件，設置於所述多條位元線的兩個側壁上，

其中所述位元線間隔件至少部分地覆蓋所述第二接觸件層的第一上表面及所述第二接觸件間隔件層的第二上表面，且

其中所述位元線間隔件不延伸至所述位元線接觸件孔洞中。

【請求項8】 如請求項1所述的半導體裝置，其中：

所述第一接觸件層在垂直於所述第一水平方向的第二水平方向上具有第一寬度，

所述第二接觸件層在所述第二水平方向上具有第二寬度，且所述第二寬度小於所述第一寬度。

【請求項9】 如請求項1所述的半導體裝置，其中所述第二接觸件層的第一底表面的第一水平高度低於所述主動接墊的第二底表面的第二水平高度。

【請求項10】 如請求項1所述的半導體裝置，

其中所述主動接墊包含經過摻雜的多晶矽、鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN)、鈳 (Ru)、鈷 (Co)、鉬 (Mo)、鎢 (W)、氮化鎢 (WN)、氮化鈦矽 (TiSiN)、氮化鎢矽 (WSiN)、矽化鈷 (CoSi)、矽化鎳 (NiSi) 及矽化鎢 (WSi) 中的至少一種，且

所述第一接觸件層及所述第二接觸件層包含 Ti、TiN、Ta、TaN、Ru、Co、Mo、W、WN、TiSiN、WSiN、CoSi、NiSi 及 WSi 中的至少一種。

【請求項11】 一種半導體裝置，包括：

基板，包括由裝置隔離層界定的多個主動區；

多條位元線，在第一水平方向上在所述基板上延伸；

位元線接觸件，位於所述多個主動區的第一主動區與在所述第一主動區上的所述多條位元線的第一位元線之間，所述位元線接觸件包括第一接觸件層及位於所述第一接觸件層上的第二接觸件層；

位元線接觸件間隔件，環繞所述位元線接觸件的至少第一部分；以及

主動接墊，設置於主動接墊孔洞中，所述主動接墊孔洞延伸至所述多個主動區的相鄰於所述第一主動區的第二主動區中，所述主動接墊環繞所述位元線接觸件間隔件的至少第二部分。

【請求項12】 如請求項11所述的半導體裝置，其中：

所述主動接墊孔洞在所述主動接墊孔洞的側壁與所述主動接墊孔洞的底部部分之間的邊界處包括階梯形部分，且

所述主動接墊在所述主動接墊孔洞的所述側壁及所述主動接墊孔洞的所述底部部分處接觸所述第二主動區。

【請求項13】 如請求項11所述的半導體裝置，其中所述位元線接觸件間隔件包括：

第一接觸件間隔件層，位於延伸至所述基板中的位元線接觸件孔洞的第一內壁上，以及

第二接觸件間隔件層，位於所述位元線接觸件孔洞的所述第一內壁上及所述第一接觸件間隔件層的第二內壁上。

【請求項14】 如請求項13所述的半導體裝置，其中：

所述主動接墊孔洞與所述位元線接觸件孔洞形成同心圓，且
所述主動接墊接觸所述第一接觸件間隔件層的外壁。

【請求項15】 如請求項13所述的半導體裝置，其中：

所述第一接觸件層的側壁被所述第一接觸件間隔件層至少部分地環繞，

所述第一接觸件層的底表面接觸所述第一主動區的頂表面，
且

所述第二接觸件層在所述第一接觸件層的上表面上被所述第二接觸件間隔件層至少部分地環繞。

【請求項16】 如請求項11所述的半導體裝置，其中：

所述第一接觸件層在垂直於所述第一水平方向的第二水平方向上具有第一寬度，

所述第二接觸件層在所述第二水平方向上具有第二寬度，且
所述第二寬度小於所述第一寬度。

【請求項17】 如請求項11所述的半導體裝置，更包括：

一對隱埋絕緣圖案，在所述主動接墊孔洞內部彼此間隔開且
接觸所述位元線接觸件間隔件的外壁及所述主動接墊的側壁。

【請求項18】 一種半導體裝置，包括：

基板，包括由裝置隔離層界定的多個主動區；

多條位元線，在第一水平方向上在所述基板上延伸；

位元線接觸件，位於所述多個主動區的第一主動區與在所述
第一主動區上的所述多條位元線的第一位元線之間，所述位元線

接觸件包括第一接觸件層及位於所述第一接觸件層上的第二接觸件層；

位元線接觸件間隔件，環繞所述位元線接觸件的至少第一部分，且包括第一接觸件間隔件層及第二接觸件間隔件層，所述第一接觸件間隔件層環繞所述第一接觸件層的第一側壁的至少第二部分，所述第二接觸件間隔件層設置於所述第一接觸件間隔件層的內壁上且環繞所述第二接觸件層的第二側壁的至少第三部分；

主動接墊，設置於主動接墊孔洞中，所述主動接墊孔洞延伸至所述多個主動區的相鄰於所述第一主動區的第二主動區中，所述主動接墊環繞所述位元線接觸件間隔件的至少一部分；以及

隱埋接觸件，位於所述主動接墊上。

【請求項19】 如請求項18所述的半導體裝置，其中

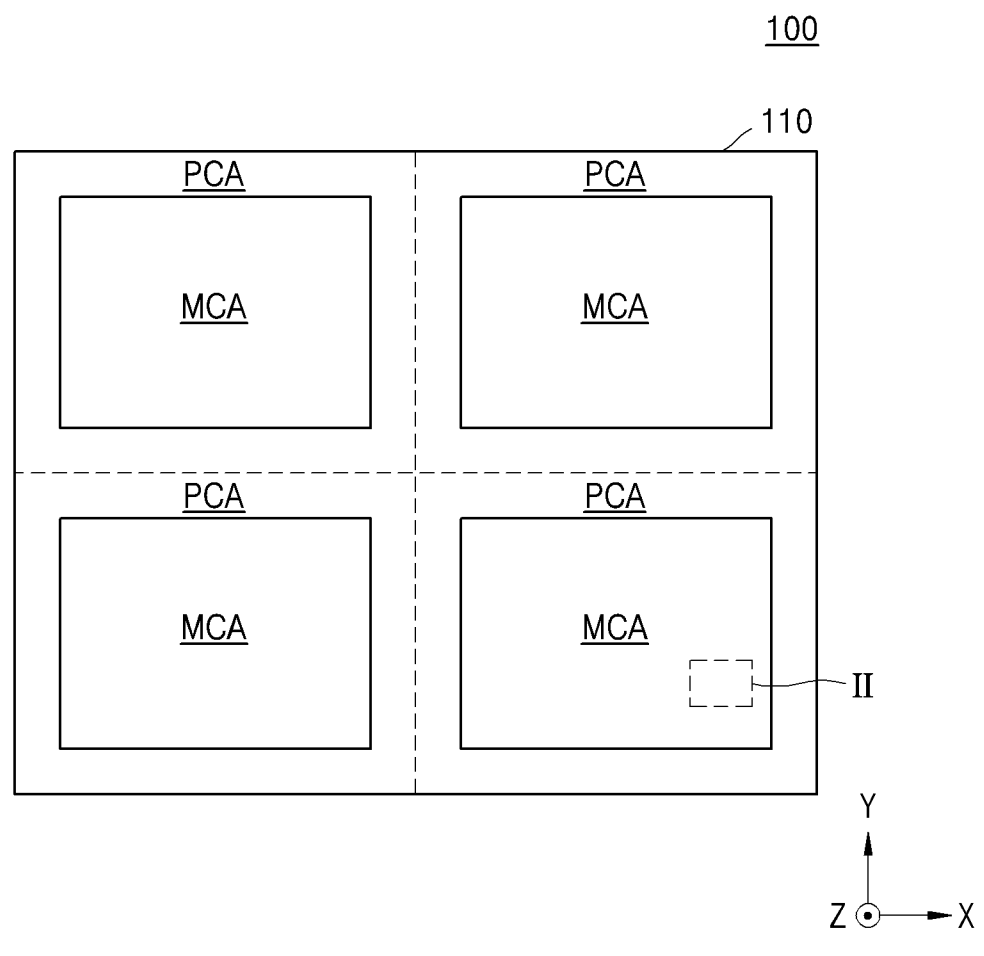
所述第一接觸件間隔件層及所述第二接觸件間隔件層位於所述主動接墊與所述位元線接觸件之間，且

所述位元線接觸件的第一底表面的第一水平高度低於所述主動接墊的第二底表面的第二水平高度。

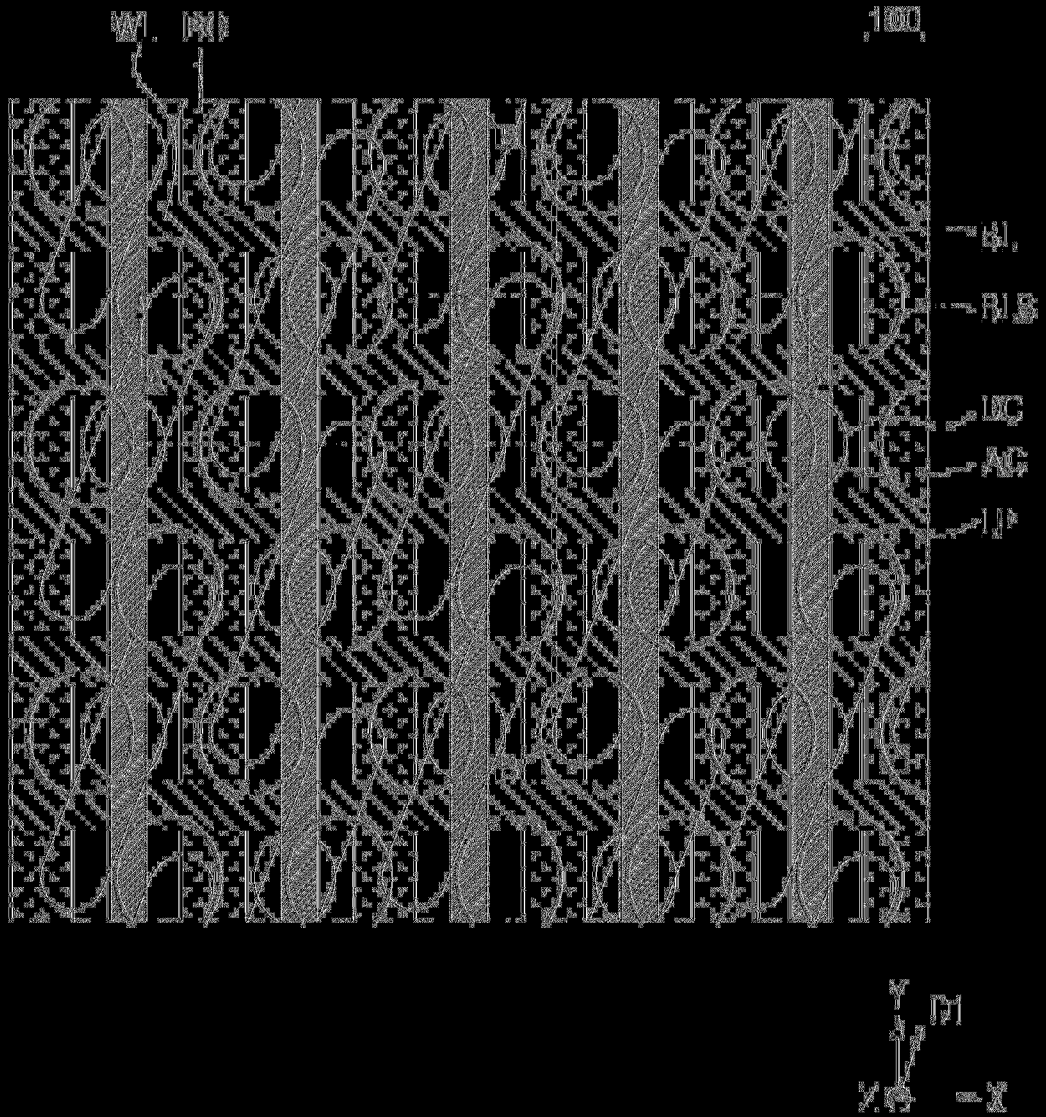
【請求項20】 如請求項18所述的半導體裝置，更包括：

一對隱埋絕緣圖案，在所述主動接墊孔洞內部彼此間隔開且接觸所述位元線接觸件間隔件的外壁及所述主動接墊的第三側壁。

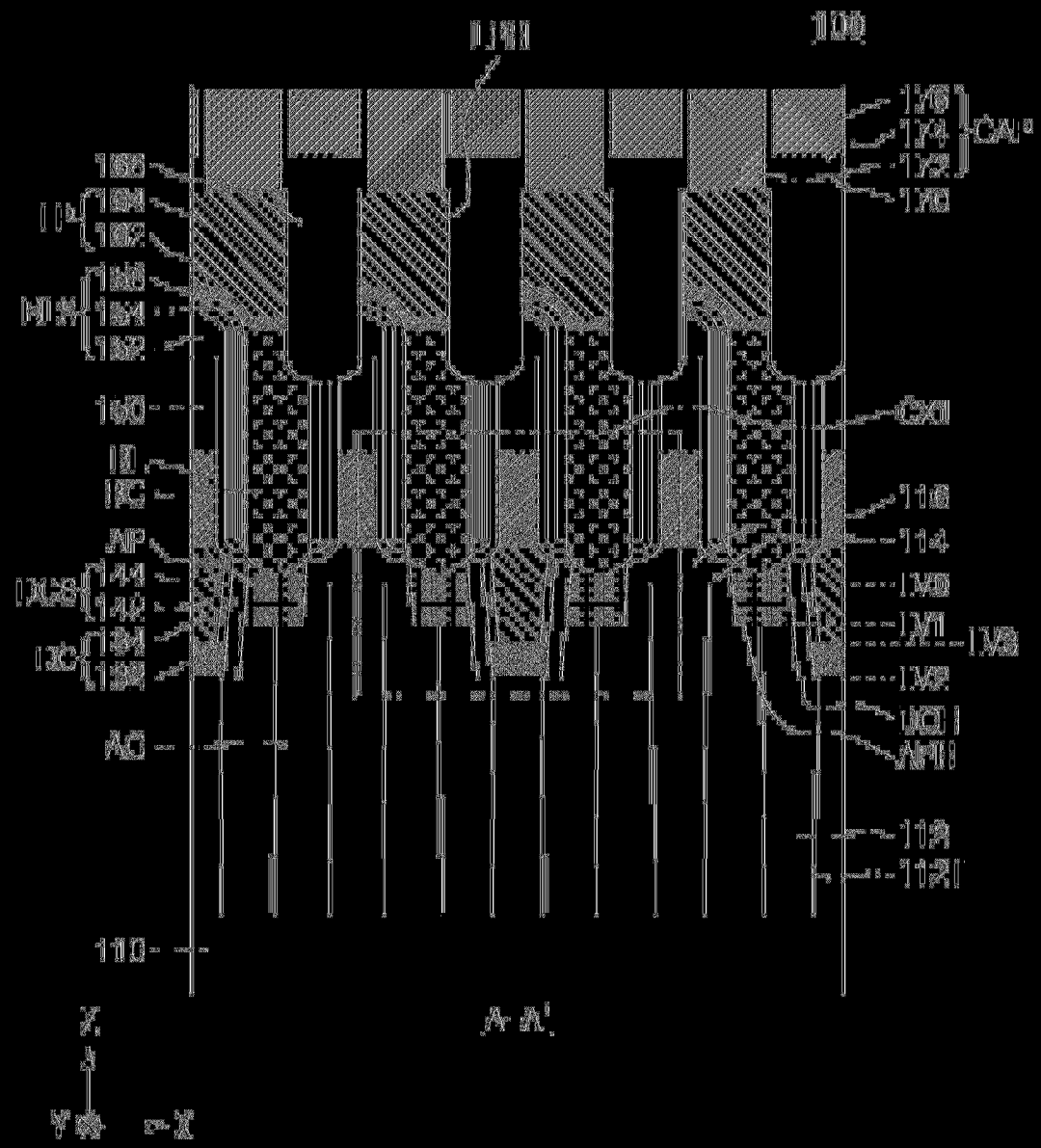
【發明圖式】



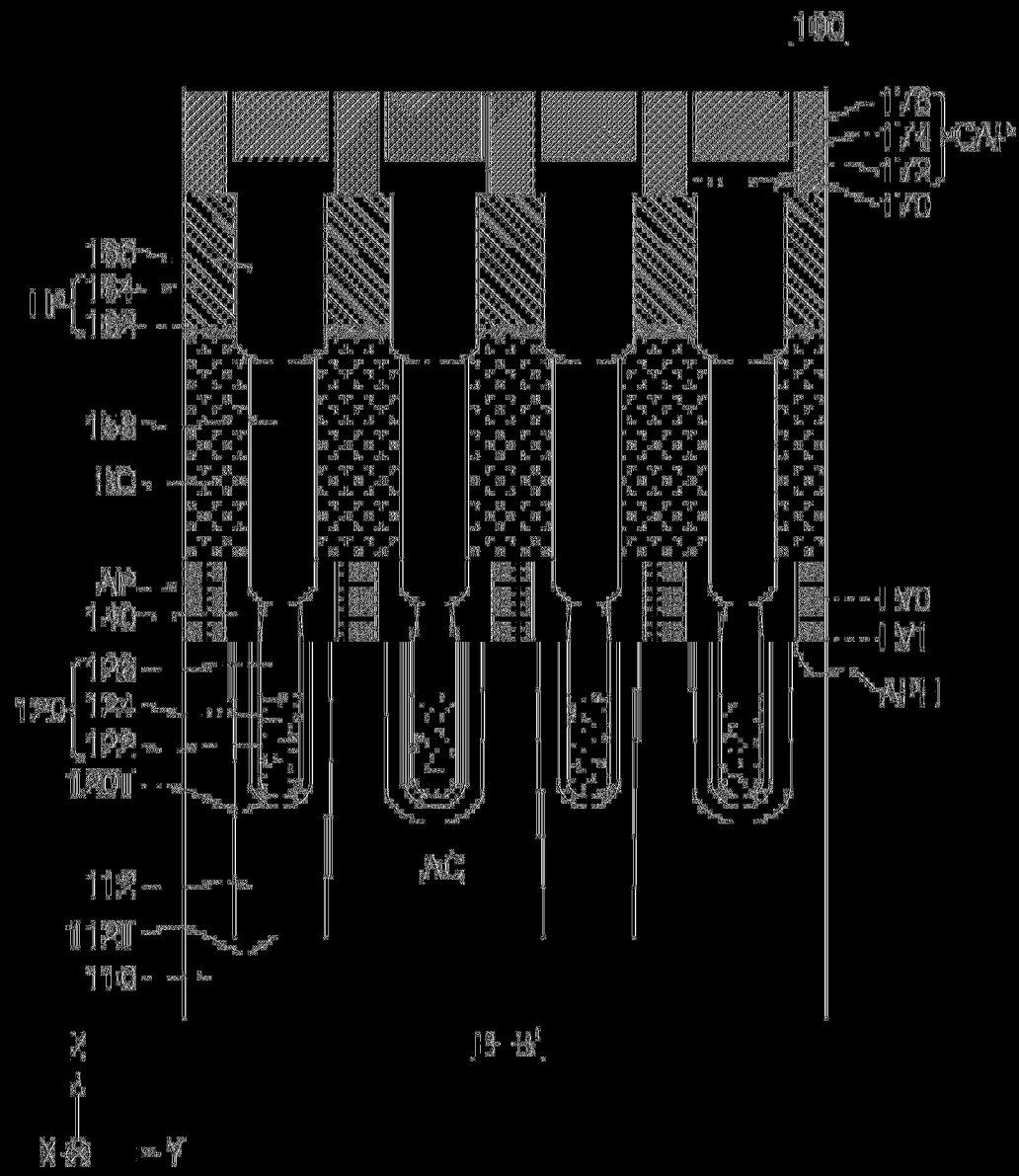
【圖1】

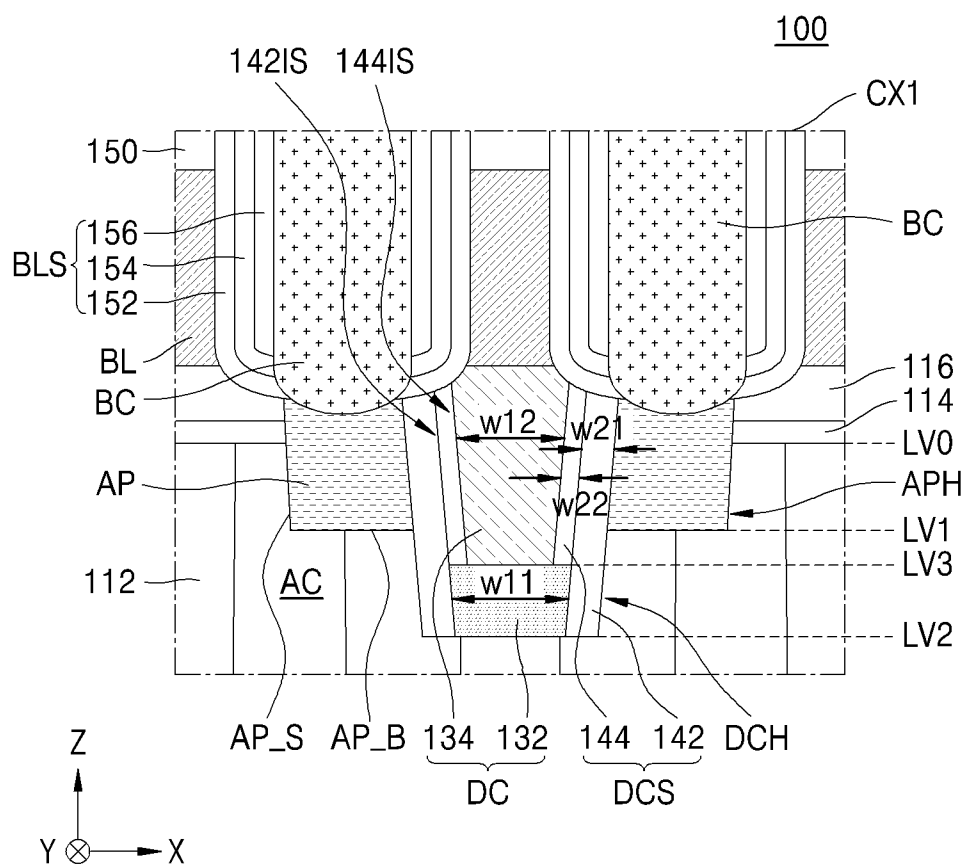


(圖2)

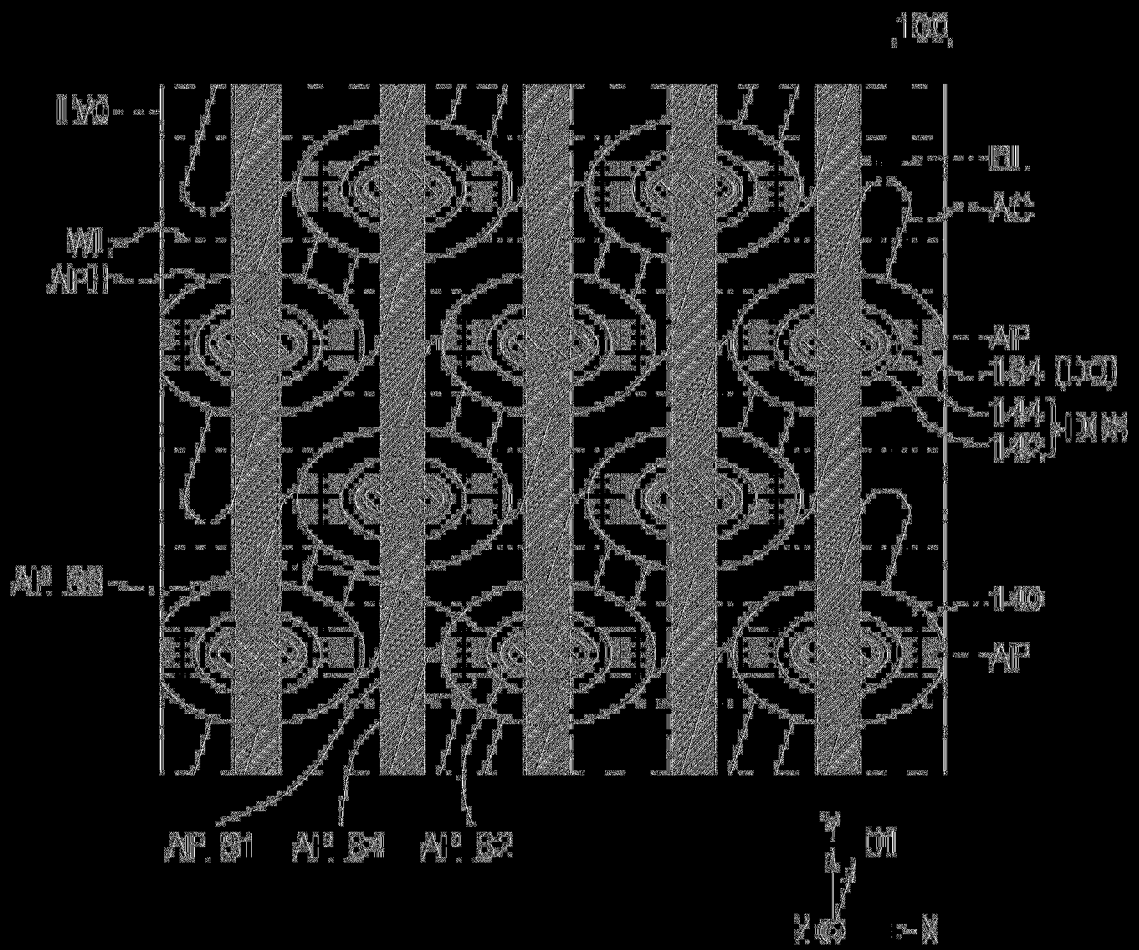


(圖3)

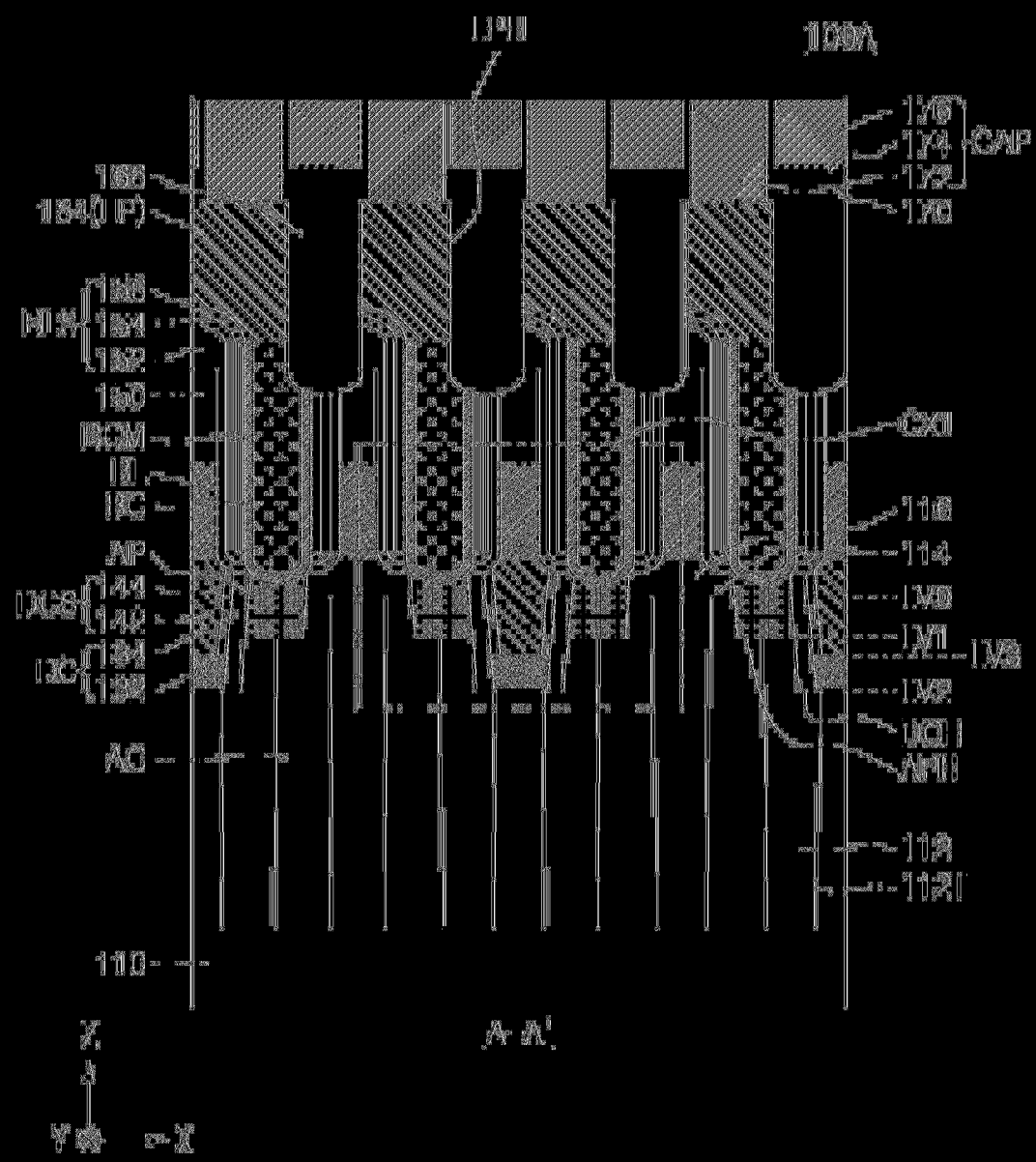




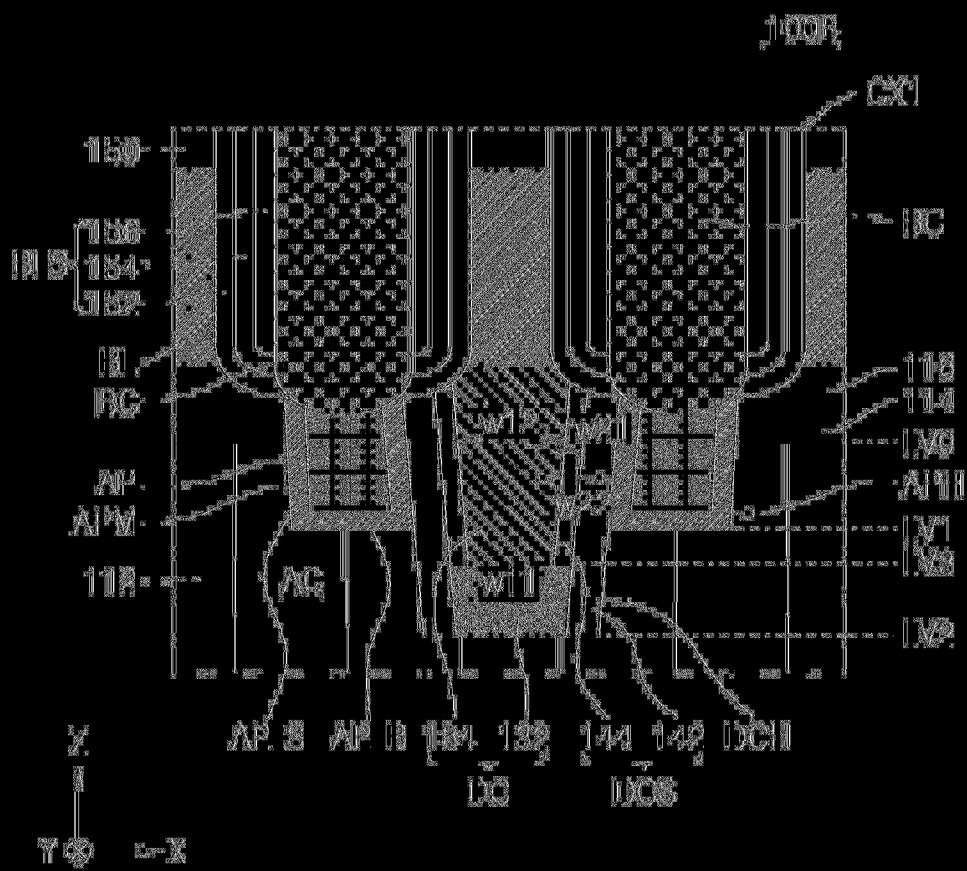
【圖5】



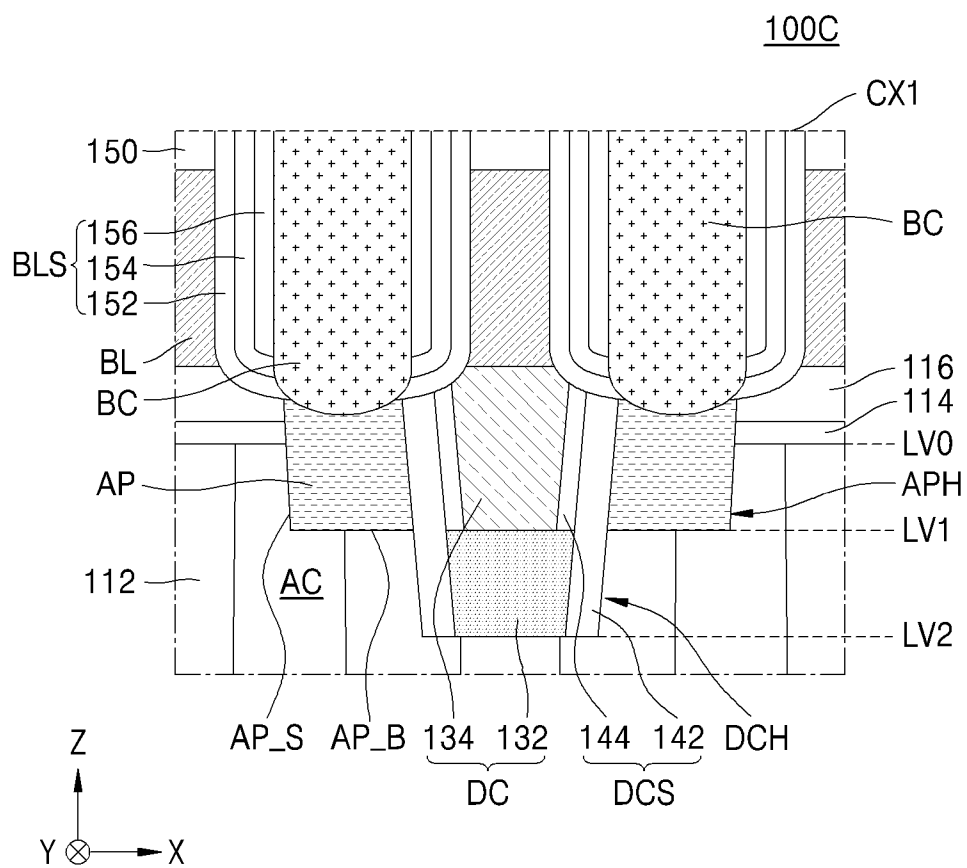
(圖6)



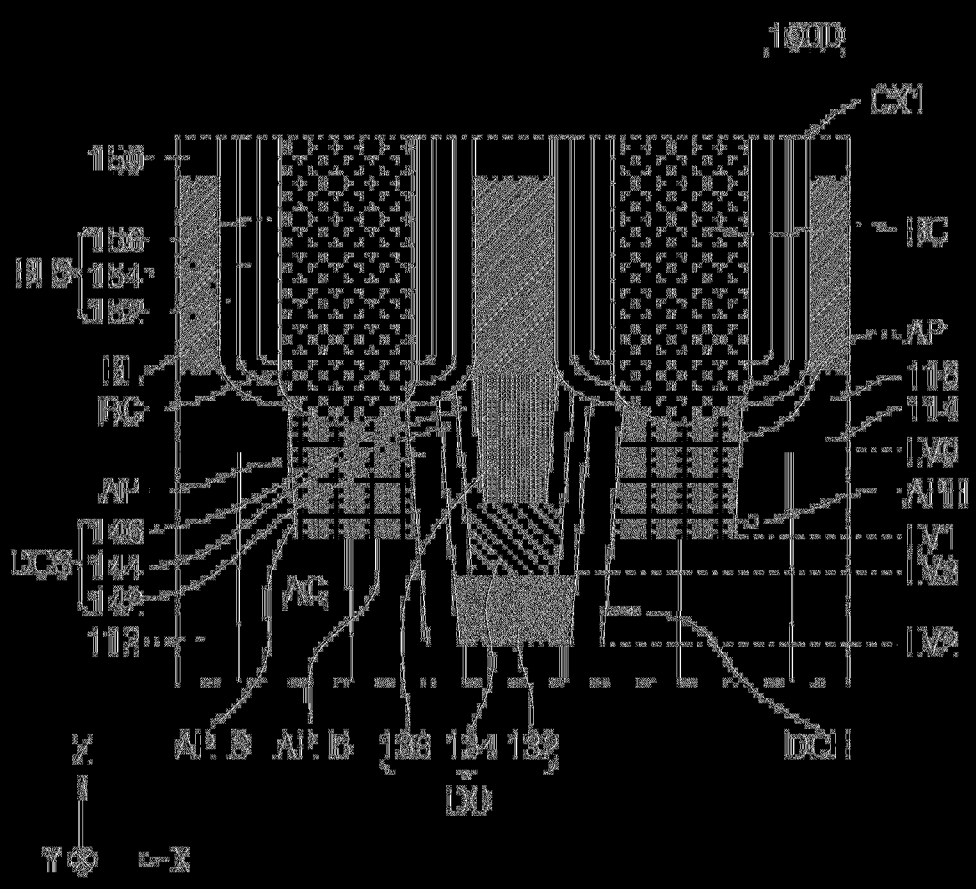
(圖1)



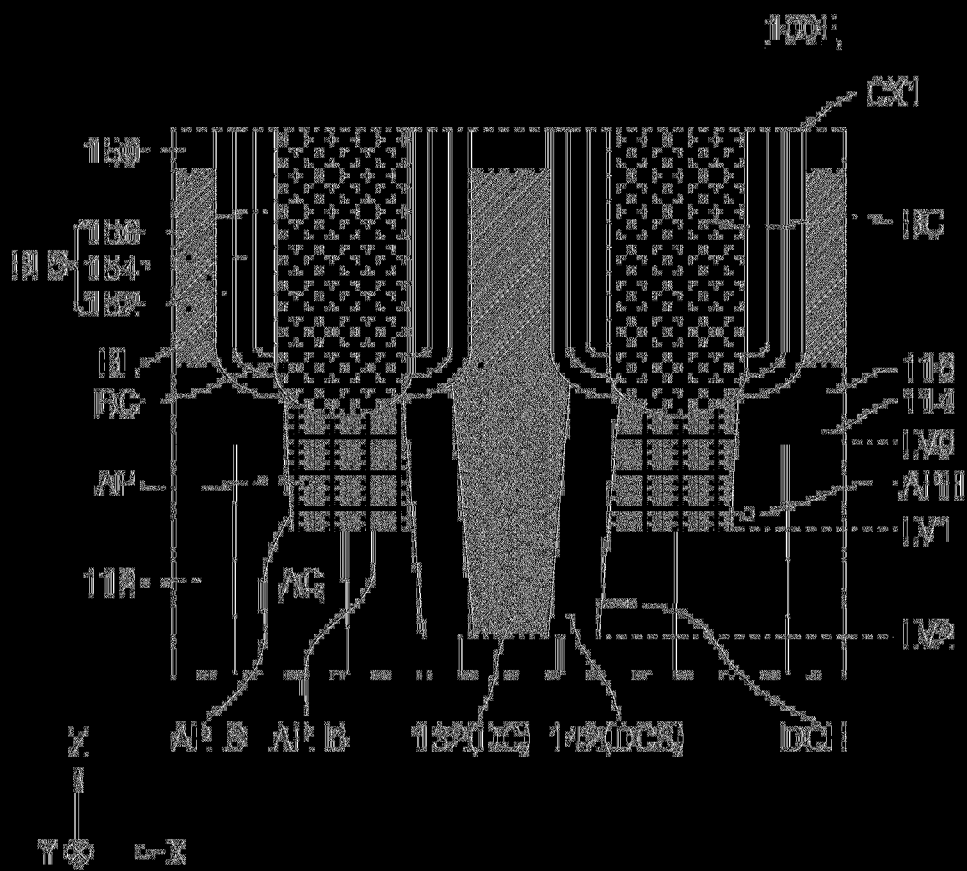
(圖10)



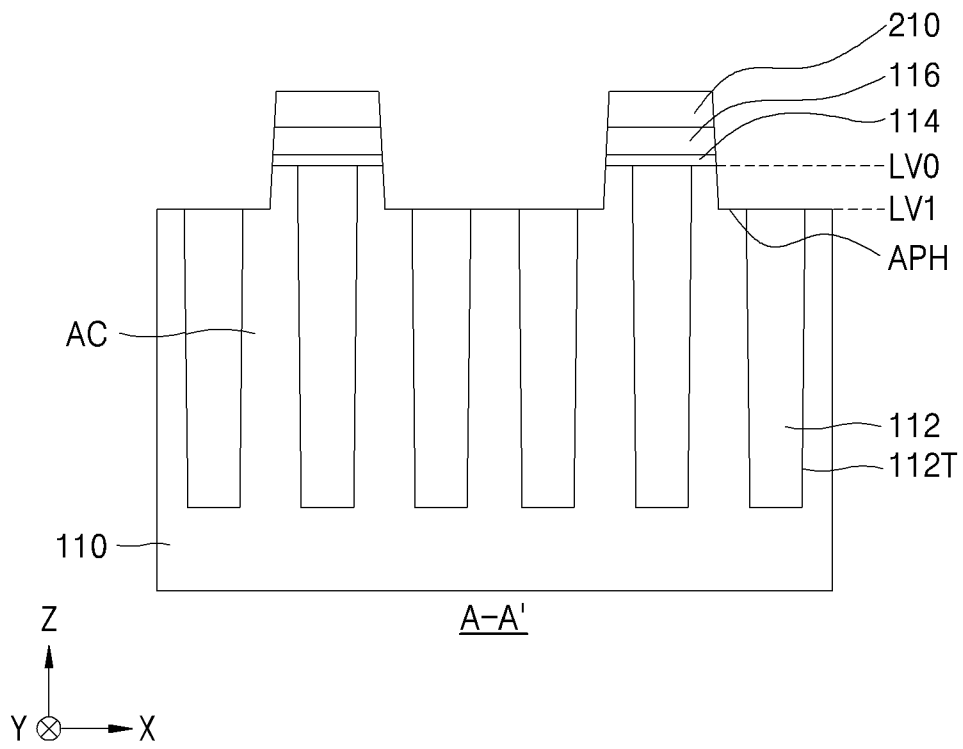
【圖11】



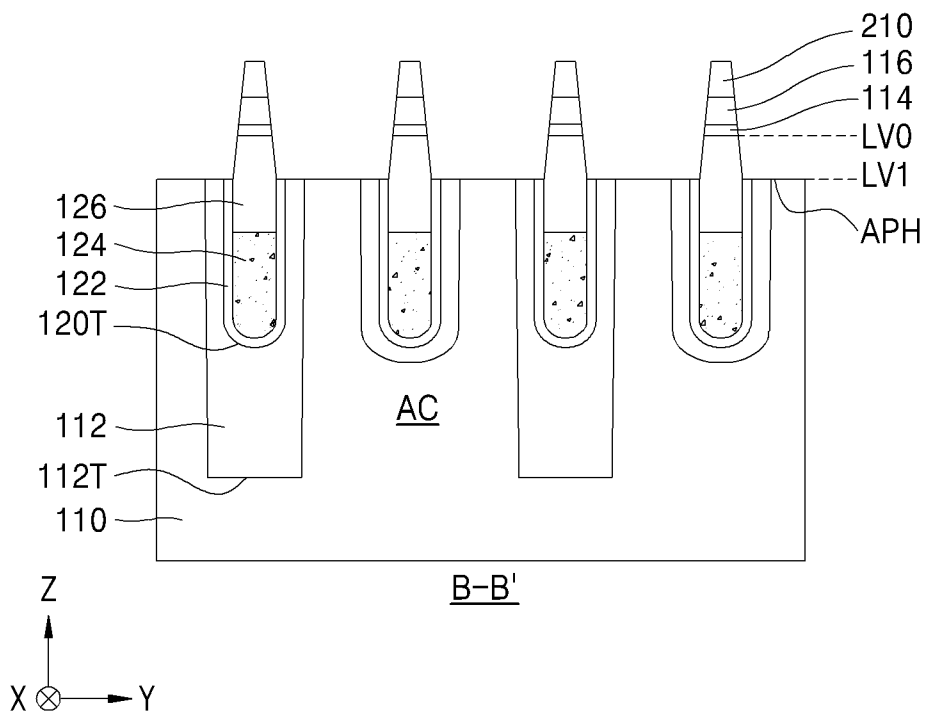
(圖12)



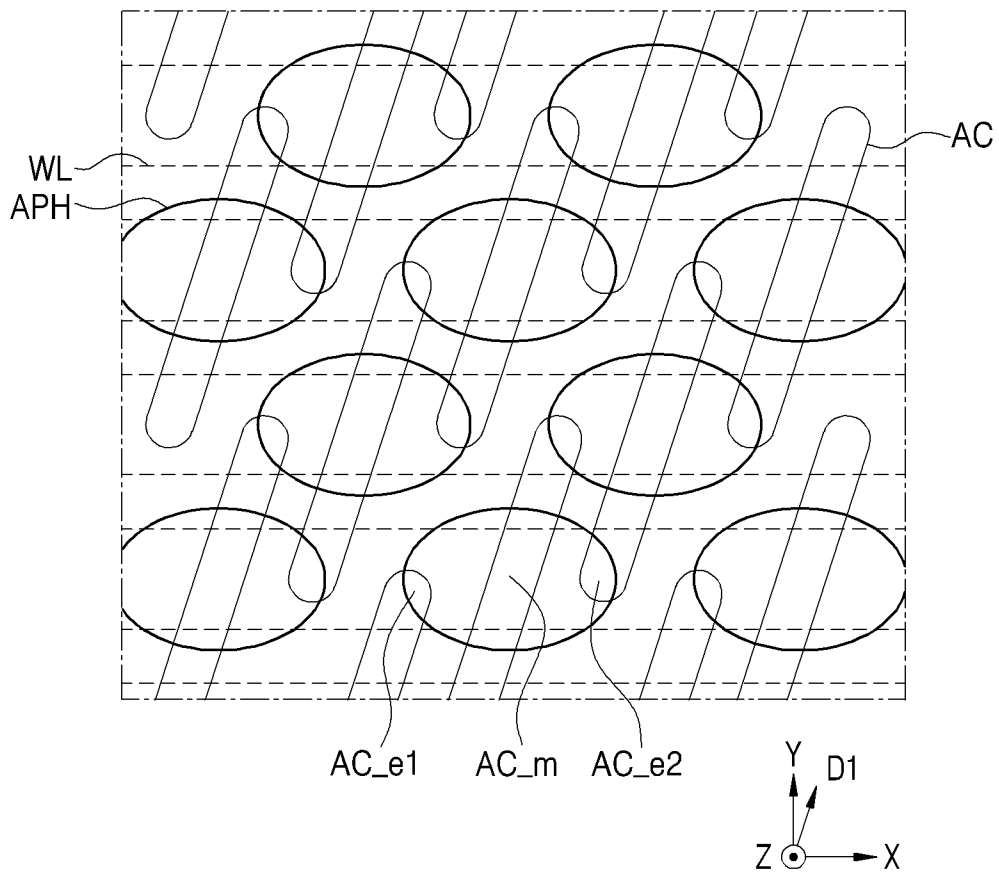
(圖13)



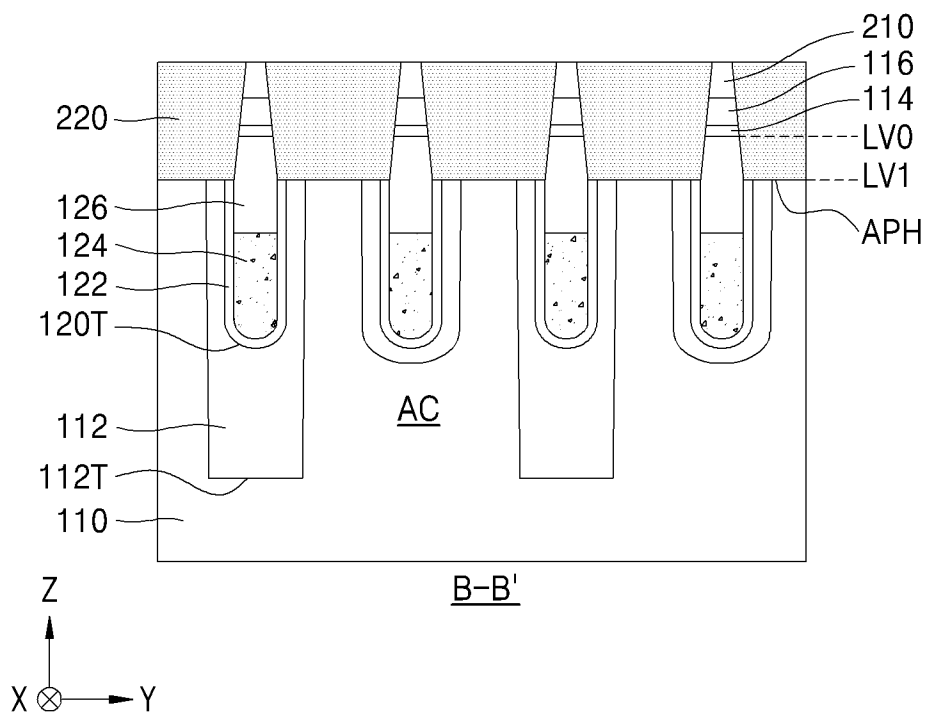
【圖14A】



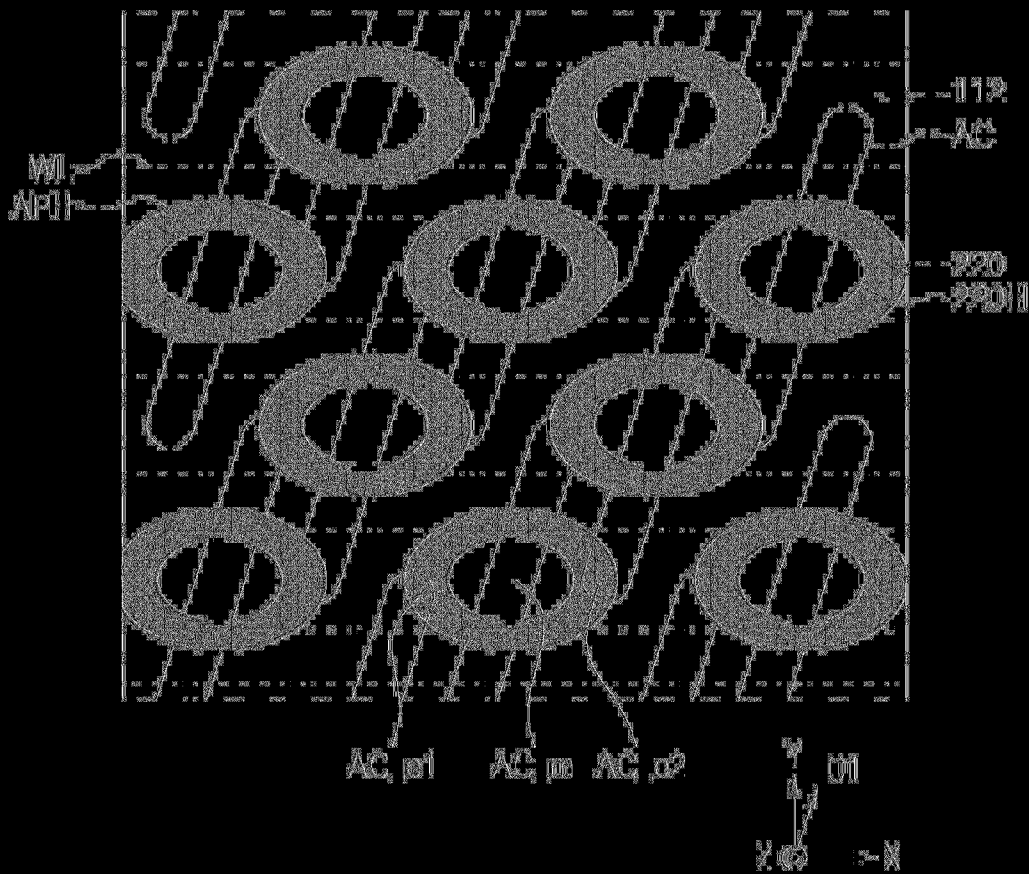
【圖14B】



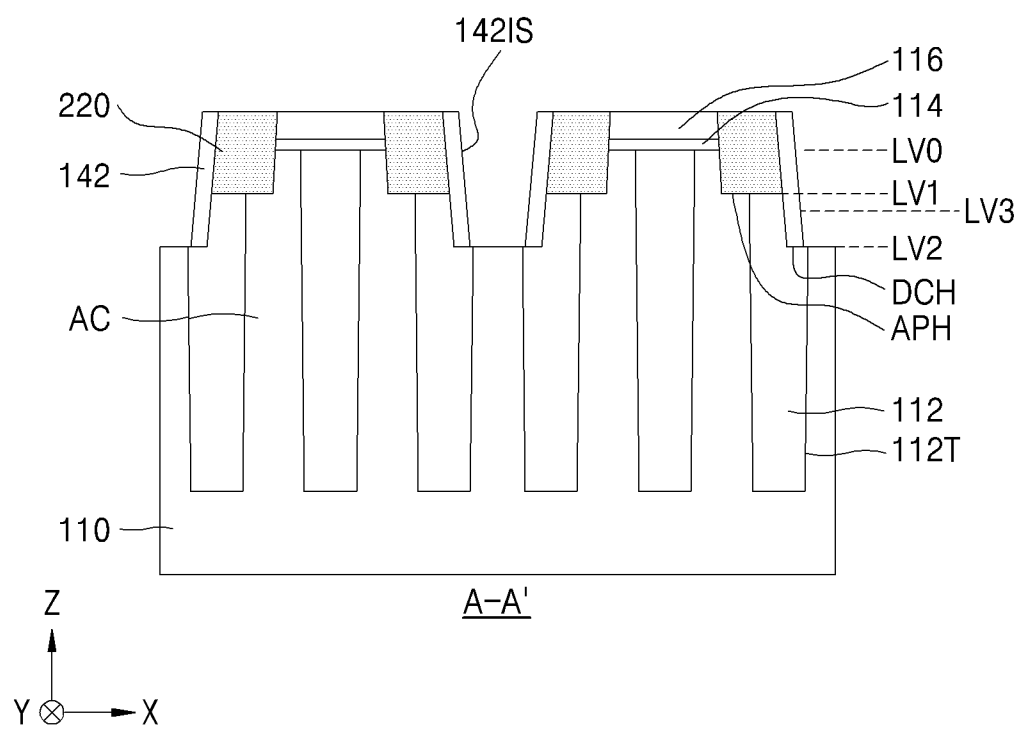
【圖14C】



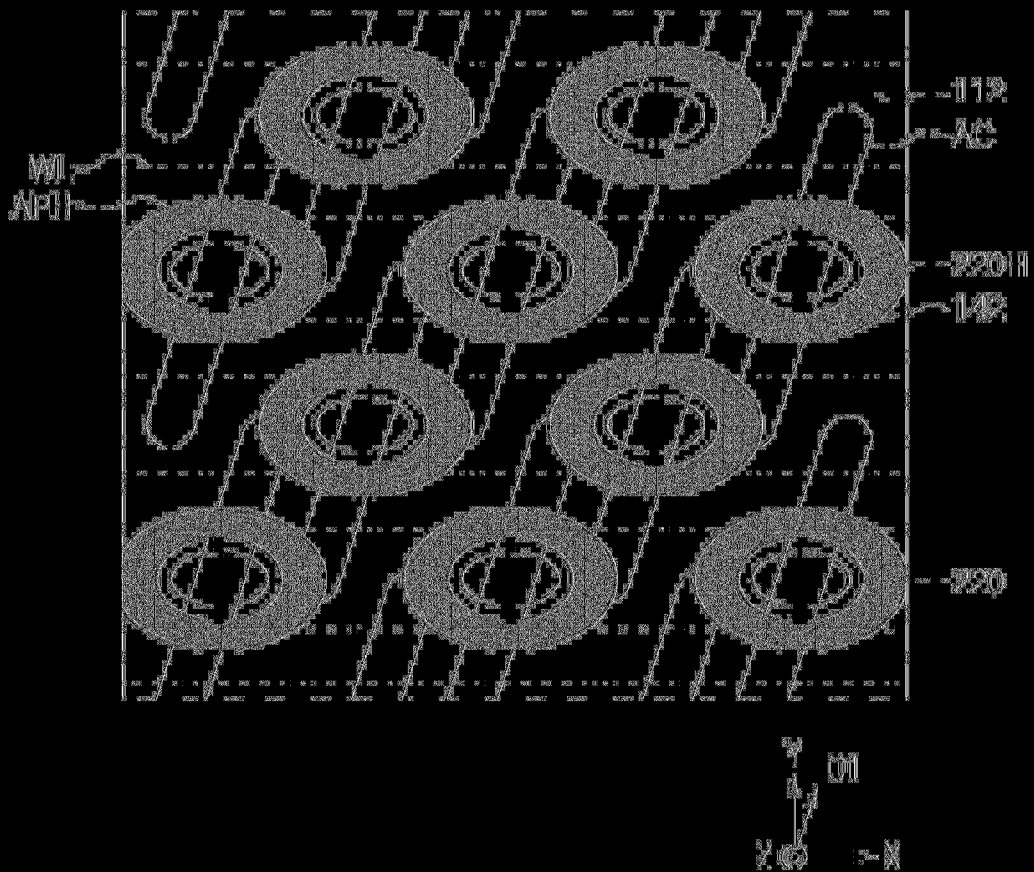
【圖15B】



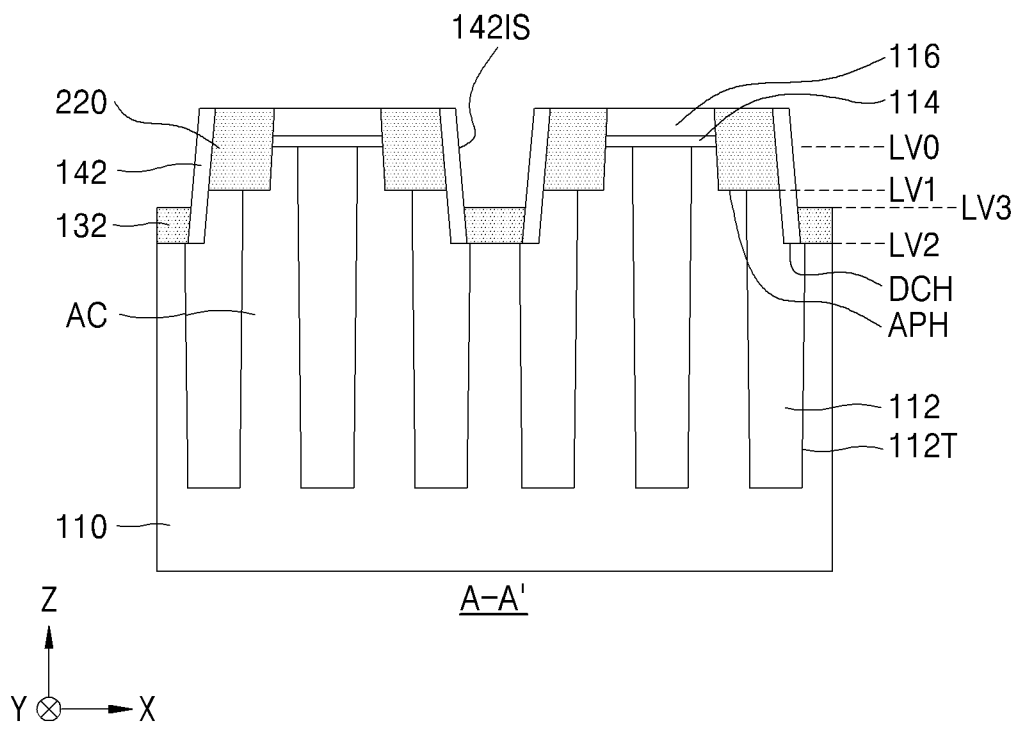
[(圖)15C]



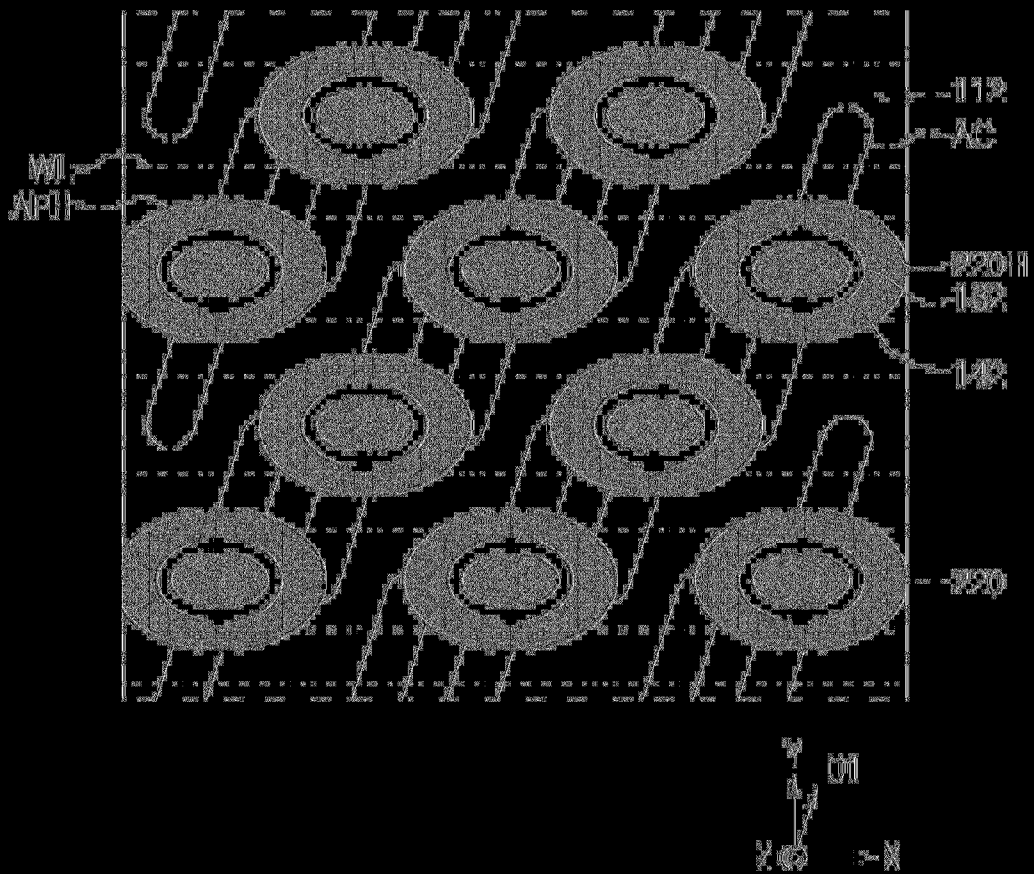
【圖17A】



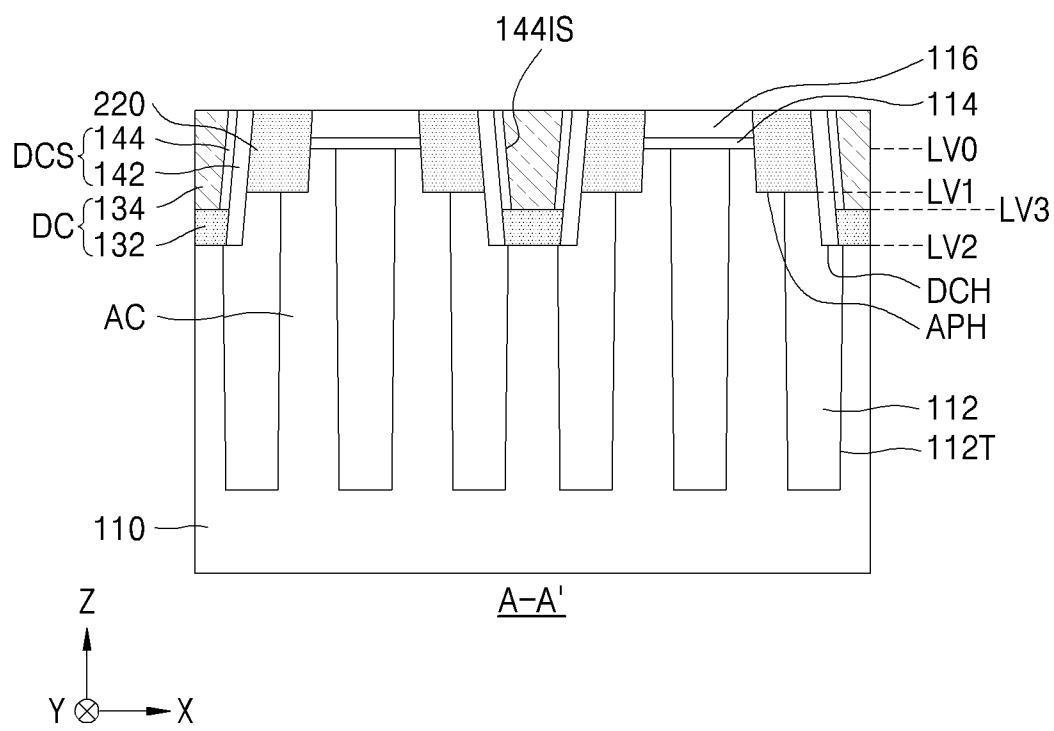
[(圖1/3)]



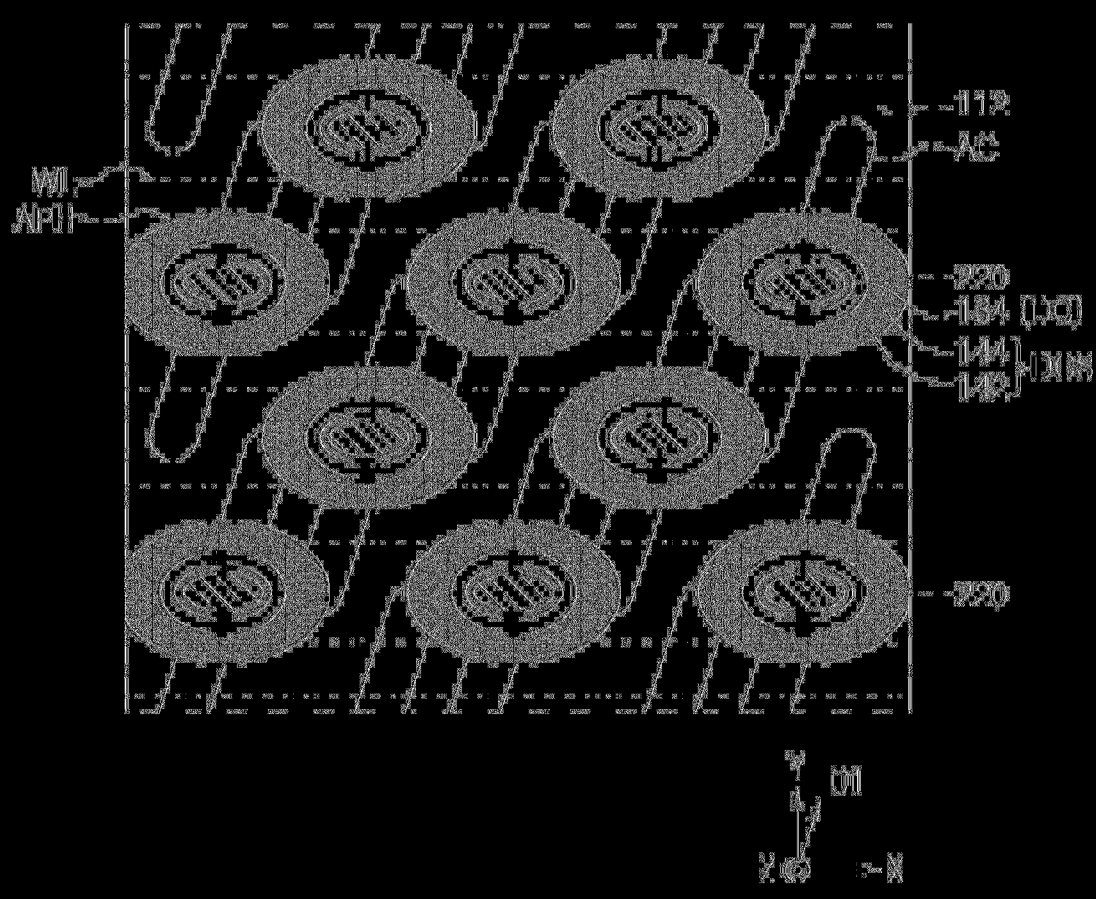
【圖18A】



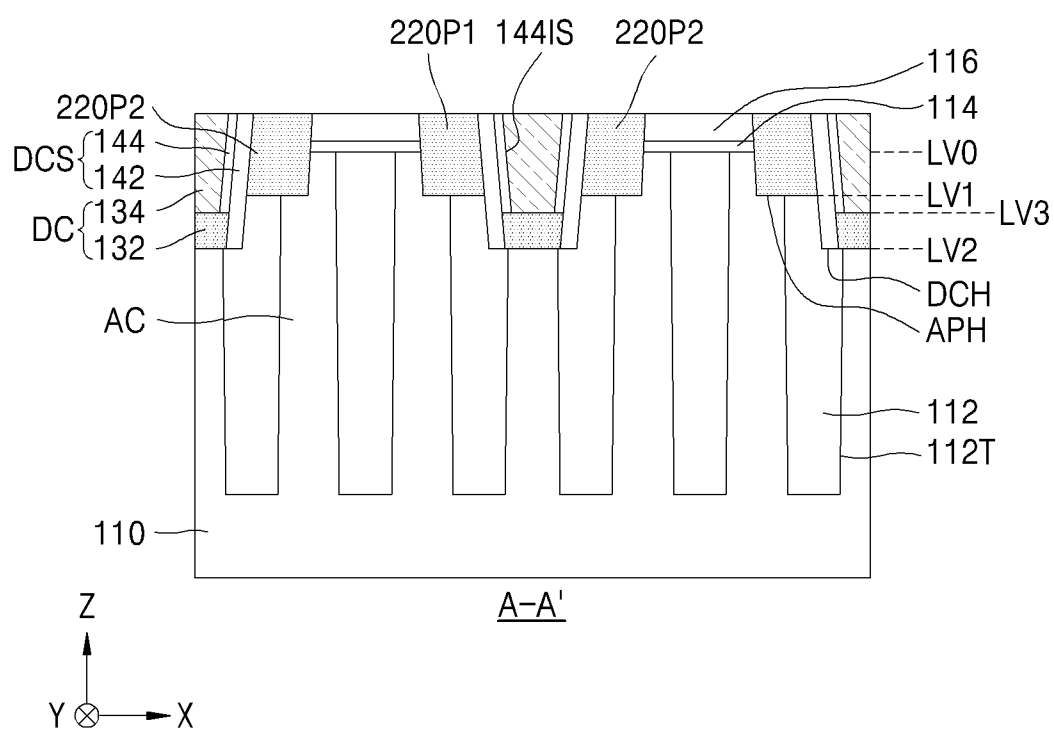
〔圖18B〕



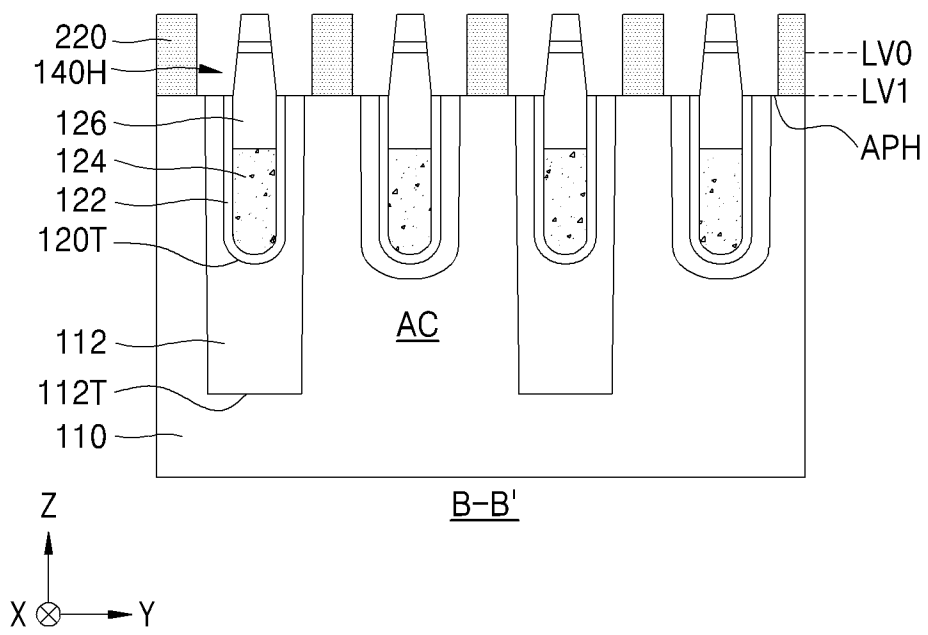
【圖19A】



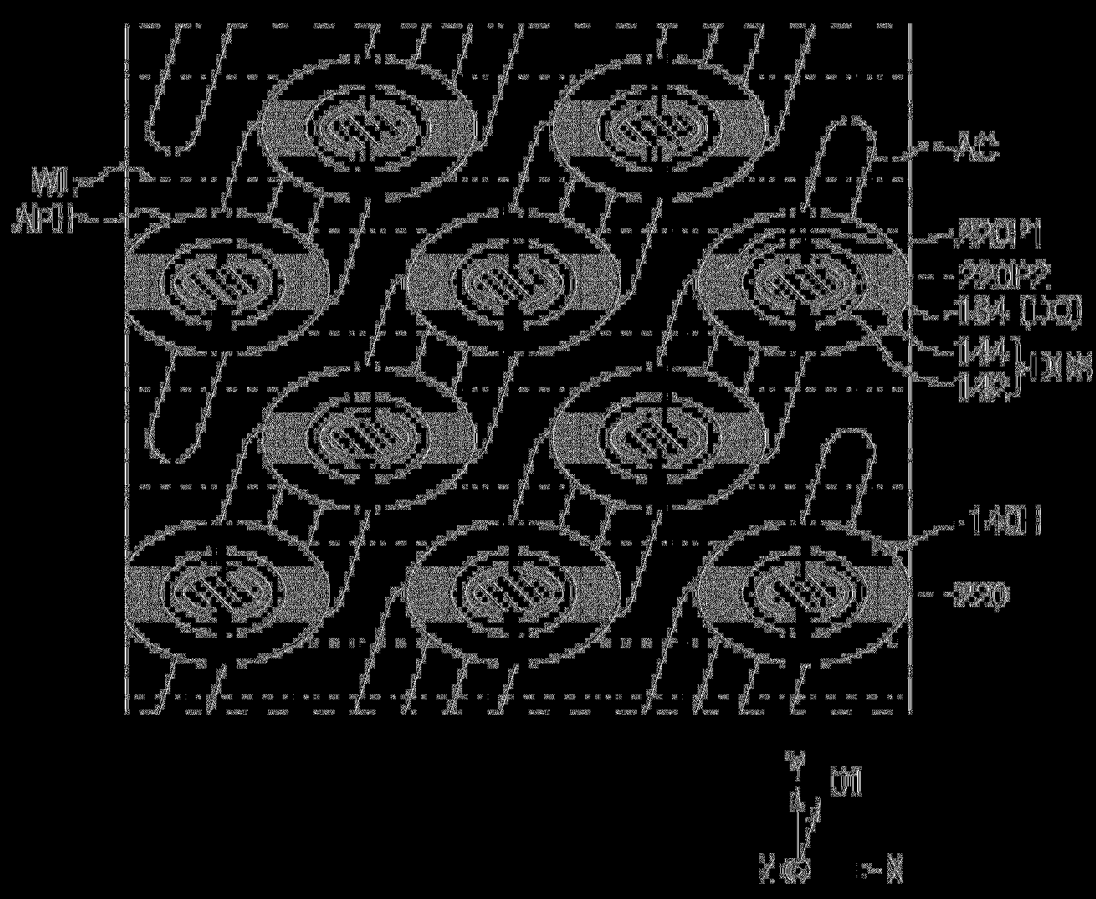
〔圖19B〕



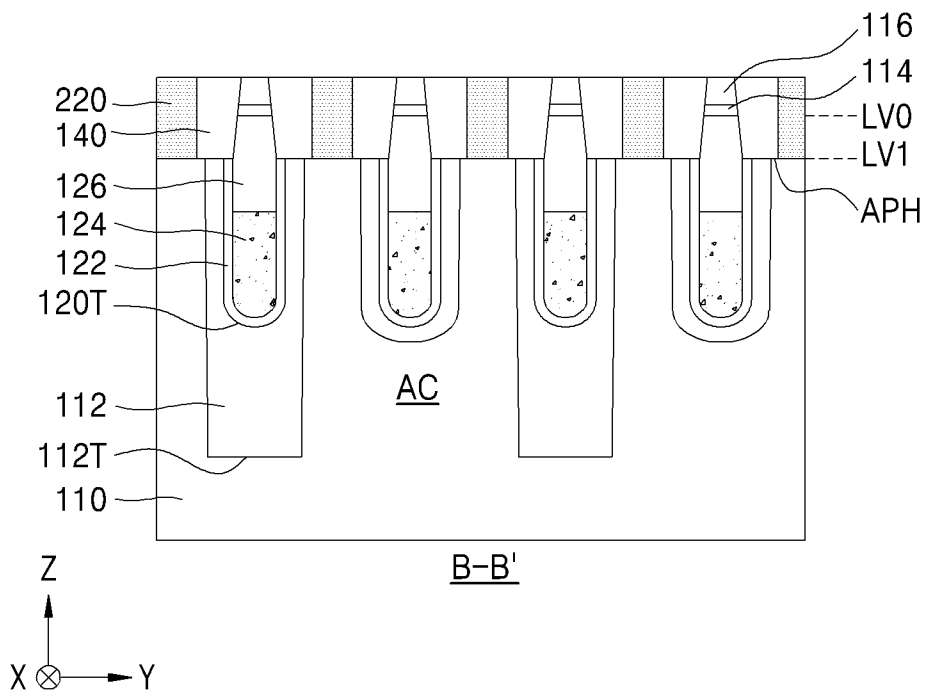
【圖20A】



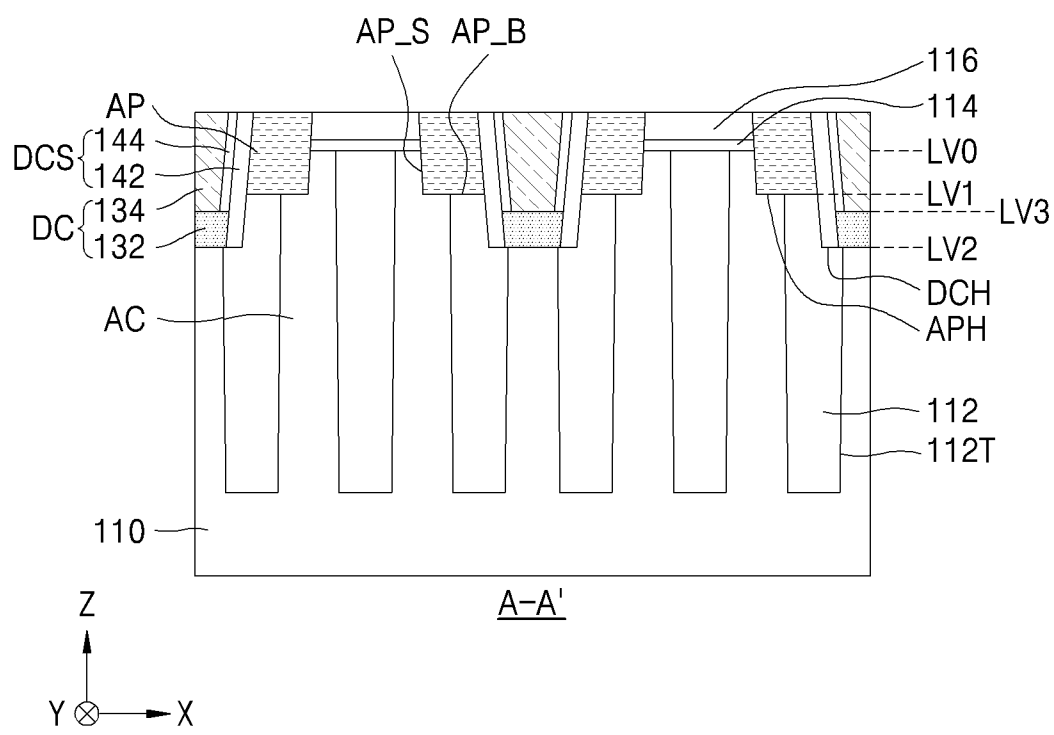
【圖20B】



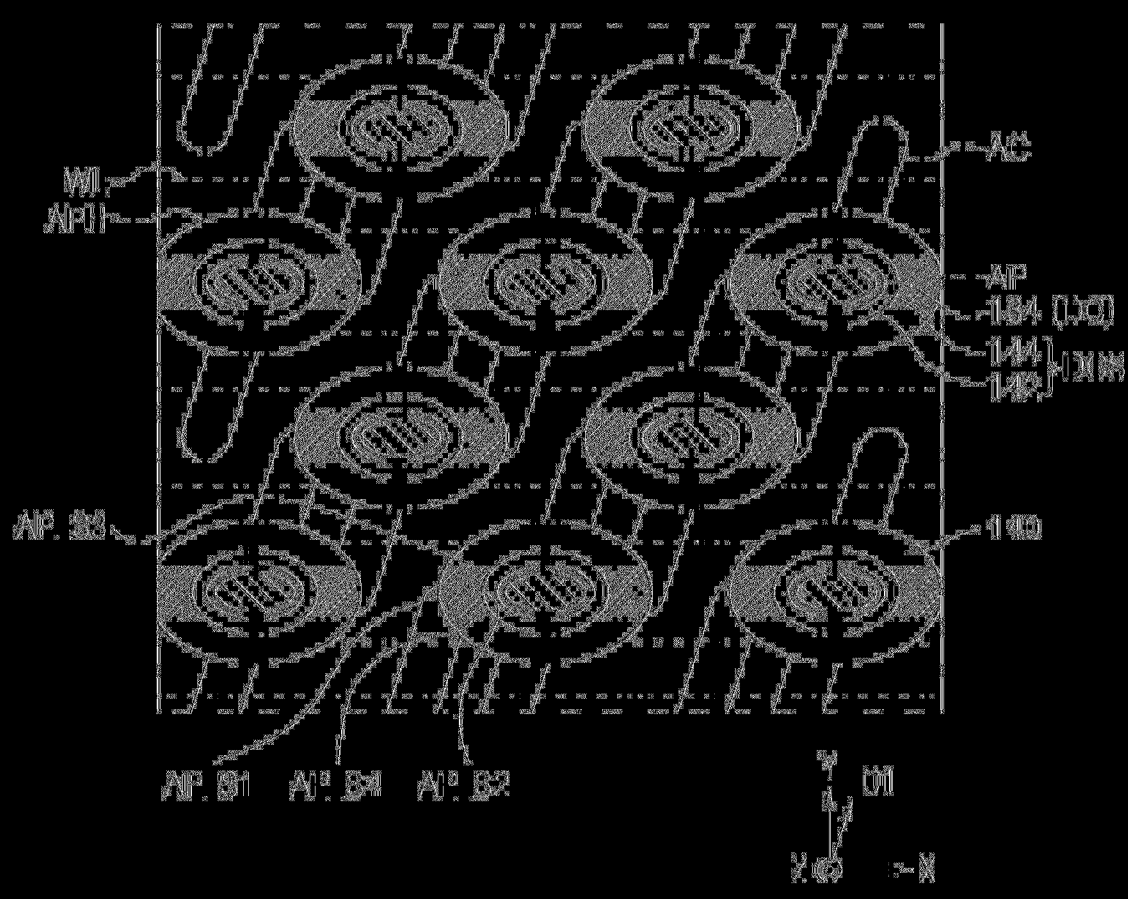
|(圖20C)|



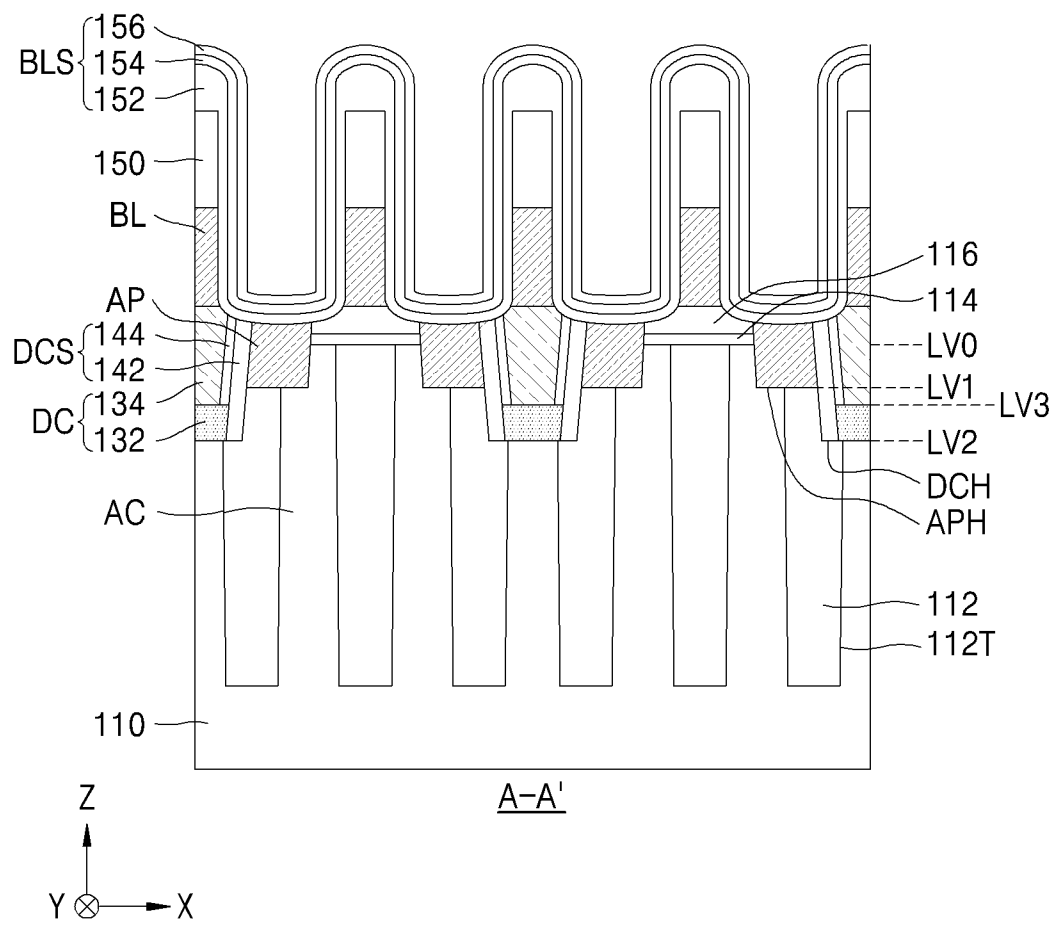
【圖21】



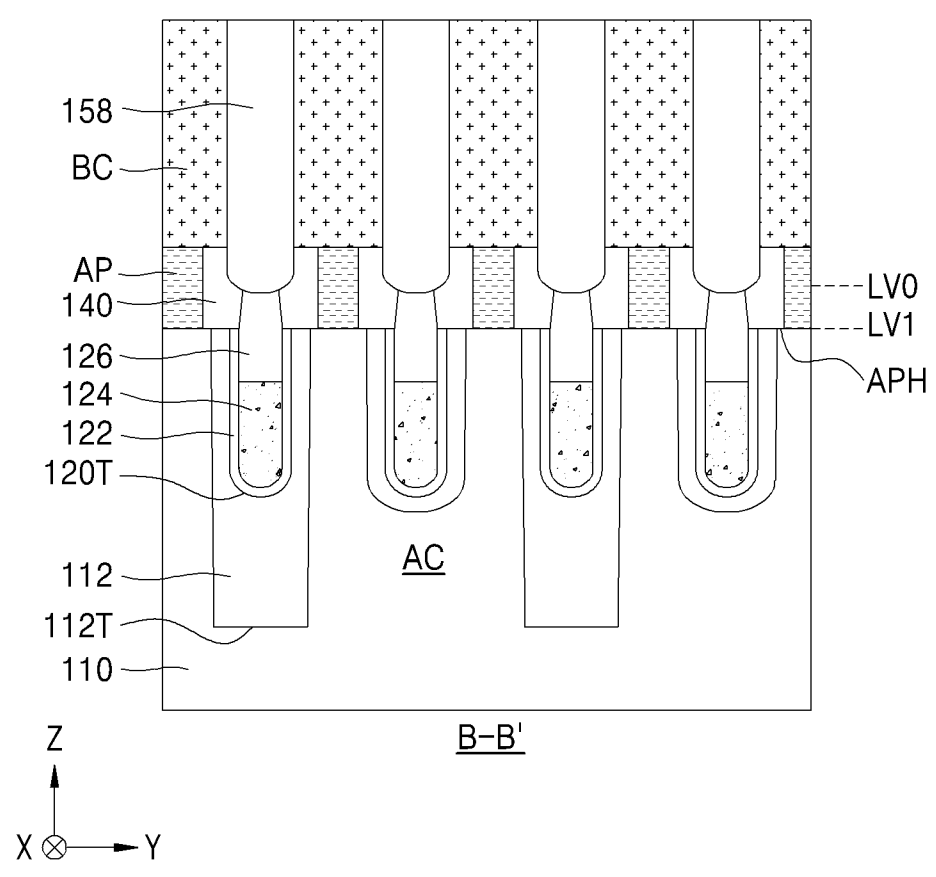
【圖22A】



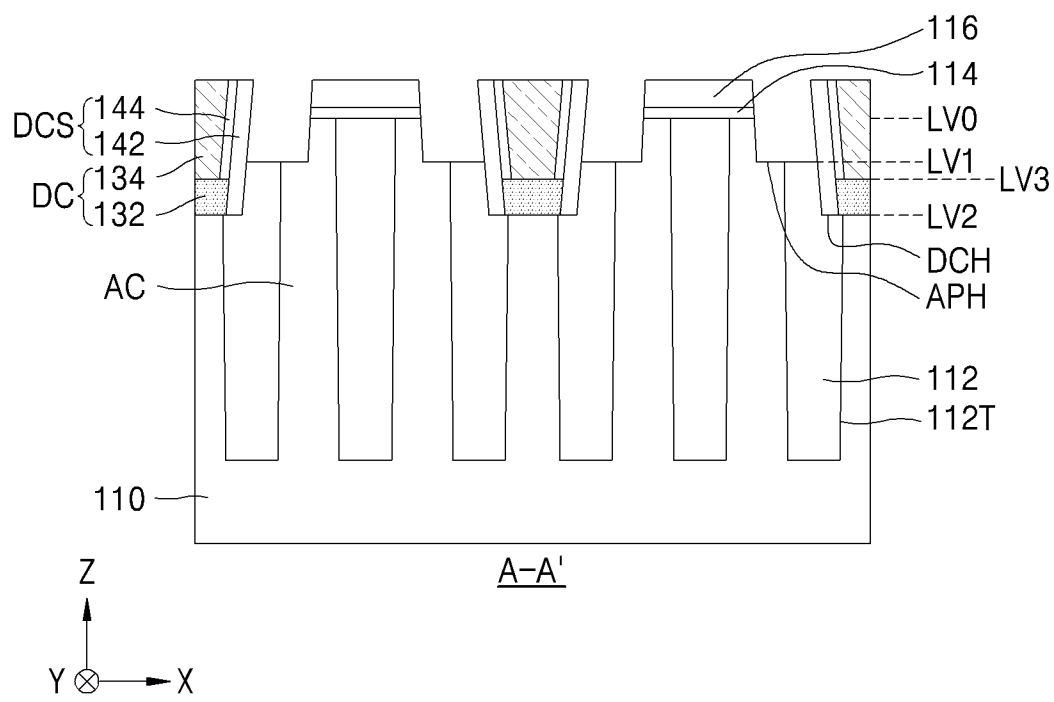
|(圖22C)|



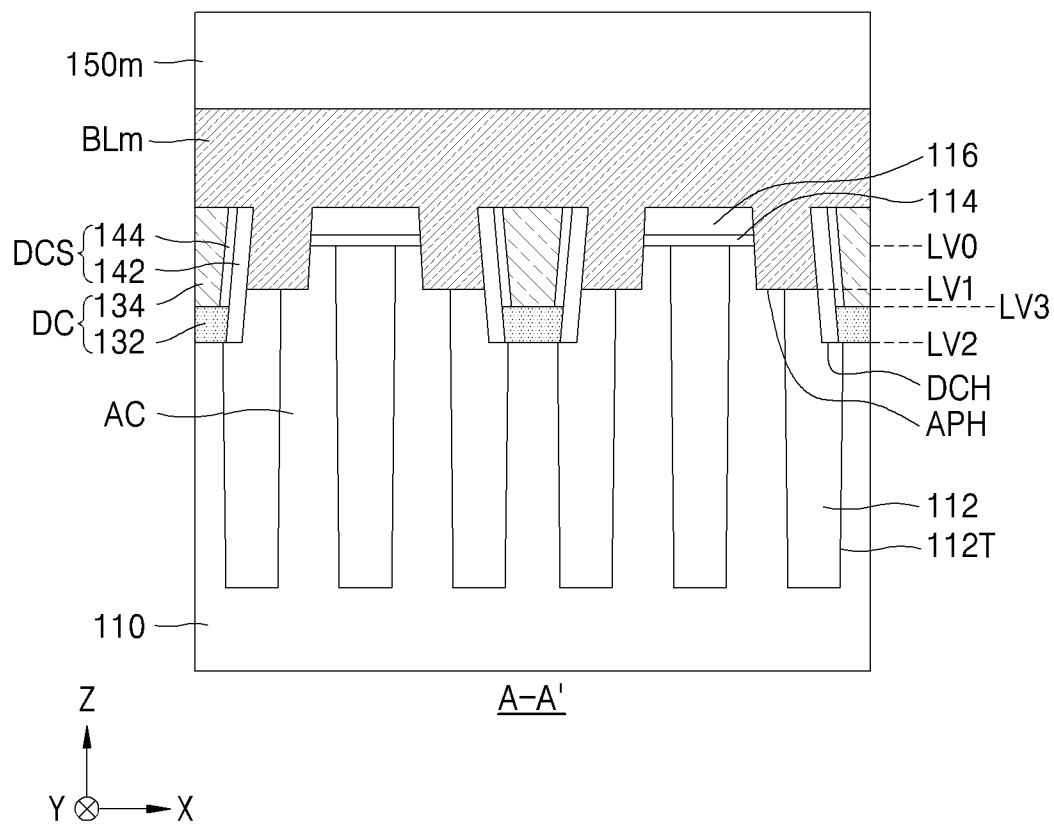
【圖23】



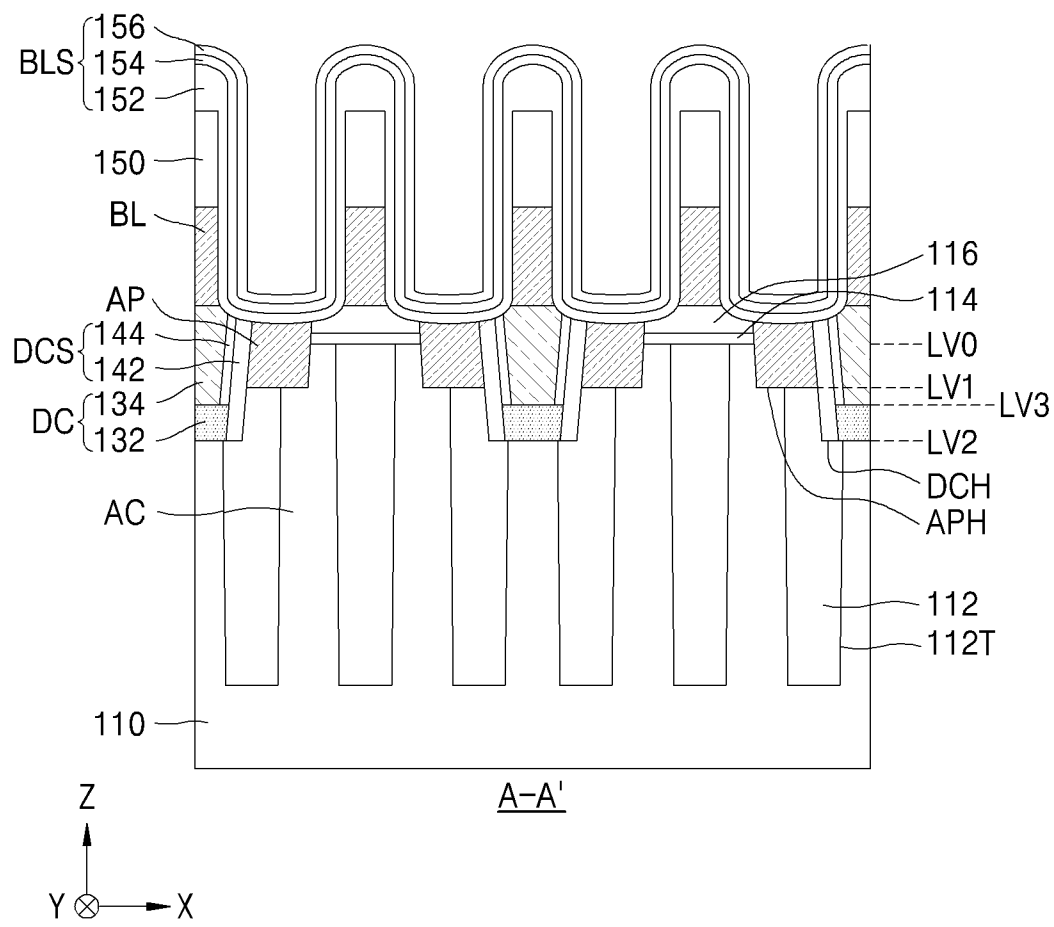
【圖24B】



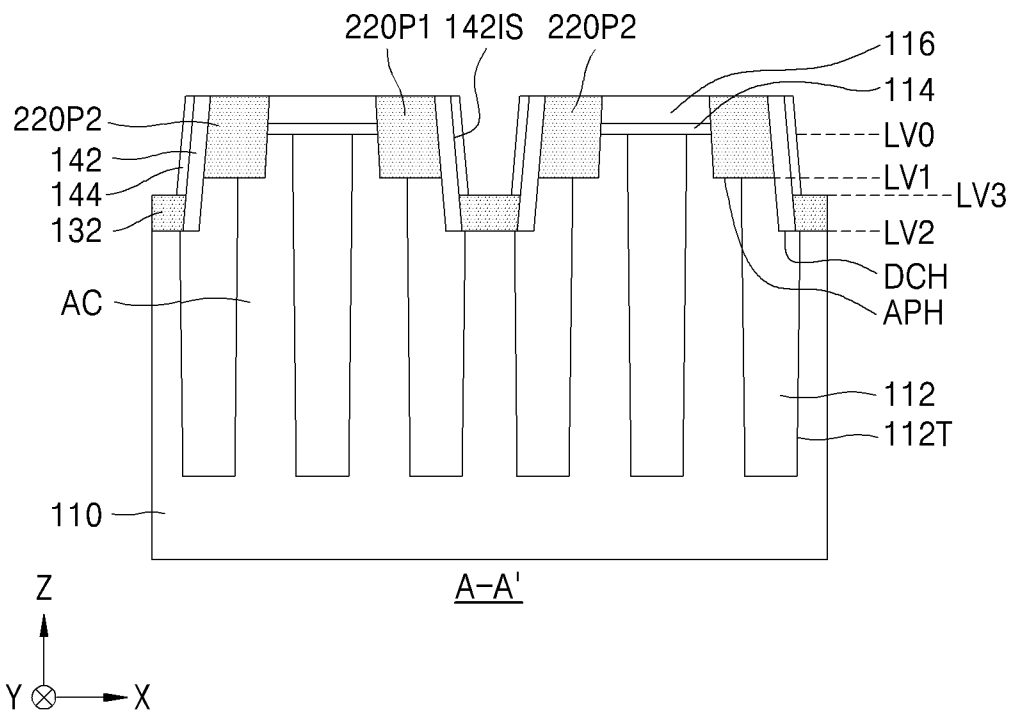
【圖25】



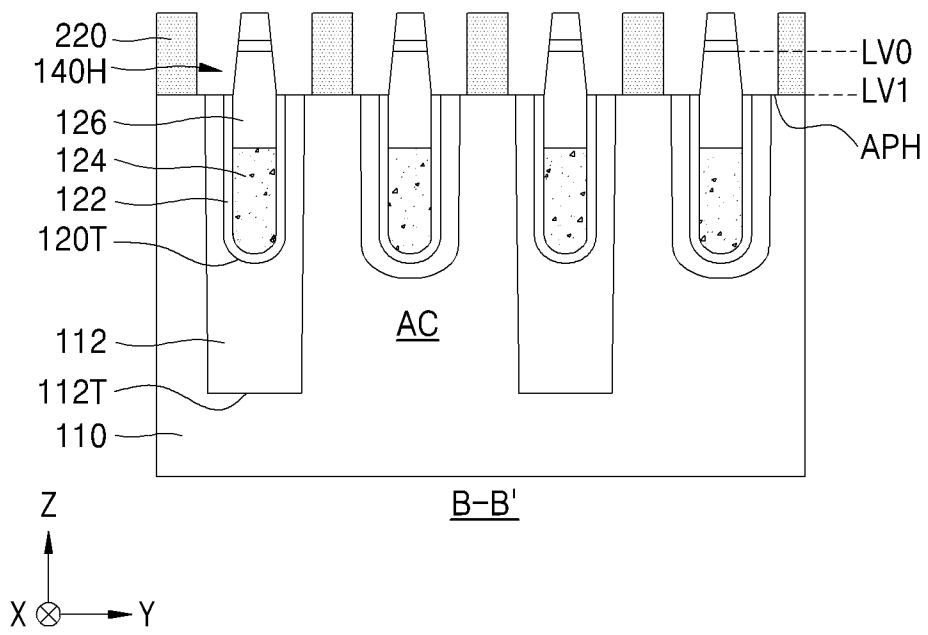
【圖26】



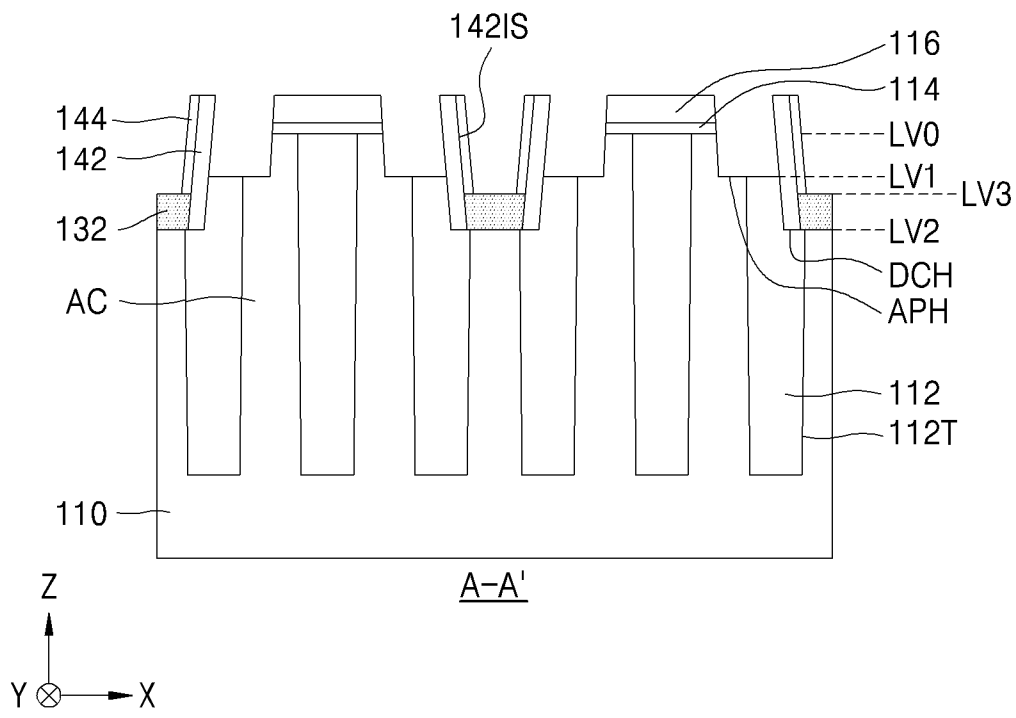
【圖27】



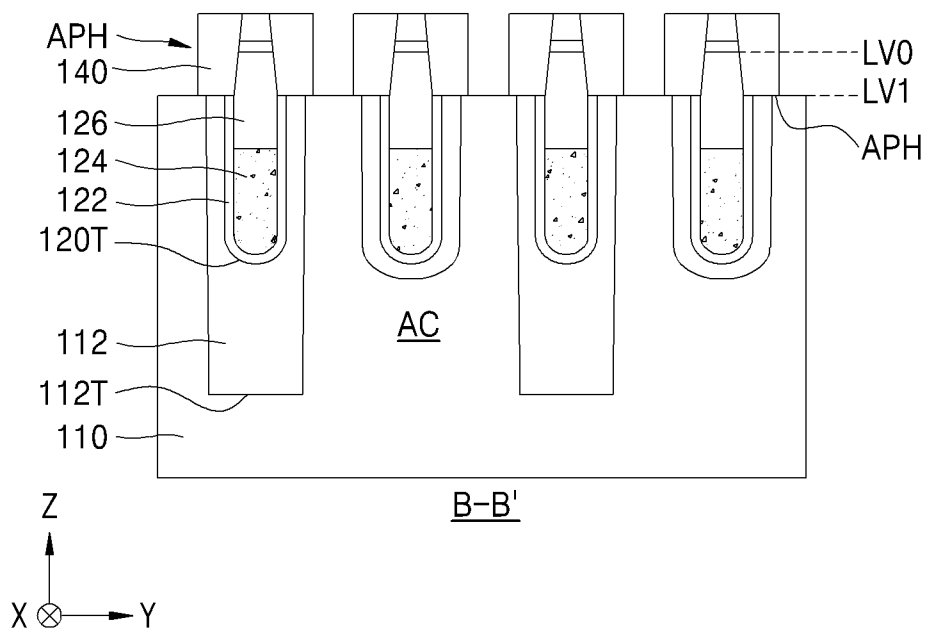
【圖28A】



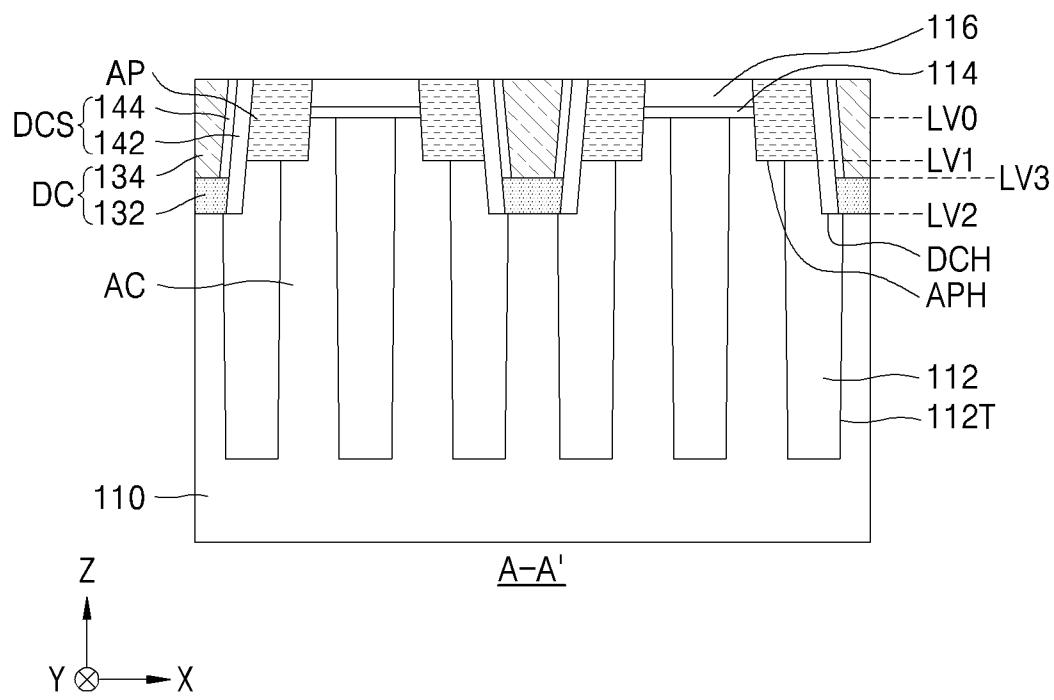
【圖28B】



【圖29A】



【圖29B】



【圖30】