

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5640374号  
(P5640374)

(45) 発行日 平成26年12月17日(2014.12.17)

(24) 登録日 平成26年11月7日(2014.11.7)

(51) Int.Cl.

F 1

<b>G09G</b>	<b>3/30</b>	<b>(2006.01)</b>	G09G	3/30	J
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	622D
<b>H01L</b>	<b>51/50</b>	<b>(2006.01)</b>	G09G	3/20	660X
<b>G02B</b>	<b>27/22</b>	<b>(2006.01)</b>	G09G	3/20	611D
<b>HO4N</b>	<b>5/70</b>	<b>(2006.01)</b>	G09G	3/20	641R

請求項の数 6 (全 39 頁) 最終頁に続く

(21) 出願番号

特願2009-292901 (P2009-292901)

(22) 出願日

平成21年12月24日 (2009.12.24)

(65) 公開番号

特開2011-133652 (P2011-133652A)

(43) 公開日

平成23年7月7日 (2011.7.7)

審査請求日

平成24年11月9日 (2012.11.9)

(73) 特許権者 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100082131

弁理士 稲本 義雄

(74) 代理人 100121131

弁理士 西川 孝

(72) 発明者 長谷川 洋

東京都港区港南1丁目7番1号 ソニー株式会社内

(72) 発明者 伴田 智壯

東京都品川区西五反田三丁目9番17号  
ソニーエンジニアリング株式会社内

審査官 山崎 仁之

最終頁に続く

(54) 【発明の名称】表示パネルモジュール、半導体集積回路、画素アレイ部の駆動方法及び電子機器

## (57) 【特許請求の範囲】

## 【請求項 1】

電流駆動型の自発光素子と、当該自発光素子を駆動制御する画素回路とで構成されるサブ画素をマトリクス状に配置した画素アレイ部と、

信号線を駆動する信号線駆動部と、

信号線に出現する電位の前記サブ画素への書き込みを、所定の周期のスキャンクロックに基づいて制御する書き制御線駆動部と、

前記自発光素子の点灯期間を規定する駆動電源の前記サブ画素への供給と停止を制御する電源供給制御部であって、信号電位の書き込みが最初に完了する第1の水平ラインの信号電位の書き込みが完了してから所定の長さの時間が経過した後に、前記書き制御線駆動部と同じスキャンクロックに基づいて、信号電位の書き込みが完了する順に2以上の水平ライン毎に同じタイミングで前記駆動電源を供給し、全ての水平ラインの1フレームあたりの点灯期間の長さを同じにするとともに、信号電位の書き込みが最後に完了する第2の水平ラインの点灯が、次のフレームの前記第1の水平ラインの点灯開始より所定の時間前に終了するように、各水平ラインの書き込み完了から点灯開始までの待ち時間及び点灯期間の長さを制御する電源供給制御部と

を有する表示パネルモジュール。

## 【請求項 2】

2次元画像と3次元画像のいずれが画面上に表示される場合にも、

前記信号線駆動部、前記書き制御線駆動部及び前記電源供給制御部は、共通の駆動タイ

ミングで動作する

請求項 1 に記載の表示パネルモジュール。

【請求項 3】

前記スキャンクロックの周期は、水平走査周期と一致するように設定される  
請求項 2 に記載の表示パネルモジュール。

【請求項 4】

電流駆動型の自発光素子と、当該自発光素子を駆動制御する画素回路とで構成されるサブ画素をマトリクス状に配置した画素アレイ部を駆動制御する電源供給制御部を少なくとも有し、

前記自発光素子の点灯期間を規定する駆動電源の前記サブ画素への供給と停止を制御する前記電源供給制御部が、信号電位の書き込みが最初に完了する第 1 の水平ラインの信号電位の書き込みが完了してから所定の長さの時間が経過した後に、信号線に出現する電位の前記サブ画素への書き込みの制御に使用されるものと同じスキャンクロックに基づいて、信号電位の書き込みが完了する順に 2 以上の水平ライン毎に同じタイミングで前記駆動電源を供給し、全ての水平ラインの 1 フレームあたりの点灯期間の長さを同じにするとともに、信号電位の書き込みが最後に完了する第 2 の水平ラインの点灯が、次のフレームの前記第 1 の水平ラインの点灯開始より所定の時間前に終了するように、各水平ラインの書き込み完了から点灯開始までの待ち時間及び点灯期間の長さを制御する

半導体集積回路。

【請求項 5】

電流駆動型の自発光素子と、当該自発光素子を駆動制御する画素回路とで構成されるサブ画素をマトリクス状に配置した画素アレイ部の駆動方法であって、

信号線に出現する電位の前記サブ画素への書き込みを、所定の周期のスキャンクロックに基づいて制御する処理と、

信号電位の書き込みが最初に完了する第 1 の水平ラインの信号電位の書き込みが完了してから所定の長さの時間が経過した後に、信号線に出現する電位の前記サブ画素への書き込みの制御に使用されるものと同じスキャンクロックに基づいて、信号電位の書き込みが完了する順に 2 以上の水平ライン毎に同じタイミングで前記自発光素子の点灯期間を規定する駆動電源を供給し、全ての水平ラインの 1 フレームあたりの点灯期間の長さを同じにするとともに、信号電位の書き込みが最後に完了する第 2 の水平ラインの点灯が、次のフレームの前記第 1 の水平ラインの点灯開始より所定の時間前に終了するように、各水平ラインの書き込み完了から点灯開始までの待ち時間及び点灯期間の長さを制御する処理と

を有する画素アレイ部の駆動方法。

【請求項 6】

電流駆動型の自発光素子と、

当該自発光素子を駆動制御する画素回路とで構成されるサブ画素をマトリクス状に配置した画素アレイ部と、信号線を駆動する信号線駆動部と、

信号線に出現する電位の前記サブ画素への書き込みを、所定の周期のスキャンクロックに基づいて制御する書き込み制御部と、

前記自発光素子の点灯期間を規定する駆動電源の前記サブ画素への供給と停止を制御する電源供給制御部であって、信号電位の書き込みが最初に完了する第 1 の水平ラインの信号電位の書き込みが完了してから所定の長さの時間が経過した後に、前記書き込み制御部と同じスキャンクロックに基づいて、信号電位の書き込みが完了する順に 2 以上の水平ライン毎に同じタイミングで前記駆動電源を供給し、全ての水平ラインの 1 フレームあたりの点灯期間の長さを同じにするとともに、信号電位の書き込みが最後に完了する第 2 の水平ラインの点灯が、次のフレームの前記第 1 の水平ラインの点灯開始より所定の時間前に終了するように、各水平ラインの書き込み完了から点灯開始までの待ち時間及び点灯期間の長さを制御する電源供給制御部と

を有する表示パネルモジュールと、

システム全体の動作を制御するシステム制御部と、

10

20

30

40

50

前記システム制御部に対する操作入力部と  
を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

この明細書で説明する発明は、電流駆動型の自発光素子を駆動する画素回路の駆動技術に関する。なお、この明細書で提案する発明は、表示パネルモジュール、半導体集積回路、画素アレイ部の駆動方法及び表示パネルモジュールを搭載する電子機器としての側面を有する。

【背景技術】

10

【0002】

今日に至るまで、表示パネルモジュールは、単一の視点で撮影された画像（以下では、「2次元画像」という。）の表示デバイスとして普及してきた。しかし、昨今では、両眼視差を利用して撮影された画像（以下では、「3次元画像」という。）を表示し、ユーザーに立体的な画像として知覚させることができる表示デバイスの開発が進められている。もっとも、現存するコンテンツ量は、2次元画像が圧倒的に多い。

【0003】

このため、これから表示パネルモジュールには、2次元画像と3次元画像の両方を表示できる仕組みが必要になると考えられる。

図1に、2次元画像と3次元画像の両方を表示できる画像システムの構築例を示す。この画像システム1は、2次元画像と3次元画像を同じ画面サイズで表示させたい場合に用いて好適な構成である。

20

【0004】

この画像システム1は、画像再生機3と、表示装置5と、赤外線発光部7と、液晶シャッター付き眼鏡9とで構成される。このうち、画像再生機3は、2次元画像と3次元画像の両方の再生機能を搭載した映像機器であり、いわゆる画像再生装置の他、セットトップボックスやコンピュータも含まれる。表示装置5は、入力画像データの出力装置であり、いわゆるテレビジョン受像機の他、モニターも含まれる。

【0005】

赤外線発光部7は、3次元画像の表示時に、左眼用画像と右眼用画像の表示タイミング又は表示の切り替えタイミングを、液晶シャッター付き眼鏡9に対して、赤外線を用いて通知するデバイスである。図1は、表示装置5の上辺額部の中央付近に赤外線発光部7を配置した例を表している。液晶シャッター付き眼鏡9は、3次元画像の表示時に、ユーザーへの装着が求められるアクセサリーの一つである。勿論、2次元画像の表示時には、液晶シャッター付き眼鏡9のユーザーへの装着は不要である。なお、液晶シャッター付き眼鏡9に表示タイミング又は表示の切り替えタイミングを通知する手段は、赤外線に限定されるものではない。

30

【0006】

図2に、液晶シャッター付き眼鏡9の動作イメージを示す。図中、枠内が白抜きで表示されている絵は、液晶シャッターが開状態であること、すなわち外光が透過できる状態を表している。また、枠内が網掛けで表示されている絵は、液晶シャッターが閉状態であること、すなわち外光が透過しない状態を表している。

40

【0007】

図2に示すように、3次元画像の表示中は、2つの液晶シャッターが同時に開状態になることはなく、いずれか一方だけが表示画像の切り替えに連動して開状態に制御される。具体的には、左眼用画像の表示中は左眼用の液晶シャッターのみが開状態に制御され、右眼用画像の表示中は右眼側の液晶シャッターのみが開状態に制御される。画像システム1では、この液晶シャッターの相補的な開閉動作により、立体画像の視認を可能にしている。

【0008】

50

図3に、液晶シャッター付き眼鏡9の電子回路部分の等価回路を示す。液晶シャッター付き眼鏡9は、バッテリー11、赤外線受光部13、シャッター駆動部15、液晶シャッター17、19で構成される。

バッテリー11は、例えばボタン電池のような軽量かつ小型の電池である。赤外線受光部13は、例えば眼鏡の前面部分に取り付けられ、表示画像の切り替え情報を重畳した赤外線光を受信する電子部品である。

【0009】

シャッター駆動部15は、受信した切り替え情報に基づいて、表示画像と同期するよう10に右眼用の液晶シャッター17と左眼用の液晶シャッター19の開閉を切り替え制御する電子部品である。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2007-286623号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

特許文献1には、2次元画像の表示用駆動回路と3次元画像の表示用駆動回路を搭載し、表示画像の切り替えに応じて表示パネルの駆動に使用する駆動回路を切り替える画像システムが開示されている。

図4に、特許文献1に開示されている駆動方式を示す。なお、図4は、ある水平ラインに着目した駆動期間の関係を表している。

【0012】

ただし、図4は、60フレーム/秒で撮影された2次元画像と3次元画像を表示パネルに表示する場合の動作関係を表している。因みに、表示パネルは、アクティブマトリクス駆動方式で駆動制御されるものとする。

図4(A)は、ある水平ラインに着目した2次元画像データの処理タイミングを表している。図4(A)に示すように、2次元画像の入力時には、1/60[秒]の間にフレーム画像Fの書き込みから点灯までの処理動作が実行される。

【0013】

図4(B)は、ある水平ラインに着目した3次元画像データの処理タイミングを表している。白抜きで示す期間が左眼用画像L又は右眼用画像Rの処理期間であり、黒塗りで示す期間が黒画面の処理期間である。図4(B)に示すように、3次元画像の入力時には、1/240[秒]単位で、左眼用画像Lの書き込みから点灯までの処理動作、黒画面の書き込みから点灯までの処理動作、右眼用画像Rの書き込みから点灯までの処理動作、黒画面の書き込みから点灯までの処理動作が実行される。

【0014】

ここで、左眼用画像Lと右眼用画像Rの処理期間の中間に、黒画面の処理期間を挿入するには、画面上での左右の画像が同時に表示されて混在するのを防ぐためである。図5に40その動作原理を示す。図5は、各水平ラインの処理タイミングと、ユーザーから視認される表示状態との関係を表している。図5の場合も、白抜き部分が左眼用画像L又は右眼用画像Rの処理期間(主に点灯期間と考える。)を表しており、黒塗り期間が黒画面の処理期間(主に点灯期間と考える。)を表している。

【0015】

図5に示すように、黒画面の挿入期間が存在することにより、先頭行の水平ラインにおける右眼用画像Rの表示(点灯)開始タイミングを、最終行の水平ラインにおける左眼用画像Lの表示(点灯)終了以後にまで遅延させることができる。そして、最終行の水平ラインにおける左眼用画像Lの表示(点灯)終了から先頭行の水平ラインにおける右眼用画像Rの表示(点灯)開始までの間が、液晶シャッターの開閉状態の切り替え期間に充てられる。

10

20

30

40

50

## 【0016】

このように、特許文献1には、3次元画像を表示するための駆動技術が開示されている。しかしながら、この駆動方式の場合、視認されるフレームレート(60Hz)の実に4倍もの速度(240Hz)で表示パネルを駆動する必要がある。このことは、画素アレイ部やその駆動回路について非常に性能の高い部品を採用する必要があることを意味し、製造コストが高くなる原因になる。

## 【0017】

また、図5に示すように黒画面の表示期間は、3次元画像の表示期間と同じだけ必要になる。このため、黒画面を挿入する従来技術の場合には、必然的に画面輝度が低下するのを避け得ない問題がある。

10

## 【0018】

また、特許文献1に示す駆動方式のように、2次元画像の表示時と3次元画像の表示と時で駆動方式を切り替える方法では、画像形式の違いを検出して駆動方法を切り替える機能構成が必要になる。更に、特許文献1に示す駆動方式では、2次元画像用の駆動回路と、3次元画像用の駆動回路の両方が必要である。従って、部品点数の増加に加え、回路レイアウトが複雑になる問題がある。

## 【課題を解決するための手段】

## 【0019】

そこで、発明者らは、

- (a) 電流駆動型の自発光素子と、当該自発光素子を駆動制御する画素回路とで構成されるサブ画素をマトリクス状に配置した画素アレイ部と、  
 (b) 信号線を駆動する信号線駆動部と、  
 (c) 信号線に出現する電位のサブ画素への書き込みを制御する書き制御線駆動部と、  
 (d) サブ画素に対する駆動電源の供給と停止を制御する電源供給制御部と  
 (e) を有する表示パネルモジュールとして、以下の条件を満たすものを提案する。

20

## 【0020】

すなわち、信号線駆動部、書き制御線駆動部及び電源供給制御部は、2次元画像と3次元画像のいずれを表示する場合にも、隣接するフレームの表示期間が重複させないように定めた共通の駆動タイミングで動作するものを提案する。

## 【0021】

30

この場合において、書き制御線駆動部は、所定の周期のスキャンクロックに基づいて書きタイミングを制御し、電源供給制御部は、自発光素子の点灯期間を規定する駆動電源の供給タイミングを、書き制御線駆動部と同じスキャンクロックに基づいて制御することが望ましい。

## 【0022】

更に、この場合において、電源供給制御部は、信号電位の書き込みが最初に完了する第1の水平ラインの信号電位の書き込みが完了してから所定の長さの時間が経過した後に、信号電位の書き込みが完了する順に2以上の水平ライン毎に同じタイミングで自発光素子の点灯期間を規定する駆動電源を供給し、全ての水平ラインの1フレームあたりの点灯期間の長さを同じにするように制御することが望ましい。

40

## 【0023】

また更に、この場合において、信号電位の書き込みが最後に完了する第2の水平ラインの点灯が、次のフレームの前記第1の水平ラインの点灯開始より所定の時間前に終了するように、各水平ラインの書き込み完了から点灯開始までの待ち時間および点灯期間の長さを制御することが望ましい。

## 【0024】

また更に、この場合において、2次元画像と3次元画像のいずれが画面上に表示される場合にも、信号線駆動部、書き制御線駆動部及び電源供給制御部は、共通の駆動タイミングで動作することが望ましい。

## 【0025】

50

また更に、この場合において、スキャンクロックの周期は、水平走査周期と一致するよう<sup>10</sup>に設定されることが望ましい。

【0026】

また、発明者らは、前述した動作条件を満たす駆動回路を内蔵する半導体集積回路を提案する。また、発明者らは、前述した動作条件を満たす画素アレイ部の駆動方法を提案する。また、発明者らは、前述した表示パネルモジュールを搭載した電子機器を提案する。ここでの電子機器には、表示パネルモジュールと、システム全体の動作を制御するシステム制御部と、システム制御部に対する操作入力を受け付ける操作入力部とが含まれる。

【発明の効果】

【0027】

発明者らの提案する発明の場合、2次元画像と3次元画像のいずれを表示する場合にも、各駆動回路を共通の駆動タイミングで動作させることができる。また、同じスキャンクロックを用いて、信号線に出現する電位のサブ画素への書き込みと、サブ画素に対する駆動電源の供給と停止を制御することができる。このため、従来技術のように、2次元画像用の駆動回路と3次元画像用の駆動回路を別々に用意する必要がない。また、発明者らの提案する発明の場合、2次元画像か3次元画像かの判定動作も不要である。従って、従来技術を採用する表示パネルモジュールに比して製造コストの低減を図ることができる。さらには、液晶シャッター付き眼鏡を装着したままであっても、2次元画像を視聴する上の画質劣化や特性劣化などの不都合は基本的に発生しない。

【図面の簡単な説明】

【0028】

【図1】2次元画像と3次元画像の両方を表示できる画像システムの概念図を示す図である。

【図2】3次元画像の視認に使用する液晶シャッター付き眼鏡の動作態様を説明する図である。

【図3】液晶シャッター付き眼鏡の電子機能部分の等価回路を示す図である。

【図4】2次元画像と3次元画像の駆動技術を説明する図である（従来例）。

【図5】3次元画像の表示時における水平ライン別の処理タイミングと表示期間との関係を説明する図である（従来例）。

【図6】有機ELパネルモジュールの外観構成例を示す図である。

【図7】有機ELパネルモジュールのシステム構造の第1の形態例を説明する図である。

【図8】画素配列を説明する図である。

【図9】サブ画素の画素構造例を説明する図である。

【図10】信号線駆動部の回路構成例を示す図である。

【図11】信号線の駆動波形例を示す図である。

【図12】書込制御線駆動部の回路構成例を示す図である。

【図13】電源制御線駆動部の回路構成の第1の形態例を示す図である。

【図14】2次元画像と3次元画像の駆動技術を説明する図である。

【図15】サブ画素の駆動波形例と内部電位の関係を示す図である。

【図16】サブ画素の駆動波形例と内部電位の関係を示す図である。

【図17】点灯開始までの待ち時間と水平ラインとの関係を説明する図である。

【図18】3次元画像の表示時における水平ライン別の処理タイミングと表示期間との関係を説明する図である（形態例）。

【図19】点灯動作時に応するサブ画素の等価回路を示す図である。

【図20】非発光期間中の消灯動作時に応するサブ画素の等価回路を示す図である。

【図21】非発光期間中の初期化動作時に応するサブ画素の等価回路を示す図である。

【図22】非発光期間中の初期化動作時に応するサブ画素の等価回路を示す図である。

【図23】非発光期間中の閾値補正動作時に応するサブ画素の等価回路を示す図である。

【図24】閾値補正動作の完了時点に対応するサブ画素の等価回路を示す図である。

10

20

30

40

50

【図25】閾値補正動作の完了から信号電位の書き込み開始までの動作に対応するサブ画素の等価回路を示す図である。

【図26】信号電位の書き込み動作時に対応するサブ画素の等価回路を示す図である。

【図27】移動度補正動作時に対応するサブ画素の等価回路を示す図である。

【図28】点灯開始までの待ち時間に対応するサブ画素の等価回路を示す図である。

【図29】点灯開始後に対応するサブ画素の等価回路を示す図である。

【図30】有機ELパネルモジュールのシステム構造の第2の形態例を説明する図である。

【図31】電源制御線駆動部の回路構成の第2の形態例を示す図である。

【図32】3次元画像の表示時における水平ライン別の処理タイミングと表示期間との関係を説明する図である。

【図33】有機ELパネルモジュールのシステム構造の第3の形態例を説明する図である。

【図34】電源制御線駆動部の回路構成の第3の形態例を示す図である。

【図35】有機ELパネルモジュールのシステム構造の第4の形態例を説明する図である。

【図36】電源制御線駆動部の回路構成の第4の形態例を示す図である。

【図37】サブ画素の他の回路構成例を説明する図である。

【図38】サブ画素の他の回路構成例を説明する図である。

【図39】電子機器の概念構成例を示す図である。

【図40】電子機器の商品例を示す図である。

【図41】電子機器の商品例を示す図である。

【発明を実施するための形態】

【0029】

以下、発明を、アクティブマトリクス駆動型の有機ELパネルモジュールに適用する場合について、以下に示す順番で説明する。

(A) 有機ELパネルモジュールの外観構成

(B) 形態例1(異なるシフトクロックを用いて発光期間と非発光期間の制御を行う形態例)

(C) 形態例2(同じシフトクロックを用いて発光期間と非発光期間の制御を行う形態例1)

(D) 形態例3(同じシフトクロックを用いて発光期間と非発光期間の制御を行う形態例2)

(E) 他の形態例

【0030】

なお、本明細書で特に図示又は記載されない部分には、当該技術分野の周知又は公知技術を適用する。また以下に説明する形態例は、発明の一つの形態例であって、これらに限定されるものではない。

【0031】

(A) 外観構成

この明細書では、表示パネルモジュールを2種類の意味で使用する。一つは、画素アレイ部と駆動回路(例えば信号線駆動部、書き込み制御線駆動部、電源制御線駆動部等)とを、半導体プロセスを用いて基板上に形成する表示パネルモジュールである。もう一つは、特定用途向けICとして製造された駆動回路を画素アレイ部が形成された基板上に実装する表示パネルモジュールである。

【0032】

図6に、有機ELパネルモジュールの外観構成例を示す。有機ELパネルモジュール21は、支持基板23のうち画素アレイ部の形成領域に対向基板25を貼り合わせた構造を有している。

支持基板23は、ガラス、プラスチックその他の基材で構成される。対向基板25も、

10

20

30

40

50

ガラス、プラスチックその他の透明部材を基材とする。

【0033】

対向基板25は、封止材料を挟んで支持基板23の表面を封止する部材である。

なお、基板の透明性は光の射出側だけ確保されていれば良く、他方の基板側は不透性の基板でも良い。この他、有機ELパネルモジュール21には、外部信号や駆動電源を入力するためのFPC(フレキシブルプリントサーキット)27が配置される。

【0034】

(B) 形態例1

(B-1) システム構成

図7に、この形態例に係る有機ELパネルモジュール31のシステム構成例を示す。 10

図7に示す有機ELパネルモジュール31は、画素アレイ部33と、その駆動回路である信号線駆動部35、書込制御線駆動部37、電源制御線駆動部39及びタイミングジェネレータ41で構成される。このうち、電源制御線駆動部39は、特許請求の範囲における「電源供給制御部」に対応する。

【0035】

(a) 画素アレイ部

この形態例の場合、画素アレイ部33には、ホワイトユニットを構成する1画素が、画面内の垂直方向と水平方向についてそれぞれ規定の解像度で配置される。図8に、ホワイトユニットを構成するサブ画素51の配列構造を示す。図8に示すように、ホワイトユニットは、R(赤)画素51、G(緑)画素51、B(青)画素51の集合体として構成される。 20

【0036】

画素アレイ部33の垂直解像度をM、水平解像度をNとすると、画素アレイ部33の総サブ画素数は、 $M \times N \times 3$ で与えられる。

図9では、画素アレイ部33を構成する画素構造の最小単位であるサブ画素51とその駆動回路部との接続関係を表している。

【0037】

この形態例の場合、サブ画素51は、図9に示すように、Nチャネル型の薄膜トランジスタN1、N2、N3と、階調情報を保持する保持容量Csと、有機EL素子OLEDとで構成される。因みに、薄膜トランジスタN1は、信号線DTLに出現する電位(以下、「信号線電位」という。)の書き込みを制御するスイッチ素子である。以下、薄膜トランジスタN1をサンプリングトランジスタN1という。 30

【0038】

また、薄膜トランジスタN2は、保持容量Csに保持される電位に応じた大きさの駆動電流を有機EL素子OLEDに供給するスイッチ素子である。以下、薄膜トランジスタN2を駆動トランジスタN2という。

また、薄膜トランジスタN3は、駆動トランジスタN2の一方の主電極に対する駆動電圧VDDの供給と供給停止を制御するスイッチ素子である。以下、薄膜トランジスタN3を電源制御トランジスタN3という。

【0039】

(b) 信号線駆動部の構成

信号線駆動部35は、信号線DTLを駆動する回路デバイスである。個々の信号線DTLは、画面の垂直方向(Y方向)に延びるように配線され、画面の水平方向(X方向)に $3 \times N$ 本配置される。この形態例の場合、信号線駆動部35は、信号線DTLを閾値補正電位Vofs\_L、初期化電位Vofs\_H、信号電位Vsigの3値で駆動する。

【0040】

なお、閾値補正電位Vofs\_Lは、例えば画素階調の黒レベルに対応する電位である。閾値補正電位Vofs\_Lは、駆動トランジスタN2が有する閾値電圧Vthのバラツキを補正する動作(以下、「閾値補正動作」という。)に用いられる。

また、初期化電位Vofs\_Hは、保持容量Csの保持電圧をキャンセルするための電位で

10

20

30

40

50

ある。このように、保持容量  $C_s$  の保持電圧をキャンセルする動作を、以下では、初期化動作という。

【0041】

因みに、初期化電位  $V_{ofs\_H}$  は、画素階調に対応する信号電位  $V_{sig}$  が採り得る最大値よりも高電位に設定されている。これにより、前フレーム期間の信号電位  $V_{sig}$  がどのような電位で与えられたとしても、保持電圧をキャンセルすることが可能になる。

また、この形態例における信号線駆動部 35 は、2 次元画像の表示時にも 3 次元画像の表示時にも、同じ駆動タイミングで動作する。

【0042】

図 10 に、信号線駆動部 35 の内部構成例を示す。信号線駆動部 35 は、シフトレジスタ 61、ラッチ部 63、ディジタル／アナログ変換回路 65、バッファ回路 67、セレクタ 69 で構成される。10

シフトレジスタ 61 は、クロック信号  $C_K$  に基づいて、画素データ  $D_{in}$  の取り込みタイミングを与える回路デバイスである。この形態例の場合、シフトレジスタ 61 は、少なくとも信号線  $D_{TL}$  の本数に対応する  $3 \times N$  個の遅延段で構成される。従って、クロック信号  $C_K$  は、1 水平走査期間内に  $3 \times N$  発のパルスを有するものを使用する。

【0043】

ラッチ部 63 は、シフトレジスタ 61 から出力されるタイミング信号に基づいて、画素データ  $D_{in}$  を対応する記憶領域に取り込む記憶回路である。

ディジタル／アナログ変換回路 65 は、ラッチ部 63 に取り込まれた画素データ  $D_{in}$  を、アナログの信号電圧  $V_{sig}$  に変換する回路デバイスである。なお、ディジタル／アナログ変換回路 65 の変換特性は、H レベル基準電位  $V_{ref\_H}$  と L レベル基準電位  $V_{ref\_L}$  によって規定される。20

【0044】

バッファ回路 67 は、信号振幅をパネル駆動に適した信号レベルに変換する回路デバイスである。

セレクタ 69 は、画素階調に対応する信号電位  $V_{sig}$  と、閾値補正電位  $V_{ofs\_L}$  と、初期化電位  $V_{ofs\_H}$  のいずれか一つを、1 水平走査期間内に選択的に出力する回路デバイスである。図 11 に、セレクタ 69 による信号線電位の出力例を示す。この形態例の場合、セレクタ 69 は、初期化電位  $V_{ofs\_H}$  閾値補正電位  $V_{ofs\_L}$  信号電位  $V_{sig}$  の順番に出力する。30

【0045】

(c) 書込み制御線駆動部の構成

書込み制御線駆動部 37 は、書き込み制御線  $W_{SL}$  を通じて、信号線電位のサブ画素 51 への書き込みを線順次に制御する駆動デバイスである。なお、書き込み制御線  $W_{SL}$  は、画面の水平方向 (X 方向) に延びるように配線され、画面の垂直方向 (Y 方向) に M 本配置される。

【0046】

書き込み制御線駆動部 37 は、水平ライン単位で、初期化動作と、閾値補正動作と、信号電位書き込み動作と、移動度補正動作の実行タイミングを指定する回路デバイスである。この形態例における書き込み制御線駆動部 37 の場合も、2 次元画像の表示時にも 3 次元画像の表示時にも、同じ駆動タイミングで動作する。40

【0047】

図 12 に、書き込み制御線駆動部 37 の回路構成例を示す。書き込み制御線駆動部 37 は、セット用シフトレジスタ 71 と、リセット用シフトレジスタ 73 と、論理ゲート 75、バッファ回路 77 とで形成される。

【0048】

セット用シフトレジスタ 71 は、垂直解像度に対応する M 個の遅延段で構成される。セット用シフトレジスタ 71 は、水平走査クロックに同期した第 1 のシフトクロック  $C_K 1$  に基づいて動作し、第 1 のシフトクロック  $C_K 1$  が入力される度、次段の遅延段にセット

パルスを転送する。なお、転送開始タイミングは、スタートパルス  $s_t 1$  により与えられる。

【0049】

リセット用シフトレジスタ73も、垂直解像度に対応するM個の遅延段で構成される。同じく、リセット用シフトレジスタ73は、水平走査クロックに同期した第1のシフトクロックCK1に基づいて動作し、第1のシフトクロックCK1が入力される度、次段の遅延段にリセットパルスを転送する。また、転送開始タイミングは、スタートパルス  $s_t 2$  によって与えられる。

【0050】

論理ゲート75は、セットパルスの入力からリセットパルスの入力までをパルス幅とするパルス信号を発生する回路デバイスである。論理ゲート75は、書き制御線W<sub>SL</sub>の本数だけ配置される。なお、1水平走査期間内に複数回の書きタイミングを与える必要がある場合には、複数回の書きタイミングを与えるパルス波形と、セットパルスとリセットパルスで規定されるパルス信号との論理積波形を求めれば良い。この場合、セットパルスとリセットパルスは、複数回の書きタイミングを出力する水平ラインを特定する役割を果たす。

10

【0051】

バッファ回路77は、ロジックレベルの制御パルスを駆動レベルの制御パルスにレベル変換する回路デバイスである。このバッファ回路77には、書き制御線W<sub>SL</sub>に接続されるN個のサブ画素を同時に駆動できる能力が要求される。

20

【0052】

(d) 電源制御線駆動部の構成

電源制御線駆動部39は、電源制御線D<sub>SL</sub>を通じて、サブ画素51に対する駆動電源V<sub>DD</sub>の供給と供給停止を制御する駆動デバイスである。なお、電源制御線D<sub>SL</sub>は画面の水平方向(X方向)に延びるように配線され、画面の垂直方向(Y方向)にM本配置される。

30

【0053】

電源制御線駆動部39は、非発光期間のうち閾値補正動作や移動度補正動作の実行期間について駆動電源V<sub>DD</sub>を供給するように動作する。なお、この制御動作は、書き制御線駆動部37の書き制御動作と同期して実行される。従って、非発光期間における電源制御線駆動部39の動作は、水平走査クロックに同期した第1のシフトクロックCK1に基づいて実行される。

【0054】

また、電源制御線駆動部39は、発光期間のうち有機EL素子OLEDを点灯制御する期間についてのみ駆動電源V<sub>DD</sub>を供給するように動作する。この形態例の場合、電源制御線駆動部39による発光期間中の制御動作は、非発光期間時のスキャン速度よりも高速のスキャン速度で実行される。すなわち、第1のシフトクロックCK1よりも高速の第2のシフトクロックCK2を用いて実行される。

【0055】

このように、発光期間における制御パルスのスキャン速度を上げるのは、画面上端部の点灯開始(表示開始)から画面下端部の点灯終了(表示終了)までの期間長を従来手法に比して圧縮するためである。なお、第1のシフトクロックCK1に対する第2のシフトクロックCK2の比率を高めるほど、画面内の上下間での発光期間の広がりを圧縮することができる。

40

【0056】

この形態例の場合、第2のシフトクロックCK2は、第1のシフトクロックCK1(1水平走査クロック)の2.77倍に設定する。

この形態例における電源制御線駆動部39の場合も、2次元画像の表示時にも3次元画像の表示時にも、同じ駆動タイミングで動作する。

【0057】

50

図13に、電源制御線駆動部39の回路構成例を示す。電源制御線駆動部39は、非発光期間用の回路段と、発光期間用の回路段と、これら期間別の制御パルスを選択的に出力する回路段と、ロジックレベルの制御パルスを駆動レベルの制御パルスに変換する回路段とで構成される。

#### 【0058】

このうち、非発光期間用の回路段は、セット用シフトレジスタ81と、リセット用シフトレジスタ83と、論理ゲート85で形成される。

セット用シフトレジスタ81は、垂直解像度に対応するM個の遅延段で構成される。セット用シフトレジスタ81は、水平走査クロックに同期した第1のシフトクロックCK1に基づいて動作し、第1のシフトクロックCK1が入力される度、次段の遅延段にセットパルスを転送する。なお、転送開始タイミングは、スタートパルスst11により与えられる。

#### 【0059】

リセット用シフトレジスタ83も、垂直解像度に対応するM個の遅延段で構成される。同じく、リセット用シフトレジスタ83は、水平走査クロックに同期した第1のシフトクロックCK1に基づいて動作し、第1のシフトクロックCK1が入力される度、次段の遅延段にリセットパルスを転送する。また、転送開始タイミングは、スタートパルスst12によって与えられる。

#### 【0060】

論理ゲート85は、セットパルスの入力からリセットパルスの入力までをパルス幅とするパルス信号を発生する回路デバイスである。論理ゲート85は、電源制御線DSLの本数だけ配置される。

なお、1水平走査期間の途中にパルス信号のエッジを設定したい場合には、当該エッジのタイミングを与えるパルス波形と、セットパルスとリセットパルスとで生成されるパルス信号との論理積波形を求めれば良い。

#### 【0061】

同様に、発光期間用の回路段は、セット用シフトレジスタ91と、リセット用シフトレジスタ93と、論理ゲート95で形成される。

セット用シフトレジスタ91は、垂直解像度に対応するM個の遅延段で構成される。セット用シフトレジスタ91は、水平走査クロックよりも高速の第2のシフトクロックCK2に基づいて動作し、第2のシフトクロックCK2が入力される度、次段の遅延段にセットパルスを転送する。なお、転送開始タイミングは、スタートパルスst13により与えられる。

#### 【0062】

リセット用シフトレジスタ93も、垂直解像度に対応するM個の遅延段で構成される。同じく、リセット用シフトレジスタ93は、水平走査クロックよりも高速の第2のシフトクロックCK2に基づいて動作し、第2のシフトクロックCK2が入力される度、次段の遅延段にリセットパルスを転送する。また、転送開始タイミングは、スタートパルスst14によって与えられる。

#### 【0063】

論理ゲート95は、セットパルスの入力からリセットパルスの入力までをパルス幅とするパルス信号を発生する回路デバイスである。論理ゲート95は、電源制御線DSLの本数だけ配置される。

なお、1水平走査期間の途中にパルス信号のエッジを設定したい場合には、当該エッジのタイミングを与えるパルス波形と、セットパルスとリセットパルスとで生成されるパルス信号との論理積波形を求めれば良い。

#### 【0064】

これら2つの処理期間用に設けられた回路部からのパルス信号の切り替えは、スイッチ回路101が実行する。スイッチ回路101は、非発光期間の間、論理ゲート85から入力されるパルス信号を選択し、発光期間の間、論理ゲート95から入力されるパルス信号

10

20

30

40

50

を選択する。なお、パルス信号の選択の切り替えは、不図示の切り替え信号により実現する。もっとも、論理ゲート 95 のパルス信号を切り替え信号に用いることもできる。

#### 【0065】

すなわち、論理ゲート 95 の論理レベルの切り替わりに連動させる手法を採用する。勿論、論理ゲート 95 から入力されるパルス信号が H レベルに切り替わると、当該パルス信号が選択され、L レベルに切り替わると、論理ゲート 85 から入力されるパルス信号を選択するようにする。

#### 【0066】

このスイッチ回路 101 の後段には、バッファ回路 103 が配置される。バッファ回路 103 は、ロジックレベルの電源制御信号を駆動レベルの電源制御信号にレベル変換する回路デバイスである。このバッファ回路 103 には、電源制御線 DSL に接続される N 個のサブ画素を同時に駆動できる能力が要求される。

10

#### 【0067】

##### (e) タイミングジェネレータ 41 の構成

タイミングジェネレータ 41 は、有機 EL パネルモジュール 31 の駆動に必要なタイミング制御信号やクロックを発生する回路デバイスである。例えばクロック信号 CK、第 1 のシフトクロック CK1、第 2 のシフトクロック CK2、スタートパルス st1、st2、st11、st12、st13、st14 等を発生する。

#### 【0068】

##### (B-2) 駆動動作

20

##### (a) 表示スケジュールの概要

以下では、この形態例に係る有機 EL パネルモジュール 31 の表示スケジュールについて説明する。この形態例の場合、有機 EL パネルモジュール 31 には、60 フレーム / 秒の画像ストリームが与えられる場合を想定する。すなわち、2 次元画像用の画像ストリームも 3 次元画像用の画像ストリームも、60 フレーム / 秒で撮影又は生成される場合を想定する。

#### 【0069】

図 14 に、この形態例で想定する画像ストリームの表示スケジュールを示す。図 14 に示すように、この形態例の場合、入力される画像ストリームの種類の違いによらず、120 フレーム / 秒で表示する駆動方式を採用する。すなわち、1 / 60 [秒]間に 2 フレームを表示する駆動方式を採用する。

30

#### 【0070】

図 14 (A) は、2 次元画像の表示スケジュールである。2 次元画像の場合、1 / 60 [秒] 単位で与えられる表示期間の前半期間と後半期間に、同じ画像内容のフレーム画像を表示する。すなわち、F1 F1 F2 F2 F3 F3 F4 F4 ... というように、フレーム画像を 2 回ずつ表示する。もっとも、表示期間のうち後半期間には、入力画像を動き補償した画像を挿入しても良い。動き補償された画像を挿入することで、動画像の表示品質を高めることができる。この表示は、いわゆる倍速表示技術に対応する。

#### 【0071】

図 14 (B) は、3 次元画像の表示スケジュールである。3 次元画像の場合、1 / 60 [秒] 単位で与えられる表示期間の前半期間に左眼用画像 L を表示し、後半期間に右眼用画像 R を表示する。すなわち、L1 R1 L2 R2 L3 R3 L4 R4 ... というように、左眼用と右眼用の画像を交互に表示する。

40

#### 【0072】

##### (b) 駆動タイミングの概要

図 15 と図 16 に、画素アレイ部 33 を構成するある水平ライン上のサブ画素 51 に着目した駆動信号波形と駆動トランジスタ N2 の電位変化との関係を示す。なお、図 15 は先頭行に位置する水平ラインの動作に対応し、図 16 は最終行に位置する水平ラインの動作に対応する。2 つの動作の違いは、後述するように、非発光期間の終了後に出発する点灯期間までの待ち時間 T1 と TM の長さの違いである。

50

## 【0073】

ここで、図15(A)及び図16(A)は、着目するサブ画素51に対応する書き制御線WSLの駆動波形である。

図15(B)及び図16(B)は、信号線DTLの駆動波形である。図15(C)及び図16(C)は、対応する電源制御線DSLの駆動波形である。図15(D)及び図16(D)は、駆動トランジスタN2のゲート電位Vgの波形である。図15(E)及び図16(E)は、駆動トランジスタN2のソース電位Vsの波形である。

## 【0074】

図15及び図16に示すように、有機ELパネルモジュール31の駆動動作は、非発光期間中の駆動動作と発光期間中の駆動動作とに分けることができる。

10

非発光期間では、初期化動作と、サブ画素51に対する信号電位Vsigの書き動作と、駆動トランジスタN2の特性バラツキを補正する動作(閾値補正動作と移動度補正動作)とが実行される。

## 【0075】

発光期間では、非発光期間に書き込まれた信号電位Vsigに基づいて、有機EL素子OLEを点灯させる動作と、当該点灯を一時的に停止させる動作(すなわち、消灯動作)とが実行される。この形態例の場合、消灯動作が実行されるタイミングと期間長は、水平ライン毎に異なるように設定される。その理由は、点灯期間を与えるパルス信号のスキャン速度と、非発光期間の制御タイミングを与える制御パルスのスキャン速度との違いを吸収する必要があるためである。

20

## 【0076】

図17に、この速度調整のために設けられる待ち時間と水平ラインとの関係を示す。なお、図17では、対応関係が明確になるように水平ライン数が“5”的場合について示している。因みに、図17(A)は、左眼用画像Lと右眼用画像Rの入力タイミングを示している。図17(B)は、入力画像データと水平ラインとの対応関係を表している。破線の位置が水平ライン1～5に対応する。

## 【0077】

図17(C)は、各水平ラインに対応する非発光期間の終了時から点灯開始までの待ち時間T1～T5の関係を示している。図より分かるように、非発光期間の関係から最初に点灯期間が開始する水平ライン1の待ち時間T1が最長となり、最後に点灯期間が開始する水平ライン5の待ち時間T5が最小(ゼロを含む)となる。なお、水平ライン2、3、4に対しては、T1とT5の差分を均等に分割した待ち時間T2、T3、T4を割り当てる。

30

## 【0078】

このような待ち時間Tを自由に定めることができるのは、有機ELパネルモジュールにおける点灯開始タイミングと点灯期間長を、電源制御線DSLの制御によって自由に設定できるためである。

## 【0079】

図17(D)は、左眼用画像Lと右眼用画像Rの表示タイミングを示している。図に示すように、左眼用画像Lと右眼用画像Rの表示期間は重複していない。また、各表示期間の間には、空き時間も存在する。従って、この空き時間の間に、液晶シャッターの開閉が切りかえられれば、左右の眼に必要な画像のみを入力させることができる。

40

## 【0080】

図18に、前述した駆動タイミングの関係を具体的な数値例で示す。図18(A)は、1フレーム期間を与える垂直同期パルスの波形図である。この形態例の場合、垂直同期パルスは、1秒間に120フレームを表示させるように与えられる。従って、この形態例に場合、垂直同期パルスから垂直同期パルスまでの期間長(1フレーム長)は、8.33msで与えられる。

## 【0081】

図18(B)は、画像ストリームを表す図である。図では、第1フレームを構成する左

50

眼用画像 L 1 と右眼用画像 R 1 と、第 2 フレームを構成する左眼用画像 L 2 の一部が表されている。図に示すように、各フレーム画像は、垂直同期パルスと垂直同期パルスの間に入力される。

#### 【 0 0 8 2 】

図 18 ( C ) は、書き制御線 W S L を駆動する制御パルスのスキャン動作を示す図である。図に示すように、制御パルスは、第 1 のシフトクロック C K 1 に基づいて線順次にシフト駆動される。この形態例の場合、第 1 のシフトクロック C K 1 として、例えば、水平走査クロックが用いられる。

#### 【 0 0 8 3 】

図 18 ( D ) は、各水平ラインの非発光期間と、発光期間中の点灯期間と消灯期間の配置関係を説明する図である。図中、白抜きで示す区間が非発光期間である。また、図中、塗り潰し区間が消灯期間である。一方、斜線網掛け期間が点灯期間である。図に示すように消灯期間は、点灯期間の前後に配置される。このうち、点灯期間の前方に設けられる消灯期間の長さが前述した待ち時間 T である。

10

#### 【 0 0 8 4 】

図 18 に示すように、各水平ラインの待ち時間 T は、先頭行である水平ライン 1 の待ち時間 T 1 が最長になり、最終行である水平ライン M の待ち時間 T M が最短になる。なお、点灯期間の後方に設けられる消灯期間は、この反対に、先頭行である水平ライン 1 の消灯期間が最短になり、最終行である水平ライン M の消灯期間が最長になる。このように、点灯期間の前後に消灯期間を配置するには、各水平ラインの点灯期間長を同じ長さにするためである。すなわち、水平ライン間で輝度差が生じないようにするためである。

20

#### 【 0 0 8 5 】

図 18 ( D ) の場合、点灯期間のスキャン速度 ( すなわち、第 2 のシフトクロック C K 2 ) は、第 1 のシフトクロック C K 1 の 2.77 倍である。この関係は、点灯期間の傾きを示す太い破線の矢印の傾きが、白抜きで示す非発光期間の境界線の傾きよりも急峻であることからも分かる。この関係が、フレーム画像の表示期間 ( 先頭行の点灯開始から最終行の点灯終了までの期間 ) を圧縮させる効果を発揮する。この形態例の場合、各水平ラインの点灯期間長は、1 フレーム期間の 46 % であり、3.832ms である。

#### 【 0 0 8 6 】

また、左眼用画像 L 1 の表示期間と右眼用画像 R 1 の表示期間の間には、1.5ms の空き時間が確保される。なお、この空き時間は、液晶シャッターの開閉制御に必要な時間分だけ確保されれば良い。従って、必要最小限の空き時間さえ確保されれば、点灯期間の長さやスキャン速度 ( 第 2 のシフトクロック C K 2 ) を自由に調整することができる。

30

#### 【 0 0 8 7 】

##### ( c ) 駆動動作の詳細

以下では、サブ画素内の駆動状態を詳細に説明する。なお、その駆動タイミングと駆動トランジスタ N 2 の電位状態の変化は、前述した図 15 及び図 16 を参考に説明する。

#### 【 0 0 8 8 】

##### ( c - 1 ) 発光期間内の点灯動作

図 19 に、発光期間におけるサブ画素内の動作状態を示す。このとき、書き制御線 W S L は L レベルであり、サンプリングトランジスタ N 1 はオフ状態に制御されている。このため、駆動トランジスタ N 2 のゲート電極は、フローティング状態に制御されている。

40

#### 【 0 0 8 9 】

一方、電源制御線 D S L は H レベルであり、電源制御トランジスタ N 3 はオン状態に制御されている。これにより、駆動トランジスタ N 2 は、飽和領域で動作する状態に制御される。すなわち、駆動トランジスタ N 2 は、保持容量 C s に保持される電圧に応じた駆動電流を有機 E L 素子 O L E D に供給する定電流源として動作する。かくして、有機 E L 素子 O L E D は、画素階調に応じた輝度で発光する。この動作が、発光期間中の全てのサブ画素 5 1 について実行される。

#### 【 0 0 9 0 】

50

## (c - 2) 非発光期間内の消灯動作

発光期間が終了すると、非発光期間が開始する。非発光期間では、まず、有機EL素子OLEDを消灯する動作が実行される。

図20に、消灯動作時におけるサブ画素内の動作状態を示す。消灯動作では、電源制御線DSLがLレベルに切り替わり、電源制御トランジスタN3がオフ制御される。なお、サンプリングトランジスタN1のオフ状態は維持されたままである。

## 【0091】

この動作により、有機EL素子OLEDに対する駆動電流の供給は停止される。これに伴い、電流駆動素子である有機EL素子OLEDは消灯する。同時に、有機EL素子OLEDの両電極間の電圧も、閾値電圧Vth(oled)まで低下する。これにより、駆動トランジスタN2のソース電位Vsは、カソード電位Vcatに閾値電圧Vth(oled)を加算した電位まで低下する。また、ソース電位の低下に伴い、駆動トランジスタN2のゲート電位Vgも低下する。なお、この時点の保持容量Csには、前フレームの階調情報が未だ保持されている。

## 【0092】

## (c - 3) 非発光期間内の初期化動作

次に、前フレームの階調情報を初期化する初期化動作が実行される。

図21に、初期化動作時におけるサブ画素内の動作状態を示す。初期化タイミングが到来すると、書込制御線WSLはHレベルに制御され、サンプリングトランジスタN1はオン状態に切り替わる。また、このサンプリングトランジスタN1のオン動作に同期して、信号線DTLには初期化電位Vofs\_Hが印加される。これにより、駆動トランジスタN2のゲート電位Vgには、初期化電位Vofs\_Hが書き込まれる(図15(D)、図16(D))。

## 【0093】

このゲート電位Vgの上昇に伴い、駆動トランジスタN2のソース電位Vsも上昇する(図15(E)、図16(E))。すなわち、ソース電位Vsは、カソード電位Vcatに閾値電圧Vth(oled)を加算した電位よりも高くなる。これにより、有機EL素子OLEDはオン状態になる。ただし、電源制御トランジスタN3はオフ状態のままであるので、有機EL素子OLEDは、駆動トランジスタN2のソース電極から電荷を引き抜くように動作する。やがて、駆動トランジスタN2のソース電位Vsは、再び、Vcat + Vth(oled)に遷移する。

## 【0094】

この結果、保持容量Csには、“Vofs\_H”と“Vcat + Vth(oled)”との差分で与えられる電圧(すなわち、初期化電圧)が書き込まれる。この動作が初期化動作である。

なお、この初期化動作の過程では、前述したように、有機EL素子OLEDが一瞬発光可能な状態になるが、発光しても低輝度な上に発光期間もごく短時間であるので、画像品質への影響はない。

## 【0095】

また、保持容量Csに初期化電圧が書き込まれると、信号線DTLの電位は、初期化電位Vofs\_Hから閾値補正電位Vofs\_Lに切り替わる。図22に、この時点におけるサブ画素内の動作状態を示す。このとき、サンプリングトランジスタN1はオン制御されたままである。これにより、駆動トランジスタN2のゲート電位Vgは、初期化電位Vofs\_Hから閾値補正電位Vofs\_Lに押し下げられる(図15(D)、図16(D))。

## 【0096】

また、このゲート電位Vgの電位変化に連動して、駆動トランジスタN2のソース電位Vsも押し下げられる(図15(E)、図16(E))。保持容量Csに初期化電圧が保持されているためである。もっとも、この押し下げ時に、保持容量Csの保持電圧は、初期化電圧からわずかに圧縮される。なお、初期化終了時点における保持容量Csの保持電圧は、駆動トランジスタN2の閾値電圧Vthよりも十分大きい電圧に保持されている。以上の動作により、駆動トランジスタN2の閾値電圧Vthのバラツキを補正するための準備

10

20

30

40

50

が完了する。

【0097】

(c-4) 非発光期間内の閾値補正動作

次に、閾値補正動作が開始される。図23に、閾値補正動作時におけるサブ画素内の動作状態を示す。閾値補正動作は、電源制御線DSLがHレベルに制御され、電源制御トランジスタN3がオン制御されることにより開始される。

この開始時点において、駆動トランジスタN2のゲート・ソース間電圧Vgsは、バラツキを考慮しても閾値電圧Vthより広くなっている。従って、電源制御トランジスタN3のオン制御に伴い、駆動トランジスタN2もオン状態に切り換わる。

【0098】

これに伴い、駆動トランジスタN2を通じて保持容量Csと有機EL素子OLEDに寄生する容量成分を充電するように電流が流れ始める。

この充電動作に伴い、駆動トランジスタN2のソース電位Vsは徐々に上昇する。なお、駆動トランジスタN2のゲート電位Vgは閾値補正電位Vofs\_Lに固定されている。従って、電源制御トランジスタN3がオン制御されている間、駆動トランジスタN2のゲート・ソース間電圧Vgsは初期化電圧から徐々に縮まっていく(図15(D), (E)、図16(D), (E))。

【0099】

やがて、駆動トランジスタN2のゲート・ソース間電圧Vgsが閾値電圧Vthに達すると、駆動トランジスタN2は自動的にカットオフ動作する。図24に、駆動トランジスタN2が自動的にカットオフした時点におけるサブ画素内の動作状態を示す。このとき、駆動トランジスタN2のゲート電極に対する閾値補正電位Vofs\_Lの書き込みは継続している。また、駆動トランジスタN2のソース電位Vsは、Vofs\_L - Vthで与えられる。これにより、閾値補正動作が完了する。

【0100】

なお、“Vofs\_L - Vth”は、“Vcat + Vth(oled)”よりも低い電位になるように定められている。従って、この時点でも、有機EL素子OLEDは消灯状態を維持する。

さて、閾値補正動作が完了すると、図25に示すように、サンプリングトランジスタN1と電源制御トランジスタN3が同時にオフ制御される。このとき、駆動トランジスタN2及び有機EL素子OLEDは共にオフ状態である。

ここで、オフ電流の影響を無視すると、駆動トランジスタN2のゲート電位Vg及びソースVsは、閾値補正動作が完了した時点における電位状態の保持状態を継続する。

【0101】

(c-5) 非発光期間内の信号電位書き込み動作

次に、信号電位Vsigの書き込み動作が開始される。図26に、信号電位Vsigの書き込み動作が実行された際のサブ画素内の動作状態を示す。この形態例の場合、この動作は、電源制御トランジスタN3がオフ制御された状態で、サンプリングトランジスタN1をオン制御することにより開始される。

【0102】

なお、サンプリングトランジスタN1がオン状態に切り替わる前には、信号線DTLの電位が信号電位Vsigに切り替わっている(図15(A)～(C)、図16(A)～(C))。

この動作の開始に伴い、駆動トランジスタN2のゲート電位Vgは、信号電位Vsigに上昇する(図15(D)、図16(D))。すなわち、保持容量Csには、信号電位Vsigが書き込まれる。ただし、ゲート電位Vgの上昇に伴い、駆動トランジスタN2のソース電位Vsもわずかながら上昇する(図15(E)、図16(E))。

【0103】

このように信号電位Vsigが書き込まれると、駆動トランジスタN2のゲート・ソース間電圧Vgsは、閾値電圧Vthよりも拡大してオン状態に切り替わる。ただし、電源制御トランジスタN3がオフ状態であるので、駆動トランジスタN2が駆動電流を流すこととは

10

20

30

40

50

ない。従って、有機 E L 素子 O L E D の消灯状態は継続される。

【 0 1 0 4 】

( c - 6 ) 非発光期間内の移動度動作

信号電位  $V_{sig}$  の書き込みが完了すると、駆動トランジスタ N 2 の移動度  $\mu$  のバラツキを補正する動作が開始される。図 27 に、この動作時におけるサブ画素内の動作状態を示す。この動作は、電源制御トランジスタ N 3 がオン制御されることにより開始される。

【 0 1 0 5 】

電源制御トランジスタ N 3 のオン制御に伴い、駆動トランジスタ N 2 にゲート・ソース間電圧  $V_{g_s}$  に応じた大きさの駆動電流が流れ始める。この駆動電流は、保持容量  $C_s$  と有機 E L 素子 O L E D の寄生容量を充電するように流れる。すなわち、駆動トランジスタ N 2 のソース電位  $V_s$  が上昇する。なお、ソース電位  $V_s$  が、有機 E L 素子 O L E D の閾値電圧  $V_{th(ole)}$  を越えるまでは、有機 E L 素子 O L E D の消灯状態が維持される。

10

【 0 1 0 6 】

ところで、この移動度補正期間に流れる駆動電流は、ゲート・ソース間電圧  $V_{g_s}$  が同じでも、移動度  $\mu$  の大きい駆動トランジスタ N 2 ほど大きく、移動度  $\mu$  が小さい駆動トランジスタ N 2 ほど小さくなる特性がある。結果的に、移動度  $\mu$  が大きい駆動トランジスタ N 2 ほどゲート・ソース間電圧  $V_{g_s}$  が小さくなる。

【 0 1 0 7 】

この補正動作の結果、画素階調が同じ駆動トランジスタ N 2 であれば、移動度  $\mu$  の違いによらず、同じ大きさの駆動電流が有機 E L 素子 O L E D に供給される状態になる。すなわち、画素階調が同じであれば、移動度  $\mu$  の違いによらず、サブ画素 5 1 の発光輝度が同じになるように補正される。

20

【 0 1 0 8 】

ところで、図 15 ( A ) 及び図 16 ( A ) では、移動度  $\mu$  の補正時に使用する書き制御線 W S L の制御パルスの波形を非線形に変化させている。これは、画素階調の大きさの違いによって、補正量に過不足が生じないようにするためである。

【 0 1 0 9 】

さて、この移動度補正動作の完了後も電源制御トランジスタ N 3 のオン状態が継続すると、駆動トランジスタ N 2 のソース電位  $V_s$  が有機 E L 素子 O L E D の閾値電圧  $V_{th(ole)}$  を越えるまで上昇し、有機 E L 素子 O L E D の点灯が開始される。

30

【 0 1 1 0 】

しかし、この形態例の場合、点灯期間を与える制御パルスのスキャン速度が、非発光期間の駆動タイミングを与える制御パルスのスキャン速度より高速に設定されている。従って、水平ライン毎に定められた待ち時間  $T$  だけ、点灯開始時点を遅らせる必要がある。

【 0 1 1 1 】

そこで、この形態例の場合には、対応する水平ラインについての待ち時間  $T$  が経過するまで、電源制御トランジスタ N 3 をオフ制御する ( 図 15 ( C ) 及び図 16 ( C ) ) 。

なお、図 16 は、最終行 ( M 番目 ) に対応する水平ラインの駆動波形であり、待ち時間  $T_M$  がゼロに設定されているので、移動度補正状態から即座に点灯期間が開始されている。

40

【 0 1 1 2 】

( c - 7 ) 発光期間内の待ち時間動作

前述したように、非発光期間における全ての動作が完了すると、発光期間の動作に入る。前述したように、非発光期間が終了した時点で、有機 E L 素子 O L E D の点灯に必要な処理は全て終了している。しかし、前述の通り、非発光期間で使用する第 1 のシフトクロック CK 1 よりも、発光期間で使用する第 2 のシフトクロック CK 2 のクロック速度の方が速い。

【 0 1 1 3 】

従って、図 18 に示したように先頭行に近い水平ラインほど、有機 E L 素子 O L E D を点灯させるまでの待ち時間  $T$  を長くする必要がある。

50

図28に、この待ち時間Tにおけるサブ画素内の動作状態を示す。図28に示すように、電源制御トランジスタN3は、水平ライン毎に定められたこの待ち時間Tだけオフ状態に制御される。当然ながら、待ち時間の間は、水平ラインの表示が黒表示になる。

【0114】

(c-8) 発光期間内の点灯動作

それぞれ水平ラインについて設定された待ち時間Tが経過すると、図29に示すように、電源制御トランジスタN3がオン状態に切り替わり、有機EL素子OLEDの点灯動作が開始される。

【0115】

(B-3)まとめ

以上説明したように、形態例1に係る駆動方式を採用すれば、3次元画像の表示に必要な駆動周波数を、従来技術の半分にまで低下させることができる。具体的には、60フレーム/秒で撮影又は生成された3次元画像を、120フレーム/秒で画面上に表示することができる。

【0116】

このように、駆動周波数が低下することで、画素アレイ部33の動作マージンも大きくすることができる。このため、画素アレイ部33の製造コストを低下させることができる。また、駆動周波数が低下することで、タイミングジェネレータや駆動回路(例えばシフトレジスタ)の動作速度も低下させることができる。これらの観点から、有機ELパネルモジュールの製造コストを低下させることができる。

【0117】

また、この形態例の場合、2次元画像用の駆動回路と3次元画像の駆動回路をそれぞれ別に用意する必要がない。すなわち、形態例に係る駆動方法の場合、2次元画像と3次元画像とを区別する必要がなく、単一の駆動タイミングでこれらの画像を表示することができる。このため、駆動回路のレイアウト面積を、従来例よりも小さくすることができる。また、この形態例の場合、画像の種類を判定する回路が不要である。これらの観点からも、有機ELパネルモジュールの低コスト化に寄与することができる。

【0118】

また、この形態例の場合、1フレーム毎に全面黒の画面を書き込む必要がない。従って、形態例における点灯期間長は、その分だけ従来例よりも長く設定することができる。すなわち、形態例に係る駆動技術の採用により、3次元画像の表示時にも画面の明るさを犠牲にせずに済む。

【0119】

(B-4) 形態例1の変形例

(a) シフトクロックの他の設定例

前述した形態例1の場合には、第2のシフトクロックCK2におけるクロック速度を、第1のシフトクロックCK1におけるクロック速度の2.77倍に設定する場合について説明した。

しかし、第1のシフトクロックCK1と第2のシフトクロックCK2のクロック速度比は勿論これに限らない。

【0120】

(b) 1フレームに占める点灯期間の割合

前述した形態例1の場合には、点灯期間の割合が1フレームの46%の場合について説明した。

しかし、点灯期間は、その他の比率でも良い。勿論、点灯期間の比率を高めるほど、駆動電圧VDDが同じでも画面輝度を高めることができる。

【0121】

(c) 待ち時間

前述した形態例の場合には、信号電位Vsigの書き込み動作が最後に終了する水平ラインの待ち時間TMをゼロに設定する場合について説明した。

10

20

30

40

50

しかし、この待ち時間 T M は、必ずしもゼロに設定しなくても良い。

【0122】

(C) 形態例 2

(C-1) システム構成例

図30に、この形態例に係る有機ELパネルモジュール201のシステム構成例を示す。なお、図30には、図7との対応部分に同一符号を付して示す。

図30に示す有機ELパネルモジュール201は、画素アレイ部33と、その駆動回路である信号線駆動部35、書き制御線駆動部37、電源制御線駆動部203及びタイミングジェネレータ205で構成される。

【0123】

10

以下では、新規の構成である電源制御線駆動部203およびタイミングジェネレータ205についてのみ説明する。

【0124】

(a) 電源制御線駆動部の構成

図31に電源制御線駆動部203の回路構成例を示す。なお、図31には、図13との対応部分に同一符号を付して示す。

【0125】

20

電源制御線駆動部203は、非発光期間用の回路段と、発光期間用の回路段と、これら期間別の制御パルスを選択的に出力する回路段と、ロジックレベルの制御パルスを駆動レベルの制御パルスに変換する回路段とで構成される。このうち、非発光期間用の回路段、および、ロジックレベルの制御パルスを駆動レベルの制御パルスに変換する回路段は、図13の電源制御線駆動部39と同様の構成を有しており、発光期間用の回路段、および、期間別の制御パルスを選択的に出力する回路段の構成が、電源制御線駆動部39と異なる。以下では、新規の構成である発光期間用の回路段、および、期間別の制御パルスを選択的に出力する回路段についてのみ説明する。

【0126】

発光期間用の回路段は、さらに水平ラインのうち奇数番目に位置するライン（以下では、「奇数ライン」という。）用の回路部分と、偶数番目に位置するライン（以下では、「偶数ライン」という。）用の回路部分とに分かれる。なお、以下、水平ラインの本数が偶数であり、奇数ラインの本数と偶数ラインの本数とが一致する場合について説明する。

30

【0127】

発光期間用の回路段の奇数ライン用の回路部分は、セット用シフトレジスタ211と、リセット用シフトレジスタ213と、論理ゲート215で形成される。

【0128】

セット用シフトレジスタ211は、垂直解像度の半分（奇数ラインの本数）に対応するM/2個の遅延段で構成される。セット用シフトレジスタ211は、水平走査クロックに同期した第1のシフトクロックCK1に基づいて動作し、第1のシフトクロックCK1が入力される度、次段の遅延段にセットパルスを転送する。なお、転送開始タイミングは、スタートパルスst21により与えられる。

【0129】

40

リセット用シフトレジスタ213も、垂直解像度の半分（奇数ラインの本数）に対応するM/2個の遅延段で構成される。同じく、リセット用シフトレジスタ213は、水平走査クロックに同期した第1のシフトクロックCK1に基づいて動作し、第1のシフトクロックCK1が入力される度、次段の遅延段にリセットパルスを転送する。また、転送開始タイミングは、スタートパルスst22によって与えられる。

【0130】

論理ゲート215は、セットパルスの入力からリセットパルスの入力までをパルス幅とするパルス信号を発生する回路デバイスである。論理ゲート215は、奇数ライン用の電源制御線DSLの本数だけ配置される。

なお、1水平走査期間の途中にパルス信号のエッジを設定したい場合には、当該エッジ

50

のタイミングを与えるパルス波形と、セットパルスとリセットパルスとで生成されるパルス信号との論理積波形を求めれば良い。

【0131】

発光期間用の回路段の偶数ライン用の回路部分は、セット用シフトレジスタ217と、リセット用シフトレジスタ219と、論理ゲート221で形成される。

【0132】

セット用シフトレジスタ217は、垂直解像度の半分（偶数ラインの本数）に対応するM/2個の遅延段で構成される。セット用シフトレジスタ217は、水平走査クロックに同期した第1のシフトクロックCK1に基づいて動作し、第1のシフトクロックCK1が入力される度、次段の遅延段にセットパルスを転送する。なお、転送開始タイミングは、奇数ライン用のセット用シフトレジスタ211と同じく、スタートパルスst21により与えられる。従って、セット用シフトレジスタ211とセット用シフトレジスタ217からは、同じタイミングでセットパルスが出力される。

【0133】

リセット用シフトレジスタ219も、垂直解像度の半分（偶数ラインの本数）に対応するM/2個の遅延段で構成される。同じく、リセット用シフトレジスタ219は、水平走査クロックに同期した第1のシフトクロックCK1に基づいて動作し、第1のシフトクロックCK1が入力される度、次段の遅延段にリセットパルスを転送する。なお、転送開始タイミングは、奇数ライン用のリセット用シフトレジスタ213と同じく、スタートパルスst22によって与えられる。従って、リセット用シフトレジスタ213とリセット用シフトレジスタ219からは、同じタイミングでリセットパルスが出力される。

【0134】

なお、水平ラインの本数が奇数の場合には、セット用シフトレジスタ217およびリセット用シフトレジスタ219とも、(M-1)/2個の遅延段で構成されるようになる。

【0135】

論理ゲート221は、セットパルスの入力からリセットパルスの入力までをパルス幅とするパルス信号を発生する回路デバイスである。論理ゲート221は、偶数ライン用の電源制御線DSLの本数だけ配置される。

なお、1水平走査期間の途中にパルス信号のエッジを設定したい場合には、当該エッジのタイミングを与えるパルス波形と、セットパルスとリセットパルスとで生成されるパルス信号との論理積波形を求めれば良い。

【0136】

スイッチ回路223は、非発光期間の間、論理ゲート85から入力されるパルス信号を選択し、発光期間の間、論理ゲート215および論理ゲート221から入力されるパルス信号を選択する。なお、パルス信号の選択の切り替えは、不図示の切り替え信号により実現する。もっとも、論理ゲート215および論理ゲート221のパルス信号を切り替え信号に用いることもできる。

【0137】

以上の構成により、電源制御線駆動部203からは、隣接する2本の水平ライン用の電源制御線DSL毎に、同じタイミングで駆動信号が供給されるようになる。例えば、1行目と2行目の水平ライン用の電源制御線DSL、3行目と4行目の水平ライン用の電源制御線DSL、・・・、M-1行目とM行目の水平ライン用の電源制御線DSLに、それぞれ同じタイミングで駆動信号が供給されるようになる。

【0138】

なお、水平ラインの本数が奇数の場合には、最終のM行目用の電源制御線DSLだけ、単独で駆動信号が供給されるようになる。

【0139】

(b) タイミングジェネレータの構成

タイミングジェネレータ205は、有機ELパネルモジュール201の駆動に必要なタイミング制御信号やクロックを発生する回路デバイスである。例えばクロック信号CK、

10

20

30

40

50

第1のシフトクロックCK1、スタートパルスst1、st2、st11、st12、st21、st22等を発生する。

【0140】

(C-2) 駆動動作

(a) 駆動タイミングの例

ここで、図32を参照して、有機ELパネルモジュール201の駆動タイミングの一例について説明する。なお、図32では、有機ELパネルモジュール201の水平ラインの数(有効走査線数)を1080本とし、1秒間に120フレーム表示する場合の例について説明する。

【0141】

10

図32(A)は、1フレーム期間を与える垂直同期パルスの波形図である。この形態例の場合、図18(A)の例と同様に、垂直同期パルスは、1秒間に120フレームを表示させるように与えられ、隣接する2つの垂直同期パルスの期間長(1フレーム長)は、8.33msで与えられる。

【0142】

図32(B)は、画像ストリームを表す図である。図では、第n-1フレームを構成する右眼用画像Rn-1の一部と、第nフレームを構成する左眼用画像Lnおよび右眼用画像Rnと、第n+1フレームを構成する左眼用画像Ln+1の一部が表されている。図に示すように、各フレーム画像は、隣接する2つの垂直同期パルスの間に入力される。

【0143】

20

図32(C)は、書き制御線WSLを駆動する制御パルスのスキャン動作を示す図である。図18(C)の例と同様に、制御パルスは、第1のシフトクロックCK1に基づいて線順次にシフト駆動される。

【0144】

図32(D)は、各水平ラインの点灯期間を示す図である。図中、波形がハイになっている期間が各水平ラインの点灯期間を表している。この形態例の場合、第1のシフトクロックCK1に同期して、1行目および2行目の水平ライン(水平ライン1、2)から最終行より1つ前の行および最終行の水平ライン(水平ライン1079、1080)まで、2ラインずつ順番に点灯が開始され、所定の点灯期間が終了した後、消灯される。すなわち、各水平ラインの点灯期間が、2ライン毎に第1のシフトクロックCK1の間隔ずつずれていく。これにより、点灯期間のスキャン速度が、実質的に第1のシフトクロックCK1のクロック速度の2倍になる。

30

【0145】

図32(E)は、左眼用画像Lと右眼用画像Rの表示タイミングを示している。この形態例では、各水平ラインの点灯期間長は、1フレーム期間の25%(すなわち、Duty比が25%)になっており、第nフレームの左眼用画像Lnと右眼用画像Rnの表示期間は重複していない。また、左眼用画像Lnの表示期間と右眼用画像Rnの表示期間の間には、所定の空き時間が確保される。なお、この空き時間は、液晶シャッターの開閉制御に必要な時間分だけ確保されれば良い。従って、必要最小限の空き時間さえ確保されれば、点灯期間の長さ(デューティ比)を自由に調整することができる。

40

【0146】

なお、図32(F)(G)については後述する。

【0147】

(C-3)まとめ

以上説明したように、形態例2に係る駆動方式を採用すれば、形態例1の場合と同様に、3次元画像の表示に必要な駆動周波数を、従来技術の半分にまで低下させることができる。具体的には、60フレーム/秒で撮影又は生成された3次元画像を、120フレーム/秒で画面上に表示することができる。

【0148】

さらに、この形態例の場合、第1のシフトクロックCK1のみを用いて、有機EL素子

50

OLEDの点灯期間のスキャン速度を、実質的に第1のシフトクロックCK1のクロック速度の2倍に設定することができる。そして、第1のシフトクロックCK1および第2のシフトクロックCK2の2種類のシフトクロックを用いる必要がないため、形態例1と比較して、回路の規模を小さくすることができる。さらに、第1のシフトクロックCK1より高速の第2のシフトクロックCK2を用いる必要がないため、形態例1と比較して、消費電力を低減することができる。

#### 【0149】

また、この形態例の場合、形態例1の場合と同様に、2次元画像用の駆動回路と3次元画像の駆動回路をそれぞれ別に用意したり、1フレーム毎に全面黒の画面を書き込んだりする必要がない。

10

#### 【0150】

(D) 形態例3

##### (D-1) システム構成例

図33に、この形態例に係る有機ELパネルモジュール301のシステム構成例を示す。なお、図33には、図7および図30との対応部分に同一符号を付して示す。

図33に示す有機ELパネルモジュール301は、画素アレイ部33と、その駆動回路である信号線駆動部35、書き制御線駆動部37、電源制御線駆動部303及びタイミングジェネレータ205で構成される。

#### 【0151】

以下では、新規の構成である電源制御線駆動部303についてのみ説明する。

20

#### 【0152】

##### (a) 電源制御線駆動部の構成

図34に電源制御線駆動部303の回路構成例を示す。なお、図34には、図13および図31との対応部分に同一符号を付して示す。なお、以下、水平ラインの本数が偶数であり、奇数ラインの本数と偶数ラインの本数とが一致する場合について説明する。

#### 【0153】

電源制御線駆動部303は、非発光期間用の回路段と、発光期間用の回路段と、これら期間別の制御パルスを選択的に出力する回路段と、ロジックレベルの制御パルスを駆動レベルの制御パルスに変換する回路段とで構成される。このうち、非発光期間用の回路段、および、ロジックレベルの制御パルスを駆動レベルの制御パルスに変換する回路段は、図13の電源制御線駆動部39と同様の構成を有しており、発光期間用の回路段、および、期間別の制御パルスを選択的に出力する回路段の構成が、電源制御線駆動部39と異なる。以下では、新規の構成である発光期間用の回路段、および、期間別の制御パルスを選択的に出力する回路段についてのみ説明する。

30

#### 【0154】

発光期間用の回路段は、セット用シフトレジスタ311と、リセット用シフトレジスタ313と、論理ゲート315で形成される。

#### 【0155】

セット用シフトレジスタ311は、垂直解像度の半分に対応するM/2個の遅延段で構成される。セット用シフトレジスタ311は、水平走査クロックに同期した第1のシフトクロックCK1に基づいて動作し、第1のシフトクロックCK1が入力される度、次段の遅延段にセットパルスを転送する。なお、転送開始タイミングは、図31のセット用シフトレジスタ211およびセット用シフトレジスタ217と同様に、スタートパルスst21により与えられる。

40

#### 【0156】

リセット用シフトレジスタ313も、垂直解像度の半分に対応するM/2個の遅延段で構成される。同じく、リセット用シフトレジスタ313は、水平走査クロックに同期した第1のシフトクロックCK1に基づいて動作し、第1のシフトクロックCK1が入力される度、次段の遅延段にリセットパルスを転送する。また、転送開始タイミングは、図31のリセット用シフトレジスタ213およびリセット用シフトレジスタ219と同様に、ス

50

タートパルス  $s_t 22$  によって与えられる。

【0157】

論理ゲート 315 は、セットパルスの入力からリセットパルスの入力までをパルス幅とするパルス信号を発生する回路デバイスである。論理ゲート 315 は、電源制御線 D S L の本数の半分だけ配置される。1つの論理ゲート 315 から出力されたパルス信号は、2つに分岐され、隣接する2本の水平ライン用の電源制御線 D S L に対応するスイッチ回路 317 に供給される。例えば、図 35 のいちばん上の論理ゲート 315 からは、1行目と 2 行目の水平ライン用の電源制御線 D S L に対応するスイッチ回路 317 にパルス信号が供給され、上から 2 番目の論理ゲート 315 からは、3 行目と 4 行目の水平ライン用の電源制御線 D S L に対応するスイッチ回路 317 にパルス信号が供給され、いちばん下（上から  $M/2$  番目）の論理ゲート 315 からは、 $M-1$  行目と  $M$  行目の水平ライン用の電源制御線 D S L に対応するスイッチ回路 317 にパルス信号が供給される。

【0158】

なお、水平ラインの本数が奇数の場合には、いちばん下の論理ゲート 315 からは、 $M$  行目の水平ライン用の電源制御線 D S L に対応するスイッチ回路 317 にのみパルス信号が供給されるようになる。

【0159】

スイッチ回路 317 は、非発光期間の間、論理ゲート 85 から入力されるパルス信号を選択し、発光期間の間、論理ゲート 315 から入力されるパルス信号を選択する。なお、パルス信号の選択の切り替えは、不図示の切り替え信号により実現する。もっとも、論理ゲート 315 のパルス信号を切り替え信号に用いることもできる。

【0160】

以上の構成により、図 31 の電源制御線駆動部 203 と同様に、電源制御線駆動部 303 からは、隣接する2本の水平ライン用の電源制御線 D S L 毎に、同じタイミングで駆動信号が供給されるようになる。

【0161】

(D-3) まとめ

以上説明したように、形態例 3 に係る駆動方式を採用すれば、形態例 2 の場合と同様に、第 1 のシフトクロック CK1 のみを用いて、有機 EL 素子 OLED の点灯期間のスキャン速度を、実質的に第 1 のシフトクロック CK1 のクロック速度の 2 倍に設定することができる。

【0162】

また、形態例 2 と比較して、発光期間用のセット用シフトレジスタ、リセット用シフトレジスタ、および、論理ゲートの数を減らすことができる。

【0163】

(D-4) 形態例 3 の変形例

(a) 有機 EL 素子 OLED の点灯期間のスキャン速度の他の設定例

以下に説明するように、同時に駆動する電源制御線 D S L の本数を変えることにより、有機 EL 素子 OLED の点灯期間のスキャン速度を、任意の値に設定することができる。

【0164】

例えば、同時に駆動する電源制御線 D S L の本数を  $n$  本に設定することにより、有機 EL 素子 OLED の点灯期間のスキャン速度を、実質的に第 1 のシフトクロック CK1 の  $n$  倍に設定することができる。

【0165】

図 32 (F) は、同時に駆動する電源制御線 D S L の本数を 3 本に設定した場合の各水平ラインの点灯期間を示す図である。図 32 (F) の場合、第 1 のシフトクロック CK1 に同期して、1 行目乃至 3 行目の水平ライン（水平ライン 1 乃至 3）から最終行より 2 つ前の行乃至最終行の水平ライン（水平ライン 1078 乃至 1080）まで、3 ラインずつ順番に点灯が開始され、所定の点灯期間が終了した後、消灯される。すなわち、各水平ラインの点灯期間が、3 ライン毎に第 1 のシフトクロック CK1 の間隔ずつずれていく。こ

10

20

30

40

50

れにより、点灯期間のスキャン速度が、実質的に第1のシフトクロックCK1のクロック速度の3倍になる。

【0166】

図32(G)は、左眼用画像Lと右眼用画像Rの表示タイミングを示している。この形態例では、各水平ラインの点灯期間長は、1フレーム期間の50%（すなわち、デューティ比が50%）になっており、第nフレームの左眼用画像Lnと右眼用画像Rnの表示期間は重複していない。また、左眼用画像Lnの表示期間と右眼用画像Rnの表示期間の間には、所定の空き時間が確保される。なお、この空き時間は、液晶シャッターの開閉制御に必要な時間分だけ確保されれば良い。従って、必要最小限の空き時間さえ確保されれば、点灯期間の長さ（デューティ比）を自由に調整することができる。

10

【0167】

また、以下の方法により、有機EL素子OLEDの点灯期間のスキャン速度を、実質的に第1のシフトクロックCK1の整数倍以外の倍数に設定することも可能である。

【0168】

(a-1)システム構成例

図35に、この変形例に係る有機ELパネルモジュール401のシステム構成例を示す。なお、図35には、図7との対応部分に同一符号を付して示す。

図35に示す有機ELパネルモジュール401は、画素アレイ部33と、その駆動回路である信号線駆動部35、書込制御線駆動部37、電源制御線駆動部403及びタイミングジェネレータ405で構成される。

20

【0169】

以下では、新規の構成である電源制御線駆動部403およびタイミングジェネレータ405についてのみ説明する。

【0170】

(a-2)電源制御線駆動部の構成

図36に電源制御線駆動部403の回路構成例を示す。なお、図36には、図13との対応部分に同一符号を付して示す。

【0171】

電源制御線駆動部403は、非発光期間用の回路段と、発光期間用の回路段と、これら期間別の制御パルスを選択的に出力する回路段と、ロジックレベルの制御パルスを駆動レベルの制御パルスに変換する回路段とで構成される。このうち、非発光期間用の回路段、および、ロジックレベルの制御パルスを駆動レベルの制御パルスに変換する回路段は、図13の電源制御線駆動部39と同様の構成を有しており、発光期間用の回路段、および、期間別の制御パルスを選択的に出力する回路段の構成が、電源制御線駆動部39と異なる。以下では、新規の構成である発光期間用の回路段、および、期間別の制御パルスを選択的に出力する回路段についてのみ説明する。

30

【0172】

発光期間用の回路段は、セット用シフトレジスタ411と、リセット用シフトレジスタ413と、論理ゲート415で形成される。

【0173】

セット用シフトレジスタ411は、垂直解像度の2/5に対応する2M/5個の遅延段で構成される。セット用シフトレジスタ411は、水平走査クロックに同期した第1のシフトクロックCK1に基づいて動作し、第1のシフトクロックCK1が入力される度、次段の遅延段にセットパルスを転送する。なお、転送開始タイミングは、スタートパルスst31により与えられる。

40

【0174】

リセット用シフトレジスタ413も、垂直解像度の2/5に対応する2M/5個の遅延段で構成される。同じく、リセット用シフトレジスタ413は、水平走査クロックに同期した第1のシフトクロックCK1に基づいて動作し、第1のシフトクロックCK1が入力される度、次段の遅延段にリセットパルスを転送する。また、転送開始タイミングは、ス

50

スタートパルス  $s_t 32$  によって与えられる。

【0175】

論理ゲート 415 は、セットパルスの入力からリセットパルスの入力までをパルス幅とするパルス信号を発生する回路デバイスである。論理ゲート 415 は、電源制御線 D S L の本数の  $2/5$  だけ配置される。1つの論理ゲート 415 から出力されたパルス信号は、交互に 2つまたは 3つに分岐され、隣接する 2本または 3本の水平ライン用の電源制御線 D S L に対応するスイッチ回路 417 に供給される。例えば、図 36 のいちばん上の論理ゲート 415 からは、1行目と 2行目の水平ライン用の電源制御線 D S L に対応するスイッチ回路 417 にパルス信号が供給され、上から 2番目の論理ゲート 415 からは、3行目乃至 5行目の水平ライン用の電源制御線 D S L に対応するスイッチ回路 417 にパルス信号が供給され、上から 3番目の論理ゲート 415 からは、6行目と 7行目の水平ライン用の電源制御線 D S L に対応するスイッチ回路 417 にパルス信号が供給され、上から 4番目の論理ゲート 415 からは、8行目乃至 10行目の水平ライン用の電源制御線 D S L に対応するスイッチ回路 417 にパルス信号が供給され、いちばん下（上から 2M/5 番目）の論理ゲート 415 からは、M-2 行目乃至 M 行目の水平ライン用の電源制御線 D S L に対応するスイッチ回路 417 にパルス信号が供給される。

【0176】

なお、水平ラインの数が 5 の倍数でない場合には、いちばん下の論理ゲート 415 から出力されるパルス信号の分岐数は、水平ライン数に応じて、1 または 2 に設定される。

【0177】

スイッチ回路 417 は、非発光期間の間、論理ゲート 85 から入力されるパルス信号を選択し、発光期間の間、論理ゲート 415 から入力されるパルス信号を選択する。なお、パルス信号の選択の切り替えは、不図示の切り替え信号により実現する。もっとも、論理ゲート 415 のパルス信号を切り替え信号に用いることもできる。

【0178】

(a-3) タイミングジェネレータの構成

タイミングジェネレータ 405 は、有機 E L パネルモジュール 401 の駆動に必要なタイミング制御信号やクロックを発生する回路デバイスである。例えばクロック信号 CK、第 1 のシフトクロック CK1、スタートパルス  $s_t 1$ 、 $s_t 2$ 、 $s_t 31$ 、 $s_t 32$  等を発生する。

【0179】

(a-4) まとめ

以上の構成により、電源制御線駆動部 403 からは、隣接する 2本または 3本の水平ライン用の電源制御線 D S L 每に、同じタイミングで駆動信号が供給されるようになる。

【0180】

これにより、第 1 のシフトクロック CK1 のみを用いて、有機 E L 素子 O L E D の点灯期間のスキャン速度を、実質的に第 1 のシフトクロック CK1 のクロック速度の  $2.5$  倍 ( $= 5/2$ ) に設定することができる。

【0181】

なお、例えば、同時に駆動する電源制御線 D S L の本数を、2本、3本、2本、2本、3本、2本・・・と繰り返し設定することにより、有機 E L 素子 O L E D の点灯期間のスキャン速度を、実質的に第 1 のシフトクロック CK1 のクロック速度の  $2.33$  倍 ( $= 7/3$ ) に設定することができる。また、同時に駆動する電源制御線 D S L の本数を、3本、2本、3本、3本、2本、3本・・・と繰り返し設定することにより、有機 E L 素子 O L E D の点灯期間のスキャン速度を、実質的に第 1 のシフトクロック CK1 のクロック速度の  $2.66$  倍 ( $= 8/3$ ) に設定することができる。

【0182】

このように、同時に駆動する電源制御線 D S L の本数の組み合わせを変えることにより、有機 E L 素子 O L E D の点灯期間の実質的なスキャン速度を任意に設定することができる。

10

20

30

40

50

## 【0183】

(E) 他の形態例

(E-1) サブ画素の他の構造

前述した形態例の場合には、サブ画素51が3個のNチャネル薄膜トランジスタで構成される場合について説明した。

しかし、サブ画素51を構成する薄膜トランジスタはPチャネル薄膜トランジスタでも良い。

## 【0184】

図37及び図38に、この種の回路例を示す。なお、図37は、形態例に係るサブ画素51の接続関係をそのままに、薄膜トランジスタのみを全てPチャネル薄膜トランジスタに置き換えた例である。一方、図38は、保持容量Csの接続を変更した回路例である。図38の場合、保持容量Csの一方の電極は、固定電源線(VDD0)に接続される。

また、サブ画素51を構成する薄膜トランジスタの数は4個以上でも良いし、2個でも良い。サブ画素51がどのような回路構成であっても、水平ライン単位で駆動電源の供給と停止を制御できるのであれば、発明に係る駆動技術を応用することができる。

## 【0185】

(E-2) 切替タイミングの通知デバイス

前述の形態例の場合には、液晶シャッターの切替タイミングを赤外線通信により、液晶シャッター付き眼鏡9に通知する場合について説明した。

しかし、切替タイミングの通知には、現在又は将来利用可能な無線通信技術を応用できる。

## 【0186】

(E-3) 製品例

(a) システム構成

前述の説明では、有機ELパネルモジュール単独のパネル構造と駆動方法について説明した。しかし、前述した有機ELパネルモジュールは、各種の電子機器に実装した商品形態でも流通される。以下、他の電子機器への実装例を示す。

## 【0187】

図39に、電子機器501の概念構成例を示す。電子機器501は、前述した駆動回路を搭載する表示パネルモジュール503、システム制御部505、操作入力部507及び切替タイミング通知デバイス509とで構成される。

## 【0188】

ここで、システム制御部505で実行される処理内容は、電子機器501の商品形態により異なる。また、操作入力部507は、システム制御部505に対する操作入力を受け付けるデバイスである。操作入力部507には、例えばスイッチ、ボタンその他の機械式インターフェース、グラフィックインターフェース等が用いられる。

## 【0189】

また、切替タイミング通知デバイス509は、図39に示すように、電子機器501の筐体に一体的に取り付けられる場合だけでなく、独立した装置として電子機器501の筐体に外付けされていても良い。

## 【0190】

(b) 具体例

図40に、電子機器がテレビジョン受像機の場合の外観例を示す。テレビジョン受像機511は、筐体513の正面に表示画面515と切替タイミング通知デバイス517とを配置した構造を有している。ここで表示画面515の部分が、形態例で説明した有機ELパネルモジュールに対応する。

## 【0191】

また、この種の電子機器には、例えばコンピュータが想定される。図41に、ノート型コンピュータ521の外観例を示す。

ノート型コンピュータ521は、下側筐体523、上側筐体525、キーボード527

10

20

30

40

50

、表示画面 529 及び切替タイミング通知デバイス 531 で構成される。このうち、表示画面 529 の部分が、形態例で説明した有機 E-L パネルモジュールに対応する。

これらの他、電子機器には、ゲーム機、電子ブック、電子辞書等が想定される。

### 【0192】

#### (E-4) 他の表示デバイス例

前述の形態例においては、発明を有機 E-L パネルモジュールに適用する場合について説明した。

しかし、前述した電源系回路の構成は、その他の自発光型の表示パネルモジュールにも適用することができる。

例えば LED をマトリクス状に配列する表示装置やダイオード構造を有する発光素子を画面上に配列した表示パネルモジュールに対しても適用することができる。例えば無機 E-L パネルにも適用できる。 10

### 【0193】

#### (E-5) その他

前述した形態例には、発明の趣旨の範囲内で様々な変形例が考えられる。また、本明細書の記載に基づいて創作される又は組み合わせられる各種の変形例及び応用例も考えられる。

### 【符号の説明】

#### 【0194】

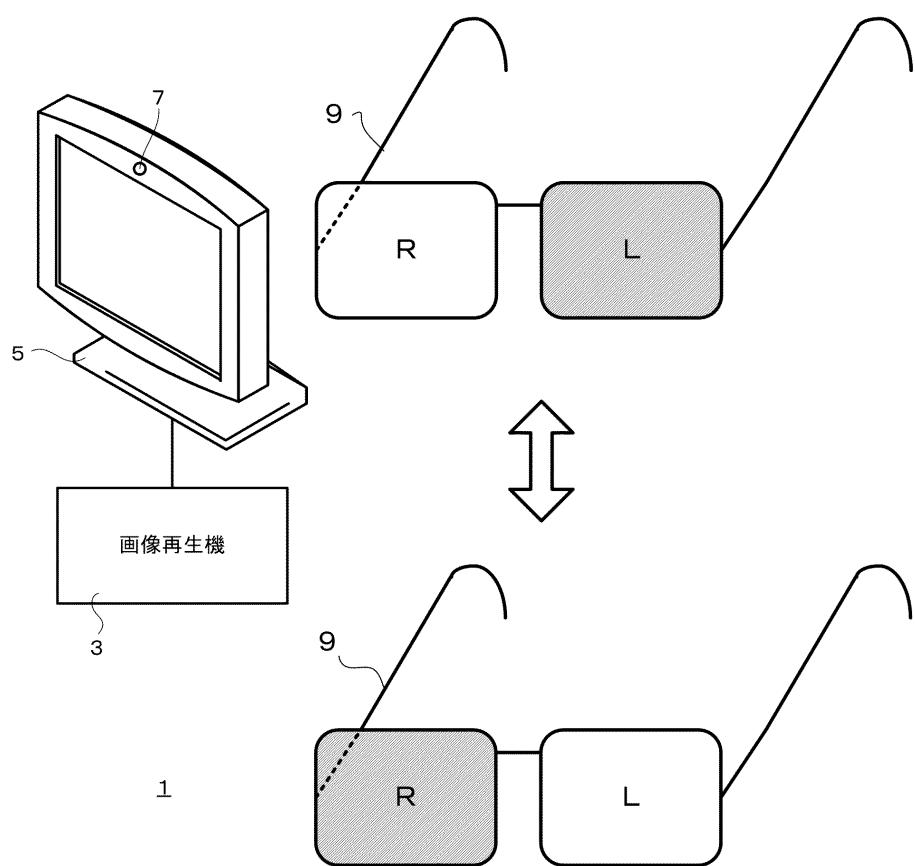
3 1	有機 E-L パネルモジュール	20
3 3	画素アレイ部	
3 5	信号線駆動部	
3 7	書き制御線駆動部	
3 9	電源制御線駆動部	
4 1	タイミングジェネレータ	
9 1	セット用シフトレジスタ	
9 3	リセット用シフトレジスタ	
9 5	論理ゲート	
1 0 1	スイッチ回路	
1 1 9	切替タイミング通知デバイス	30
2 0 1	有機 E-L パネルモジュール	
2 0 3	電源制御線駆動部	
2 0 5	タイミングジェネレータ	
2 1 1	セット用シフトレジスタ	
2 1 3	リセット用シフトレジスタ	
2 1 5	論理ゲート	
2 1 7	セット用シフトレジスタ	
2 1 9	リセット用シフトレジスタ	
2 2 1	論理ゲート	
2 2 3	スイッチ回路	40
3 0 1	有機 E-L パネルモジュール	
3 0 3	電源制御線駆動部	
3 1 1	セット用シフトレジスタ	
3 1 3	リセット用シフトレジスタ	
3 1 5	論理ゲート	
3 1 7	スイッチ回路	
4 0 1	有機 E-L パネルモジュール	
4 0 3	電源制御線駆動部	
4 0 5	タイミングジェネレータ	
4 1 1	セット用シフトレジスタ	50

4 1 3 リセット用シフトレジスタ  
4 1 5 論理ゲート  
4 1 7 スイッチ回路

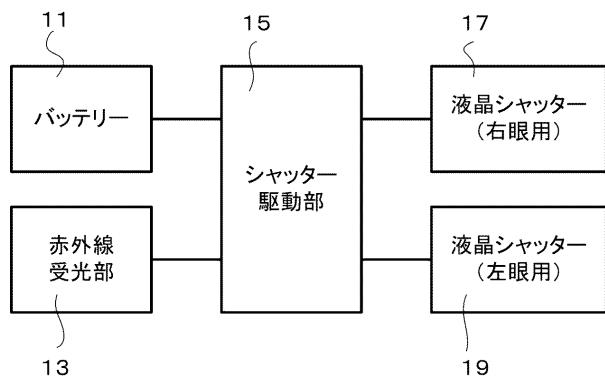
【図 1】



【図 2】

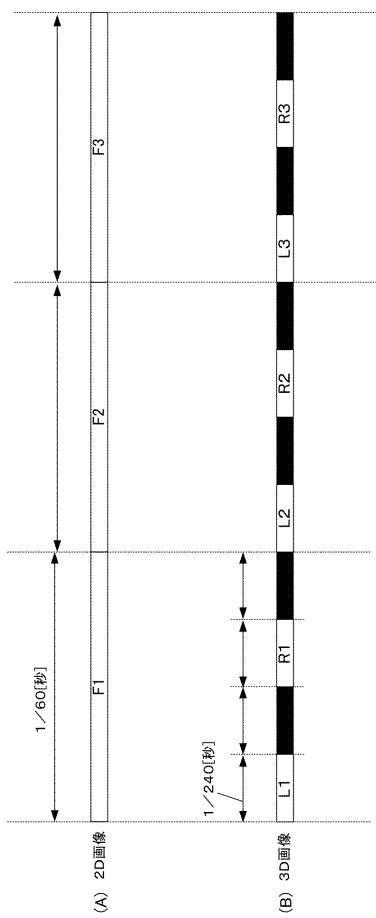


【図3】

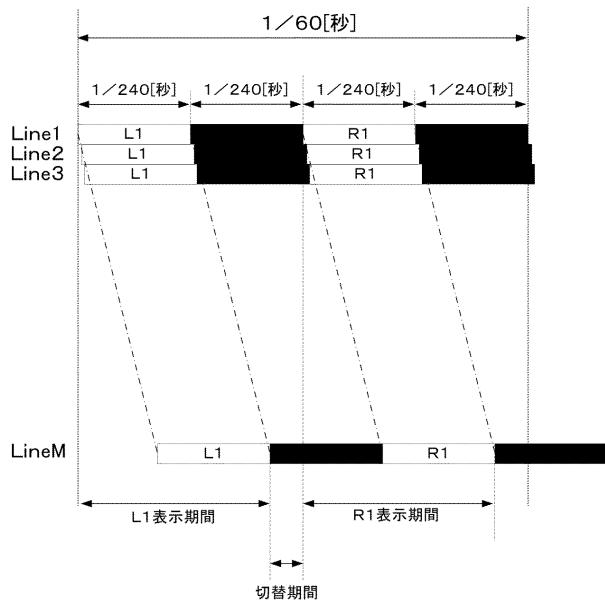


9

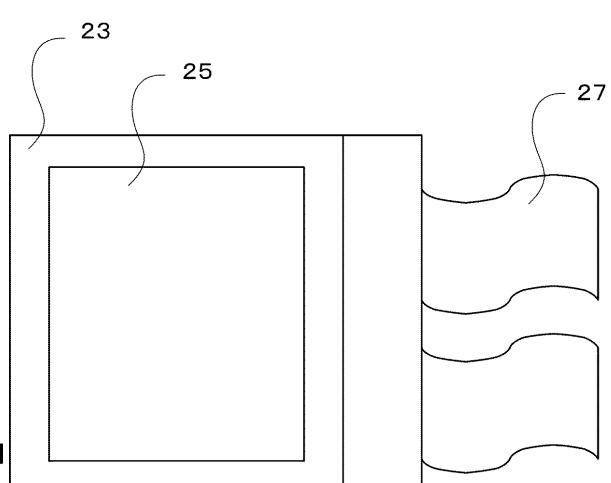
【図4】



【図5】

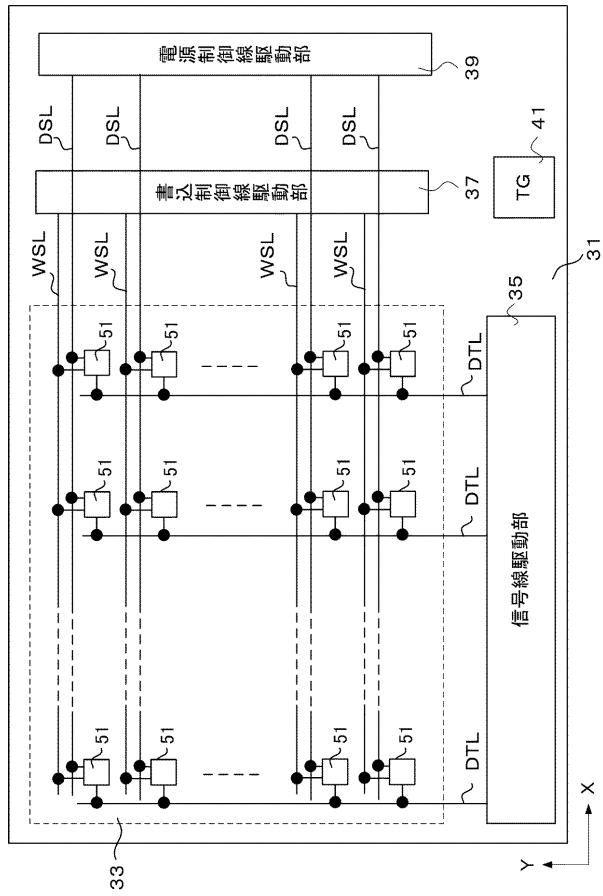


【図6】

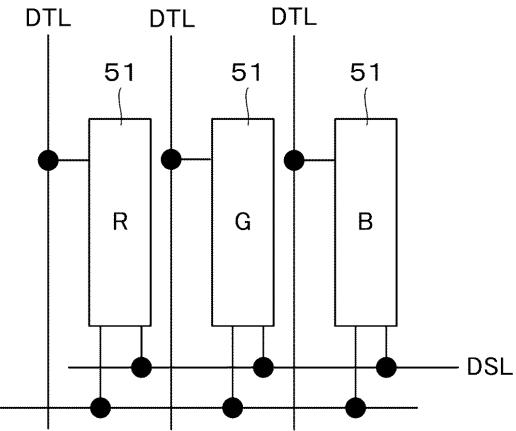


21

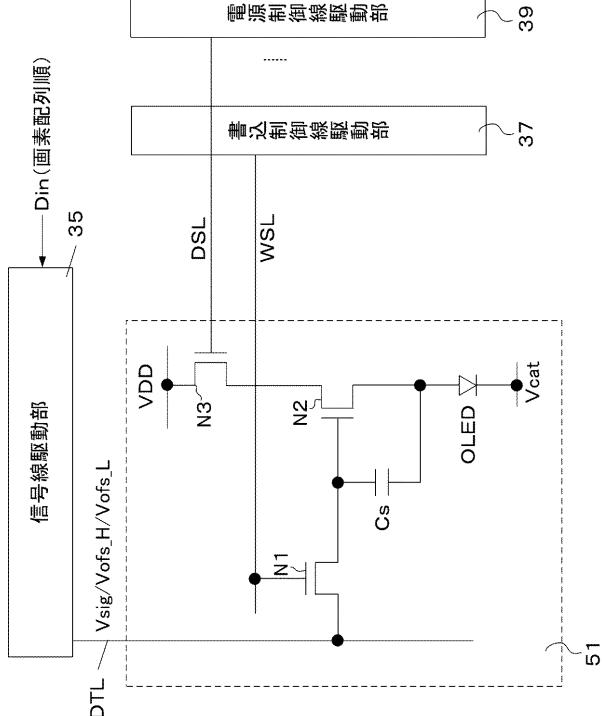
【図7】



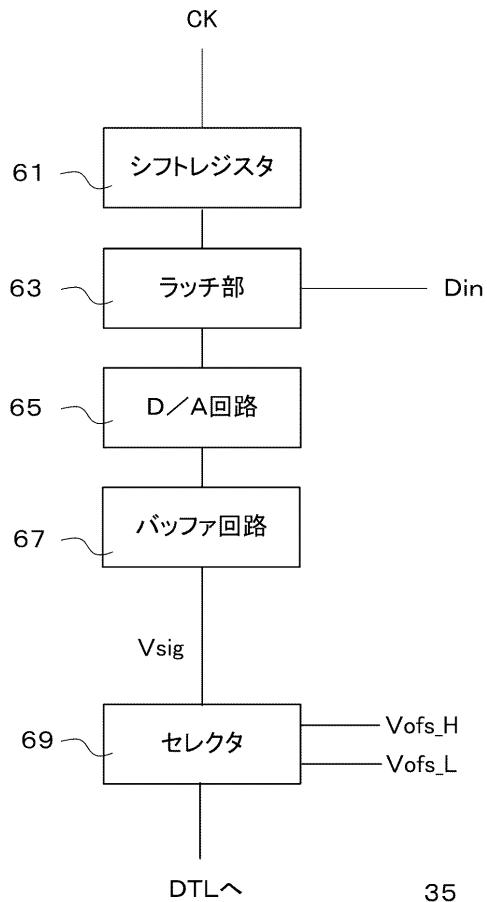
【図8】



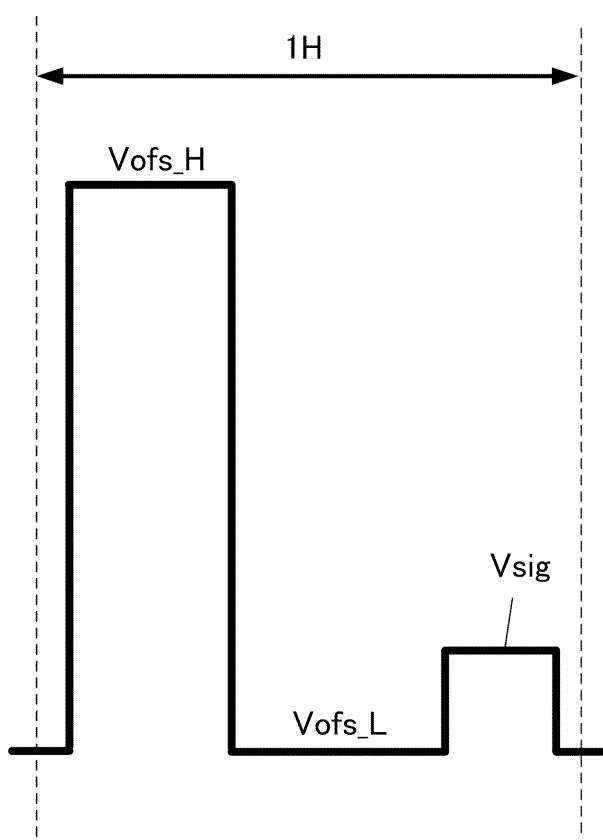
【図9】



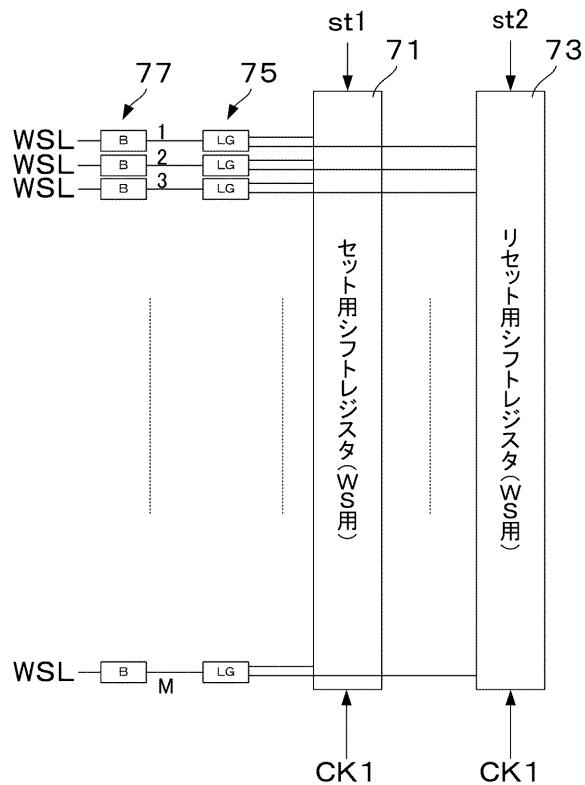
【図10】



【図11】

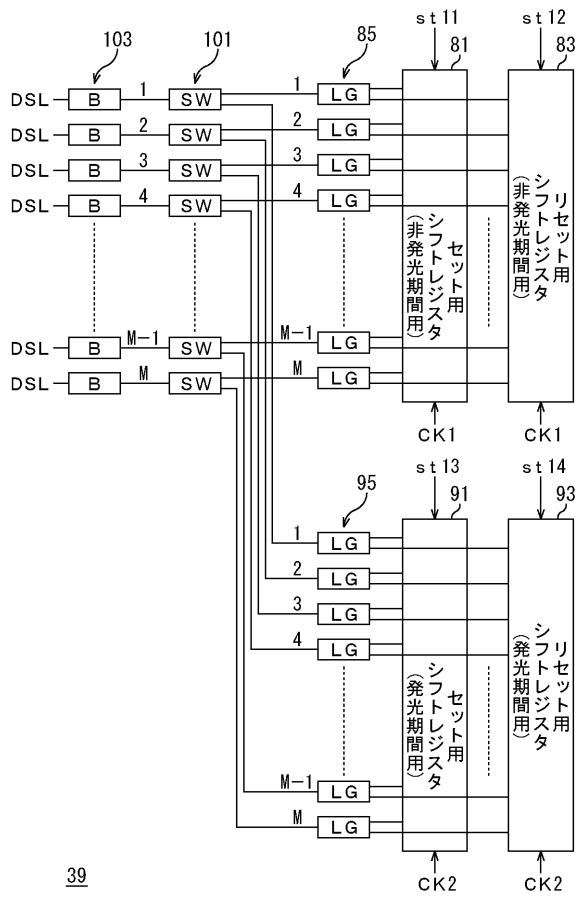


【図12】



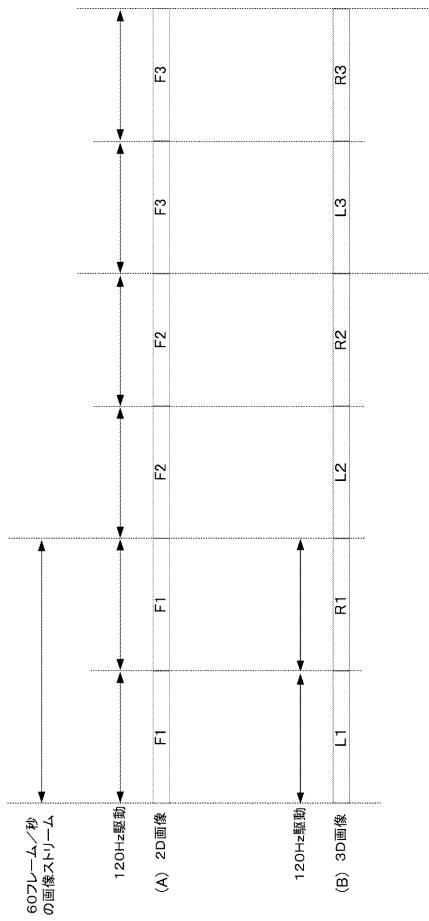
37

【図13】

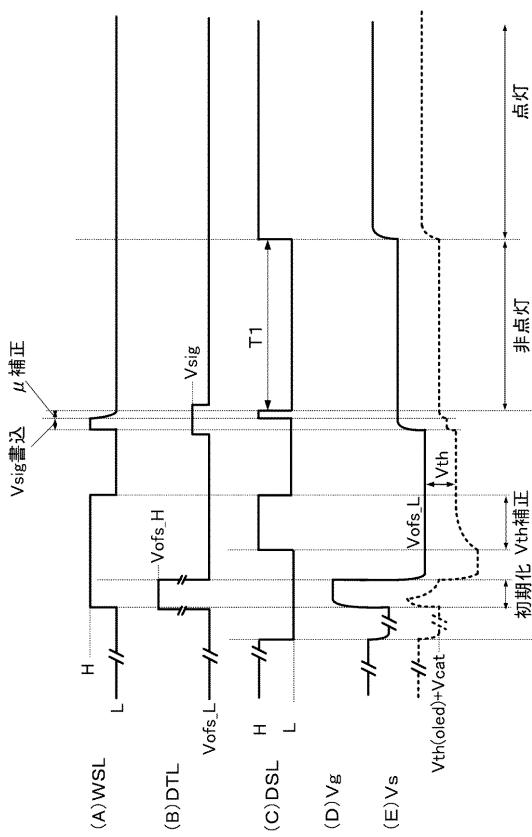


39

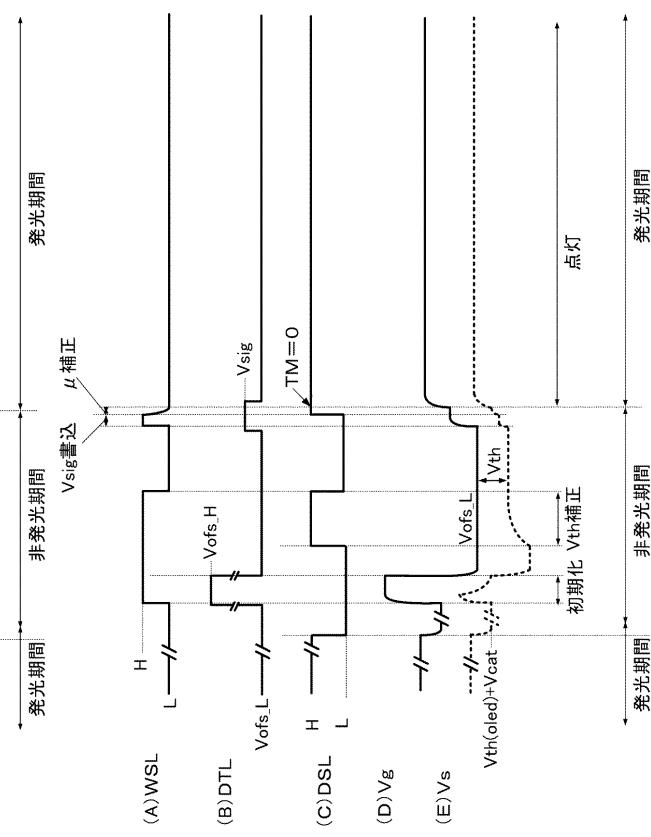
【図14】



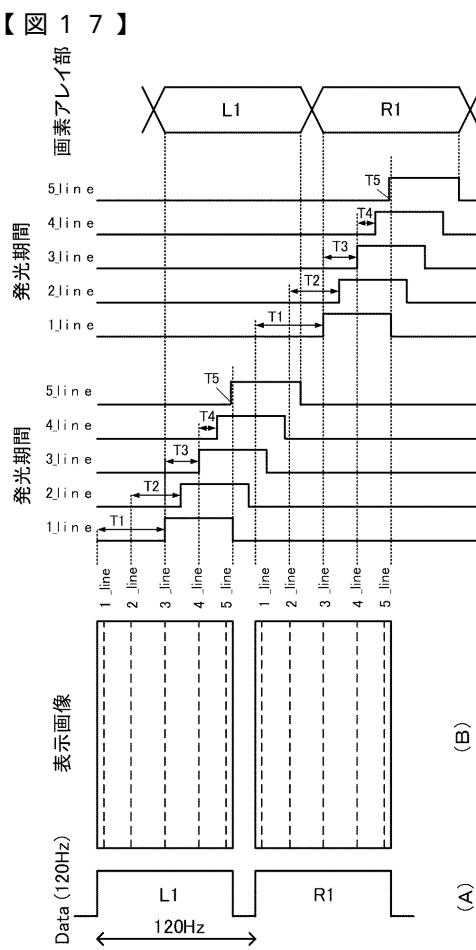
【図 1 5】



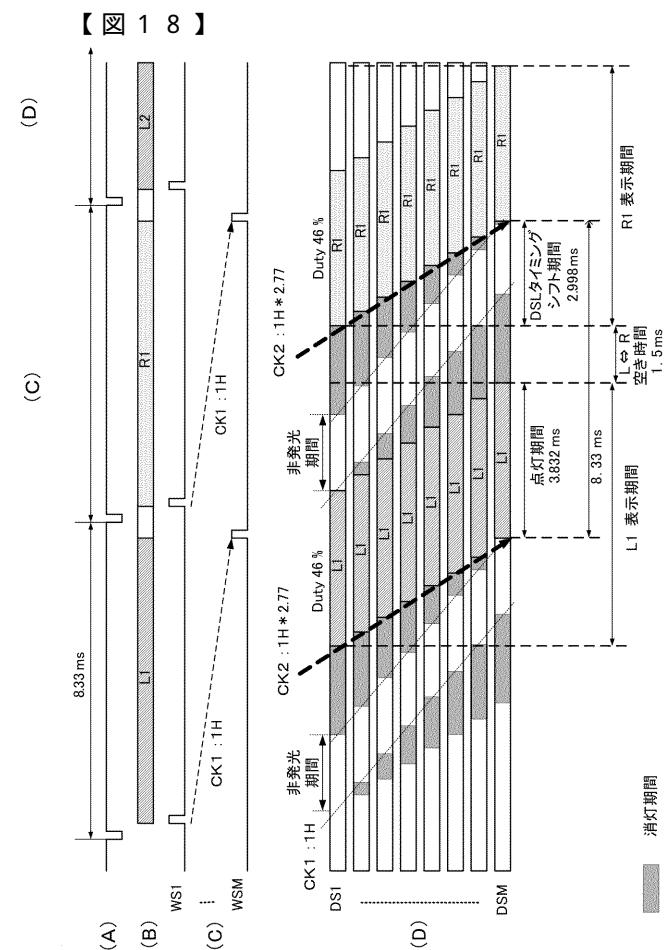
【図 1 6】



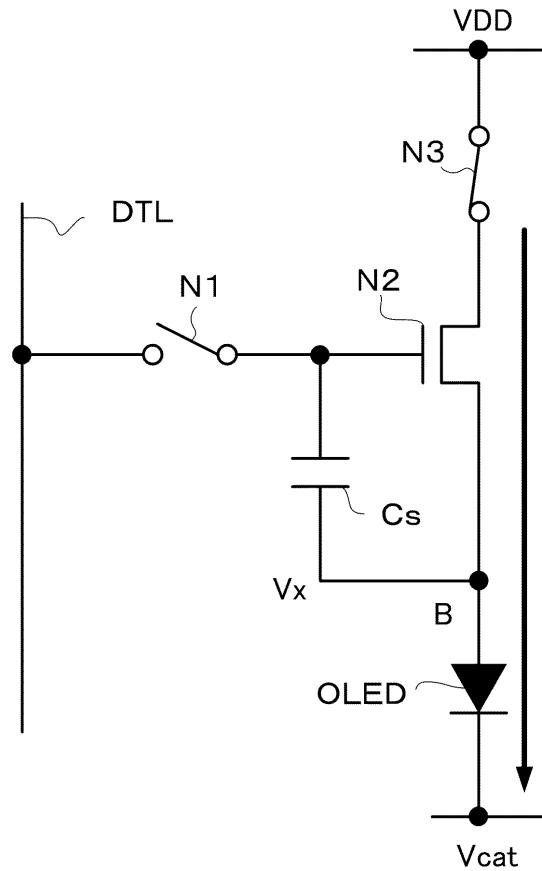
【図 1 7】



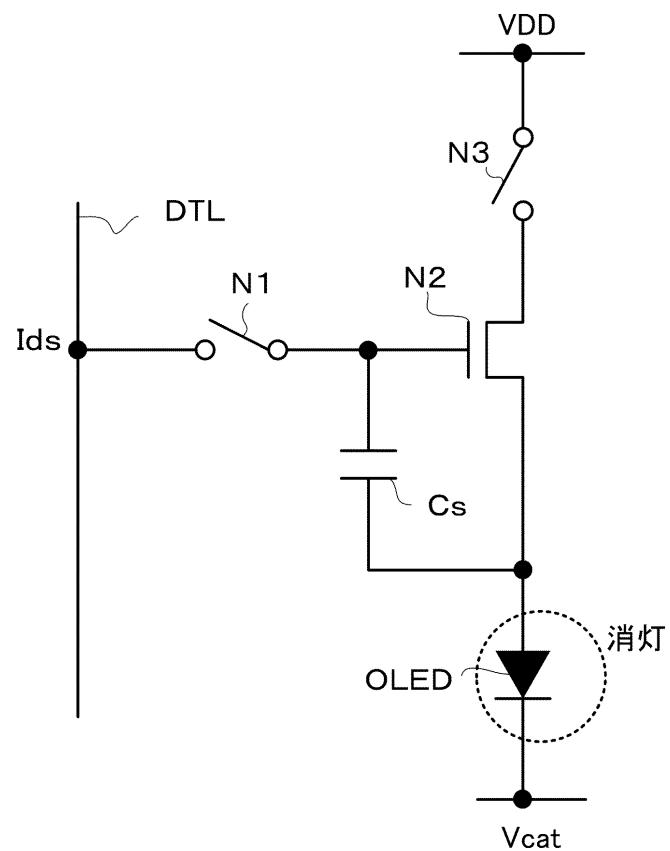
【図 1 8】



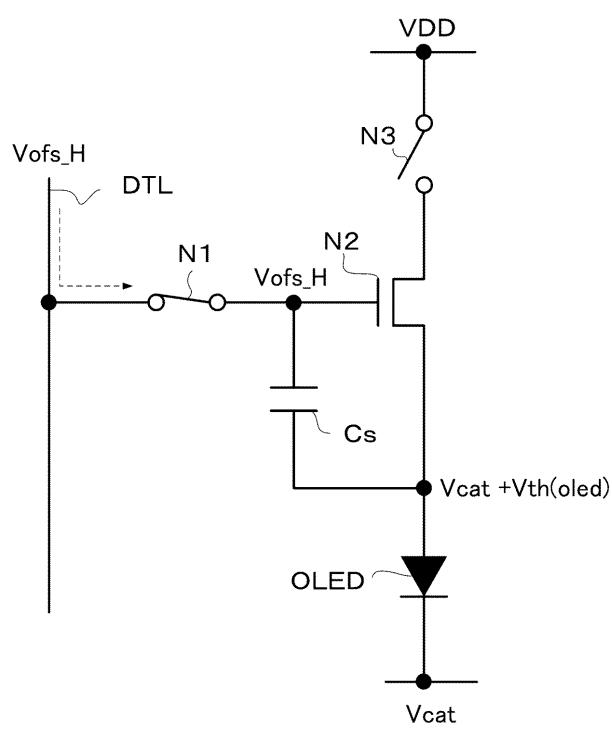
【図19】



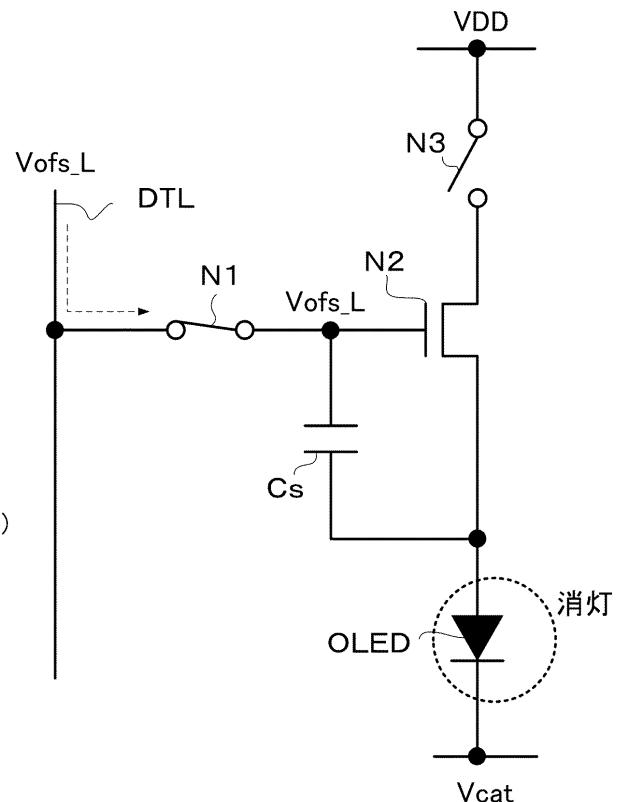
【図20】



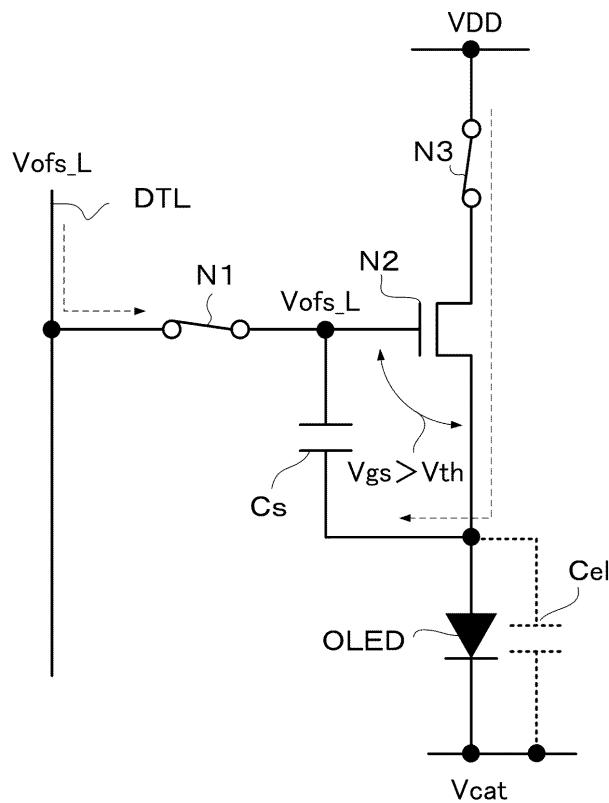
【図21】



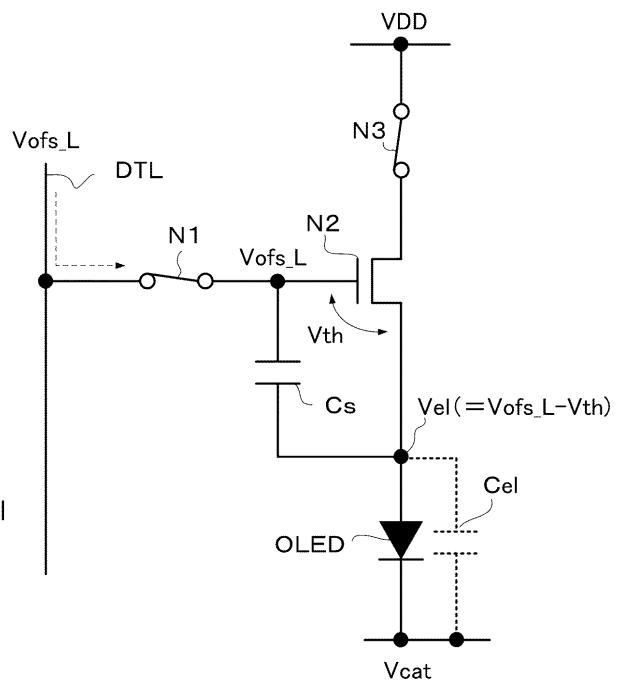
【図22】



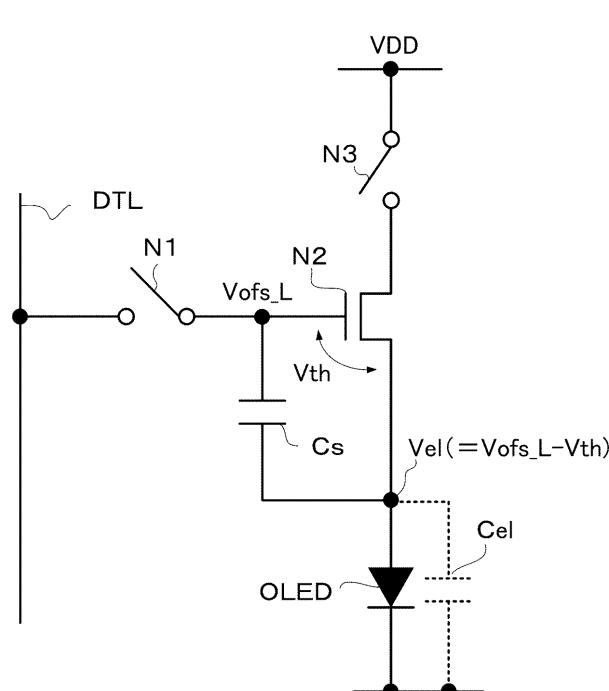
【図23】



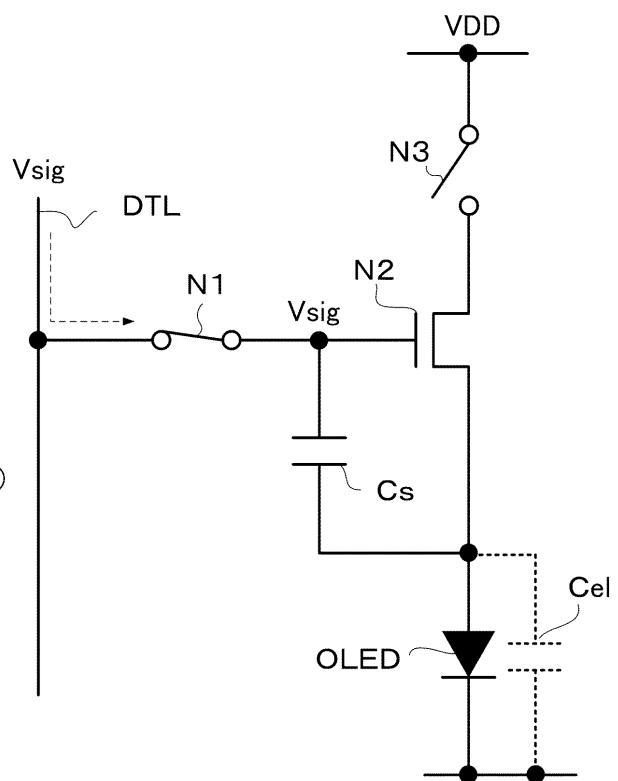
### 【図24】



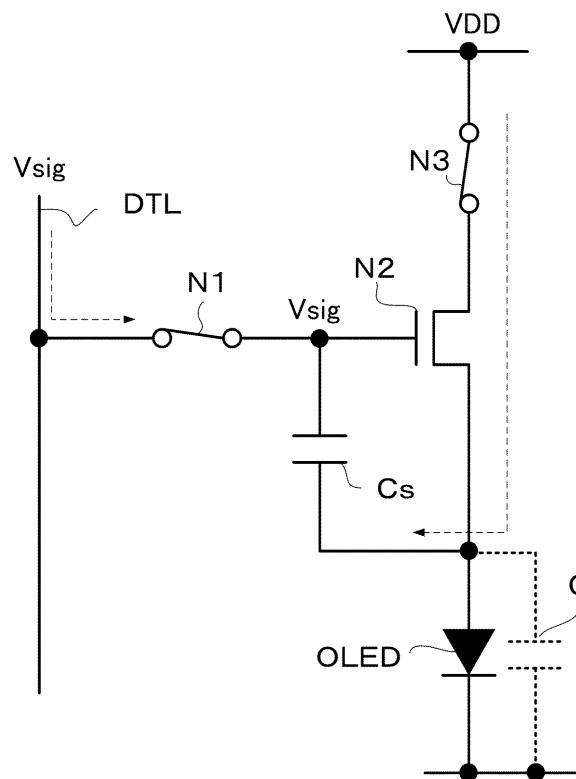
### 【図25】



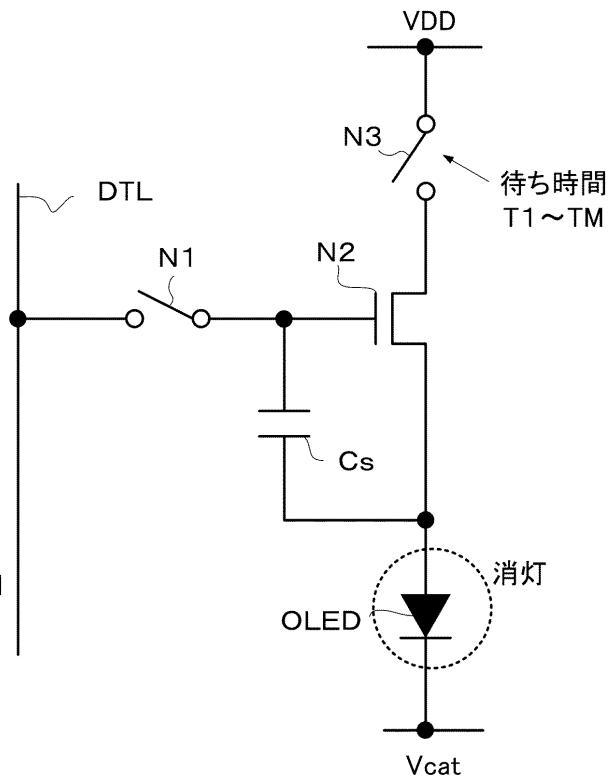
## 【図26】



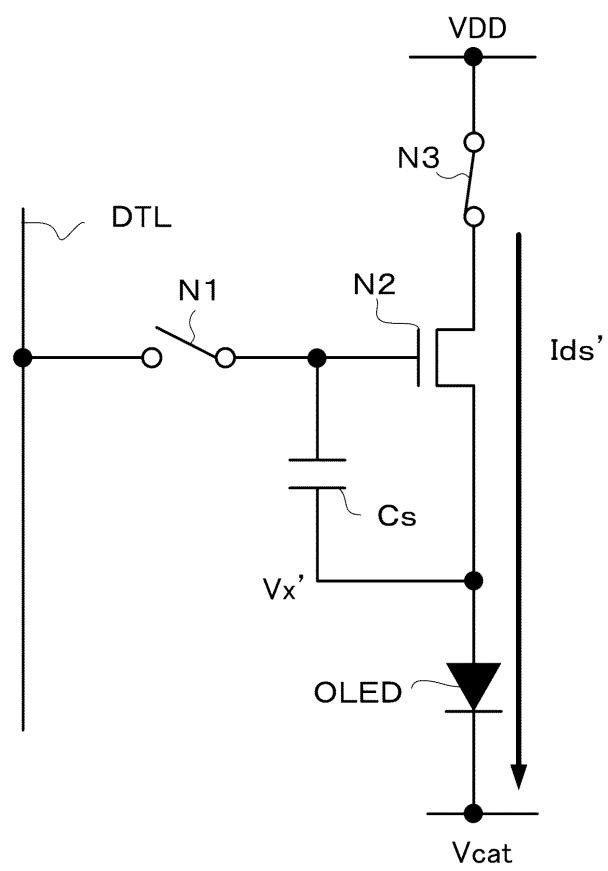
【図27】



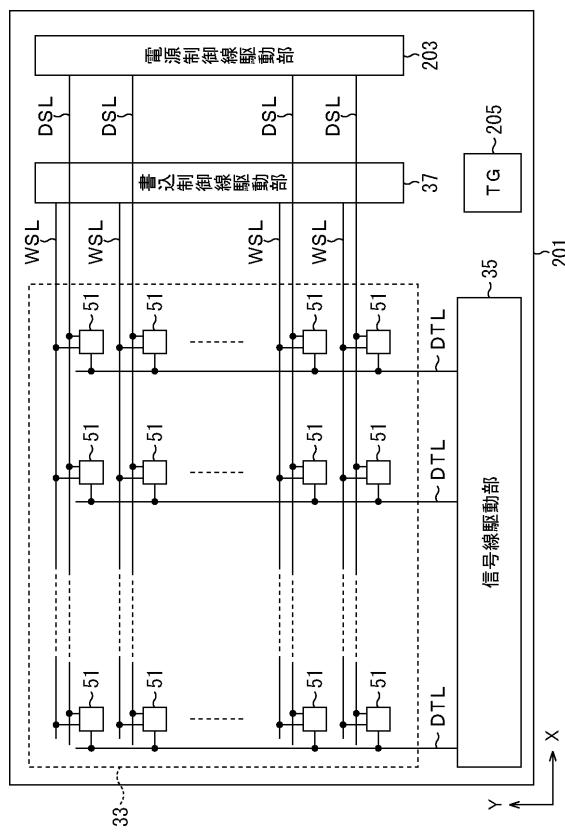
【図28】



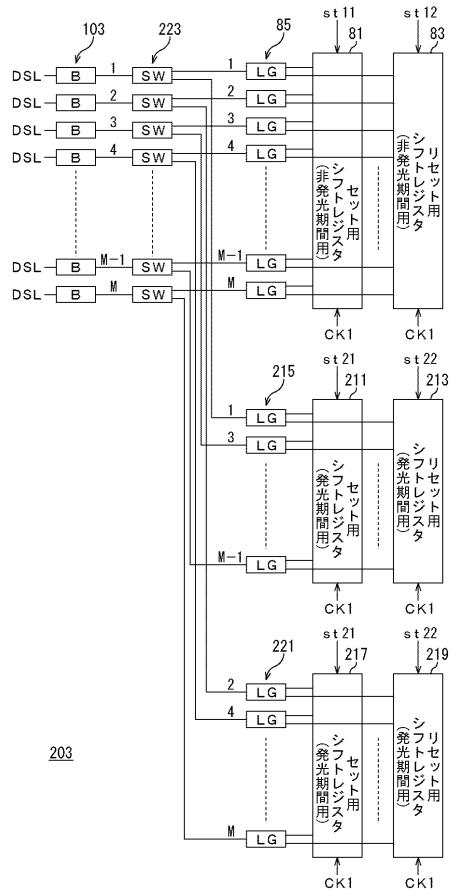
【図29】



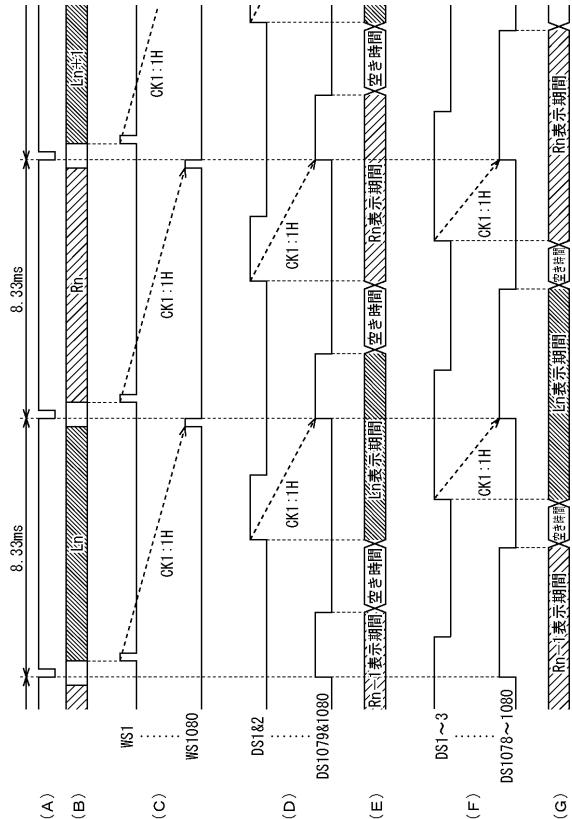
【図30】



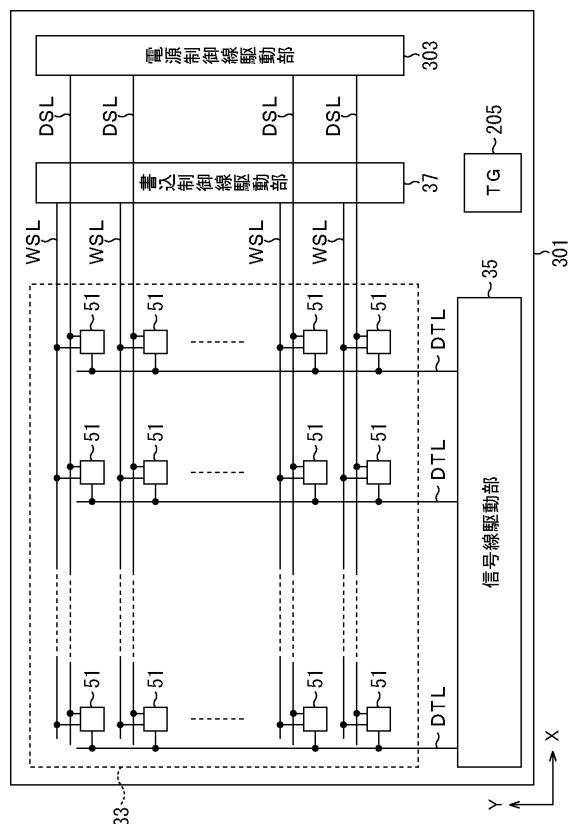
【図31】



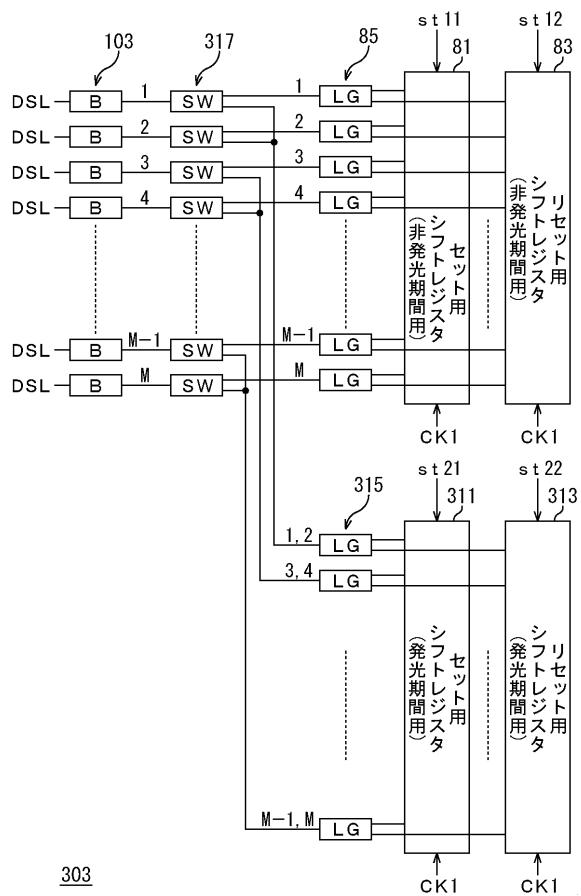
【図32】



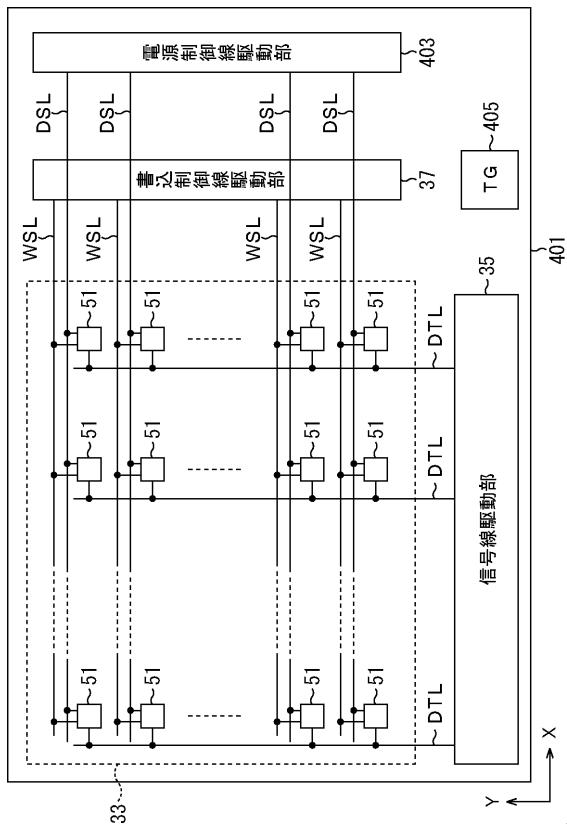
【図33】



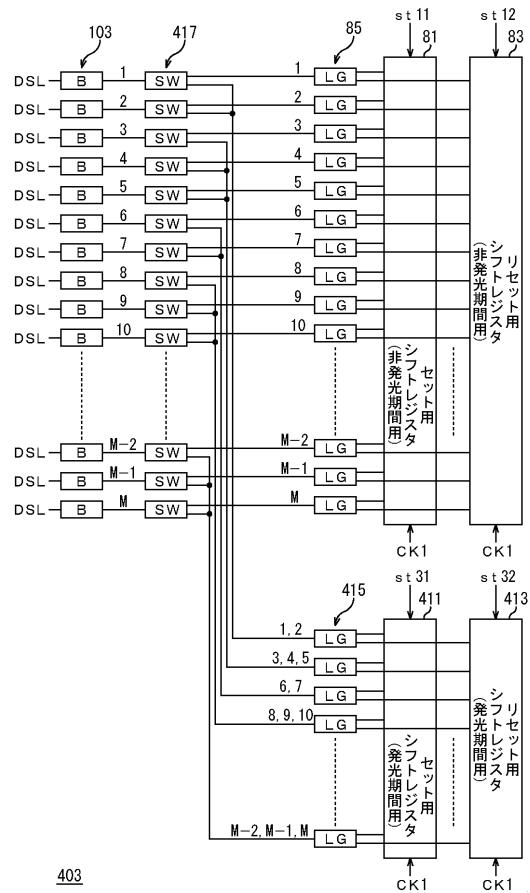
【図34】



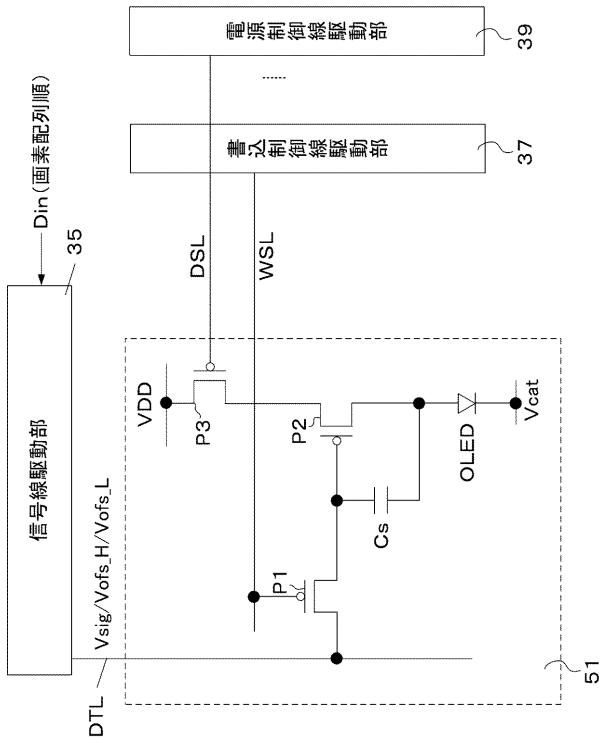
【図35】



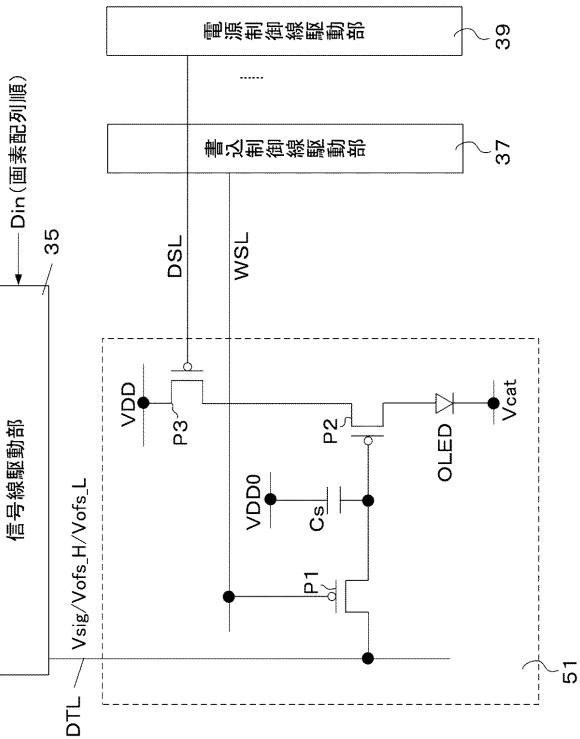
【図36】



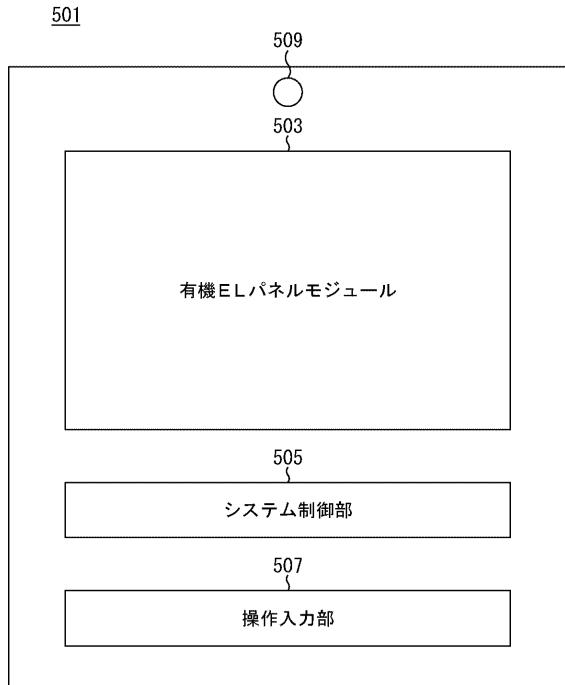
〔四三七〕



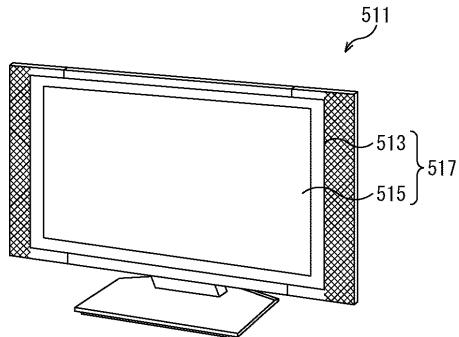
〔 四 3 8 〕



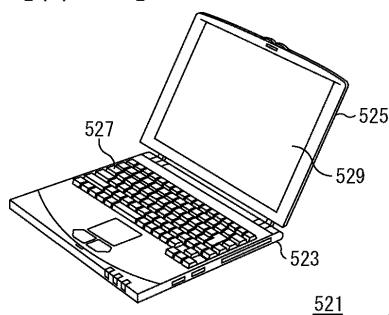
【図39】



【図40】



【図41】



---

フロントページの続き

(51)Int.Cl. F I

<i>H 04N 13/04</i>	<i>(2006.01)</i>	<i>G 09G 3/20</i>	<i>6 2 1 F</i>
		<i>H 05B 33/14</i>	<i>A</i>
		<i>G 02B 27/22</i>	
		<i>H 04N 5/70</i>	<i>A</i>
		<i>H 04N 13/04</i>	

(56)参考文献 国際公開第2010/082479 (WO, A1)

特開平11-088911 (JP, A)  
特開2006-284716 (JP, A)  
特開2005-292722 (JP, A)  
特開平10-312173 (JP, A)  
特開2009-122196 (JP, A)  
特開2007-249196 (JP, A)

(58)調査した分野(Int.Cl., DB名)

<i>G 09G</i>	<i>3 / 3 0</i>
<i>G 02B</i>	<i>2 7 / 2 2</i>
<i>G 09G</i>	<i>3 / 0 0 - 3 8</i>
<i>H 01L</i>	<i>5 1 / 5 0</i>
<i>H 04N</i>	<i>5 / 7 0</i>
<i>H 04N</i>	<i>1 3 / 0 4</i>