

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和2年9月10日(2020.9.10)

【公開番号】特開2019-145659(P2019-145659A)

【公開日】令和1年8月29日(2019.8.29)

【年通号数】公開・登録公報2019-035

【出願番号】特願2018-28057(P2018-28057)

【国際特許分類】

H 01 L	29/861	(2006.01)
H 01 L	29/868	(2006.01)
H 01 L	21/329	(2006.01)
H 01 L	29/06	(2006.01)
H 01 L	21/8234	(2006.01)
H 01 L	27/06	(2006.01)

【F I】

H 01 L	29/91	D
H 01 L	29/91	L
H 01 L	29/91	B
H 01 L	29/06	3 0 1 F
H 01 L	27/06	1 0 2 A

【手続補正書】

【提出日】令和2年7月22日(2020.7.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

主表面を有する半導体基板と、

前記半導体基板の前記主表面上に配置されたn型のボディ領域と、

前記半導体基板の前記主表面上に配置されたp型のドレイン領域と、

前記ドレイン領域との間で前記ボディ領域を挟むように前記半導体基板の前記主表面上に配置されたp型のソース領域と、

前記半導体基板の前記主表面上に配置され、かつ前記ボディ領域と絶縁しながら対向するゲート電極と、

前記ボディ領域よりも高いn型の不純物濃度を有するn型の第1不純物領域と、

前記ボディ領域、前記ドレイン領域、前記ソース領域および前記第1不純物領域を囲うように、前記半導体基板内に形成された溝に埋められた絶縁層とを備え、

前記ゲート電極、前記ソース領域および前記ボディ領域は電気的に接続されており、

前記第1不純物領域は、前記ソース領域から前記ゲート電極に向かう方向において、前記ボディ領域と前記ソース領域との間に配置されており、

前記半導体基板は、前記ボディ領域と直接的に接するように形成された、p型のエピタキシャル領域を備え、

前記溝は、前記エピタキシャル領域を貫通している、半導体装置。

【請求項2】

前記第1不純物領域は、前記ゲート電極の直下の領域と前記ソース領域との間に配置されている、請求項1に記載の半導体装置。

**【請求項 3】**

前記第1不純物領域のn型の不純物濃度は、前記ボディ領域のn型の不純物濃度の100倍以上である、請求項1に記載の半導体装置。

**【請求項 4】**

前記半導体基板の前記主表面に配置されたn型の第2不純物領域をさらに備え、

前記主表面において前記第1不純物領域と前記第2不純物領域とにより前記ソース領域は挟まれている、請求項1に記載の半導体装置。

**【請求項 5】**

前記第1不純物領域、前記第2不純物領域および前記ソース領域はストライプ状に配置されている、請求項4に記載の半導体装置。

**【請求項 6】**

前記ソース領域は前記主表面においてドット状となるように、前記ソース領域の周囲は前記第1不純物領域に囲まれている、請求項1に記載の半導体装置。

**【請求項 7】**

前記ドレイン領域と前記ボディ領域との間において前記半導体基板の前記主表面に配置された分離絶縁層をさらに備え、

前記ゲート電極は、前記分離絶縁層の上に乗り上げている、請求項1に記載の半導体装置。

**【請求項 8】**

前記半導体基板は、前記エピタキシャル領域内に形成されたp型のパンチスルー防止層を有し、

前記パンチスルー防止層は、前記エピタキシャル領域よりも高い不純物濃度を有する、  
請求項1に記載の半導体装置。

**【請求項 9】**

前記パンチスルー防止層は、前記ボディ領域と直接的に接している、請求項8に記載の  
半導体装置。

**【請求項 10】**

前記半導体基板は、

第1MOSトランジスタが形成された第1形成領域と、

第2MOSトランジスタが形成された第2形成領域と、

を有し、

前記第1MOSトランジスタは、前記ボディ領域、前記ドレイン領域、前記ソース領域  
、前記ゲート電極および前記第1不純物領域を有し、

前記絶縁層は、前記第1形成領域および前記第2形成領域間に形成されている、請求項1に記載の半導体装置。

**【請求項 11】**

半導体基板内にp型のエピタキシャル領域を形成する工程と、

前記半導体基板の主表面にn型のボディ領域を形成する工程と、

前記ボディ領域と絶縁しながら対向するゲート電極を前記半導体基板の前記主表面上に形成する工程と、

前記半導体基板の前記主表面上に、前記ゲート電極を挟むようにp型のドレイン領域およびソース領域を形成する工程と、

前記ボディ領域よりも高いn型の不純物濃度を有するn型の第1不純物領域を形成する工程と、

前記ボディ領域、前記ドレイン領域、前記ソース領域および前記第1不純物領域を囲う  
ように、前記半導体基板内に形成された溝内に絶縁層を埋める工程とを備え、

前記ゲート電極、前記ソース領域および前記ボディ領域は電気的に接続するように形成され、

前記第1不純物領域は、前記ソース領域から前記ゲート電極に向かう方向において、前記ボディ領域と前記ソース領域との間に配置されるように形成され、

前記エピタキシャル領域は、前記ボディ領域と直接的に接するように形成されており、  
前記溝は、前記エピタキシャル領域を貫通している、半導体装置の製造方法。

**【請求項 1 2】**

前記第1不純物領域は、前記ゲート電極の直下の領域と前記ソース領域との間に形成される、請求項1 1に記載の半導体装置の製造方法。

**【請求項 1 3】**

前記エピタキシャル領域内にp型のパンチスルー防止層を形成する工程を有し、  
前記パンチスルー防止層は、前記エピタキシャル領域よりも高い不純物濃度を有する、  
請求項1 1に記載の半導体装置の製造方法。

**【請求項 1 4】**

前記パンチスルー防止層は、前記ボディ領域と直接的に接している、請求項1 3に記載の半導体装置の製造方法。

**【請求項 1 5】**

前記半導体基板は、  
第1MOSトランジスタが形成された第1形成領域と、  
第2MOSトランジスタが形成された第2形成領域と、  
を有し、  
前記第1MOSトランジスタは、前記ボディ領域、前記ドレイン領域、前記ソース領域、  
前記ゲート電極および前記第1不純物領域を有し、  
前記絶縁層は、前記第1形成領域および前記第2形成領域間に形成されている、請求項  
1 1に記載の半導体装置の製造方法。