

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 2 年 9 月 10 日 (2020.9.10)

【公開番号】特開 2019-145659 (P2019-145659A)

【公開日】令和 1 年 8 月 29 日 (2019.8.29)

【年通号数】公開・登録公報 2019-035

【出願番号】特願 2018-28057 (P2018-28057)

【国際特許分類】

H 0 1 L 29/861 (2006.01)

H 0 1 L 29/868 (2006.01)

H 0 1 L 21/329 (2006.01)

H 0 1 L 29/06 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/06 (2006.01)

【F I】

H 0 1 L 29/91 D

H 0 1 L 29/91 L

H 0 1 L 29/91 B

H 0 1 L 29/06 3 0 1 F

H 0 1 L 27/06 1 0 2 A

【手続補正書】

【提出日】令和 2 年 7 月 22 日 (2020.7.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

主表面を有する半導体基板と、
 前記半導体基板の前記主表面に配置された n 型 のボディ領域と、
 前記半導体基板の前記主表面に配置された p 型 のドレイン領域と、
 前記ドレイン領域との間で前記ボディ領域を挟むように前記半導体基板の前記主表面に配置された p 型 のソース領域と、
 前記半導体基板の前記主表面上に配置され、かつ前記ボディ領域と絶縁しながら対向するゲート電極と、
 前記ボディ領域よりも高い n 型 の不純物濃度を有する n 型 の第 1 不純物領域と、
前記ボディ領域、前記ドレイン領域、前記ソース領域および前記第 1 不純物領域を囲うように、前記半導体基板内に形成された溝に埋められた絶縁層とを備え、
 前記ゲート電極、前記ソース領域および前記ボディ領域は電氣的に接続されており、
 前記第 1 不純物領域は、前記ソース領域から前記ゲート電極に向かう方向において、前記ボディ領域と前記ソース領域との間に配置されており、
前記半導体基板は、前記ボディ領域と直接的に接するように形成された、p 型のエピタキシャル領域を備え、
前記溝は、前記エピタキシャル領域を貫通している、半導体装置。

【請求項 2】

前記第 1 不純物領域は、前記ゲート電極の直下の領域と前記ソース領域との間に配置されている、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 不純物領域の n 型の不純物濃度は、前記ボディ領域の n 型の不純物濃度の 10 倍以上である、請求項 1 に記載の半導体装置。

【請求項 4】

前記半導体基板の前記主表面に配置された n 型の第 2 不純物領域をさらに備え、
前記主表面において前記第 1 不純物領域と前記第 2 不純物領域とにより前記ソース領域は挟まれている、請求項 1 に記載の半導体装置。

【請求項 5】

前記第 1 不純物領域、前記第 2 不純物領域および前記ソース領域はストライプ状に配置されている、請求項 4 に記載の半導体装置。

【請求項 6】

前記ソース領域は前記主表面においてドット状となるように、前記ソース領域の周囲は前記第 1 不純物領域に囲まれている、請求項 1 に記載の半導体装置。

【請求項 7】

前記ドレイン領域と前記ボディ領域との間において前記半導体基板の前記主表面に配置された分離絶縁層をさらに備え、

前記ゲート電極は、前記分離絶縁層の上に乗り上げている、請求項 1 に記載の半導体装置。

【請求項 8】

前記半導体基板は、前記エピタキシャル領域内に形成された p 型のパンチスルー防止層を有し、

前記パンチスルー防止層は、前記エピタキシャル領域よりも高い不純物濃度を有する、
請求項 1 に記載の半導体装置。

【請求項 9】

前記パンチスルー防止層は、前記ボディ領域と直接的に接している、請求項 8 に記載の半導体装置。

【請求項 10】

前記半導体基板は、

第 1 MOS トランジスタが形成された第 1 形成領域と、

第 2 MOS トランジスタが形成された第 2 形成領域と、

を有し、

前記第 1 MOS トランジスタは、前記ボディ領域、前記ドレイン領域、前記ソース領域、
前記ゲート電極および前記第 1 不純物領域を有し、

前記絶縁層は、前記第 1 形成領域および前記第 2 形成領域間に形成されている、請求項 1 に記載の半導体装置。

【請求項 11】

半導体基板内に p 型のエピタキシャル領域を形成する工程と、

前記半導体基板の主表面に n 型のボディ領域を形成する工程と、

前記ボディ領域と絶縁しながら対向するゲート電極を前記半導体基板の前記主表面上に形成する工程と、

前記半導体基板の前記主表面に、前記ゲート電極を挟むように p 型のドレイン領域およびソース領域を形成する工程と、

前記ボディ領域よりも高い n 型の不純物濃度を有する n 型の第 1 不純物領域を形成する工程と、

前記ボディ領域、前記ドレイン領域、前記ソース領域および前記第 1 不純物領域を囲うように、前記半導体基板内に形成された溝内に絶縁層を埋める工程とを備え、

前記ゲート電極、前記ソース領域および前記ボディ領域は電氣的に接続するように形成され、

前記第 1 不純物領域は、前記ソース領域から前記ゲート電極に向かう方向において、前記ボディ領域と前記ソース領域との間に配置されるように形成され、

前記エピタキシャル領域は、前記ボディ領域と直接的に接するように形成されており、前記溝は、前記エピタキシャル領域を貫通している、半導体装置の製造方法。

【請求項 1 2】

前記第 1 不純物領域は、前記ゲート電極の直下の領域と前記ソース領域との間に形成される、請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 3】

前記エピタキシャル領域内に p 型のパンチスルー防止層を形成する工程を有し、前記パンチスルー防止層は、前記エピタキシャル領域よりも高い不純物濃度を有する、請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 4】

前記パンチスルー防止層は、前記ボディ領域と直接的に接している、請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 5】

前記半導体基板は、第 1 MOS トランジスタが形成された第 1 形成領域と、第 2 MOS トランジスタが形成された第 2 形成領域と、を有し、前記第 1 MOS トランジスタは、前記ボディ領域、前記ドレイン領域、前記ソース領域、前記ゲート電極および前記第 1 不純物領域を有し、前記絶縁層は、前記第 1 形成領域および前記第 2 形成領域間に形成されている、請求項 1 1 に記載の半導体装置の製造方法。