

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2025-509901
(P2025-509901A)

(43)公表日 令和7年4月11日(2025.4.11)

(51)国際特許分類

F I

H 0 1 L 23/12 (2006.01) H 0 1 L 23/12 N

H 0 1 L 25/07 (2006.01) H 0 1 L 25/08 H

H 0 1 L 23/12 Q

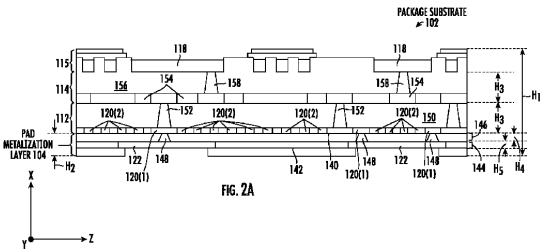
審査請求 未請求 予備審査請求 未請求 (全35頁)

(21)出願番号	特願2024-555978(P2024-555978)	(71)出願人	507364838
(86)(22)出願日	令和5年2月24日(2023.2.24)		クアルコム, インコーポレイテッド
(85)翻訳文提出日	令和6年9月19日(2024.9.19)		アメリカ合衆国 カリフォルニア 9 2 1
(86)国際出願番号	PCT/US2023/063216		2 1 サン ディエゴ モアハウス ドライ
(87)国際公開番号	WO2023/183692		ブ 5 7 7 5
(87)国際公開日	令和5年9月28日(2023.9.28)	(74)代理人	100108453
(31)優先権主張番号	17/656,477		弁理士 村山 靖彦
(32)優先日	令和4年3月25日(2022.3.25)	(74)代理人	100163522
(33)優先権主張国・地域又は機関			弁理士 黒田 晋平
	米国(US)	(72)発明者	ジョアン・レイ・ヴィラルバ・ビュオ
(81)指定国・地域	AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW), EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES, FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV 最終頁に続く		アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ ドライヴ・5 7 7 5
		(72)発明者	ジジエ・ワン
			アメリカ合衆国・カリフォルニア・9 2 最終頁に続く

(54)【発明の名称】 信号ルーティング容量を増加させるためのパッド金属化層を採用するパッケージ基板、並びに関連する集積回路（IC）パッケージ及び製造方法

(57)【要約】

信号ルーティング容量を増加させるためのパッド金属化層を採用するパッケージ基板、並びに関連する集積回路（IC）パッケージ及び製造方法。ICパッケージ全体の厚さの増加を緩和しながら、ICパッケージ内の信号ルーティング密度の増加をサポートするために、パッケージ基板の外側金属化層が、より薄いパッド金属化層として設けられる。パッド金属化層内の金属層は、パッケージ基板への外部接続を形成するための金属パッドを含む。これにより、そうでなければ外部相互接続部を形成するためのより大きな幅の金属パッドを有することになる、隣接する金属化層内の領域が、パッケージ基板内の他の信号ルーティングのために使用されることを可能にする。これにより、フルサイズの追加の金属化層がパッケージ基板に追加された場合に、パッケージ基板全体の厚さの増加を緩和しながら、パッケージ基板の全体的な信号ルーティング密度を増加させることができる。



【特許請求の範囲】**【請求項 1】**

第 1 の金属化層であって、

第 1 の厚さを有する第 1 の金属層であって、

1 つ又は複数の第 1 の金属相互接続部を備える、第 1 の金属層を備える、

第 1 の金属化層と、

前記第 1 の金属化層に隣接して配置された第 1 の表面と、前記第 1 の表面の反対側の第 2 の表面とを備えるパッド金属化層であって、

前記第 1 の厚さよりも小さい第 2 の厚さを有するパッド金属層であって、

前記第 2 の表面に隣接し、かつ前記 1 つ又は複数の第 1 の金属相互接続部のうちの第 1 の金属相互接続部に各々が結合された、1 つ又は複数の金属パッドを備える、パッド金属層を備える、

パッド金属化層と、

前記 1 つ又は複数の金属パッドのうちの 1 つの金属パッドに各々が結合された、1 つ又は複数の外部相互接続部と、

を備える、パッケージ基板。

【請求項 2】

前記 1 つ又は複数の金属パッドの各金属パッドが、前記 1 つ又は複数の外部相互接続部のうちの 1 つの外部相互接続部に結合されている、請求項 1 に記載のパッケージ基板。

【請求項 3】

前記第 1 の金属化層が、1 つ又は複数の第 2 の金属相互接続部を更に備え、

前記 1 つ又は複数の第 2 の金属相互接続部の各々が、前記 1 つ又は複数の金属パッドのうちの 1 つの金属パッドに結合されていない、

請求項 1 に記載のパッケージ基板。

【請求項 4】

前記 1 つ又は複数の第 1 の金属相互接続部が各々、第 1 の幅を有し、

前記 1 つ又は複数の第 2 の金属相互接続部が各々、前記第 1 の幅よりも小さい第 2 の幅を有する、

請求項 3 に記載のパッケージ基板。

【請求項 5】

前記第 1 の金属層の前記第 1 の厚さと前記パッド金属層の前記第 2 の厚さとの比が、少なくとも 1 . 2 である、請求項 1 に記載のパッケージ基板。

【請求項 6】

前記第 1 の金属層の前記第 1 の厚さが、12 マイクロメートル (μm) ~ 16 μm であり、

前記パッド金属層の前記第 2 の厚さが、10 μm ~ 12 μm である、

請求項 1 に記載のパッケージ基板。

【請求項 7】

前記パッド金属化層が、前記パッド金属層に隣接して配置されたパッドビア層を更に備え、

前記パッドビア層が、前記 1 つ又は複数の第 1 の金属相互接続部のうちの第 1 の金属相互接続部と、前記 1 つ又は複数の金属パッドのうちの 1 つの金属パッドとに各々が結合された、1 つ又は複数のパッドビアを備える、

請求項 1 に記載のパッケージ基板。

【請求項 8】

前記第 1 の金属化層が、前記第 1 の金属層に隣接して配置された第 1 のビア層を更に備え、

前記第 1 のビア層が、前記 1 つ又は複数の第 1 の金属相互接続部のうちの第 1 の金属相互接続部に各々が結合された、1 つ又は複数の第 1 のビアを備える、

請求項 7 に記載のパッケージ基板。

【請求項 9】

前記第 1 の金属化層が第 2 の金属化層と前記パッド金属化層との間に配置されるように、前記第 1 の金属化層に隣接する第 2 の金属化層であって、

1 つ又は複数の第 2 の金属相互接続部を備える第 2 の金属層を備える、第 2 の金属化層を更に備える、請求項 8 に記載のパッケージ基板。

【請求項 10】

前記 1 つ又は複数のパッドビアが、第 1 の高さを有し、

前記 1 つ又は複数の第 1 のビアが、前記第 1 の高さよりも高い第 2 の高さを有する、請求項 8 に記載のパッケージ基板。

【請求項 11】

前記パッドビア層が、ガラス材料を含まない、請求項 7 に記載のパッケージ基板。

【請求項 12】

前記パッドビア層が、ガラス材料を含まず、

前記第 1 のビア層が、ガラス材料を含む、

請求項 8 に記載のパッケージ基板。

【請求項 13】

前記パッドビア層が、フォトイメージャブル誘電体 (PID) 層を含み、

前記第 1 のビア層が、予備含浸ガラス (PPG) 層を含む、

請求項 8 に記載のパッケージ基板。

【請求項 14】

前記第 1 のビア層が、第 3 の厚さを有し、

前記パッドビア層が、前記第 3 の厚さよりも小さい第 4 の厚さを有する、

請求項 7 に記載のパッケージ基板。

【請求項 15】

前記第 1 のビア層の前記第 3 の厚さと前記パッドビア層の前記第 4 の厚さとの比が、少なくとも 1 . 6 である、請求項 14 に記載のパッケージ基板。

【請求項 16】

前記第 1 のビア層の前記第 3 の厚さが、 $25\ \mu\text{m} \sim 45\ \mu\text{m}$ であり、

前記パッドビア層の前記第 4 の厚さが、 $10\ \mu\text{m} \sim 15\ \mu\text{m}$ である、

請求項 14 に記載のパッケージ基板。

【請求項 17】

セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、固定ロケーションデータユニット、モバイルロケーションデータユニット、全地球測位システム (GPS) デバイス、スマートフォン、携帯電話、スマートフォン、セッション開始プロトコル (SIP) フォン、タブレット、ファブレット、サーバ、コンピュータ、ポータブルコンピュータ、モバイルコンピューティングデバイス、ウェアラブルコンピューティングデバイス、デスクトップコンピュータ、携帯情報端末 (PDA)、モニタ、コンピュータモニタ、テレビ、チューナ、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク (DVD) プレーヤ、ポータブルデジタルビデオプレーヤ、自動車、車両部品、アビオニクスシステム、ドローン、及びマルチコプターからなる群から選択されるデバイスに一体化されている、請求項 1 に記載のパッケージ基板。

【請求項 18】

集積回路 (IC) パッケージ用のパッケージ基板を製造する方法であって、

第 1 の金属化層を形成することであって、

第 1 の厚さを有する第 1 の金属層を形成することと、

前記第 1 の金属層内に 1 つ又は複数の第 1 の金属相互接続部を形成することと、を含む、第 1 の金属化層を形成することと、

前記第 1 の金属化層に隣接する第 1 の表面と、前記第 1 の表面の反対側の第 2 の表面とを備えるパッド金属化層を形成することであって、

10

20

30

40

50

前記第 1 の厚さよりも小さい第 2 の厚さを有するパッド金属層を形成することと、
前記第 2 の表面に隣接する前記パッド金属層内に 1 つ又は複数の金属パッドを形成することと、

前記 1 つ又は複数の金属パッドの各金属パッドを前記 1 つ又は複数の第 1 の金属相互接続部のうちの第 1 の金属相互接続部に結合することと、

を含む、パッド金属化層を形成することと、

前記 1 つ又は複数の金属パッドのうちの 1 つの金属パッドに各々が結合された、1 つ又は複数の外部相互接続部を形成することと、

を含む、方法。

【請求項 19】

前記 1 つ又は複数の外部相互接続部を形成することが、前記 1 つ又は複数の外部相互接続部のうちの 1 つの外部相互接続部を前記 1 つ又は複数の金属パッドの各金属パッドに結合することを含む、請求項 18 に記載の方法。

【請求項 20】

前記第 1 の金属化層内に 1 つ又は複数の第 2 の金属相互接続部を形成することと、

前記 1 つ又は複数の第 2 の金属相互接続部の各々を前記 1 つ又は複数の金属パッドのうちの 1 つの金属パッドに結合しないことと、

を更に含む、請求項 18 に記載の方法。

【請求項 21】

前記 1 つ又は複数の第 1 の金属相互接続部を形成することが、前記第 1 の金属層内に、各々が第 1 の幅の、前記 1 つ又は複数の第 1 の金属相互接続部を形成することを含み、

前記 1 つ又は複数の第 2 の金属相互接続部を形成することが、前記第 1 の金属層内に、各々が前記第 1 の幅よりも小さい第 2 の幅の、前記 1 つ又は複数の第 2 の金属相互接続部を形成することを含む、

請求項 20 に記載の方法。

【請求項 22】

前記パッド金属化層を形成することが、

前記パッド金属層に隣接するパッドビア層を形成することと、

前記 1 つ又は複数の第 1 の金属相互接続部のうちの第 1 の金属相互接続部と、前記 1 つ又は複数の金属パッドのうちの 1 つの金属パッドとに各々が結合された、1 つ又は複数のパッドビアを前記パッドビア層内に形成することと、

を更に含む、

請求項 18 に記載の方法。

【請求項 23】

前記第 1 の金属化層を形成することが、

前記第 1 の金属層に隣接する第 1 のビア層を形成することと、

前記 1 つ又は複数の第 1 の金属相互接続部のうちの第 1 の金属相互接続部に各々が結合された、1 つ又は複数の第 1 のビアを形成することと、

を更に含む、

請求項 22 に記載の方法。

【請求項 24】

前記第 1 の金属化層が第 2 の金属化層と前記パッド金属化層との間に配置されるように、前記第 1 の金属化層に隣接する第 2 の金属化層を形成することであって、

1 つ又は複数の第 2 の金属相互接続部を備える第 2 の金属層を形成することを含む、

第 2 の金属化層を形成することを更に含む、請求項 23 に記載の方法。

【請求項 25】

前記第 1 の金属化層内に前記第 1 のビア層を形成することが、第 3 の厚さを有する前記第 1 のビア層を形成することを含み、

前記パッド金属化層内に前記パッドビア層を形成することが、前記第 3 の厚さよりも小さい第 4 の厚さを有する前記パッドビア層を形成することを含む、

10

20

30

40

50

請求項 22 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

優先権出願

本出願は、その全体が参照により本明細書に組み込まれる、2022年3月25日に出願された「PACKAGE SUBSTRATES EMPLOYING PAD METALLIZATION LAYER FOR INCREASED SIGNAL ROUTING CAPACITY, AND RELATED INTEGRATED CIRCUIT (IC) PACKAGES AND FABRICATION METHODS」と題する米国特許出願第17/656,477号の優先権を主張する。 10

【背景技術】

【0002】

I. 開示の分野

本開示の分野は、集積回路 (integrated circuit、IC) パッケージに関し、より具体的には、ICパッケージ内の半導体ダイ (単数又は複数) への信号ルーティングをサポートするパッケージ基板の設計及び製造に関する。

【0003】

II. 背景技術

集積回路 (Integrated circuits、ICs) は、電子デバイスの基礎である。ICは、「半導体パッケージ」又は「チップパッケージ」とも呼ばれるICパッケージにパッケージングされる。ICパッケージは、物理的支持及びダイ (単数又は複数) への電氣的インターフェースを提供するためのパッケージ基板に実装され、電氣的に結合される1つ又は複数の半導体ダイ (「ダイ (dies)」又は「ダイ (dice)」) をIC (単数又は複数) として含む。パッケージ基板は、金属相互接続部 (例えば、金属トレース、金属線) を含む1つ又は複数の金属化層を含み、ビアが、隣接する金属化層間で金属相互接続部と一緒に結合して、ダイ (単数又は複数) 間の電氣的インターフェースを提供する。ダイ (単数又は複数) は、ダイ (単数又は複数) をパッケージ基板の金属相互接続部に電氣的に結合するために、パッケージ基板の上部又は外側金属化層に露出した金属相互接続部に電氣的にインターフェースされる。例えば、パッケージ基板は、ダイ (単数又は複数) をパッケージ基板に結合するためのより高密度の bumps / はんだ接合を容易にするために、ダイに隣接する埋め込みトレース基板 (embedded trace substrate、ETS) 層を含むことができる。外側金属化層内の金属相互接続部は、パッケージ基板内の他の下側金属化層内の他の金属相互接続部に結合されて、結合されたダイへの信号ルーティング経路を提供する。例えば、パッケージ基板は、垂直方向に積層された3つの金属化層を有する3層 (three-layer、3L) ETSパッケージ基板であってもよい。 20 30

【0004】

一部のICパッケージは、異なる目的又は用途のためのそれぞれのダイを有する複数のダイパッケージを含む「ハイブリッド」ICパッケージとして知られている。例えば、ハイブリッドICパッケージは、通信モデム又はプロセッサ (システムを含む) などのアプリケーションダイであってもよい。ハイブリッドICパッケージはまた、例えば、アプリケーションダイによるデータ記憶及びデータアクセスをサポートするためのメモリを提供するために、1つ又は複数のメモリダイを含むことができる。複数のダイは、単一のダイ層内に配置され、ICパッケージ内のパッケージ基板上で水平方向に互いに隣接して配置されていてもよい。複数のダイはまた、全体的な3DICパッケージとして3次元 (three-dimensional、3D) 構成で互いの上に積み重ねられたそれら自体のそれぞれのダイパッケージ内に設けられてもよい。インターポーザをダイパッケージ間に配置して、パッケージ内の積み重ねられたダイ間の電気接続の提供をサポートすることができる。3DICパッケージは、パッケージの断面積を低減することが望ましい場合があ 40 50

る。３ＤＩＣパッケージでは、パッケージ基板上に直接支持された第１の下部ダイが、ダイ相互接続部を介してパッケージ基板の金属化層に電氣的に結合されて、パッケージ基板内のダイのための信号ルーティング経路を提供する。３ＤＩＣパッケージ内のパッケージ基板に直接隣接しない他の積層ダイは、複数の積層ダイ間のダイツードイ（die-to-die、Ｄ２Ｄ）接続を提供するために、ワイヤボンド及び／又は中間インターポーザによってパッケージ基板に電氣的に結合することができる。

【０００５】

ＩＣパッケージ内のダイサイズが増大するにつれて、ダイ（単数又は複数）とパッケージ基板との間に必要な信号ルーティング経路を提供するために、ダイ（単数又は複数）とＩＣパッケージのパッケージ基板との間の接続の数も、典型的には増大する。信号ルーティング経路の数の増加は、ＩＣパッケージのパッケージ基板内の信号ルーティング空間のより高い密度をサポートする必要性をもたらす。これは、より高密度の信号ルーティング経路を収容するために、パッケージ基板内の金属化層の数を増加させることを必要とする可能性がある。しかしながら、パッケージ基板に追加の金属化層を追加することにより、ＩＣパッケージ全体の高さ及び厚さを増加させ、これにより、ＩＣパッケージがその全体的なパッケージ厚さ要件を超える可能性がある。

【発明の概要】

【０００６】

本明細書で開示する態様は、信号ルーティング容量を増加させるためのパッド金属化層を採用するパッケージ基板を含む。パッケージ基板は、半導体ダイ（単数又は複数）（「ダイ（単数又は複数）」）のための実装構造及び信号ルーティングを提供するために、集積回路（ＩＣ）パッケージに採用されるように構成されている。関連する製造方法も開示される。パッケージ基板は、信号ルーティング経路を提供するために、各々が金属相互接続部を含む、１つ又は複数の金属化層を含む。ダイ（単数又は複数）は、信号ルーティングのためにダイ（単数又は複数）とパッケージ基板との間の電氣的結合を提供するために、パッケージ基板の第１の外側金属化層内の金属相互接続部に結合されている。外部相互接続部（例えば、ボールグリッドアレイ（ball grid array、ＢＧＡ）相互接続部）は、ＩＣパッケージ及びその中のダイ（単数又は複数）への外部接続を提供するために、第２の外側金属化層内の金属パッドと接触して形成されている。ＩＣパッケージに対する信号ルーティング密度要件が増大するにつれて、パッケージ基板内に追加の金属化層が必要になる場合がある。追加の金属化層は、望ましくない形でＩＣパッケージ全体の厚さの増加に寄与する。例示的な態様では、ＩＣパッケージ全体の厚さの増加を緩和しながら、ＩＣパッケージ内の信号ルーティング密度の増加をサポートするために、パッケージ基板の第２の外側金属化層が、パッケージ基板への追加パッド金属化層として設けられる。パッド金属化層は、パッケージ基板への外部接続を形成するための金属パッドを含む金属層を含む。パッド金属化層はまた、外部相互接続部とパッケージ基板との間の信号ルーティング経路を提供するために、金属パッド及び隣接する内部金属化層内の金属相互接続部に結合されたビアを含むパッドビア層を含む。一実施例では、パッド金属化層は、その金属層が外部接続を形成するための金属パッドのみを含み、かつパッケージ基板内の内部信号ルーティングに使用される金属相互接続部を含まないという点で、専用パッド金属化層である。そうでなければパッケージ基板内の隣接する内部金属化層内にあることになる、外部相互接続部を形成するための金属パッドは、本質的に、この追加されたパッド金属化層まで下方に移動される。これにより、そうでなければ外部相互接続部を形成するためのより大きな幅の金属パッドを有することになる、隣接する金属化層内の領域が、パッケージ基板内の他の信号ルーティングを提供するための追加のより小さな幅の金属相互接続部を提供するために使用されることを可能にする。したがって、パッド金属化層は、パッケージ基板内の隣接する内部金属化層が、パッケージ基板内の内部信号ルーティングのために使用される金属相互接続部の密度を増加させて、ＩＣパッケージ全体の厚さの増加を低減しながらパッケージ基板の全体的な信号ルーティング密度を増加させることを可能にする。

10

20

30

40

50

【 0 0 0 7 】

例示的な態様では、パッド金属化層は、予備含浸ガラス (pre-impregnated glass、PPG) 層などのガラス材料又は布で形成されていないので、パッド金属化層は、パッケージ基板内のより薄い金属化層として設けることができる。例えば、パッド金属化層内のパッドビア層は、ガラスクロス材料を含まないフォトイメージャブル誘電体 (photo-imageable dielectric、PID) 層として形成することができる。パッケージ基板内の他の金属化層は、反りを低減又は回避するための安定性を提供するのに十分に剛性であり得るので、パッケージ基板内に追加の安定性を提供するために、パッド金属化層のパッドビア層を PPG 層として形成する必要がない場合がある。また、より薄い層としてパッド金属化層内にパッドビア層を設けることによって、パッド金属化層内の金属パッドを隣接する内部金属化層内の金属相互接続部に結合するために形成されるビアの高さが低減される。また、パッド金属化層内のビアの高さが低減されることにより、隣接する内部金属化層内の結合された金属相互接続部の幅を低減することを可能にし、したがって、より高密度の信号ルーティングをサポートするためにパッケージ基板内の内部信号ルーティングのために使用される追加の金属相互接続部を設けるために、隣接する金属化層内に追加の領域を提供する。また、パッド金属化層内のビアの高さが低減されると、製造時にディンプルが形成されるリスクが小さくなる。これにより、パッド金属化層内のこれらのビアを、例えば、レーザ穿孔及び充填プロセスが必要であるのとは対照的に、露光及び現像プロセスを使用して形成することを可能にすることができる。

10

20

【 0 0 0 8 】

また、他の例示的な態様では、パッド金属化層内のパッドビア層が低減された厚さであることにより、ビア内にディンプルが形成されるリスクが低減されるので、これにより、また、パッド金属化層の金属層内に形成される金属パッドも低減された厚さであることを可能にすることができる。これは、パッド金属化層内の金属層の厚さの低減に寄与し、したがって、パッケージ基板内の他の金属化層と比較して、パッド金属化層の厚さの低減に寄与する。パッド金属化層内のより薄い金属パッドを有するより薄い金属層はまた、そうでなければパッド金属化層内の金属層がより厚い場合に存在するよりも、パッケージ基板の熱膨張係数 (coefficient of thermal expansion、CTE) を低減する。これは、パッケージ基板にパッド金属化層を追加することによって、IC パッケージの反りを回避又は低減するのに役立つ。例えば、パッド金属化層内の金属層は、0.5 の厚さの金属化層であってもよく、これは、1.0 の厚さの金属化層としてのパッケージ基板内の他の金属化層内の他の金属層の厚さの半分又は約半分であることを意味する。したがって、この実施例では、パッケージ基板が、各々が 1.0 の厚さの金属層を有する 3 つの金属化層を含む場合、0.5 の金属層を有するパッド金属化層をパッケージ基板に追加することにより、パッケージ基板の全体の厚さに寄与する合計 3.5 の金属層がパッケージ基板に提供される。これは、この実施例では、IC パッケージのためにより厚い 4.0 の金属層パッケージ基板を提供する、フルサイズの 1.0 の厚さの金属層を有する、信号ルーティング密度を増加させるための追加の金属化層を追加することとは対照的である。

30

40

【 0 0 0 9 】

この点で、1 つの例示的な態様では、パッケージ基板が提供される。パッケージ基板は、第 1 の厚さを有する第 1 の金属層を備える第 1 の金属化層を備える。第 1 の金属層は、1 つ又は複数の第 1 の金属相互接続部を備える。パッケージ基板はまた、第 1 の金属化層に隣接して配置された第 1 の表面と、第 1 の表面の反対側の第 2 の表面とを備えるパッド金属化層を備える。パッド金属化層は、第 1 の厚さよりも小さい第 2 の厚さを有するパッド金属層を備える。パッド金属層は、第 2 の表面に隣接し、かつ 1 つ又は複数の金属相互接続部のうちの第 1 の金属相互接続部に各々が結合された、1 つ又は複数の金属パッドを備える。パッケージ基板はまた、1 つ又は複数の金属パッドのうちの 1 つの金属パッドに各々が結合された、1 つ又は複数の外部相互接続部を備える。

50

【 0 0 1 0 】

別の例示的な態様では、ＩＣパッケージ用のパッケージ基板を製造する方法が提供される。この方法は、第１の厚さを有する第１の金属層を形成することと、第１の金属層内に１つ又は複数の第１の金属相互接続部を形成することと、を含む、第１の金属化層を形成することを含む。この方法はまた、第１の金属化層に隣接する第１の表面と、第１の表面の反対側の第２の表面とを備えるパッド金属化層を形成することを含む。パッド金属化層を形成することは、第１の厚さよりも小さい第２の厚さを有するパッド金属層を形成することと、第２の表面に隣接するパッド金属層内に１つ又は複数の金属パッドを形成することと、１つ又は複数の金属パッドの各金属パッドを１つ又は複数の金属相互接続部のうちの第１の金属相互接続部に結合することと、を含む。この方法はまた、１つ又は複数の金属パッドのうちの１つの金属パッドに各々が結合された、１つ又は複数の外部相互接続部を形成することを含む。

【図面の簡単な説明】

【 0 0 1 1 】

【図１】積層された半導体ダイ（「ダイ」）と、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含むパッケージ基板とを含む、３次元ＩＣ（three-dimensional IC、３ＤＩＣ）パッケージの形態の集積回路（ＩＣ）パッケージの側面図である。

【図２Ａ】図１のＩＣパッケージ内のパッド金属化層を含むパッケージ基板の側面図である。

【図２Ｂ】図１のＩＣパッケージ内のパッド金属化層を含むパッケージ基板の側面図である。

【図３Ａ】図２Ａ及び図２Ｂのパッケージ基板の側面図である。

【図３Ｂ】図２Ａ及び図２Ｂのパッケージ基板内の専用パッド金属化層に隣接する内部金属化層内の金属相互接続部の上面図であり、パッド金属化層内に外部相互接続部のための金属パッドを設けることによって可能になる、隣接する金属化層内の信号ルーティング経路の密度の増加を示す。

【図４Ａ】ＩＣパッケージ内に設けることができる代替的なパッケージ基板の側面図であり、パッケージ基板は、外部相互接続部のための金属パッド専用ではない追加のフルサイズの外側金属化層を含む。

【図４Ｂ】図４ＡのＩＣパッケージの外側金属化層内の金属相互接続部の上面図であり、外側金属化層内の信号ルーティング経路の密度の増加を示す。

【図５Ａ】図２Ａ及び図２Ｂのパッケージ基板内のパッド金属化層に隣接する内部金属化層内に形成された金属相互接続部によって提供することができる別の信号ルーティング設計の上面図である。

【図５Ｂ】図２Ａ及び図２Ｂのパッケージ基板内のパッド金属化層に隣接する内部金属化層内に形成された金属相互接続部によって提供することができる別の信号ルーティング設計の上面図である。

【図６】図１～図３Ａのパッケージ基板を含むがこれらに限定されず、図３Ｂ及び図５Ａ～図５Ｂの信号ルーティング経路を有する、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含むパッケージ基板を製造する例示的な製造プロセスを示すフローチャートである。

【図７Ａ】図１～図３Ａのパッケージ基板を含むがこれらに限定されず、図３Ｂ並びに図５Ａ及び図５Ｂの信号ルーティング経路を有する、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含むパッケージ基板を製造する別の例示的な製造プロセスを示すフローチャートである。

【図７Ｂ】図１～図３Ａのパッケージ基板を含むがこれらに限定されず、図３Ｂ並びに図

5 A 及び図 5 B の信号ルーティング経路を有する、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含むパッケージ基板を製造する別の例示的な製造プロセスを示すフローチャートである。

【図 7 C】図 1 ~ 図 3 A のパッケージ基板を含むがこれらに限定されず、図 3 B 並びに図 5 A 及び図 5 B の信号ルーティング経路を有する、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含むパッケージ基板を製造する別の例示的な製造プロセスを示すフローチャートである。

【図 8 A】図 7 A ~ 図 7 C の製造プロセスによる、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含むパッケージ基板の製造中の例示的な製造段階である。

10

【図 8 B】図 7 A ~ 図 7 C の製造プロセスによる、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含むパッケージ基板の製造中の例示的な製造段階である。

【図 8 C】図 7 A ~ 図 7 C の製造プロセスによる、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含むパッケージ基板の製造中の例示的な製造段階である。

20

【図 8 D】図 7 A ~ 図 7 C の製造プロセスによる、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含むパッケージ基板の製造中の例示的な製造段階である。

【図 8 E】図 7 A ~ 図 7 C の製造プロセスによる、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含むパッケージ基板の製造中の例示的な製造段階である。

【図 9】図 1 ~ 図 3 A 及び図 8 A ~ 図 8 E のパッケージ基板を含むがこれらに限定されず、図 3 B 及び図 5 A ~ 図 5 B の信号ルーティング経路を有し、図 6 ~ 図 7 C の例示的な製造プロセスによる、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含むパッケージ基板を含む IC パッケージを含むことができる構成要素を含むことができる例示的なプロセッサベースのシステムのブロック図である。

30

【図 10】図 1 ~ 図 3 A 及び図 8 A ~ 図 8 E のパッケージ基板を含むがこれらに限定されず、図 3 B 及び図 5 A ~ 図 5 B の信号ルーティング経路を有し、図 6 ~ 図 7 C の例示的な製造プロセスによる、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含むパッケージ基板を含む IC パッケージを含むことができる無線周波数 (radio-frequency、RF) 構成要素を含む例示的なワイヤレス通信デバイスのブロック図である。

40

【発明を実施するための形態】

【0012】

次に、図面を参照して、本開示のいくつかの例示的な態様について説明する。「例示的 (exemplary)」という語は、「例、事例、又は例示としての役割を果たすこと」を意味するために本明細書で使用される。「例示的」として本明細書に説明のいずれの態様も、必ずしも他の態様よりも好ましい又は有利であると解釈されるべきではない。

【0013】

本明細書で開示する態様は、信号ルーティング容量を増加させるための低減された厚さ

50

のパッド金属化層を採用するパッケージ基板を含む。パッケージ基板は、半導体ダイ（単数又は複数）（「ダイ（単数又は複数）」）のための実装構造及び信号ルーティングを提供するために、集積回路（ＩＣ）パッケージに採用されるように構成されている。関連する製造方法も開示される。パッケージ基板は、信号ルーティング経路を提供するために、各々が金属相互接続部を含む、１つ又は複数の金属化層を含む。ダイ（単数又は複数）のダイ相互接続部は、信号ルーティングのためにダイ（単数又は複数）とパッケージ基板との間の電氣的結合を提供するために、パッケージ基板の第１の外側金属化層内の金属相互接続部に結合されている。外部相互接続部（例えば、ボールグリッドアレイ（ＢＧＡ）相互接続部）は、ＩＣパッケージ及びその中のダイ（単数又は複数）への外部接続を提供するために、第２の外側金属化層内の金属パッドと接触して形成されている。ＩＣパッケージに対する信号ルーティング密度要件が増大するにつれて、パッケージ基板内に追加の金属化層が必要になる場合がある。追加の金属化層は、望ましくない形でＩＣパッケージ全体の厚さの増加に寄与する。例示的な態様では、ＩＣパッケージ全体の厚さの増加を緩和しながら、ＩＣパッケージ内の信号ルーティング密度の増加をサポートするために、パッケージ基板の第２の外側金属化層が、パッケージ基板への追加パッド金属化層として設けられる。パッド金属化層は、パッケージ基板への外部接続を形成するための金属パッドを含む金属層を含む。パッド金属化層はまた、外部相互接続部とパッケージ基板との間の信号ルーティング経路を提供するために、金属パッド及び隣接する内部金属化層内の金属相互接続部に結合されたビアを含むパッドビア層を含む。一実施例では、パッド金属化層は、その金属層が外部接続を形成するための金属パッドのみを含み、かつパッケージ基板内の内部信号ルーティングに使用される金属相互接続部を含まないという点で、専用パッド金属化層である。そうでなければパッケージ基板内の隣接する内部金属化層内にあることになる、外部相互接続部を形成するための金属パッドは、本質的に、この追加されたパッド金属化層まで下方に移動される。これにより、そうでなければ外部相互接続部を形成するためのより大きな幅の金属パッドを有することになる、隣接する金属化層内の領域が、パッケージ基板内の他の信号ルーティングを提供するための追加のより小さな幅の金属相互接続部を提供するために使用されることを可能にする。したがって、パッド金属化層は、パッケージ基板内の隣接する内部金属化層が、パッケージ基板内の内部信号ルーティングのために使用される金属相互接続部の密度を増加させて、ＩＣパッケージ全体の厚さの増加を低減しながらパッケージ基板の全体的な信号ルーティング密度を増加させることを可能にする。

【００１４】

この点に関して、図１は、パッケージ基板１０２への外部接続をサポートするための金属パッドを有するパッド金属化層１０４を含むパッケージ基板１０２を含む例示的なＩＣパッケージ１００の側面図である。以下でより詳細に説明するように、パッド金属化層１０４は、パッケージ基板１０２の信号ルーティング密度を増加させるために、他の金属化層がより高密度の金属相互接続部を有することを可能にする。パッド金属化層１０４の例示的な詳細を説明する前に、ＩＣパッケージ１００の他の態様について最初に説明する。

【００１５】

この点に関して、図１に示されるように、ＩＣパッケージ１００は、垂直方向（Ｚ軸方向）に互いの上に積層された、それぞれのダイパッケージ１１０（１）、１１０（２）に含まれる、複数のダイ１０８（１）、１０８（２）を含む、３Ｄ積層ダイＩＣパッケージ１０６である。ＩＣパッケージ１００の第１のダイパッケージ１１０（１）は、パッケージ基板１０２に結合されたダイ１０８（１）を含む。この実施例では、パッケージ基板１０２は、第３の金属化層１１２に隣接する第２の内部金属化層１１４に隣接して配置された第１の外側金属化層１１５を含む。金属化層１１２、１１４、１１５は、ダイ１０８（１）への信号ルーティングのための電氣的インターフェースを提供する。ダイ１０８（１）は、上部金属化層１１５内の金属相互接続部１１８に電氣的に結合されたダイ相互接続部１１６（例えば、隆起金属パンプ）に結合されている。上部金属化層１１５内の金属相互接続部１１８は、金属化層１１４内の金属相互接続部１２０（１）、１２０（２）に結

合され、金属相互接続部 120 (1)、120 (2) は、以下でより詳細に説明するパッド金属化層 104 内の金属パッド 122 に結合されている。このようにして、パッケージ基板 102 は、ダイ 108 (1) への信号ルーティングを提供するために、その金属化層 112、114、115 とパッド金属化層 104 との間の相互接続を提供する。外部相互接続部 124 (例えば、ボールグリッドアレイ (BGA) 相互接続部) は、パッド金属化層 104 内の金属パッド 122 に結合されて、パッケージ基板 102 を介した相互接続を、ダイ相互接続部 116 を介してダイ 108 (1) に提供する。

【0016】

図 1 のこの例示的な IC パッケージ 100 のように、ダイの 3D 積層を提供するために、第 2 のダイパッケージ 110 (2) が設けられ、第 1 のダイパッケージ 110 (1) に結合されて、複数のダイをサポートする。例えば、第 1 のダイパッケージ 110 (1) 内の第 1 のダイ 108 (1) は、アプリケーションプロセッサを含むことができ、第 2 のダイ 108 (2) は、アプリケーションプロセッサのためのメモリサポートを提供するダイナミックランダムアクセスメモリ (dynamic random access memory、DRAM) ダイなどのメモリダイであってもよい。これに関して、この実施例では、第 1 のダイパッケージ 110 (1) はまた、第 1 のダイ 108 (1) を包み込むパッケージモールド 130 上に配置されたインターポーザ基板 128 を含む。インターポーザ基板 128 はまた、第 2 のダイパッケージ 110 (2) 内の第 2 のダイ 108 (2) への相互接続を提供するために、各々が金属相互接続部 134 を含む、1 つ又は複数の金属化層 132 を含む。第 2 のダイパッケージ 110 (2) は、外部相互接続部 136 (例えば、はんだバンプ、BGA 相互接続部) を介してインターポーザ基板 128 に結合されていることによって、第 1 のダイパッケージ 110 (1) に物理的かつ電氣的に結合されている。外部相互接続部 136 は、インターポーザ基板 128 内の金属相互接続部 134 に結合されている。

【0017】

第 2 のダイ 108 (2) から外部相互接続部 136 及びインターポーザ基板 128 を介して第 1 のダイ 108 (1) まで信号をルーティングするための相互接続を提供するために、垂直相互接続部 138 (例えば、金属ピラー、金属ポスト、スルーモールドビア (through-mold vias、TMVs) などの金属垂直相互接続アクセス (ビア)) が、第 1 のダイパッケージ 106 (1) のパッケージモールド 130 内に配置されている。垂直相互接続部 138 は、この実施例では、垂直方向 (Z 軸方向) にインターポーザ基板 128 からパッケージ基板 102 に延びる。垂直相互接続部 138 は、インターポーザ基板 128 内の金属相互接続部 134 に結合されている。垂直相互接続部 138 はまた、パッケージ基板 102 の上部金属化層 115 内の金属相互接続部 118 に結合されている。このようにして、垂直相互接続部 138 は、インターポーザ基板 128 とパッケージ基板 102 との間の入出力 (input/output、I/O) 接続などの、相互接続のためのブリッジを提供する。これにより、パッケージ基板 102 を介して第 2 のダイパッケージ 110 (1) 内の第 2 のダイ 108 (2) と第 1 のダイ 108 (1) 及び外部相互接続部 124 との間に、信号ルーティング経路を提供する。

【0018】

図 2 A のパッケージ基板 102 のより詳細な側面図に示されるように、パッド金属化層 104 は、パッケージ基板 102 内の外側金属化層である。パッド金属化層 104 は、金属化層 112 に隣接して配置された第 1 の表面 140 と、第 1 の表面 140 の反対側の第 2 の表面 142 とを有する。パッド金属化層 104 は、この実施例では、パッケージ基板 102 への外部接続信号経路を提供するための金属パッド 122 の形態の金属相互接続部のみを含む、パッド金属層 144 を有する。この点に関して、図 1 に示されるように、外部相互接続部 124 は、パッド金属化層 104 から露出されたパッド金属層 144 内の金属パッド 122 と接触して形成され、パッケージ基板 102 への外部インターフェースを提供する。パッド金属層 144 内の金属パッド 122 は、パッド金属化層 104 の第 2 の表面 142 に隣接している。例えば、パッケージ基板 102、より詳細にはその外部相互

10

20

30

40

50

接続部 124 は、IC パッケージ 100 への物理的かつ電氣的接続を提供するために、回路基板又は他の基板に結合することができる。パッド金属化層 104 はまた、外部相互接続部 124 とパッケージ基板 102 との間の信号ルーティング経路を提供するために、金属パッド 122 に結合され、かつまた隣接する内部金属化層 112 内の金属相互接続部 120 (1) にも結合されたビア 148 を含む、パッドビア層 146 を含む。金属化層 112 は、金属化層 112、114 の間に信号ルーティング経路を提供するために、金属相互接続部 120 (1) 及び金属化層 114 内の金属相互接続部 154 に結合されたビア 152 を含む、ビア層 150 を含む。金属化層 114 はまた、金属化層 114、115 の間に信号ルーティング経路を提供するために、金属相互接続部 154 及び金属化層 115 内の金属相互接続部 118 に結合されたビア 158 を含む、ビア層 156 を含む。

10

【0019】

図 1 ~ 図 2 B に示すパッケージ基板 102 内に追加のパッド金属化層 104 を設けることにより、パッケージ基板 102 に追加のより大きなサイズの金属化層を追加する必要性を最小限に抑えながら、パッケージ基板 102 の信号ルーティング容量を増加させることができる。これは、図 1 ~ 図 2 B のパッケージ基板 102 に示されるように、パッド金属化層 104 が存在しなかった場合にそうでなければ金属化層 114 内にあることになる、外部相互接続部を形成するための金属パッド 122 が、本質的に、パッド金属化層 104 まで下方に移動されるためである。この実施例では、パッド金属化層 104 内の各金属パッド 122 は、パッド金属化層 104 内の金属パッド 122 が、パッケージ基板 102 内の内部信号ルーティングではなく、外部相互接続部 124 への信号ルーティングのために排他的に設けられるように、外部相互接続部 124 に結合されている。追加されたパッド金属化層 104 内に外部相互接続部 124 を形成するための金属パッド 122 を設けることにより、そうでなければパッケージ基板 102 内の他の信号ルーティングを提供するために追加のより小さい幅の金属相互接続部 120 (2) を提供するために使用される外部相互接続部を形成するためのより大きい幅の金属パッドを有することになる、隣接する金属化層 112 内に追加の領域を提供する。したがって、パッド金属化層 104 は、パッケージ基板 102 内の隣接する内部金属化層 114 が、パッケージ基板 102 内の内部信号ルーティングのために使用される金属相互接続部 120 (2) の密度を増加させて、Z 軸方向の IC パッケージ全体の厚さ H_1 の増加を低減しながらパッケージ基板 102 の全体的な信号ルーティング密度を増加させることを可能にする。

20

30

【0020】

この実施例では、外部相互接続部 124 をサポートするための金属パッド 122 を含むパッケージ基板 102 にパッド金属化層 104 を追加することにより、パッケージ基板 102 の厚さを増加させ、パッケージ基板 102 の高さ H_1 に寄与する。しかしながら、この実施例におけるパッド金属化層 104 は、例えば、パッケージ基板 102 における Z 軸方向の他の金属化層 112、114 の厚さ H_3 である別の金属化層を単に設けるよりも、低減された Z 軸方向の厚さ H_2 を有する。したがって、パッケージ基板 102 内にパッド金属化層 104 を設けることによって、例えば、厚さ H_3 の別の金属化層とは対照的に、パッケージ基板の厚さ H_1 を厚さ H_2 だけ増加させるだけで、パッケージ基板 102 内の隣接する金属化層 112 内の信号ルーティング密度が増加する。

40

【0021】

また、図 2 A に示されるように、パッケージ基板 102 内のパッド金属化層 104 の厚さ H_2 を最小化するために、可能であれば、パッドビア層 146 の Z 軸方向の高さ又は厚さ H_4 、及びパッド金属層 144 の Z 軸方向の高さ又は厚さ H_5 を低減することが望ましい。この点に関して、この実施例では、パッドビア層 146 の高さ又は厚さ H_4 を低減するために、パッド金属化層 104 内のパッドビア層 146 は、この実施例では、予備含浸ガラス (PPG) 層などのガラス材料又は布で形成されていない。パッケージ基板 102 内の他の金属化層 112、114、115 は、反りを低減又は回避するための安定性を提供するのに十分に剛性であり得るので、パッケージ基板 102 内に追加の安定性を提供するために、パッド金属化層 104 のパッドビア層 146 を PPG 層として形成する必要が

50

ない場合がある。一実施例として、金属化層 112、114、115 のうちの 1 つ、いくつか、又はすべては、その剛性を高めるために、例えば PPG 材料などのガラス材料から形成されてもよく、又はそれを含んでもよい。これにより、パッド金属化層 104 内に高さ若しくは厚さ H_4 及び / 又は幅が低減されたパッドビア層 146 を設けることが可能になり、隣接する金属化層 112 内のビア層 150 の高さ若しくは厚さ H_7 及び / 又は幅と比較して、パッド金属化層 104 の全体の高さ又は厚さ H_2 を低減することができる。これにより、ひいては、パッケージ基板 102 の全体の高さ又は高さ H_1 に対するパッド金属化層 104 の影響が低減される。

【0022】

例えば、パッドビア層 146 及び / 又はそのビア 148 は、10 マイクロメートル (μm) など、10 マイクロメートル (μm) ~ 15 μm の高さ又は厚さ H_4 を有することができる。隣接する金属化層 112 内のビア層 150 及び / 又はそのビア 152 は、25 μm など、25 μm ~ 45 μm のそれぞれの高さ又は厚さ H_7 を有することができる。また、別の実施例として、ビア層 150 及び / 又はそのビア 152 の高さ又は厚さ H_7 と、パッドビア層 146 及び / 又はそのビア 148 の高さ又は厚さ H_4 との比は、少なくとも 1 . 6 であってもよい。

【0023】

また、図 2B のパッケージ基板 102 の別の側面図に示されるように、パッドビア層 146 をパッド金属化層 104 内のより薄い層として設けることによって、これにより、パッド金属化層 104 内の金属パッド 122 を隣接する内部金属化層 112 内の金属相互接続部 120 (1) に結合するように形成されたビア 148 の高さ又は厚さ H_6 を低減する。例えば、ビア 148 の高さ又は厚さ H_6 を低減するために、パッドビア層 146 内のビア 148 を、例えばレーザ穿孔によるのとは対照的に、イメージング及び現像プロセスから形成することができるように、パッド金属化層 104 のパッドビア層 146 は、フォトリソグラフィ誘電体 (PID) 層として形成することができる。ビア 148 は、隣接する金属化層 112 内のビア 152 の高さ又は厚さ H_7 よりも小さい高さ又は厚さ H_6 を有する。また、パッド金属化層 104 内のビア 148 の高さが低減されることにより、隣接する内部金属化層 112 内の結合された金属相互接続部 120 (1) の幅 W_1 を低減することを可能にし、したがって、より高密度の信号ルーティングをサポートするためにパッケージ基板 102 内の内部信号ルーティングのために使用される追加の金属相互接続部 120 (2) を設けるために、隣接する金属化層 112 内に追加の領域を提供する。また、パッド金属化層 104 内のビア 148 の高さが低減されると、製造時にディンプルが形成されるリスクが小さくなる。以下でより詳細に説明するように、これにより、パッド金属化層 104 内のこれらのビア 148 を、例えば、レーザ穿孔及び充填プロセスが必要であるのとは対照的に、露光及び現像プロセスを使用して形成することを可能にすることができる。

【0024】

図 2B に示されるように、金属化層 112 と外部相互接続部 124 (図 1) との間の接続性を提供するために、パッド金属化層 104 に隣接する金属化層 112 は、パッド金属化層 104 のビアパッド層 146 内のビア 148 に結合された幅 W_1 の金属相互接続部 120 (1) を含むことに留意されたい。金属化層 112 はまた、パッド金属化層 104 内のビア 148 に結合されていない、幅 W_1 よりも小さい幅 W_2 の他の金属相互接続部 120 (2) を含む。これらの他の金属相互接続部 120 (2) は、パッケージ基板 102 の金属化層 112 内の内部信号ルーティングのために使用される。それは、金属パッド 122 に結合されていない追加の金属相互接続部 120 (2) を設けるためにパッド金属化層 104 に隣接する金属化層 112 内に追加の領域が利用可能な外部接続部を設けるために、金属パッド 122 を有する追加のパッド金属化層 104 を設けることによって、金属化層 112 内の、したがってパッケージ基板 102 内の信号ルーティング密度を増加させるためである。

【0025】

10

20

30

40

50

また、この実施例では、パッド金属化層 104 内のパッドビア層 146 が低減された高さ又は厚さ H_4 であることにより、ビア 148 内にディンプルが形成されるリスクが低減されるので、これにより、また、パッド金属化層 104 のパッド金属層 144 内に形成される金属パッド 122 も低減された高さ又は厚さ H_8 であることを可能にすることができる。これは、パッド金属化層 104 内のパッド金属層 144 の高さ又は厚さ H_8 の低減に寄与し、したがって、例えばパッケージ基板 102 内の他の金属化層 112、114 と比較して、パッド金属化層の厚さ H_2 の低減に寄与する。パッド金属化層 104 内のより薄い金属パッド 122 を有するより薄い金属層 144 はまた、そうでなければパッド金属化層 104 内のパッド金属層 144 がより厚い場合に存在するよりも、パッケージ基板 102 の熱膨張係数 (CTE) を低減することができる。これは、パッケージ基板 102 にパッド金属化層 104 を追加することによって、IC パッケージ 100 の反りを回避又は低減するのに役立つ。

10

【0026】

金属化層 112、114、115 内のそれぞれの金属層 160、162、及び / 又は 164 のいずれかの高さ又は厚さ H_9 、 H_{10} 、 H_{11} は、 $12\mu\text{m} \sim 16\mu\text{m}$ であってもよい。例えば、それぞれの金属層 160、162、164 の高さ又は厚さ H_9 、 H_{10} 、 H_{11} は、 $12\mu\text{m}$ 、 $12\mu\text{m}$ 、及び $14\mu\text{m}$ であってもよい。パッド金属化層 104 内のパッド金属層 144 の高さ又は厚さは、 $10\mu\text{m} \sim 12\mu\text{m}$ であってもよい。一実施例では、金属化層 112、114、115 内のそれぞれの金属層 160、162、及び / 又は 164 の高さ又は厚さ H_9 、 H_{10} 、 H_{11} のいずれかと、パッド金属層 144 の高さ又は厚さ H_5 との比は、少なくとも 1.2 であってもよいことに留意されたい。

20

【0027】

別の実施例として、パッド金属化層 104 内のパッド金属層 144 は、0.5 の厚さの金属化層とすることができ、これは、1.0 の厚さの金属化層としての、パッケージ基板 102 内の他の金属化層 112、114、115 内の他の金属層 160、162、164 の厚さの半分又は約半分であることを意味する。したがって、この実施例では、パッケージ基板 102 が、各々が 1.0 の厚さの金属層 160、162、164 を有する 3 つの金属化層 112、114、115 を含む場合、0.5 のパッド金属層 144 を有するパッド金属化層 104 をパッケージ基板 102 に追加することにより、パッケージ基板 102 の全体の厚さ H_1 に寄与する合計 3.5 の金属層がパッケージ基板 102 に提供される。これは、この実施例では、IC パッケージ 100 のためのより厚い 4.0 の金属層パッケージ基板を提供する、金属層 160、162、164 のようなフルサイズの 1.0 の厚さの金属層を有する、信号ルーティング密度を増加させるための追加の金属化層を追加することとは対照的である。

30

【0028】

信号ルーティング密度を増加させるための追加の金属相互接続部 120 (2) を提供するために、パッケージ基板 102 内のパッド金属化層 104 に隣接する金属化層 112 内に設けられた追加の領域も、図 3A 及び図 3B に示されている。図 3A は、図 2A 及び図 2B のパッケージ基板 102 の側面図である。図 3B は、図 3A に示すパッケージ基板 102 内のパッド金属化層 104 に隣接する金属化層 112 内にルーティングされた金属相互接続部 120 (1)、120 (2) の上面図である。図 3B に示されるように、パッド金属化層 104 内の金属パッド 122 に結合された金属相互接続部 120 (1) の間に、Y 軸方向の水平方向に延びる金属相互接続部 120 (2) の 8 本の金属線がある。上述し、図 3B に示すように、外部相互接続部 124 が形成された金属パッド 122 を金属化層 112 から追加のパッド金属化層 104 に移動させることによって、金属相互接続部 120 (1) は、幅 W_1 がより小さくなるように形成することができる。より小さいサイズのビア 148 のこの形成により、上述したように、より小さいサイズの金属相互接続部 120 (1) を容易にする。これにより、図 4A に示されるようなパッケージ基板 402 とは対照的に、金属化層 112 内の内部信号ルーティングのための他の金属相互接続部 120 (2) の形成のための追加の空間を提供する。

40

50

【 0 0 2 9 】

図 4 A は、パッド金属化層を含まず、むしろ 4 つの金属化層 4 0 4、4 1 2、4 1 4、4 1 5 を含む、パッケージ基板 4 0 2 の側面図である。金属化層 4 1 2、4 1 4、4 1 5 は、図 2 A ~ 図 3 B のパッケージ基板 1 0 2 内の金属化層 1 1 2、1 1 4、1 1 5 と同様である。しかしながら、図 4 A 及び図 4 B の金属化層 4 0 4 の上面図に示されるように、パッケージ基板 4 0 2 は、外部相互接続部に結合されるために幅 W_3 のより大きい金属相互接続部 4 2 2 が形成された第 4 の外側金属化層 4 0 4 を含む。この実施例では、外側金属化層 4 0 4 は、図 1 ~ 図 3 B のパッケージ基板のパッド金属化層 1 0 4 よりも Z 軸方向の高さが厚い。例えば、パッケージ基板 4 0 2 の外側金属化層 4 0 4 の高さ又は厚さ H_{12} は、図 1 ~ 図 3 A のパッケージ基板 1 0 2 の外側パッド金属化層 1 0 4 の高さ又は厚さ H_1 よりも大きい。例えば、外側金属化層 4 0 4 の高さ又は厚さ H_{12} は、一実施例として $167\text{ }\mu\text{m}$ であってもよく、一方、図 1 ~ 図 3 A のパッケージ基板 1 0 2 のパッド金属化層 1 0 4 の高さ又は厚さ H_1 は、一実施例として $148\text{ }\mu\text{m}$ であってもよい。

10

【 0 0 3 0 】

パッケージ基板 1 0 2 の外側パッド金属化層 1 0 4 の高さ H_1 の低減は、図 1 ~ 図 3 A のパッド金属化層 1 0 4 内のパッド金属層 1 4 4 の高さ又は厚さ H_5 が、金属相互接続部 4 2 0、4 2 2 が形成された外側金属化層 4 0 4 内の金属層 4 4 4 の高さ又は厚さ H_{13} よりも小さいことに基づく。例えば、パッド金属化層 1 0 4 内のパッド金属層 1 4 4 の高さ又は厚さ H_5 は、外側金属化層 4 0 4 内の金属層 4 4 4 の高さ又は厚さ H_{13} が $12\text{ }\mu\text{m}$ であるのに対して、 $8\text{ }\mu\text{m}$ とすることができる。また、パッケージ基板 1 0 2 の外側パッド金属化層 1 0 4 の高さ H_1 の低減は、図 1 ~ 図 3 A のパッケージ基板 1 0 2 のパッド金属化層 1 0 4 内のパッドビア層 1 4 6 の高さ又は厚さ H_4 が、パッケージ基板 4 0 2 内の外側金属化層 4 0 4 内のビア層 4 4 6 の高さ又は厚さ H_{14} よりも小さいことに基づく。例えば、図 1 ~ 図 3 A のパッケージ基板 1 0 2 のパッド金属化層 1 0 4 内のパッドビア層 1 4 6 の高さ又は厚さ H_4 は、パッケージ基板 4 0 2 内の外側金属化層 4 0 4 内のビア層 4 4 6 の高さ又は厚さ H_{14} が $25\text{ }\mu\text{m}$ であるのに対して、 $10\text{ }\mu\text{m}$ とすることができる。

20

【 0 0 3 1 】

また、図 4 A のパッケージ基板 4 0 2 内の金属化層 4 0 4 は、図 1 A ~ 図 3 のパッケージ基板 1 0 2 内のパッド金属化層 1 0 4 内の金属相互接続部 1 2 0 (1) の幅 W_1 よりも大きい幅 W_3 の金属相互接続部 4 2 2 も含む。金属相互接続部 4 2 2 の幅 W_3 が大きいので、図 3 A 及び図 3 B のパッケージ基板 1 0 2 の金属化層 1 1 2 内の金属相互接続部 1 2 0 (1) に利用可能な領域と比較して、パッケージ基板 4 0 2 の金属化層 4 0 4 内の内部信号ルーティングのための金属相互接続部 4 2 0 の形成に利用可能な外側金属化層 4 0 4 内の領域が小さい。

30

【 0 0 3 2 】

図 3 B に示されるもの以外の他のルーティング方式を、図 1 ~ 図 3 B のパッケージ基板 1 0 2 内のパッド金属化層 1 0 4 に隣接する金属化層 1 1 2 に提供することができる。例えば、図 5 A は、図 1 ~ 図 3 B のパッケージ基板 1 0 2 内のパッド金属化層 1 0 4 に隣接して配置することができる代替金属化層 1 1 2 (1) 内に設けることができる別の信号ルーティング設計の上面図である。そこに示されるように、金属相互接続部 1 2 0 (1) は、図 3 B に示されるものよりも、Y 軸の行において、X 軸方向に互いに近接して位置することができる。これが可能であるのは、上述したように、金属パッド 1 2 2 を隣接するパッド金属化層 1 0 4 内に移動させることにより、金属相互接続部 1 2 0 (1) の幅 W_1 をより小さくすることができるからである。内部信号ルーティングのために使用される金属相互接続部 1 2 0 (2) は、金属相互接続部 1 2 0 (1) の隣接する行の間に配置されている。金属相互接続部 1 2 0 (2) は、Y 軸方向に加えて、X 軸方向に曲がって延びることもできる。図 5 B は、図 1 ~ 図 3 B のパッケージ基板 1 0 2 内のパッド金属化層 1 0 4 に隣接して配置することができる代替金属化層 1 1 2 (2) 内に設けることができる更に別の信号ルーティング設計の上面図である。そこに示されるように、金属相互接続部 1 2

40

50

0 (1) は、図 3 B に示されるものよりも、Y 軸の行において、X 軸方向に互いに近接して位置することができる。これが可能であるのは、上述したように、金属パッド 1 2 2 を隣接するパッド金属化層 1 0 4 内に移動させることにより、金属相互接続部 1 2 0 (1) の幅 W_1 をより小さくすることができるからである。内部信号ルーティングのために使用される金属相互接続部 1 2 0 (2) は、金属相互接続部 1 2 0 (1) の隣接する行の間に配置されている。金属相互接続部 1 2 0 (2) は、Y 軸方向に加えて、X 軸方向に曲がって延びることもできる。

【 0 0 3 3 】

図 1 ~ 図 3 A 及び図 8 A ~ 図 8 E のパッケージ基板を含むがこれらに限定されず、図 3 B 及び図 5 A ~ 図 5 B の信号ルーティング経路を有する、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含む IC パッケージ用のパッケージ基板は、異なる製造プロセスで製造することができる。この点に関して、図 6 は、IC パッケージ用のパッケージ基板を製造する例示的な製造プロセス 6 0 0 を示すフローチャートであり、パッケージ基板は、図 1 ~ 図 3 A 及び図 8 A ~ 図 8 E のパッケージ基板を含むがこれらに限定されず、図 3 B 及び図 5 A ~ 図 5 B の信号ルーティング経路を有し、図 6 ~ 図 7 C の例示的な製造プロセスによる、かつ本明細書で開示される任意の態様による、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含み、任意のプロセッサベースのデバイス内に提供又は統合された IC パッケージ内に設けることができる。図 6 の製造プロセス 6 0 0 は、一実施例として、図 3 B 及び図 5 A ~ 図 5 B の信号ルーティング経路を有する、図 1 ~ 図 3 B のパッケージ基板 1 0 2 を製造するために使用することができる。図 8 の製造プロセス 8 0 0 は、一実施例として、図 1 ~ 図 3 B のパッケージ基板 1 0 2 と併せて説明する。

【 0 0 3 4 】

この点に関して、図 6 の製造プロセス 6 0 0 の第 1 のステップは、第 1 の金属化層 1 1 2 を形成すること (図 6 のブロック 6 0 2) を含むことができる。第 1 の金属化層 1 1 2 を形成することは、第 1 の厚さ H_9 を有する第 1 の金属層 1 6 0 を形成するステップ (図 6 のブロック 6 0 4) と、第 1 の金属層 1 6 0 内に 1 つ又は複数の第 1 の金属相互接続部 1 2 0 (1) 、1 2 0 (2) を形成するステップ (図 6 のブロック 6 0 6) とを含むことができる。製造プロセス 6 0 0 の次のステップは、第 1 の金属化層 1 1 2 に隣接する第 1 の表面 1 4 0 と、第 1 の表面 1 4 0 の反対側の第 2 の表面 1 4 2 とを備えるパッド金属化層 1 0 4 を形成することであってもよい (図 6 のブロック 6 0 8) 。パッド金属化層 1 0 4 を形成することは、第 1 の厚さ H_9 よりも小さい第 2 の厚さ H_5 を有するパッド金属層 1 4 4 を形成するステップ (図 6 のブロック 6 1 0) と、第 2 の表面 1 4 2 に隣接するパッド金属層 1 4 4 内により多くの金属パッド 1 2 2 のための 1 つを形成するステップ (図 6 のブロック 6 1 2) と、1 つ又は複数の金属パッド 1 2 2 の各金属パッド 1 2 2 を 1 つ又は複数の金属相互接続部 1 2 0 (1) のうちの第 1 の金属相互接続部 1 2 0 (1) に結合するステップ (図 6 のブロック 6 1 4) とを含むことができる。製造プロセス 6 0 0 の次のステップは、1 つ又は複数の金属パッド 1 2 2 のうちの 1 つの金属パッド 1 2 2 に各々が結合された、1 つ又は複数の外部相互接続部 1 2 4 を形成することを含むことができる (図 6 のブロック 6 1 6) 。

【 0 0 3 5 】

他の製造プロセスを採用して、図 1 ~ 図 3 B のパッケージ基板 1 0 2 を含むがこれらに限定されず、図 3 B 及び図 5 A ~ 図 5 B の信号ルーティング経路を有する、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含む IC パッケージ用のパッケージ基板を製造することができる。異なる製造プロセスで製造することができる。この点に関して、図 7 A ~ 図 7 C は、図 1 ~ 図 3 B のパッケージ基板 1 0 2 を含むがこれらに限定されず、図 3 B 及び図 5 A ~ 図 5 B の信号ルーティング経路を有する

、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含むパッケージ基板を製造する別の例示的な製造プロセス700を示すフローチャートである。図8A～図8Eは、図7A～図7Cの製造プロセス700によるパッケージ基板の製造中の例示的な製造段階800A～800Eである。図8A～図8Eの製造段階800A～800Eに示される製造プロセス700は、図1～図3Bのパッケージ基板102を参照しており、したがって、図1～図3Bのパッケージ基板102を参照して説明する。

【0036】

この点に関して、図8Aの製造段階800Aに示されるように、製造プロセス700の第1の例示的なステップは、金属化層112、114、115のスタックアップ上にパッドビア層146を形成することである（図7Aのブロック702）。金属化層112、114、115は、このプロセスステップにおいて、3層（3L）埋め込みトレース基板（ET S）パッケージ基板802の一部としてすでに製造され、互いに結合されている。パッドビア層146は、金属化層112の底面806上の誘電体材料804の積層として形成され、金属化層112の金属相互接続部120（1）、120（2）上にも配置されている。この実施例では、誘電体材料804は、パッドビア層146の厚さを低減するために前述したように、PPG材料などのガラス材料を含まない。次いで、図8Bの製造段階800Bに示されるように、製造プロセス700の次の例示的なステップは、パッドビア層146を処理して、ビア開口部808を形成することであり、ビア開口部内に、金属化層内の金属相互接続部120（1）に結合されるビア148が形成される（図7Aのブロック704）。この実施例では、パッドビア層146は、リソグラフィプロセスを使用して露光及び現像される。パッドビア層146は、リソグラフィプロセスを使用してビア開口部808を十分に形成することができるようにZ軸方向に十分に薄い厚さであるので、パッドビア層146は、この実施例ではビア開口部808を形成するために穿孔されない。

【0037】

次いで、図8Cの製造段階800Cに示されるように、製造プロセス700の次の例示的なステップは、ビア開口部808を金属材料（例えば、銅）で充填して、金属相互接続部120（1）に接続されたビア148を形成し、パッド金属化層104の一部として金属パッド122を形成することである（図7Bのブロック706）。金属材料がビア開口部808内に配置され、パッドビア層146をめっきした後、パッド金属層144を露光及び現像して、パッド金属層144内の金属材料を除去し、ビア148に結合されたままの金属パッド122を残す。パッドビア層146及びパッド金属層144は、パッド金属化層104を形成する。次に、図8Dの製造段階800Dに示されるように、製造プロセス700の次の例示的なステップは、ET Sパッケージ基板802に取り付けられたキャリア810（図8Cに示す）を除去して、完成したパッケージ基板102を残すことである（図7Bのブロック708）。次に、図8Eの製造段階800Eに示されるように、製造プロセス700の次の例示的なステップは、ICパッケージのダイ側にある金属化層115上にはんだレジスト層812を形成することである（図7Cのブロック710）。はんだレジスト層812は、金属化層115上に積層され、次いで、リソグラフィプロセスを使用して露光及び現像されて、金属化層115内の金属相互接続部118に隣接する開口部814を形成する。結合されたダイのダイ相互接続部は、金属化層115内の金属相互接続部118に結合して、パッケージ基板102に電氣的に結合することができる。

【0038】

図1～図3A及び図8A～図8Eのパッケージ基板を含むがこれらに限定されず、図3B及び図5A～図5Bの信号ルーティング経路を有し、図6～図7Cの例示的な製造プロセスによる、かつ本明細書で開示される任意の態様による、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含むパッケージ基板は、任

10

20

30

40

50

意のプロセッサベースのデバイス内に提供又は統合された IC パッケージ内に設けることができる。例としては、限定はしないが、セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、固定ロケーションデータユニット、モバイルロケーションデータユニット、全地球測位システム (global positioning system、GPS) デバイス、スマートフォン、携帯電話、スマートフォン、セッション開始プロトコル (session initiation protocol、SIP) フォン、タブレット、ファブレット、サーバ、コンピュータ、ポータブルコンピュータ、モバイルコンピューティングデバイス、ウェアラブルコンピューティングデバイス (例えば、スマートウォッチ、ヘルス又はフィットネストラッカ、アイウェアなど)、デスクトップコンピュータ、携帯情報端末 (personal digital assistant、PDA)、モニタ、コンピュータモニタ、テレビ、チューナ、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク (digital video disc、DVD) プレーヤ、ポータブルデジタルビデオプレーヤ、自動車、車両部品、アビオニクスシステム、ドローン、及びマルチコプターが挙げられる。

10

20

30

40

50

【0039】

これに関して、図 9 は、IC パッケージ 902 (1) ~ 902 (5) 内に設けることができる回路を含むプロセッサベースのシステム 900 の一実施例を示す。IC パッケージ 902 (1) ~ 902 (5) のいずれかは、図 1 ~ 図 3 A 及び図 8 A ~ 図 8 E のパッケージ基板を含むがこれらに限定されず、図 3 B 及び図 5 A ~ 図 5 B の信号ルーティング経路を有し、図 6 ~ 図 7 C の例示的な製造プロセスによる、かつ本明細書で開示される任意の態様による、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含むパッケージ基板を含むことができる。この実施例では、プロセッサベースのシステム 900 は、IC パッケージ 902 内の IC 904 として、及びシステムオンチップ (system-on-a-chip、SoC) 906 として形成することができる。プロセッサベースのシステム 900 は、CPU コア又はプロセッサコアとも呼ばれることがある、1 つ又は複数のプロセッサ 910 を含む中央処理ユニット (central processing unit、CPU) 908 を含む。CPU 908 は、一時的に記憶されたデータに迅速にアクセスするために CPU 908 に結合されたキャッシュメモリ 912 を有することができる。CPU 908 は、システムバス 914 に結合され、プロセッサベースのシステム 900 内に含まれたマスタデバイスとスレーブデバイスとを相互結合することができる。周知のように、CPU 908 は、システムバス 914 を介してアドレス情報、制御情報、及びデータ情報を交換することによって、これらの他のデバイスと通信する。例えば、CPU 908 は、スレーブデバイスの一例としてのメモリコントローラ 916 に、バストランザクション要求を通信することができる。図 9 には示されていないが、複数のシステムバス 914 が設けられてもよく、各システムバス 914 は、異なるファブリックを構成する。

【0040】

他のマスタデバイス及びスレーブデバイスをシステムバス 914 に接続することができる。図 9 に示すように、これらのデバイスとしては、例として、メモリコントローラ 916 及びメモリアレイ (単数又は複数) 918 を含むメモリシステム 920、1 つ又は複数の入力デバイス 922、1 つ又は複数の出力デバイス 924、1 つ又は複数のネットワークインターフェースデバイス 926、及び 1 つ又は複数のディスプレイコントローラ 928 を挙げることができる。メモリシステム (単数又は複数) 920、1 つ又は複数の入力デバイス 922、1 つ又は複数の出力デバイス 924、1 つ又は複数のネットワークインターフェースデバイス 926、及び 1 つ又は複数のディスプレイコントローラ 928 の各々は、同じ又は異なる IC パッケージ 902 (5) 内に設けられてもよい。入力デバイス (単数又は複数) 922 は、入力キー、スイッチ、ボイスプロセッサなどを含むが、これらに限定されない、任意のタイプの入力デバイスを含んでもよい。出力デバイス (単数又

は複数) 924は、オーディオ、ビデオ、他の視覚インジケータなどを含むが、これらに限定されない、任意のタイプの出力デバイスを含んでもよい。ネットワークインターフェースデバイス(単数又は複数) 926は、ネットワーク930との間のデータの交換を可能にするように構成された任意のデバイスであってもよい。ネットワーク930は、ワイヤードネットワーク又はワイヤレスネットワーク、プライベートネットワーク又はパブリックネットワーク、ローカルエリアネットワーク(local area network、LAN)、ワイヤレスローカルエリアネットワーク(wireless local area network、WLAN)、ワイドエリアネットワーク(wide area network、WAN)、BLUETOOTH(登録商標)ネットワーク、及びインターネットを含むが、これらに限定されない、任意のタイプのネットワークであってもよい。ネットワークインターフェースデバイス(単数又は複数) 926は、所望される任意のタイプの通信プロトコルをサポートするように構成することができる。

【0041】

CPU908はまた、1つ又は複数のディスプレイ932に送られる情報を制御するために、システムバス914を介してディスプレイコントローラ(単数又は複数) 928にアクセスするように構成することができる。ディスプレイコントローラ(単数又は複数) 928は、ディスプレイ(単数又は複数) 932に好適なフォーマットに表示されるべき情報を処理する1つ又は複数のビデオプロセッサ934を介して表示されるべき情報をディスプレイ(単数又は複数) 932に送る。ディスプレイコントローラ(単数又は複数) 928及びビデオプロセッサ(単数又は複数) 934は、一実施例として、同じ又は異なるICパッケージ902(5)に、及びCPU908を含む同じ又は異なるICパッケージ902(1)に、ICとして含めることができる。ディスプレイ(単数又は複数) 932は、陰極線管(cathode ray tube、CRT)、液晶ディスプレイ(liquid crystal display、LCD)、プラズマディスプレイ、発光ダイオード(light emitting diode、LED)ディスプレイなどを含むが、これらに限定されない、任意のタイプのディスプレイを含んでもよい。

【0042】

図10は、1つ又は複数のICパッケージ1002から形成された無線周波数(RF)構成要素を含む例示的なワイヤレス通信デバイス1000を示し、ICパッケージ1002のいずれかは、図1~図3A及び図8A~図8Eのパッケージ基板を含むがこれらに限定されず、図3B及び図5A~図5Bの信号ルーティング経路を有し、図6~図7Cの例示的な製造プロセスによる、かつ本明細書で開示される任意の態様による、パッケージ基板内の内部隣接金属化層内の信号ルーティング容量の増加を提供するための外部金属相互接続部を形成するための金属パッドを有する金属層を有するパッド金属化層を含むパッケージ基板を含むことができる。ワイヤレス通信デバイス1000は、例として、上記で参照したデバイスのうちのいずれかを含むことができる、又はそれらのうちのいずれかの中に設けることができる。図10に示されるように、ワイヤレス通信デバイス1000は、トランシーバ1004とデータプロセッサ1006とを含む。データプロセッサ1006は、データ及びプログラムコードを記憶するメモリを含むことができる。トランシーバ1004は、双方向通信をサポートする送信機1008と受信機1010とを含む。概して、ワイヤレス通信デバイス1000は、任意の数の通信システム及び周波数帯域用の任意の数の送信機1008及び/又は受信機1010を含むことができる。トランシーバ1004の全部又は一部分は、1つ又は複数のアナログIC、RF IC(RF ICs)、混合信号ICなどに実装することができる。

【0043】

送信機1008又は受信機1010は、スーパーヘテロダインアーキテクチャ又はダイレクトコンバージョンアーキテクチャで実装することができる。スーパーヘテロダインアーキテクチャでは、信号は、例えば、1つの段階でRFから中間周波数(intermediate frequency、IF)に、次いで受信機1010に対する別の段階でIFからベースバンドに、複数の段階でRFとベースバンドとの間で周波数変換されてい

る。ダイレクトコンバージョンアーキテクチャでは、信号は、1つの段階でRFとベースバンドとの間で周波数変換されている。スーパーヘテロダインアーキテクチャ及びダイレクトコンバージョンアーキテクチャは、異なる回路ブロックを使用すること、及び/又は異なる要件を有することがある。図10のワイヤレス通信デバイス1000では、送信機1008及び受信機1010は、ダイレクトコンバージョンアーキテクチャで実装される。

【0044】

送信経路で、データプロセッサ1006は、送信されるデータを処理し、I及びQアナログ出力信号を送信機1008に提供する。例示的なワイヤレス通信デバイス1000では、データプロセッサ1006は、データプロセッサ1006により生成されるデジタル信号を、更なる処理のために、I及びQアナログ出力信号、例えばI及びQ出力電流へと変換するデジタルアナログ変換器(digital-to-analog converters、DACs)1012(1)、1012(2)を含む。

10

【0045】

送信機1008内では、ローパスフィルタ1014(1)、1014(2)は、前のデジタルアナログ変換によって引き起こされた望ましくない信号を除去するために、それぞれ、I及びQアナログ出力信号をフィルタリングする。増幅器(amplifiers、AMPs)1016(1)、1016(2)は、ローパスフィルタ1014(1)、1014(2)それぞれからの信号を増幅し、I及びQベースバンド信号を提供する。アップコンバータ1018は、アップコンバートされた信号1024を提供するために、送信(transmit、TX)局部発振器(local oscillator、LO)信号生成器1022からのミキサ1020(1)、1020(2)を通したI及びQ TX LO信号と共にI及びQベースバンド信号をアップコンバートする。フィルタ1026は、周波数アップコンバージョンにより引き起こされる望ましくない信号並びに受信周波数帯域中の雑音を除去するために、アップコンバートされた信号1024をフィルタリングする。電力増幅器(power amplifier、PA)1028は、所望の出力電力レベルを取得するために、フィルタ1026からのアップコンバートされた信号1024を増幅し、送信RF信号を提供する。送信RF信号は、デュプレクサ又はスイッチ1030を通してルーティングされ、アンテナ1032を介して送信される。

20

【0046】

受信経路では、アンテナ1032は、基地局によって送信された信号を受信し、受信RF信号を提供し、受信RF信号は、デュプレクサ又はスイッチ1030を通してルーティングされて、低雑音増幅器(low noise amplifier、LNA)1034に提供される。デュプレクサ又はスイッチ1030は、受信(receive、RX)信号がTX信号から隔離されるように、特定のRX対TXデュプレクサ周波数分離を用いて動作するように設計されている。受信されたRF信号は、LNA1034によって増幅され、フィルタ1036によってフィルタリングされて、望ましいRF入力信号を取得する。ダウンコンバージョンミキサ1038(1)、1038(2)は、フィルタ1036の出力を、RX LO信号生成器1040からのI及びQ RX LO信号(すなわち、LO_I及びLO_Q)と混合して、I及びQベースバンド信号を生成する。I及びQベースバンド信号は、AMP1042(1)、1042(2)によって増幅され、更にローパスフィルタ1044(1)、1044(2)によってフィルタリングされて、I及びQアナログ入力信号を取得し、これらがデータプロセッサ1006に提供される。この実施例では、データプロセッサ1006は、データプロセッサ1006によって更に処理されるように、アナログ入力信号をデジタル信号に変換するアナログデジタル変換器(analog-to-digital converters、ADCs)1046(1)、1046(2)を含む。

30

40

【0047】

図10のワイヤレス通信デバイス1000では、TX LO信号生成器1022は、周波数アップコンバージョンに使用されるI及びQ TX LO信号を生成する一方、RX

50

L O 信号生成器 1 0 4 0 は、周波数ダウンコンバージョンに使用される I 及び Q R X L O 信号を生成する。各 L O 信号は、特定の基本周波数を持つ周期信号である。T X 位相ロックループ (p h a s e - l o c k e d l o o p、P L L) 回路 1 0 4 8 は、データプロセッサ 1 0 0 6 からタイミング情報を受信し、T X L O 信号生成器 1 0 2 2 からの T X L O 信号の周波数及び / 又は位相を調整するために使用される制御信号を生成する。同様に、R X P L L 回路 1 0 5 0 は、データプロセッサ 1 0 0 6 からタイミング情報を受信し、R X L O 信号生成器 1 0 4 0 からの R X L O 信号の周波数及び / 又は位相を調整するために使用される制御信号を生成する。

【 0 0 4 8 】

当業者は、本明細書で開示する態様に関連して説明した種々の例示的な論理ブロック、モジュール、回路、及びアルゴリズムが、電子ハードウェアとして、メモリ内に若しくは別のコンピュータ可読媒体内に記憶され、プロセッサ若しくは他の処理デバイスによって実行される命令として、又は両方の組み合わせとして、実装され得ることを更に理解されよう。本明細書で開示するメモリは、任意のタイプ及びサイズのメモリであってよく、所望される任意のタイプの情報を記憶するように構成され得る。この互換性について明確に説明するために、様々な例示的な構成要素、ブロック、モジュール、回路、及びステップについて、それらの機能性に関して上記で概して説明してきた。このような機能性がどのように実装されるかは、特定の適用例、設計上の選択、及び / 又はシステム全体に課される設計制約によって決まる。当業者は、説明する機能を特定の用途ごとに様々な方法で実現し得るが、そのような実装決定は、本開示の範囲からの逸脱を引き起こすものと解釈されるべきではない。

【 0 0 4 9 】

本明細書で開示する態様に関連して説明する様々な例示的な論理ブロック、モジュール、及び回路は、プロセッサ、デジタル信号プロセッサ (D i g i t a l S i g n a l P r o c e s s o r、D S P)、特定用途向け集積回路 (A p p l i c a t i o n S p e c i f i c I n t e g r a t e d C i r c u i t、A S I C)、フィールドプログラマブルゲートアレイ (F i e l d P r o g r a m m a b l e G a t e A r r a y、F P G A) 若しくは他のプログラマブル論理デバイス、ディスクリートゲート若しくははトランジスタ論理、ディスクリートハードウェア構成要素、又は本明細書で説明する機能を実施するように設計されたそれらの任意の組み合わせを用いて実装又は実施され得る。プロセッサは、マイクロプロセッサであってもよいが、代替として、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、又はステートマシンであってもよい。プロセッサはまた、コンピューティングデバイスの組み合わせ (例えば、D S P とマイクロプロセッサの組み合わせ、複数のマイクロプロセッサ、D S P コアと連携する 1 つ又は複数のマイクロプロセッサ、あるいは任意の他のこのような構成) として実装されてもよい。

【 0 0 5 0 】

本明細書で開示する態様は、ハードウェアにおいて具現化されてもよく、ハードウェア内に記憶され、例えば、ランダムアクセスメモリ (R a n d o m A c c e s s M e m o r y、R A M)、フラッシュメモリ、読み取り専用メモリ (R e a d O n l y M e m o r y、R O M)、電氣的にプログラム可能な R O M (E l e c t r i c a l l y P r o g r a m m a b l e R O M、E P R O M)、電氣的に消去可能なプログラマブル R O M (E l e c t r i c a l l y E r a s a b l e P r o g r a m m a b l e R O M、E E P R O M)、レジスタ、ハードディスク、リムーバブルディスク、C D - R O M、又は当技術分野において知られている任意の他の形態のコンピュータ可読媒体の中に常駐し得る命令において具現化されてもよい。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取ること及び記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替として、記憶媒体はプロセッサと一体化され得る。プロセッサ及び記憶媒体は、A S I C の中に常駐し得る。A S I C は、リモート局の中に常駐し得る。代替として、プロセッサ及び記憶媒体は、ディスクリート構成要素として、リモート局、基地

局、又はサーバの中に常駐し得る。

【 0 0 5 1 】

本明細書の例示的な態様のうちのいずれかで説明する動作ステップは、例及び議論を提供するために記載されていることにも留意されたい。説明する動作は、図示のシーケンス以外の多数の異なるシーケンスで実施され得る。更に、単一の動作ステップで説明する動作は、実際にはいくつかの異なるステップで実施され得る。加えて、例示的な態様において論じる 1 つ又は複数の動作ステップは組み合わせられてもよい。当業者には容易に明らかになるように、フローチャート図に示されている動作ステップには多数の異なる修正がなされる場合があることを理解されたい。当業者であれば、様々な異なる技術及び技法のうちのいずれかを使用して情報及び信号が表され得ることも理解するであろう。例えば、上記の説明全体にわたって言及され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、及びチップは、電圧、電流、電磁波、磁場若しくは磁性粒子、光場若しくは光学粒子、又はそれらの任意の組み合わせによって表されてもよい。

10

【 0 0 5 2 】

本開示の前述の説明は、あらゆる当業者が本開示を作成又は使用することが可能となるように提供されている。本開示に対する様々な修正は当業者には容易に明らかになり、本明細書で定義されている一般原理は他の変形に適用され得る。したがって、本開示は、本明細書で説明する例及び設計に限定することを意図するものではなく、本明細書で開示する原理及び新規の特徴と一致する最も広い範囲を与えられるべきである。

20

【 0 0 5 3 】

以下の番号付けされた条項において、実装例について説明する。

1 .

第 1 の金属化層であって、

第 1 の厚さを有する第 1 の金属層であって、

1 つ又は複数の第 1 の金属相互接続部を備える、第 1 の金属層を備える、

第 1 の金属化層と、

第 1 の金属化層に隣接して配置された第 1 の表面と、第 1 の表面の反対側の第 2 の表面とを備えるパッド金属化層であって、

第 1 の厚さよりも小さい第 2 の厚さを有するパッド金属層であって、

第 2 の表面に隣接し、かつ 1 つ又は複数の第 1 の金属相互接続部のうちの第 1 の金属相互接続部に各々が結合された、1 つ又は複数の金属パッドを備える、パッド金属層を備える、

30

パッド金属化層と、

1 つ又は複数の金属パッドのうちの 1 つの金属パッドに各々が結合された、1 つ又は複数の外部相互接続部と、

を備える、パッケージ基板。

2 .

1 つ又は複数の金属パッドの各金属パッドが、1 つ又は複数の外部相互接続部のうちの 1 つの外部相互接続部に結合されている、条項 1 に記載のパッケージ基板。

3 .

第 1 の金属化層が、1 つ又は複数の第 2 の金属相互接続部を更に備え、

1 つ又は複数の第 2 の金属相互接続部の各々が、1 つ又は複数の金属パッドのうちの 1 つの金属パッドに結合されていない、

条項 1 又は 2 に記載のパッケージ基板。

40

4 .

1 つ又は複数の第 1 の金属相互接続部が各々、第 1 の幅を有し、

1 つ又は複数の第 2 の金属相互接続部が各々、第 1 の幅よりも小さい第 2 の幅を有する、

条項 3 に記載のパッケージ基板。

5 .

50

第 1 の金属層の第 1 の厚さとパッド金属層の第 2 の厚さとの比が、少なくとも 1 . 2 である、条項 1 から 4 のいずれか一項に記載のパッケージ基板。

6 .

第 1 の金属層の第 1 の厚さが、12 マイクロメートル (μm) ~ 16 μm であり、パッド金属層の第 2 の厚さが、10 μm ~ 12 μm である、条項 1 から 4 のいずれか一項に記載のパッケージ基板。

7 .

パッド金属化層が、パッド金属層に隣接して配置されたパッドビア層を更に備え、パッドビア層が、1 つ又は複数の第 1 の金属相互接続部のうちの第 1 の金属相互接続部と、1 つ又は複数の金属パッドのうちの 1 つの金属パッドとに各々が結合された、1 つ又は複数のパッドビアを備える、

条項 1 から 6 のいずれか一項に記載のパッケージ基板。

8 .

第 1 の金属化層が、第 1 の金属層に隣接して配置された第 1 のビア層を更に備え、第 1 のビア層が、1 つ又は複数の第 1 の金属相互接続部のうちの第 1 の金属相互接続部に各々が結合された、1 つ又は複数の第 1 のビアを備える、

条項 7 に記載のパッケージ基板。

9 .

第 1 の金属化層が第 2 の金属化層とパッド金属化層との間に配置されるように、第 1 の金属化層に隣接する第 2 の金属化層であって、

1 つ又は複数の第 2 の金属相互接続部を備える第 2 の金属層を備える、第 2 の金属化層を更に備える、条項 8 に記載のパッケージ基板。

10 .

1 つ又は複数のパッドビアが、第 1 の高さを有し、

1 つ又は複数の第 1 のビアが、第 1 の高さよりも高い第 2 の高さを有する、

条項 8 又は 9 に記載のパッケージ基板。

11 .

パッドビア層が、ガラス材料を含まない、条項 7 から 10 のいずれか一項に記載のパッケージ基板。

12 .

パッドビア層が、ガラス材料を含まず、

第 1 のビア層が、ガラス材料を含む、

条項 8 から 10 のいずれか一項に記載のパッケージ基板。

13 .

パッドビア層が、フォトイメージャブル誘電体 (P I D) 層を含み、

第 1 のビア層が、予備含浸ガラス (P P G) 層を含む、

条項 8 から 10 及び 12 のいずれか一項に記載のパッケージ基板。

14 .

第 1 のビア層が、第 3 の厚さを有し、

パッドビア層が、第 3 の厚さよりも小さい第 4 の厚さを有する、

条項 7 から 13 のいずれか一項に記載のパッケージ基板。

15 .

第 1 のビア層の第 3 の厚さとパッドビア層の第 4 の厚さとの比が、少なくとも 1 . 6 である、条項 14 に記載のパッケージ基板。

16 .

第 1 のビア層の第 3 の厚さが、25 μm ~ 45 μm であり、

パッドビア層の第 4 の厚さが、10 μm ~ 15 μm である、

条項 14 に記載のパッケージ基板。

17 .

セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信

デバイス、固定ロケーションデータユニット、モバイルロケーションデータユニット、全地球測位システム（GPS）デバイス、スマートフォン、携帯電話、スマートフォン、セッション開始プロトコル（SIP）フォン、タブレット、ファブレット、サーバ、コンピュータ、ポータブルコンピュータ、モバイルコンピューティングデバイス、ウェアラブルコンピューティングデバイス、デスクトップコンピュータ、携帯情報端末（PDA）、モニタ、コンピュータモニタ、テレビ、チューナ、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク（DVD）プレーヤ、ポータブルデジタルビデオプレーヤ、自動車、車両部品、アビオニクスシステム、ドローン、及びマルチコプターからなる群から選択されるデバイスに一体化されている、条項 1 から 16 のいずれか一項に記載のパッケージ基板。 10

18.

集積回路（IC）パッケージ用のパッケージ基板を製造する方法であって、
第 1 の金属化層を形成することであって、
第 1 の厚さを有する第 1 の金属層を形成することと、
第 1 の金属層内に 1 つ又は複数の第 1 の金属相互接続部を形成することと、
を含む、第 1 の金属化層を形成することと、
第 1 の金属化層に隣接する第 1 の表面と、第 1 の表面の反対側の第 2 の表面とを備える
パッド金属化層を形成することであって、
第 1 の厚さよりも小さい第 2 の厚さを有するパッド金属層を形成することと、 20
第 2 の表面に隣接するパッド金属層内に 1 つ又は複数の金属パッドを形成することと、
1 つ又は複数の金属パッドの各金属パッドを 1 つ又は複数の第 1 の金属相互接続部のう
ちの第 1 の金属相互接続部に結合することと、
を含む、パッド金属化層を形成することと、
1 つ又は複数の金属パッドのうちの 1 つの金属パッドに各々が結合された、1 つ又は複
数の外部相互接続部を形成することと、
を含む、方法。

19.

1 つ又は複数の外部相互接続部を形成することが、1 つ又は複数の外部相互接続部のう
ちの 1 つの外部相互接続部を 1 つ又は複数の金属パッドの各金属パッドに結合すること
を含む、条項 18 に記載の方法。 30

20.

第 1 の金属化層内に 1 つ又は複数の第 2 の金属相互接続部を形成することと、
1 つ又は複数の第 2 の金属相互接続部の各々を 1 つ又は複数の金属パッドのうちの 1 つ
の金属パッドに結合しないことと、
を更に含む、条項 18 又は 19 に記載の方法。

21.

1 つ又は複数の第 1 の金属相互接続部を形成することが、第 1 の金属層内に、各々が第
1 の幅の、1 つ又は複数の第 1 の金属相互接続部を形成することを含み、
1 つ又は複数の第 2 の金属相互接続部を形成することが、第 1 の金属層内に、各々が第 40
1 の幅よりも小さい第 2 の幅の、1 つ又は複数の第 2 の金属相互接続部を形成すること
を含む、
条項 20 に記載の方法。

22.

パッド金属化層を形成することが、
パッド金属層に隣接するパッドビア層を形成することと、
1 つ又は複数の第 1 の金属相互接続部のうちの第 1 の金属相互接続部と、1 つ又は複
数の金属パッドのうちの 1 つの金属パッドとに各々が結合された、1 つ又は複数のパッドビ
アをパッドビア層内に形成することと、
を更に含む、 50

条項 1 8 から 2 1 のいずれか一項に記載の方法。

2 3 .

第 1 の金属化層を形成することが、

第 1 の金属層に隣接する第 1 のビア層を形成することと、

1 つ又は複数の第 1 の金属相互接続部のうちの第 1 の金属相互接続部に各々が結合された、1 つ又は複数の第 1 のビアを形成することと、

を更に含む、

条項 2 2 に記載の方法。

2 4 .

第 1 の金属化層が第 2 の金属化層とパッド金属化層との間に配置されるように、第 1 の金属化層に隣接する第 2 の金属化層を形成することであって、 10

1 つ又は複数の第 2 の金属相互接続部を備える第 2 の金属層を形成することを含む、

第 2 の金属化層を形成することを更に含む、条項 2 3 に記載の方法。

2 5 .

第 1 の金属化層内に第 1 のビア層を形成することが、第 3 の厚さを有する第 1 のビア層を形成することを含み、

パッド金属化層内にパッドビア層を形成することが、第 3 の厚さよりも小さい第 4 の厚さを有するパッドビア層を形成することを含む、

条項 2 2 から 2 4 のいずれか一項に記載の方法。

【符号の説明】

20

【 0 0 5 4 】

1 0 0 I C パッケージ

1 0 2 パッケージ基板

1 0 4 外側パッド金属化層

1 0 6 3 D 積層ダイ I C パッケージ

1 0 8 ダイ

1 1 0 ダイパッケージ

1 1 2 金属化層

1 1 4 金属化層

1 1 5 金属化層

30

1 1 6 ダイ相互接続部

1 1 8 金属相互接続部

1 2 0 金属相互接続部

1 2 2 金属パッド

1 2 4 外部相互接続部

1 2 8 インターポーザ基板

1 3 0 パッケージモールド

1 3 2 金属化層

1 3 4 金属相互接続部

1 3 6 外部相互接続部

40

1 3 8 垂直相互接続部

1 4 0 第 1 の表面

1 4 2 第 2 の表面

1 4 4 パッド金属層

1 4 6 パッドビア層

1 4 8 ビア

1 5 0 ビア層

1 5 2 ビア

1 5 4 金属相互接続部

1 5 6 ビア層

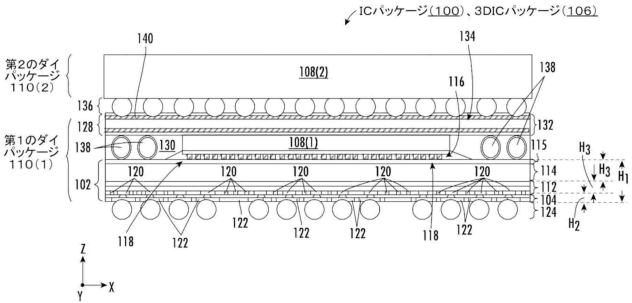
50

1 5 8	ビア	
1 6 0	金属層	
1 6 2	金属層	
1 6 4	金属層	
4 0 2	パッケージ基板	
4 0 4	金属化層	
4 1 2	金属化層	
4 1 4	金属化層	
4 1 5	金属化層	
4 1 6	パッドビア層	10
4 2 0	金属相互接続部	
4 2 2	金属相互接続部	
4 4 4	金属層	
4 4 6	ビア層	
8 0 2	E T S パッケージ基板	
8 0 4	誘電体材料	
8 0 6	底面	
8 0 8	ビア開口部	
8 1 0	キャリア	
8 1 2	レジスト層	20
8 1 4	開口部	
9 0 0	システム	
9 0 2	I C パッケージ	
9 1 0	プロセッサ	
9 1 2	キャッシュメモリ	
9 1 4	システムバス	
9 1 6	メモリコントローラ	
9 1 8	メモリアレイ	
9 2 0	メモリシステム	
9 2 2	入力デバイス	30
9 2 4	出力デバイス	
9 2 6	ネットワークインターフェースデバイス	
9 2 8	ディスプレイコントローラ	
9 3 0	ネットワーク	
9 3 2	ディスプレイ	
9 3 4	ビデオプロセッサ	
1 0 0 0	ワイヤレス通信デバイス	
1 0 0 2	I C パッケージ	
1 0 0 4	トランシーバ	
1 0 0 6	データプロセッサ	40
1 0 0 8	送信機	
1 0 1 0	受信機	
1 0 1 4	ローパスフィルタ	
1 0 1 6	増幅器	
1 0 1 8	アップコンバータ	
1 0 2 0	ミキサ	
1 0 2 2	L O 信号生成器	
1 0 2 4	信号	
1 0 2 6	フィルタ	
1 0 2 8	電力増幅器	50

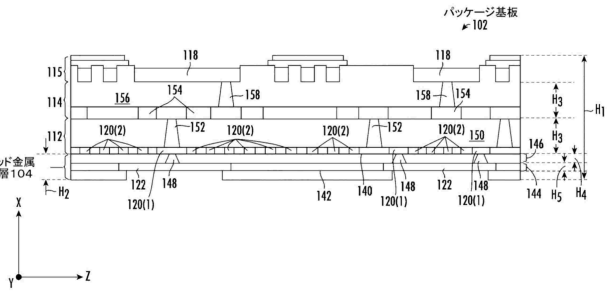
- 1 0 3 0 スイッチ
- 1 0 3 2 アンテナ
- 1 0 3 6 フィルタ
- 1 0 3 8 ダウンコンバージョンミキサ
- 1 0 4 0 LO信号生成器
- 1 0 4 4 ローパスフィルタ
- 1 0 5 0 PLL回路

【図面】

【図 1】

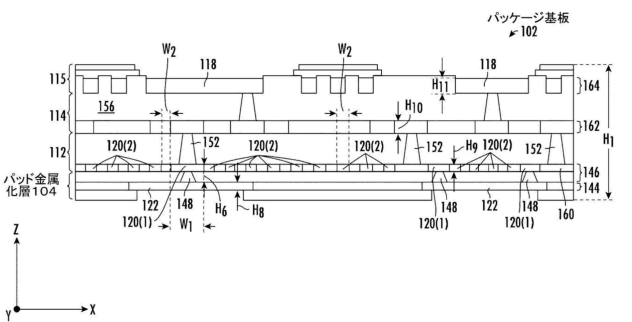


【図 2 A】

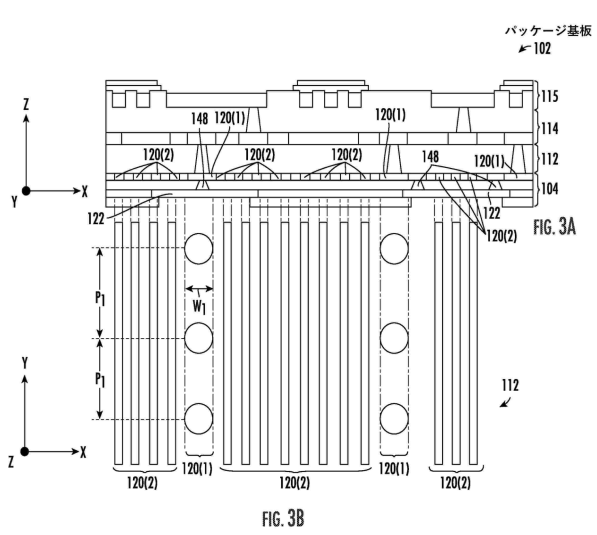


10

【図 2 B】



【図 3】



20

30

40

50

【図 4】

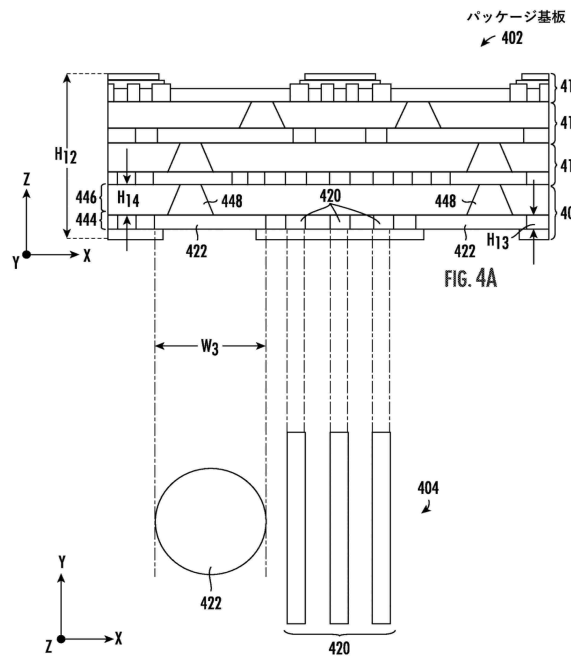


FIG. 4B

【図 5 A】

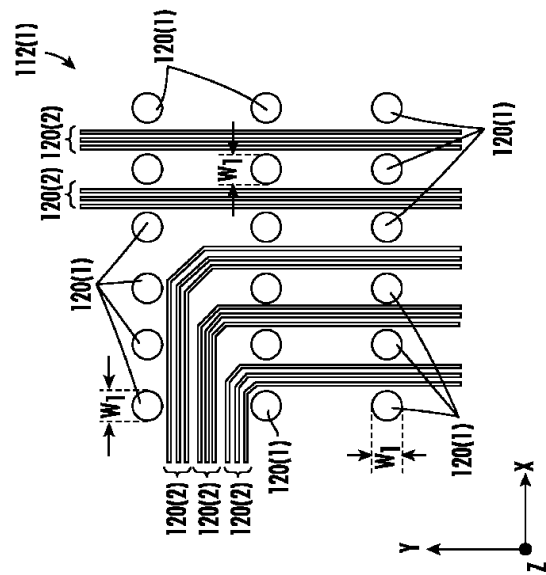


FIG. 5A

10

20

【図 5 B】

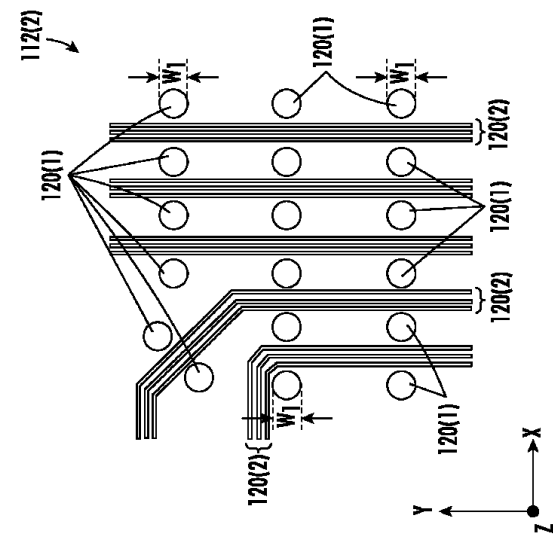
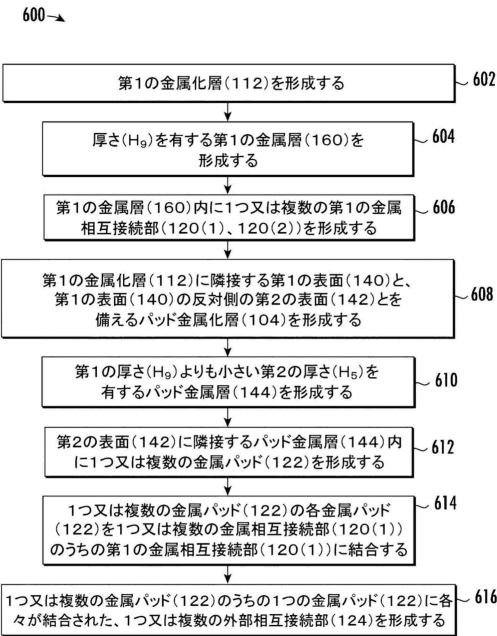


FIG. 5B

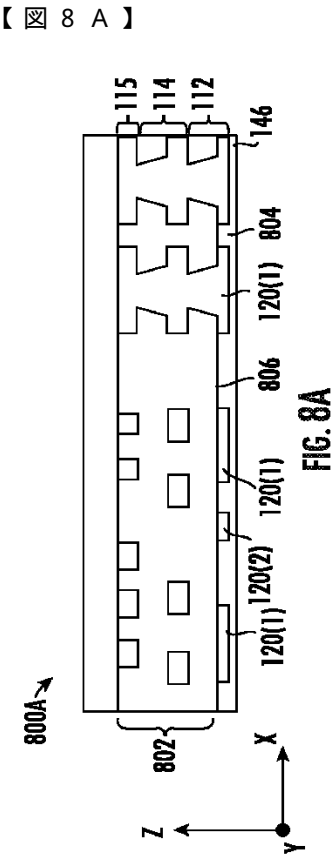
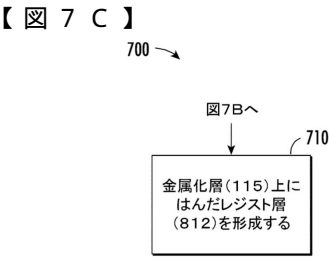
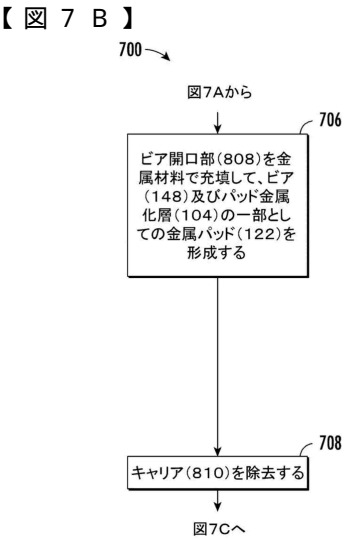
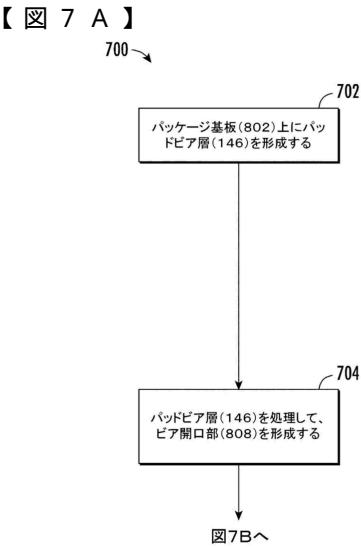
【図 6】



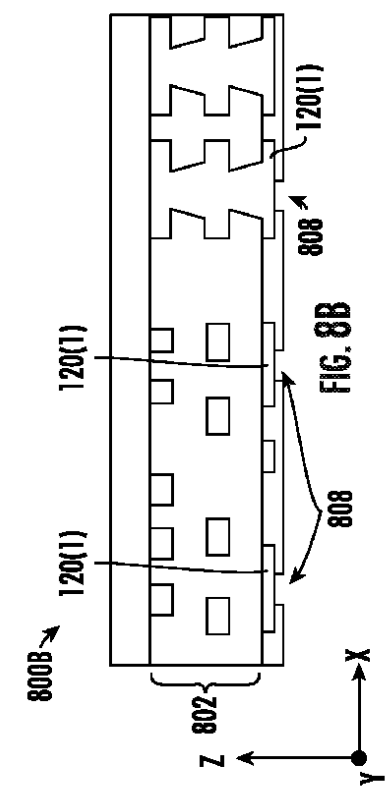
30

40

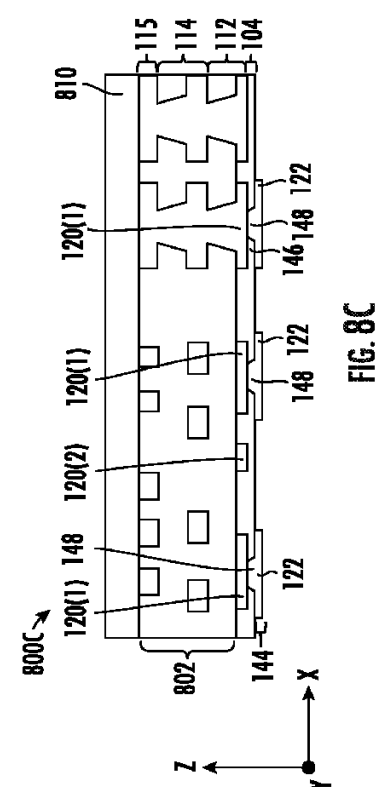
50



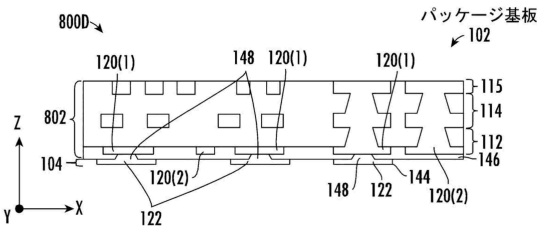
【 図 8 B 】



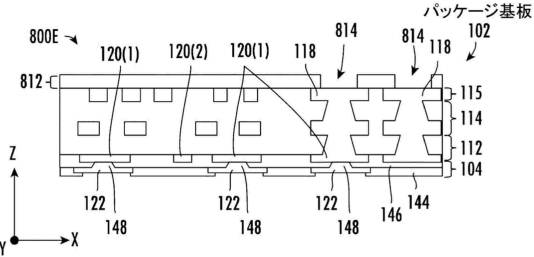
【 図 8 C 】



【 図 8 D 】



【 図 8 E 】



10

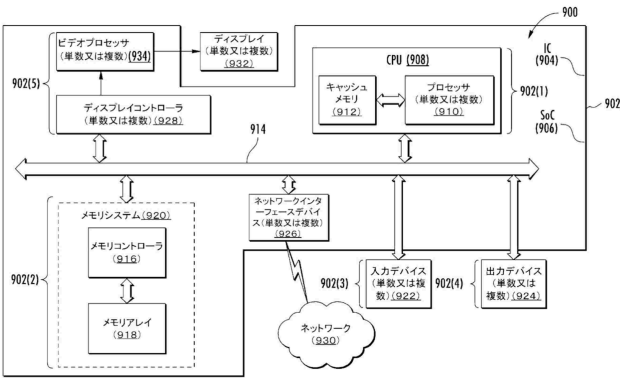
20

30

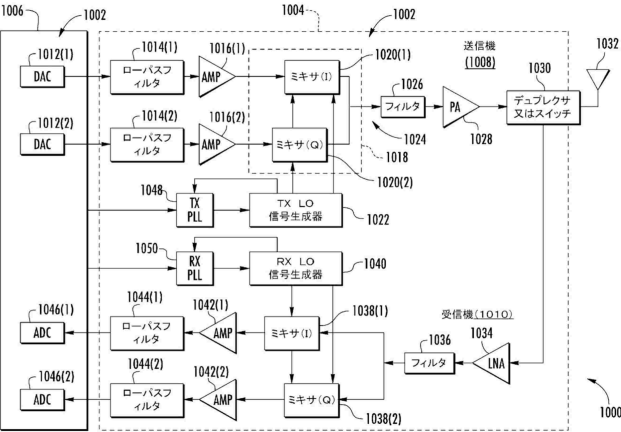
40

50

【図 9】



【図 10】



10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2023/063216

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L23/498
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, INSPEC, IBM-TDB, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2019/096798 A1 (ALEKSOV ALEKSANDAR [US] ET AL) 28 March 2019 (2019-03-28)	1-9, 11, 15-24
Y	abstract; claims; figures 1A, 1B, paragraphs [0018], [0019], [0020], [0021], [0022], [0023], [0032]	10, 12-14, 25
Y	US 8 324 740 B2 (HAGIHARA KIYOMI [JP]; PANASONIC CORP [JP]) 4 December 2012 (2012-12-04)	10, 14, 25
Y	abstract; claims; figure 1	
Y	US 2022/051988 A1 (PATIL ANIKET [US] ET AL) 17 February 2022 (2022-02-17)	12, 13
	abstract; claims; figure 1	
	paragraph [0023]	
	----- -/--	

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

5 June 2023

Date of mailing of the international search report

14/06/2023

Name and mailing address of the ISA/
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Wirner, Christoph

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2023/063216

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2021/305141 A1 (PATIL ANIKET [US] ET AL) 30 September 2021 (2021-09-30) abstract; claims; figure 1A -----	1-25
A	US 2019/393143 A1 (ROSCH JONATHAN [US] ET AL) 26 December 2019 (2019-12-26) abstract; claims; figures 1A, 1B -----	1-25
A	US 2020/135679 A1 (DARMAWAIKARTA KRISTOF [US] ET AL) 30 April 2020 (2020-04-30) abstract; claims; figures 1-4 -----	1-25
A	US 2016/143149 A1 (SU YUAN-CHANG [TW] ET AL) 19 May 2016 (2016-05-19) abstract; claims; figure 1 -----	1-25

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2023/063216

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2019096798 A1	28-03-2019	EP 3462484 A1 JP 7264574 B2 JP 2019068042 A US 2019096798 A1	03-04-2019 25-04-2023 25-04-2019 28-03-2019
US 8324740 B2	04-12-2012	JP 5150518 B2 JP 2009260255 A US 2010140800 A1 WO 2009118999 A1	20-02-2013 05-11-2009 10-06-2010 01-10-2009
US 2022051988 A1	17-02-2022	BR 112023001986 A2 CN 116134591 A EP 4197027 A1 KR 20230049090 A TW 202207389 A US 2022051988 A1 WO 2022035502 A1	28-02-2023 16-05-2023 21-06-2023 12-04-2023 16-02-2022 17-02-2022 17-02-2022
US 2021305141 A1	30-09-2021	BR 112022018903 A2 CN 115335989 A EP 4128340 A1 KR 20220162126 A TW 202145391 A US 2021305141 A1 WO 2021202454 A1	08-11-2022 11-11-2022 08-02-2023 07-12-2022 01-12-2021 30-09-2021 07-10-2021
US 2019393143 A1	26-12-2019	NONE	
US 2020135679 A1	30-04-2020	US 2020135679 A1 US 2023015619 A1	30-04-2020 19-01-2023
US 2016143149 A1	19-05-2016	CN 106158774 A CN 108155156 A US 2016143149 A1 US 2016322292 A1	23-11-2016 12-06-2018 19-05-2016 03-11-2016

10

20

30

40

50

フロントページの続き

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,
ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,C
O,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,I
R,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MW,MX
,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SC,SD,SE,SG,SK,SL,ST,
SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW
1 2 1 ・ サン ・ ディエゴ ・ モアハウス ・ ドライヴ ・ 5 7 7 5

(72)発明者 アニケット ・ パティル
アメリカ合衆国 ・ カリフォルニア ・ 9 2 1 2 1 ・ サン ・ ディエゴ ・ モアハウス ・ ドライヴ ・ 5 7 7
5

(72)発明者 ホン ・ ボク ・ ウィ
アメリカ合衆国 ・ カリフォルニア ・ 9 2 1 2 1 ・ サン ・ ディエゴ ・ モアハウス ・ ドライヴ ・ 5 7 7
5