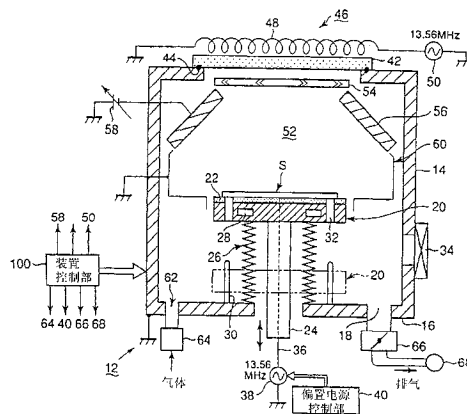




(45) 授权公告日 2010.07.07

权利要求书 2 页 说明书 10 页

本发明提供一种利用等离子体使金属靶(56)离子化,产生金属离子,利用偏置电力将金属离子引入到在处理容器内的载置台(20)上载置的被处理体(S),使金属膜(74)沉积在形成有凹部(2)的被处理体上以填充凹部的方法。设定偏置电力,使得在被处理体表面,因金属离子的引入而产生的金属沉积速率和等离子体溅射蚀刻的蚀刻速率大致均衡。由此,能够向被处理体的凹部填充金属,而不会产生空隙等缺陷。



1. 一种成膜方法,其特征在于,包括:

将具有表面和在该表面开口的凹部的被处理体载置在配置于真空处理容器内的载置台上的工序;

在所述真空处理容器内产生等离子体,并利用所述等离子体溅射在所述真空处理容器内配置的金属靶,产生金属离子的工序;和

向所述载置台施加偏置电力并将所述金属离子引入到所述凹部内,使其沉积在所述凹部,由此向所述凹部填充金属的工序,

所述偏置电力,其大小使得在所述被处理体的所述表面,因所述金属离子的引入而产生的金属沉积的沉积速率和由所述等离子体产生的溅射蚀刻的蚀刻速率大致均衡。

2. 如权利要求1所述的成膜方法,其特征在于:

向所述凹部填充金属之后,进行镀层处理。

3. 如权利要求2所述的成膜方法,其特征在于:

在所述镀层处理后,实施对表面进行抛光使表面平坦化的抛光处理。

4. 如权利要求1所述的成膜方法,其特征在于:

所述凹部的宽度或直径为100nm以下,深宽比为3以上。

5. 如权利要求1所述的成膜方法,其特征在于:

所述金属由铜、铝、钨中的任一种构成。

6. 一种成膜方法,其特征在于,包括:

将具有表面和在该表面开口的凹部的被处理体载置在配置于真空处理容器内的载置台上的工序;

第一成膜工序,包括:在所述真空处理容器内产生等离子体,并利用所述等离子体溅射在所述真空处理容器内配置的金属靶,产生金属离子的工序,以及向所述载置台施加偏置电力并将所述金属离子引入到所述凹部内,使其在所述凹部沉积,由此向所述凹部填充金属的工序;和

第二成膜工序,包括:在所述真空处理容器内产生等离子体,并利用所述等离子体溅射在所述真空处理容器内配置的金属靶,产生金属离子的工序,以及向所述载置台施加偏置电力并将所述金属离子引入到所述凹部内,使其在所述凹部沉积,由此向所述凹部填充金属的工序,

其中,

多次交替重复进行所述第一成膜工序和所述第二成膜工序,

所述第一成膜工序中的所述偏置电力,其大小使得在所述被处理体的所述表面,因所述金属离子的引入而产生的金属沉积的沉积速率远大于由所述等离子体产生的溅射蚀刻的蚀刻速率,

所述第二成膜工序中的所述偏置电力,其大小使得在所述被处理体的所述表面,因所述金属离子的引入而产生的金属沉积的沉积速率和由所述等离子体产生的溅射蚀刻的蚀刻速率大致均衡。

7. 如权利要求6所述的成膜方法,其特征在于:

重复进行的成膜工序,以所述第一成膜工序结束。

8. 如权利要求6所述的成膜方法,其特征在于:

多次重复进行所述第一及第二成膜工序之后,进行镀层处理。

9. 如权利要求 8 所述的成膜方法,其特征在于:

在所述镀层处理之后,实施对表面进行抛光使表面平坦化的抛光处理。

10. 如权利要求 6 所述的成膜方法,其特征在于:

所述被处理体是用于将 IC 芯片彼此结合的内插器的基板。

11. 如权利要求 6 所述的成膜方法,其特征在于:

利用填充在所述被处理体的凹部的金属膜形成感应线圈。

12. 如权利要求 6 所述的成膜方法,其特征在于:

所述金属由铜、铝、钨中的任一种构成。

13. 一种等离子体成膜装置,其特征在于,包括:

能够抽真空的处理容器;

用于载置具有表面和在该表面开口的凹部的被处理体的载置台;

向所述处理容器内导入规定气体的气体导入单元;

用于在所述处理容器内产生等离子体的等离子体发生装置;

设置在所述处理容器内,用于被所述等离子体离子化的金属靶;

向所述载置台供给规定的偏置电力的偏置电源;和

控制所述偏置电源的偏置电源控制部,

其中,所述偏置电源控制部,将从所述偏置电源输出的偏置电力的大小控制为使得在所述被处理体的所述表面,因所述金属离子的引入而产生的金属沉积的沉积速率和由所述等离子体产生的溅射蚀刻的蚀刻速率大致均衡。

14. 一种等离子体成膜装置,其特征在于,包括:

能够抽真空的处理容器;

用于载置具有表面和在该表面开口的凹部的被处理体的载置台;

向所述处理容器内导入规定气体的气体导入单元;

用于在所述处理容器内产生等离子体的等离子体发生装置;

设置在所述处理容器内,用于被所述等离子体离子化的金属靶;

向所述载置台供给规定的偏置电力的偏置电源;

控制所述偏置电源的偏置电源控制部;以及

装置控制部,该装置控制部控制装置整体,使其运行下述工序:使导入到所述处理容器内的气体等离子体化,并利用该等离子体使所述金属靶离子化,形成金属离子的工序;以及施加使得因所述金属离子的引入而产生的金属沉积的沉积速率和由所述等离子体产生的溅射蚀刻的蚀刻速率达到大致均衡的状态的偏置电压,使金属膜沉积以填充所述凹部的工序。

等离子体溅射成膜方法和成膜装置

[0001] 技术领域

[0001] 本发明涉及使用等离子体溅射向在半导体晶片等被处理体的表面开口的凹部填充金属的技术改良。

[0002] 背景技术

[0003] 在半导体器件的制造过程中,通常在半导体晶片上反复进行成膜处理和图形刻蚀处理等各种处理,由此制造所期望的器件。由于对半导体器件的集成化及小型化有着更高的要求,线宽和孔径被做得越来越小。各种尺寸一旦变小,就有必要降低配线材料及填充材料的电阻,所以倾向于用电阻很小且廉价的 Cu 作为配线材料和填充材料(参照日本特开 2000-77365 号公报)。在用 Cu 作为配线材料和填充材料的情况中,考虑到密着性等,一般使用金属钽膜或氮化钽膜作为其下面的阻挡层。

[0004] 当向槽和孔等凹部内填充铜时,首先,在等离子体溅射装置内,在包括整个凹部内面的整个晶片表面上形成由铜膜构成的薄种子膜。接着,在整个晶片表面上实施镀铜处理,在整个凹部内填充铜。然后,利用 CMP (Chemical Mechanical Polishing: 化学机械抛光) 处理等抛光处理,去除晶片表面的多余的铜薄膜。

[0005] 关于上述的现有的填充方法,参照图 8 进行说明。在半导体晶片 S 上形成有很多凹部 2,这些凹部 2 在晶片表面即晶片上面开口。凹部 2 为通孔 (via hole)、穿孔 (through hole)、或槽 (沟槽 (trench) 或双大马士革 (Dual Damascene) 结构) 等。由于设计规则的微细化,凹部 2 的深宽比非常大(例如达到 3 ~ 4 左右),而且凹部 2 的宽度或内径小到例如 120nm 左右。

[0006] 利用等离子体溅射装置,在晶片表面和凹部 2 内面的全部区域上,大致均匀地预先形成由 TaN 膜和 Ta 膜的叠层结构所构成的阻挡层 4(参照图 8(A))。在等离子体溅射装置中,在晶片表面和凹部内面上,形成由金属膜、例如薄的铜膜所构成的种子膜 6(参照图 8(B))。形成种子膜 6 时,为了高效地进行铜离子的引入,向半导体晶片侧施加高频电压的偏置电力。接着,利用 3 元系镀铜处理在晶片表面上形成由铜膜构成的金属膜 8,由此向凹部 2 内填充铜。然后,将晶片表面的多余的金属膜 8、种子膜 6 以及阻挡层 4 抛光去除。

[0007] 在等离子体溅射装置内进行成膜时,通过像上述那样向半导体晶片侧施加偏置电力,能够促进金属离子的引入,从而提高成膜速率。如果过度地增大偏置电力,则为了产生等离子体而导入处理容器内的不活泼气体、例如氩气的离子会溅射晶片表面,削掉堆积的金属膜,因此偏置电力不能大到那个程度。

[0008] 如图 8(B) 所示,在形成由铜膜构成的种子膜 6 时,种子膜很难附在凹部 2 侧壁下部的区域 B1 部分。因此,如果长时间进行成膜处理直至区域 B1 形成具有足够厚度的种子膜 6,则在凹部 2 的上端开口部的种子膜 6 上会产生外伸部分 10,开口面积变小。在这种状态下,即使进行镀层处理,有时也无法完全填充凹部 2,产生空隙 11。

[0009] 为了防止空隙 11 的产生,不得不进行需要多种添加剂的操作非常烦杂的所谓 3 元系镀层处理。而且,当进行 3 元系镀层处理时,晶片上面的金属膜 8 的厚度 H1 会变得非常大。因此,其后的抛光处理需要较长的时间。

发明内容

[0010] 本发明着眼于以上的问题点,为了有效地解决上述问题而做出。本发明的目的在于提供一种能够向在被处理体表面开口的凹部中填充金属而不产生空隙等缺陷的技术。

[0011] 本发明的另一个目的在于,减轻在填充后能够实施的镀层处理的负担。

[0012] 本发明的又一个目的在于,减轻在填充和 / 或镀层处理后能够实施的表面抛光处理的负担。

[0013] 根据本发明的第一方面,提供一种成膜方法,其特征在于,包括:将具有表面和在该表面开口的凹部的被处理体载置在配置于真空处理容器内的载置台上的工序;在上述真空处理容器内产生等离子体,并利用上述等离子体溅射在上述真空处理容器内配置的金属靶,产生金属离子的工序;和向上述载置台施加偏置电力并将上述金属离子引入到上述凹部内,使其沉积在上述凹部,由此向上述凹部填充金属的工序,其中,上述偏置电力,其大小使得在上述被处理体的上述表面,因上述金属离子的引入而产生的金属沉积的沉积速率和由上述等离子体产生的溅射蚀刻的蚀刻速率大致均衡。

[0014] 向上述凹部填充金属之后,能够进行镀层处理。另外,在上述镀层处理后,能够实施对表面进行抛光使表面平坦化的抛光处理。

[0015] 能够使上述凹部的宽度或直径为 100nm 以下、使深宽比为 3 以上。

[0016] 能够使上述金属为铜、铝、钨中的任一种。

[0017] 本发明还提供一种成膜方法,其特征在于,包括:将具有表面和在该表面开口的凹部的被处理体载置在配置于真空处理容器内的载置台上的工序;第一成膜工序,包括:在上述真空处理容器内产生等离子体,并利用上述等离子体溅射在上述真空处理容器内配置的金属靶,产生金属离子的工序,以及向上述载置台施加偏置电力并将上述金属离子引入到上述凹部内,使其在上述凹部沉积,由此向上述凹部填充金属的工序;和第二成膜工序,包括:在上述真空处理容器内产生等离子体,并利用上述等离子体溅射在上述真空处理容器内配置的金属靶,产生金属离子的工序,以及向上述载置台施加偏置电力并将上述金属离子引入到上述凹部内,使其在上述凹部沉积,由此向上述凹部填充金属的工序,其中,多次交替重复进行上述第一成膜工序和上述第二成膜工序,上述第一成膜工序中的上述偏置电力,其大小使得在上述被处理体的上述表面,因上述金属离子的引入而产生的金属沉积的沉积速率远大于由上述等离子体产生的溅射蚀刻的蚀刻速率,上述第二成膜工序中的上述偏置电力,其大小使得在上述被处理体的上述表面,因上述金属离子的引入而产生的金属沉积的沉积速率和由上述等离子体产生的溅射蚀刻的蚀刻速率大致均衡。

[0018] 优选重复进行的成膜工序以上述第一成膜工序结束。

[0019] 多次重复进行上述第一及第二成膜工序之后,可以进行镀层处理。另外,在上述镀层处理之后,可以实施对表面进行抛光使表面平坦化的抛光处理。

[0020] 在一个实施方式中,上述被处理体是用于将 IC 芯片彼此结合的内插器(interposer)的基板。

[0021] 可以利用填充在上述被处理体的凹部的金属膜形成感应线圈。

[0022] 能够使上述金属为铜、铝、钨中的任一种。

[0023] 根据本发明的第二方面,提供一种等离子体成膜装置,其特征在于,包括:能够抽

真空的处理容器；用于载置具有表面和在该表面开口的凹部的被处理体的载置台；向上述处理容器内导入规定气体的气体导入单元；用于在上述处理容器内产生等离子体的等离子体发生装置；设置在上述处理容器内，用于被上述等离子体离子化的金属靶；向上述载置台供给规定的偏置电力的偏置电源；和控制上述偏置电源的偏置电源控制部，其中，上述偏置电源控制部，将从上述偏置电源输出的偏置电力的大小控制为使得在上述被处理体的上述表面，因上述金属离子的引入而产生的金属沉积的沉积速率和由上述等离子体产生的溅射蚀刻的蚀刻速率大致均衡。

[0024] 根据本发明，还提供一种等离子体成膜装置，其特征在于，包括：能够抽真空的处理容器；用于载置具有表面和在该表面开口的凹部的被处理体的载置台；向上述处理容器内导入规定气体的气体导入单元；用于在上述处理容器内产生等离子体的等离子体发生装置；设置在上述处理容器内，用于被上述等离子体离子化的金属靶；向上述载置台供给规定的偏置电力的偏置电源；控制上述偏置电源的偏置电源控制部；以及装置控制部，该装置控制部控制装置整体，使其运行下述工序：使导入到上述处理容器内的气体等离子体化，并利用该等离子体使上述金属靶离子化，形成金属离子的工序；以及施加使得因上述金属离子的引入而产生的金属沉积的沉积速率和由上述等离子体产生的溅射蚀刻的蚀刻速率达到大致均衡的状态的偏置电压，使金属膜沉积以填充上述凹部的工序。

[0025] 根据本发明，通过调整向载置台施加的偏置电力，对因金属离子的引入而产生的金属膜的沉积速率和由等离子体产生的溅射蚀刻的蚀刻速率的关系进行调整，由此能够高效地填充被处理体的凹部。

附图说明

[0026] 图 1 是表示本发明的一个实施方式的等离子体成膜装置的结构截面图。

[0027] 图 2 是表示溅射蚀刻的角度依赖性的图。

[0028] 图 3 是表示偏置电力与晶片表面的成膜速率的关系的图。

[0029] 图 4 是用于对本发明方法的第一实施方式的一系列工序进行说明的被处理体的部分放大截面图。

[0030] 图 5 是表示与不同的偏置电力和处理压力分别对应的金属离子的垂直性的图。

[0031] 图 6 是用于对本发明方法的第二实施方式的一系列工序进行说明的被处理体的部分放大截面图。

[0032] 图 7 是用于对根据本发明方法的第二实施方式制成的被处理体的用途进行说明的说明图。

[0033] 图 8 是表示半导体晶片凹部的现有的填充工序的图。

[0034] 符号说明

[0035] 2 凹部

[0036] 4 阻挡层

[0037] 6 金属膜（种子膜）

[0038] 8 金属膜

[0039] 12 等离子体成膜装置

[0040] 14 处理容器

[0041]	20	载置台
[0042]	22	静电吸盘
[0043]	38	偏置电源
[0044]	40	偏置电源控制部
[0045]	46	等离子体发生装置
[0046]	48	感应线圈部
[0047]	50	高频电源
[0048]	56	金属靶
[0049]	62	气体喷嘴（气体导入单元）
[0050]	74	金属膜
[0051]	S	半导体晶片（被处理体）
[0052]	S2	被处理体

具体实施方式

[0053] 下面,根据附图,详细说明本发明的成膜方法和成膜装置的实施方式。

[0054] 图 1 是表示本发明的等离子体成膜装置的一个例子的截面图。在此,作为等离子体成膜装置,以 ICP(Inductively Coupled Plasma:感应耦合等离子体)型等离子体溅射装置为例进行说明。如图所示,成膜装置 12 具有由例如铝等成形为筒体状的处理容器 14。处理容器 14 被接地。在处理容器 14 的底部 16 上设有排气口 18。真空泵 68 通过节流阀 66 与排气口 18 连接。

[0055] 在处理容器 14 内设有例如由铝制成的圆板状的载置台 20。在载置台 20 的上面设置有用于吸附并保持作为被处理体的半导体晶片 S 的静电吸盘 22。为了吸附晶片 S,向静电吸盘 22 施加直流电压。载置台 20 由从其下面的中央部向下方延伸的支柱 24 支撑。支柱 24 贯穿处理容器 14 的底部 16,与未图示的升降机构连接。所以,通过使升降机构工作,能够使载置台 20 升降。

[0056] 能够伸缩的金属波纹管 26 包围着支柱 24。金属波纹管 26 的上端与载置台 20 的下面气密地接合,金属波纹管 26 的下端与底部 16 的上面气密地接合。金属波纹管 26 在维持处理容器 14 内的气密性的同时,允许载置台 20 的升降移动。在载置台 20 中形成有用于流动将晶片 S 冷却的制冷剂的制冷剂循环路 28。制冷剂通过支柱 24 内的未图示的流路供给至制冷剂循环路 28,然后从制冷剂循环路 28 排出。从容器底部 16 朝向上方,直立有多根例如 3 根(图 1 中仅表示了其中的 2 根)支撑销 30。与各支撑销 30 对应,在载置台 20 中形成有销插通孔 32。

[0057] 当使载置台 20 下降时,支撑销 30 的上端部贯穿销插通孔 32,从载置台 20 突出,在该状态下,在进入处理容器 14 内的未图示的搬送臂和支撑销 30 之间进行晶片 S 的交接。在处理容器 14 侧壁的下部设有在打开时允许上述搬送臂进入的闸阀 34。为了向载置台 20 施加规定的偏置电力,由产生例如 13.56MHz 高频的高频电源构成的偏置电源 38 通过配线 36 与静电吸盘 22 连接。偏置电源 38 输出的偏置电力由例如由微型计算机构成的偏置电源控制部 40 控制。

[0058] 在处理容器 14 的顶部开口部,通过 O 型圈等密封部件 44,气密地安装有由例如氮

化铝等电介质构成的高频透过性的透过板 42。在透过板 42 上设有等离子体发生装置 46，其用于在处理容器 14 内的处理空间 52 中产生等离子体气体、例如 Ar 气体的等离子体。等离子体发生装置 46 具有：设置在透过板 42 上方的感应线圈部 48；以及与该线圈 48 连接的等离子体发生用的例如 13.56MHz 的高频电源 50。

[0059] 为了使通过透过板 42 导入处理容器 14 内的高频扩散，在透过板 42 的正下方设有例如由铝制成的挡板 54。在挡板 54 的下方，设有越向上方直径越小的环状的金属靶 56，以包围处理空间 52 的上部。金属靶 56 的内周面形成圆锥台的锥面的形状。可变直流电源 58 与金属靶 56 连接。可以使用例如金属钽或铜等金属作为金属靶 56。金属靶 56 被等离子体中的 Ar 离子溅射，由此从金属靶 56 放出金属原子或金属原子团，它们通过等离子体中时被离子化，成为金属离子。

[0060] 另外，在该金属靶 56 的下方，设有例如由铝制成的圆筒状的保护罩 60，以包围处理空间 52。保护罩 60 被接地，并且，其下部向内侧弯曲并延伸至载置台 20 的侧部附近。在处理容器 14 的底部设有用于向处理容器 14 内导入处理用气体的气体导入口 62。等离子体气体例如 Ar 气体，通过由气体流量控制器和阀门等构成的气体控制部 64，从气体导入口 62 供给。

[0061] 等离子体成膜装置 12 的各种功能要素，具体地说，偏置电源控制部 40、高频电源 50、可变直流电源 58、气体控制部 64、节流阀 66 和真空泵 68 等，与例如由计算机构成的装置控制部 100 连接。装置控制部 100 控制这些功能要素，使成膜装置 12 执行以下的处理。

[0062] 首先，使 Ar 气通过气体控制部 64 流入已被真空泵 68 抽成真空的处理容器 14 内，控制节流阀 66，将处理容器 14 内维持在规定的真空度。然后，通过可变直流电源 58 向金属靶 56 施加 DC 电力，另外通过高频电源 50 向感应线圈部 48 施加高频电力。

[0063] 另外，装置控制部 100 也向偏置电源控制部 40 发出指令，对载置台 20 施加规定的偏置电力。于是，利用向金属靶 56 和感应线圈部 48 施加的电力，使 Ar 气等离子体化。等离子体中的 Ar 离子与金属靶 56 碰撞，金属靶 56 被溅射。由此，从金属靶 56 放出的金属原子和金属原子团，在通过等离子体中时被离子化，成为金属离子。金属离子被施加有偏置电力的载置台 20 吸引，沉积在载置台 20 上的晶片 S 上。

[0064] 另外，当对载置台 20 施加更大的偏置电压时，不仅金属离子而且等离子体中的 Ar 离子也被吸引到载置台 20 侧，金属沉积和溅射蚀刻两者同时发生。

[0065] 装置控制部 100，通过执行为了控制各功能要素以使它们按照规定的处理方案进行金属膜成膜而编写的并存储在附属于装置控制部 100 的存储介质（例如硬盘驱动器，HDD）中的控制程序，控制成膜装置 12 的各功能要素。这样的程序可以存储在软盘（注册商标）（FD）、光盘（CD）或闪存器等存储介质中，在这种情况下，装置控制部 100 通过执行从这样的存储介质读出的程序而控制成膜装置 12 的各功能要素。

[0066] 下面，说明使用等离子体成膜装置 12 进行的本发明的成膜方法。

[0067] 图 2 为表示溅射蚀刻的角度依赖性的图，图 3 为表示偏置电力与晶片表面的成膜速率的关系的图，图 4 是表示第一实施方式的各工序的图。本发明方法的第一实施方式的特征在于，在利用等离子体溅射进行成膜时，通过将偏置电力控制为适当的大小，实现由金属离子的引入而产生的金属膜的沉积速率和由来自等离子体气体的离子（例如 Ar 离子）而产生的溅射蚀刻的蚀刻速率大致均衡的状态。因此，向凹部的金属填充，主要通过向凹部

的侧壁沉积金属膜而实现。

[0068] 具体地说,设定偏置电力,使得在“晶片表面(被处理体表面)”上,金属膜的沉积速率和溅射蚀刻速率大致均衡,上述“晶片表面”为与环状的金属靶 56 的假想中心轴线垂直并位于与凹部的入口开口相同高度的平面。此外,要注意的是,在本说明书中,“晶片表面”的用语,是指晶片的成膜对象面中、除凹部的内面(凹部的侧面和底面)以外的部分。

[0069] 关于这一点,进一步详细说明。首先,不考虑金属膜的沉积,仅对溅射蚀刻的蚀刻速率进行研究。溅射面(指的是“被溅射的面”)的角度与蚀刻速率的关系如图 2 的图所示。在此,溅射面的角度是指溅射面的法线与为了削掉该溅射面而向其入射的离子(具体地说,为 Ar 离子)的入射方向所成的角度。例如,晶片表面和凹部底面的溅射面的角度为 0 度,凹部侧面的溅射面的角度为 90 度。

[0070] 从该图可以看出,在晶片表面(溅射面的角度=0 度)进行了某种程度的溅射蚀刻,而在凹部的侧面(溅射面的角度=90 度)几乎没有进行溅射蚀刻,并且,凹部的开口端边缘(溅射面的角度=40~80 度)被非常激烈地溅射蚀刻。

[0071] 在图 1 所示的由 ICP 型溅射装置构成的等离子体成膜装置中,向载置晶片 S 的载置台 20 施加的偏置电力与金属向晶片表面(溅射面的角度=0 度)的成膜速率(即膜生长速率或膜厚增加速率)的关系,如图 3 所示。在等离子体发生用的高频电力一定的情况下,当偏置电力不那么大时,由金属离子的引入而产生的沉积起支配作用,得到高成膜速率,但是,当偏置电力增大时,由被偏置电力加速的来自等离子体气体的离子所产生的溅射效果增大,结果,以前沉积的金属膜通过溅射蚀刻而被除去。偏置电力越大,该蚀刻效果也越大。

[0072] 因此,当金属膜的沉积速率(这是指假定不产生蚀刻时的沉积速率)与蚀刻速率相等时,沉积和蚀刻相抵消,晶片表面的成膜速率即膜厚增加速率成为“零”。参照图 3 的图中的点 X1(偏置电力:350W)。另外,图 3 的图仅表示偏置电力与成膜速率的关系的一个例子,如果成膜装置或成膜时间等发生变化,图中的数值当然也会变动。

[0073] 以往,当利用这种溅射装置进行成膜时,一般不使偏置电力太大(参照图 3 的区域 A1),可获得高成膜速率。与此相对,在本发明方法中,设定偏置电力,使得金属沉积速率与溅射蚀刻速率大致均衡(相当于图 3 的区域 A2)。在此,“大致均衡”不仅包含晶片表面的成膜速率为“零”的情况,也包含以相对于图 3 的区域 A1 中的成膜速率最高为 3/10 左右的低成膜速率形成膜的情况。

[0074] 那么,在理解以上本发明方法的基本原理的基础上,具体地说明本发明方法。

[0075] 首先,在已使载置台 20 向下方下降的状态下,将晶片 S 通过处理容器 14 的闸阀 34 搬入处理容器 14 内,使该晶片 S 支撑在支撑销 30 上。接着,使载置台 20 上升,支撑销 30 上的晶片 S 被载置台 20 的上面支撑。晶片 S 被静电吸盘 22 产生的静电吸附力吸附在载置台 20 的上面上。

[0076] 此外,在被搬入处理容器 14 内的晶片 S 上形成有在晶片表面开口的通孔、穿孔和/或槽那样的凹部 2(参照图 8)。并且,利用与图 1 所示的装置同样结构的另一个等离子体成膜装置,通过使用金属 Ta 作为靶的溅射处理,在晶片表面和凹部 2 的内面预先形成由 TaN/Ta 膜等的叠层结构构成的阻挡层 4(参照图 4(A))。凹部 2 的宽度(槽的情况下)或直径(孔的情况下)为几百 nm 以下,非常微小,深宽比最大为 5 左右。

[0077] 接着,开始进行成膜处理。在此使用铜作为金属靶 56。在将处理容器 14 的内部

抽真空至规定压力后,向等离子体发生源 46 的感应线圈部 48 施加高频电压,并且由偏置电源 38 向载置台 20 的静电吸盘 22 施加规定的偏置电力。然后,从气体导入口 62 向处理容器 14 内供给等离子体气体、例如 Ar 气。

[0078] 在成膜工序中,将偏置电力设定在图 3 中的区域 A2 内。例如,为了使晶片表面的成膜速率大致为“零”,将偏置电力设定为与图 3 中的点 X1、或比点 X1 稍低的区域 A3 对应的值,进行金属膜(Cu 膜)的成膜。具体地说,偏置电力为 320 ~ 350W。从气体导入口 62 仅供给 Ar 气。由此,如图 4(B) 所示,在晶片表面上,金属膜几乎没有沉积,而在凹部 2 的侧面和底面上,大致均匀地沉积有由 Cu 膜构成的金属膜 6。

[0079] 当维持上述偏置电力继续进行成膜处理时,如图 4(C) ~ 4(F) 所示,在晶片表面上,金属膜实质上不生长,或者维持着金属膜 6 以非常低的成膜速率生长的状态,另一方面,在凹部 2 的侧面上,金属膜 6 维持其膜厚的均匀性而缓慢地生长,同时,金属膜 6 也从凹部 2 的底部缓慢地生长,由此,凹部 2 被金属填充,而不会生成空隙。

[0080] 其理由说明如下。即,通过像上述那样设定偏置电力,在与金属离子的引入方向垂直的晶片表面上,金属沉积速率与溅射蚀刻速率大致均衡,因此,从结果来看,金属膜的成膜速率大致为“零”或变得非常小。另外,在凹部 2 的宽度或直径为几百 nm 以下的非常微小的情况下,在凹部 2 的底部因溅射而飞散的飞散金属 70 附着在凹部 2 底部的侧面上。因此,金属膜 6 附着在用现有方法难以使金属膜附着的凹部 2 底部的侧面上,从而能够使凹部 2 侧面的膜厚在深度方向上均匀。

[0081] 另外,在凹部 2 内的底部侧面上附着的金属膜 6 向凹部 2 的中央部突出,因此金属膜 6 也渐渐沉积在底部上,由此凹部 2 内也从底部侧被填充。另外,在凹部 2 的开口部没有产生外伸部分 8(参照图 8)的理由,也是因为沉积和蚀刻互相抵消。

[0082] 在上述那样的金属沉积速率和溅射蚀刻速率大致均衡的成膜处理中,重要的是:从金属靶溅射出的金属在通过等离子体中时,几乎全部(95%以上,优选 99%以上)被离子化而成为金属离子,在到达晶片 S 时,实质上不包含中性金属原子。因此,只要提高向等离子体发生装置 46 的感应线圈部 48 施加的高频电力即可(5000 ~ 6000W)。

[0083] 如果成膜种含有中性金属原子,则即使能够使晶片表面的成膜速率为零,在凹部 2 的底部,蚀刻速率也大于金属沉积速率,结果,作为基底膜的阻挡层 4 受到损伤,因此不优选。此时蚀刻占优势的理由是因为:虽然中性金属原子能够到达晶片表面而有助于沉积,但中性金属原子因为垂直性低,所以无法到达凹部 2 的底部,在凹部 2 的底部,产生溅射的离子(Ar 离子)的量多于金属原子的量。在此,为了使说明简化,假定 1 个等离子体的离子使 1 个已经成膜的金属原子(或金属离子)飞出(被溅射)。

[0084] 另外,在本发明的成膜方法中,使金属膜沉积在凹部 2 的侧面上,因此,优选金属离子相对于晶片的垂直性低到某个程度。因此,与现有的成膜方法相比,将处理容器 14 内的压力维持得较高而使其为低真空状态(1 ~ 100mTorr、更优选为 3 ~ 10mTorr),使金属离子的平均自由程缩短。由此,金属离子与等离子体的离子碰撞的次数增加,从而能够降低其相对于晶片的垂直性。

[0085] 关于这一点,参照图 5 进行说明。图 5 是表示不同的偏置电力和处理压力下的金属离子的垂直性的图。在图 5 中,用 A、B 和 C 表示的各椭圆,表示在晶片表面在每单位面积上沉积的金属离子的量与其入射角的关系。即,当从原点 O 向各椭圆引直线时,从原点 O 到

其交点的长度为金属离子的量,与 X 轴所成的夹角为入射角。

[0086] 但是,在此要注意的是,金属离子相对于晶片表面垂直入射时的入射角为 0 度。在此,例如,椭圆 A 对应于以与图 3 的区域 A1 对应的偏置条件进行成膜的情况;椭圆 B 对应于处理压力为低真空并且以与区域 X1 对应的偏置条件进行成膜的情况;椭圆 C 对应于处理压力为高真空 (0.5mTorr 以下) 并且以与区域 X1 对应的偏置条件进行成膜的情况。另外,直线 L1、L2,如一并记载在图 5 的下部那样,表示以能够到达凹部 2 底部的金属离子的入射角的最大值即临界角 θ 向晶片入射的金属离子。

[0087] 在图 5 中,以小于临界角 θ 的角度向晶片 S 入射的金属离子,在凹部的侧面和底面上沉积。以大于临界角 θ 的角度向晶片 S 入射的金属离子,仅在凹部的侧面上沉积,入射角越大越优先沉积在凹部侧面的上侧。因此,为了在整个凹部侧面上高效率地成膜,与使用具有由椭圆 C 表示的垂直性的金属离子进行成膜相比,优选使用具有由椭圆 A 表示的垂直性的金属离子进行成膜,更优选使用具有由椭圆 B 表示的垂直性的金属离子进行成膜。这是因为,以临界角 θ 附近的入射角向晶片 S 入射的金属离子的量越多越优选。

[0088] 优选:不使偏置电力过大,使得由 TaN/Ta 膜构成的阻挡层 4 不会因等离子体中的离子 (Ar 离子) 的溅射而受到损伤。

[0089] 优选安装有铜金属靶的等离子体成膜装置 12 通过能够抽真空的传递腔室与安装有钽金属靶的另一个等离子体成膜装置 (阻挡层成膜用装置) 连接。由此,在阻挡层 4 成膜后,不用将半导体晶片 S 暴露于大气就能够将其搬入等离子体成膜装置 12。

[0090] 再次参照图 4,当铜的沉积进行下去时,如图 4(F) 所示,在填充在凹部 2 中的铜 (金属膜 6) 的上面中央部稍微残留有凹陷 72 的状态下,铜填满凹部 2 内的大致整个区域。在该状态下结束成膜处理。

[0091] 接着,从等离子体成膜装置 12 中取出晶片 S。然后,对成膜处理后的晶片 S 实施镀层处理,如图 4(G) 所示,在晶片 S 的整个上面形成由与金属膜 6 同种的金属构成的金属膜 74 (在该情况下为铜膜),使得完全填满凹陷 72。凹陷 72 比在图 8 的现有例中作为镀层处理的填充对象的凹部 2 浅得多,因此,能够通过简易的镀层处理、例如使用的添加剂种类较少的 2 元系镀层处理进行填充,而不需要进行 3 元系镀层那样特殊的镀层处理。

[0092] 另外,如图 4(G) 所示,利用镀层处理形成的金属膜 74 的厚度 H2 比图 8(C) 所示的金属膜 8 的厚度 H1 薄得多,因此,能够在短时间内简单地进行用于除去多余的膜的抛光处理。

[0093] 上述第一实施方式,在凹部 2 的宽度 (槽的情况下) 或直径 (孔的情况下) 的尺寸为几百 nm 以下的非常微小的情况下有效。然而,当凹部的宽度或直径远大于此的情况下、例如达到 20 ~ 100 μm 左右的情况下,通过将根据上述第一实施方式的成膜条件进行的成膜和根据其他成膜条件进行的成膜组合,可以有效地向凹部内填充金属。下面说明本发明方法的第二实施方式。图 6 是用于说明本发明方法的第二实施方式的各工序的部分放大截面图,图 7 是用于说明利用本发明方法的第二实施方式进行处理后的被处理体的用途的说明图。

[0094] 如图 7 所示,被处理体 S2 例如由硅基板等半导体晶片、或聚酰亚胺树脂等高分子树脂形成。被处理体 S2 例如是在将 IC 芯片 80 彼此叠层接合时插入芯片之间、用于实现两 IC 芯片 80 间的导通等的内插器 84 的基板。在被处理体 S2 上形成有宽度或直径较大的多

个凹部 82, 该凹部 82 被金属例如铜填充。该凹部 82 的深宽比例如为 5 以上, 非常大。在图 6 所示的一系列处理完成之后, 被处理体 S2 在凹部 82 的底部侧被切断, 成为图 7 所示的状态。另外, 在图 6 中, 省略了阻挡层的记载。

[0095] 凹部 82 的宽度或直径远远大于第一实施方式中的凹部 2, 因此, 在成膜速率较小的第一实施方式的处理条件下, 凹部 82 的填充需要较长时间, 不具有实用性。因此, 在第二实施方式中, 为了在包括凹部 82 侧面的内面上形成作为种子膜的金属膜、例如铜膜, 将在上述第一实施方式中使用的处理条件 (偏置电力) 与现有方法的处理条件 (偏置电力) 组合。

[0096] 如图 6(A) 所示, 首先, 在此, 作为第一成膜工序, 利用与现有的等离子体溅射成膜方法同样的处理条件, 形成由铜膜构成的金属膜 6A 作为种子膜。此时, 偏置电力被设定为与图 3 中的区域 A1 对应的值。即, 偏置电力被设定为使得在被处理体表面, 金属沉积速率远远大于溅射蚀刻速率。在这种情况下, 如以前参照图 8(B) 所说明的那样, 金属膜 6A 沉积在凹部 82 的底面上, 凹部 82 侧面的下部区域 B1 几乎没有金属膜附着。

[0097] 当第一成膜工序进行规定时间以后, 接着, 如图 6(B) 所示, 进行第二成膜工序。在该第二成膜工序中, 采用与先前的第一实施方式同样的处理条件 (偏置电力)。即, 在该第二成膜工序中, 偏置电力被设定在图 3 中的区域 A2 内, 例如被设定在区域 A3 或与点 X1 对应的值, 换句话说, 偏置电力被设定为使得在被处理体表面, 金属沉积速率与溅射蚀刻速率大致均衡。

[0098] 于是, 如以前参照图 4 所说明的那样, 在凹部 82 的内面上沉积由铜膜构成的金属膜 6B 作为种子膜。此时, 在先前的第一成膜工序中沉积在凹部 82 内的底部的金属膜 6A 被等离子体的离子撞击而飞散, 该飞散金属 70 附着并沉积在很近的侧方的区域 B1 上。因此, 通过进行该第二成膜工序, 在凹部 82 内的整个侧面上, 沉积有薄金属膜 6A、6B。通过各进行 1 次的第二成膜工序而在凹部 82 内的侧面上成膜的金属膜 6A、6B 非常薄, 因此, 为了使该膜厚增加, 交替地多次重复进行上述第一和第二成膜工序 (图 6(C) 和图 6(D))。在图示的例子中, 第一成膜工序进行了 3 次, 第二成膜工序进行了 2 次, 但是各成膜工序的次数并不限于此, 可以考虑生产量而决定。

[0099] 第二成膜工序利用溅射撞击凹部 82 底面上的金属膜以使其飞散, 因此, 在第二成膜工序之后, 有可能成为在凹部 82 的底面上几乎没有金属膜沉积的状态。因此, 重复交替进行的成膜工序, 如图 6(E) 所示, 以第一成膜工序结束。

[0100] 等离子体溅射成膜处理结束后, 接着如图 6(F) 所示进行镀层处理, 向凹部 82 内填充铜膜等金属膜 8。而且, 在图 6(E) 中, 凹部 82 的开口部看起来很窄, 但实际上, 开口尺寸远远大于在凹部 82 内面上形成的金属膜的膜厚, 因此在利用镀层填充凹部 82 时不会产生空隙。

[0101] 对于凹部 82 的填充结束之后的被处理体 S2, 利用抛光将位于其上面的不需要的金属膜除去。接着, 利用包括凹部 82 底面的截面, 将被处理体 S2 切断。由此, 能够形成图 7 所示的内插器 84。而且, 可以在内插器 84 的表面上形成配线用的槽, 并使用上述的成膜方法向该槽内填充金属。

[0102] 被处理体 S2 并不限于内插器 84 用的基板。例如, 在被处理体的上面形成螺旋状的槽 (凹部), 使用上述的第一实施方式或第二实施方式的成膜方法向上述槽中填充金

属,由此也能够形成感应线圈。

[0103] 此外,上述各实施方式中的各数值仅是一个例子,当然不限于这些。另外,在上述实施方式中,填充材料为铜,但并不限于此,能够使用例如 Al、W、Ti、Ru、Ta 等其他金属作为填充材料。

[0104] 另外,各高频电源的频率也不限定于 13.56MHz,也可以使用其他的频率,例如 27.0MHz。并且,作为等离子体用的不活泼气体,不限定于 Ar 气,也可以使用其他的不活泼气体,例如 He、Ne 等。并且,被处理体不限于半导体晶片,也可以是 LCD 基板、玻璃基板等。