



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I867000 B

(45)公告日：中華民國 113 (2024) 年 12 月 21 日

(21)申請案號：109121730

(22)申請日：中華民國 109 (2020) 年 06 月 24 日

(51)Int. Cl. : **H01L21/02 (2006.01)****H01L27/14 (2006.01)****H04N25/00 (2023.01)**

(30)優先權：2019/06/26 日本

2019-118481

(71)申請人：日商索尼半導體解決方案公司(日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

日本

(72)發明人：森茂貴 MORI, SHIGETAKA (JP)；高橋洋 TAKAHASHI, HIROSHI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 201839967A

US 2006/0001174A1

US 2013/0105871A1

審查人員：謝懷毅

申請專利範圍項數：12 項 圖式數：63 共 175 頁

(54)名稱

攝像裝置

(57)摘要

本揭示之一實施形態之攝像裝置具備：第 1 基板，其於第 1 半導體基板上具有構成感測器像素之光電轉換部及第 1 電晶體；第 2 基板，其積層於第 1 基板，係於第 2 半導體基板上具有構成感測器像素之第 2 電晶體，且具有於積層方向貫通之開口；貫通配線，其通過開口將第 1 基板與第 2 基板電性連接；及導電膜，其至少設置於第 2 半導體基板與貫通配線之間，且連接於固定電位。

指定代表圖：



I867000

【發明摘要】

【中文發明名稱】

攝像裝置

【中文】

本揭示之一實施形態之攝像裝置具備：第1基板，其於第1半導體基板上具有構成感測器像素之光電轉換部及第1電晶體；第2基板，其積層於第1基板，係於第2半導體基板上具有構成感測器像素之第2電晶體，且具有於積層方向貫通之開口；貫通配線，其通過開口將第1基板與第2基板電性連接；及導電膜，其至少設置於第2半導體基板與貫通配線之間，且連接於固定電位。

【指定代表圖】

圖13A

【代表圖之符號簡單說明】

100:第1基板

100S:半導體層

100T:配線層

114:n型半導體區域

115:p井層

120:焊墊部

120E:貫通電極

200:第2基板

200S:半導體層

200T:配線層

212:絕緣區域

220:屏蔽電極

AMP:放大電晶體

FD:浮動擴散區

G:閘極

S1:面

S2:面

TR:傳送電晶體

W1:第1配線層

W2:第2配線層

X:方向

Y:方向

Z:方向

【發明說明書】

【中文發明名稱】

攝像裝置

【技術領域】

【0001】

本揭示係關於一種具有三維構造之攝像裝置。

【先前技術】

【0002】

先前，二維構造之攝像裝置之每一像素之面積之細微化係藉由細微製程之導入或安裝密度之提高而實現。近年來，為實現攝像裝置之進而小型化及像素之高密度化，而開發出三維構造之攝像裝置。三維構造之攝像裝置中，係例如將具有複數個感測器像素之半導體基板，與具有對各感測器像素所得之信號進行處理之信號處理電路之半導體基板互相積層而成。

[先前技術文獻]

[專利文獻]

【0003】

[專利文獻1]日本專利特開2010-245506號公報

【發明內容】

[發明所欲解決之問題]

【0004】

然而，於三維構造之攝像裝置中，期望可靠性之提高。

【0005】

期望提供一種可提高可靠性之攝像裝置。

[解決問題之技術手段]

【0006】

本揭示之一實施形態之攝像裝置係具備如下者：第1基板，其於第1半導體基板上具有構成感測器像素之光電轉換部及第1電晶體；第2基板，其積層於第1基板，係於第2半導體基板上具有構成感測器像素之第2電晶體，且具有於積層方向貫通之開口；貫通配線，其通過開口將第1基板與第2基板電性連接；及導電膜，其至少設置於第2半導體基板與貫通配線之間，且連接於固定電位。

【0007】

本揭示之一實施形態之攝像裝置中，於第2半導體基板與通過設置於第2半導體基板之開口將第1基板與第2基板電性連接之貫通配線之間，形成連接於固定電位之導電膜。藉此，減低來自貫通配線之電場對設置於第2基板之電晶體之影響。

【圖式簡單說明】

【0008】

圖1係顯示本揭示之一實施形態之攝像裝置之功能構成之一例之方塊圖。

圖2係顯示圖1所示之攝像裝置之概略構成之俯視模式圖。

圖3係顯示沿圖2所示之III-III'線之剖面構成之模式圖。

圖4係圖1所示之像素共用單元之等效電路圖。

圖5係顯示複數個像素共用單元與複數條垂直信號線之連接態樣之一例之圖。

圖6係顯示圖3所示之攝像裝置之具體構成之一例之剖視模式圖。

圖7A係顯示圖6所示之第1基板之重要部分之平面構成之一例之模式圖。

圖7B係與圖7A所示之第1基板之重要部分一起顯示焊墊部之平面構成之模式圖。

圖8係顯示圖6所示之第2基板(半導體層)之平面構成之一例之模式圖。

圖9係與圖6所示之第1配線層一起顯示像素電路及第1基板之重要部分之平面構成之一例之模式圖。

圖10係顯示圖6所示之第1配線層及第2配線層之平面構成之一例之模式圖。

圖11係顯示圖6所示之第2配線層及第3配線層之平面構成之一例之模式圖。

圖12係顯示圖6所示之第3配線層及第4配線層之平面構成之一例之模式圖。

圖13A係顯示圖1所示之攝像裝置之重要部分之剖面構成之模式圖。

圖13B係顯示相對於圖13A所示之第2基板之主面為水平方向之平面構成之模式圖。

圖14係顯示未設置屏蔽電極之情形之 I_d - V_{gs} 特性之圖。

圖15係顯示設置屏蔽電極之情形之 I_d - V_{gs} 特性之圖。

圖16係用以針對輸入信號向圖3所示之攝像裝置輸入之路徑進行說明之模式圖。

圖17係用以針對圖3所示之攝像裝置之像素信號之信號路徑進行說明之模式圖。

圖18A係顯示本揭示之變化例1之攝像裝置之重要部分之剖面構成之模式圖。

圖18B係顯示相對於圖18A所示之第2基板之主面為水平方向之平面構成之模式圖。

圖19A係顯示本揭示之變化例2之攝像裝置之重要部分之剖面構成之模式圖。

圖19B係顯示相對於圖19A所示之第2基板之主面為水平方向之平面構成之模式圖。

圖20A係顯示本揭示之變化例3之攝像裝置之重要部分之剖面構成之模式圖。

圖20B係顯示相對於圖20A所示之第2基板之主面為水平方向之平面構成之模式圖。

圖21係顯示本揭示之第2實施形態之攝像裝置之重要部分之剖面構成之模式圖。

圖22係顯示相對於圖21所示之攝像裝置之第2基板之主面為水平方向之平面構成之一例之模式圖。

圖23A係說明圖21所示之攝像裝置之製造步驟之一例之剖視模式圖。

圖23B係顯示繼圖23A後之步驟之剖視模式圖。

圖23C係顯示繼圖23B後之步驟之剖視模式圖。

圖24係顯示本揭示之變化例4之攝像裝置之重要部分之剖面構成之一例之模式圖。

圖25A係說明圖24所示之攝像裝置之製造步驟之一例之剖視模式

圖。

圖25B係顯示繼圖25A後之步驟之剖視模式圖。

圖25C係顯示繼圖25B後之步驟之剖視模式圖。

圖26係顯示本揭示之變化例4之攝像裝置之重要部分之剖面構成之另一例之模式圖。

圖27係顯示圖8所示之第2基板(半導體層)之平面構成之一變化例之模式圖。

圖28係與圖27所示之像素電路一起顯示第1配線層及第1基板之重要部分之平面構成之模式圖。

圖29係與圖28所示之第1配線層一起顯示第2配線層之平面構成之一例之模式圖。

圖30係與圖29所示之第2配線層一起顯示第3配線層之平面構成之一例之模式圖。

圖31係與圖30所示之第3配線層一起顯示第4配線層之平面構成之一例之模式圖。

圖32係顯示圖7A所示之第1基板之平面構成之一變化例之模式圖。

圖33係顯示積層於圖32所示之第1基板之第2基板(半導體層)之平面構成之一例之模式圖。

圖34係與圖33所示之像素電路一起顯示第1配線層之平面構成之一例之模式圖。

圖35係與圖34所示之第1配線層一起顯示第2配線層之平面構成之一例之模式圖。

圖36係與圖35所示之第2配線層一起顯示第3配線層之平面構成之一

例之模式圖。

圖37係與圖36所示之第3配線層一起顯示第4配線層之平面構成之一例之模式圖。

圖38係顯示圖20所示之第1基板之平面構成之另一例之模式圖。

圖39係顯示積層於圖38所示之第1基板之第2基板(半導體層)之平面構成之一例之模式圖。

圖40係與圖39所示之像素電路一起顯示第1配線層之平面構成之一例之模式圖。

圖41係與圖40所示之第1配線層一起顯示第2配線層之平面構成之一例之模式圖。

圖42係與圖41所示之第2配線層一起顯示第3配線層之平面構成之一例之模式圖。

圖43係與圖42所示之第3配線層一起顯示第4配線層之平面構成之一例之模式圖。

圖44係顯示圖3所示之攝像裝置之另一例之剖視模式圖。

圖45係用以針對輸入信號向圖44所示之攝像裝置輸入之路徑進行說明之模式圖。

圖46係用以針對圖44所示之攝像裝置之像素信號之信號路徑進行說明之模式圖。

圖47係顯示圖6所示之攝像裝置之另一例之剖視模式圖。

圖48係顯示圖4所示之等效電路之另一例之圖。

圖49係顯示圖7A等所示之像素分離部之另一例之俯視模式圖。

圖50係顯示本揭示之變化例12之攝像裝置之構成例之厚度方向之剖

視圖。

圖51係顯示本揭示之變化例12之攝像裝置之構成例之厚度方向之剖

視圖。

圖52係顯示本揭示之變化例12之攝像裝置之構成例之厚度方向之剖

視圖。

圖53係顯示本揭示之變化例12之複數個像素單元之佈局例之水平方向之剖視圖。

圖54係顯示本揭示之變化例12之複數個像素單元之佈局例之水平方向之剖視圖。

圖55係顯示本揭示之變化例12之複數個像素單元之佈局例之水平方向之剖視圖。

圖56係顯示組合本揭示之變化例3與變化例12之攝像裝置之構成例之厚度方向之剖視圖。

圖57係顯示相對於圖56所示之第2基板之主面為水平方向之平面構成之模式圖。

圖58係顯示具備上述實施形態及其變化例之攝像裝置之攝像系統之概略構成之一例之圖。

圖59係顯示圖58所示之攝像系統之攝像順序之一例之圖。

圖60係顯示車輛控制系統之概略構成之一例之方塊圖。

圖61係顯示車外資訊檢測部及攝像部之設置位置之一例之說明圖。

圖62係顯示內視鏡手術系統之概略構成之一例之圖。

圖63係顯示相機頭及CCU之功能構成之一例之方塊圖。

【實施方式】

【0009】

以下，針對本揭示之一實施形態，參照圖式詳細說明。以下之說明係本揭示之一具體例，本揭示並非限定於以下之態樣。又，本揭示對於各圖所示之各構成要素之配置或尺寸、尺寸比等，亦並非限定於該等。另，說明之順序係如下所述。

1.第1實施形態(具有3個基板之積層構造，於第2半導體基板與貫通配線間具有屏蔽電極之攝像裝置)

2.變化例

2-1.變化例1(屏蔽電極延伸至第1半導體基板之例)

2-2.變化例2(於貫通配線周圍設有屏蔽電極之例)

2-3.變化例3(貫通配線周圍之屏蔽電極之一部分與第2基板之VSS接點相接之例)

3.第2實施形態(於第2半導體基板周圍設有遮蔽膜之例)

4.變化例4(遮蔽膜與貫通配線於第1基板與第2基板之接合面側連接之例)

5.變化例5(平面構成之例1)

6.變化例6(平面構成之例2)

7.變化例7(平面構成之例3)

8.變化例8(於像素陣列部之中央部具有基板間之接點部之例)

9.變化例9(具有平面型傳送電晶體之例)

10.變化例10(對1個像素電路連接1個像素之例)

11.變化例11(像素分離部之構成例)

12.變化例12(每複數個感測器像素設有1個并用接點之例)

13.適用例(攝像系統)

14.應用例

【0010】

<1.第1實施形態>

[攝像裝置之功能構成]

圖1係顯示本揭示之一實施形態之攝像裝置(攝像裝置1)之功能構成之一例之方塊圖。

【0011】

圖1之攝像裝置1包含例如輸入部510A、列驅動部520、時序控制部530、像素陣列部540、行信號處理部550、圖像信號處理部560及輸出部510B。

【0012】

像素陣列部540係像素541以陣列狀重複配置而成。更具體而言，包含複數個像素之像素共用單元539成為重複單位，其重複配置成包含列方向與行方向之陣列狀。另，本說明書中，為方便起見，有將列方向稱為H方向，將與列方向正交之行方向稱為V方向之情況。圖1之例中，1個像素共用單元539包含4個像素(像素541A、541B、541C、541D)。像素541A、541B、541C、541D分別具有光電二極體PD(圖示於後述之圖6等)。像素共用單元539係共用1個像素電路(後述之圖3之像素電路210)之單位。換言之，每4個像素(像素541A、541B、541C、541D)具有1個像素電路(後述之像素電路210)。藉由使該像素電路分時動作，而依序讀出像素541A、541B、541C、541D各者之像素信號。像素541A、541B、541C、541D配置為例如2列×2行。於像素陣列部540，與像素541A、

541B、541C、541D一起設有複數條列驅動信號線542及複數條垂直信號線(行讀出線)543。列驅動信號線542驅動像素陣列部540中於列方向並列排列之複數個像素共用單元539各者所含之像素541。驅動像素共用單元539中於列方向並列排列之各像素。以下參照圖4詳細說明，但於像素共用單元539設有複數個電晶體。為了分別驅動該等複數個電晶體，而於1個像素共用單元539連接有複數條列驅動信號線542。於垂直信號線(行讀出線)543連接有像素共用單元539。自像素共用單元539所含之像素541A、541B、541C、541D之各者經由垂直信號線(行讀出線)543讀出像素信號。

【0013】

列驅動部520包含：例如決定用以驅動像素之列的位置之列位址控制部，換言之列解碼器部；與產生用以驅動像素541A、541B、541C、541D之信號之列驅動電路部。

【0014】

行信號處理部550具備負載電路部，其連接於例如垂直信號線543，與像素541A、541B、541C、541D(像素共用單元539)形成源極隨耦電路。行信號處理部550亦可具有放大電路部，其將經由垂直信號線543自像素共用單元539讀出之信號放大。行信號處理部550亦可具有雜訊處理部。雜訊處理部中，例如進行光電轉換之結果，將系統之雜訊位準自自像素共用單元539讀出之信號中予以去除。

【0015】

行信號處理部550具有例如類比數位轉換器(ADC)。類比數位轉換器中，將自像素共用單元539讀出之信號或經上述雜訊處理之類比信號轉換

成數位信號。ADC包含例如轉換器部及計數器部。轉換器部中，將成轉換對象之類比信號及與其成比較對象之參照信號進行比較。計數器部中，計測直至轉換器部之比較結果反轉為止之時間。行信號處理部550亦可包含進行掃描讀出行之控制之水平掃描電路部。

【0016】

時序控制部530基於向裝置輸入之基準時脈信號或時序控制信號，向列驅動部520及行信號處理部550供給控制時序之信號。

【0017】

圖像信號處理部560係對光電轉換之結果所得之資料，換言之，攝像裝置1之攝像動作之結果所得之資料實施各種信號處理之電路。圖像信號處理部560包含例如圖像信號處理電路部及資料保持部。圖像信號處理部560亦可包含處理器部。

【0018】

圖像信號處理部560中執行之信號處理之一例為色調曲線修正處理，其於經AD轉換之攝像資料為拍攝昏暗被攝體之資料之情形時具有較多灰階，經AD轉換之攝像資料為拍攝明亮被攝體之資料之情形時減少灰階。該情形時，較佳為將應基於何種色調曲線修正攝像資料之灰階，或將色調曲線之特性資料預先記憶於圖像信號處理部560之資料保持部。

【0019】

輸入部510A係用以將例如上述基準時脈信號、時序控制信號及特性資料等自裝置外部輸入至攝像裝置1者。時序控制信號係例如垂直同步信號及水平同步信號等。特性資料係例如用以記憶於圖像信號處理部560之資料保持部者。輸入部510A包含例如輸入端子511、輸入電路部512、輸

入振幅變更部513、輸入資料轉換電路部514及電源供給部(未圖示)。

【0020】

輸入端子511係用以輸入資料之外部端子。輸入電路部512係用以將向輸入端子511輸入之信號擷取至攝像裝置1之內部者。輸入振幅變更部513中，由輸入電路部512擷取之信號之振幅變更為容易於攝像裝置1之內部利用之振幅。輸入資料轉換電路部514中，變更輸入資料之資料行之排列。輸入資料轉換電路部514例如由並串列轉換電路構成。該並串列轉換電路中，將作為輸入資料接收之串列信號轉換成並列信號。另，輸入部510A中，亦可省略輸入振幅變更部513及輸入資料轉換電路部514。電源供給部基於自外部供給至攝像裝置1之電源，供給於攝像裝置1之內部設定為需要之各種電壓之電源。

【0021】

攝像裝置1與外部之記憶體裝置連接時，亦可於輸入部510A設置接收來自外部之記憶體裝置之資料之記憶體介面電路。外部記憶體裝置為例如快閃記憶體、SRAM及DRAM等。

【0022】

輸出部510B將圖像資料輸出至裝置外部。該圖像資料為例如以攝像裝置1拍攝之圖像資料，及以圖像信號處理部560進行信號處理後之圖像資料等。輸出部510B包含例如輸出資料轉換電路部515、輸出振幅變更部516、輸出電路部517及輸出端子518。

【0023】

輸出資料轉換電路部515例如由並串列轉換電路構成，輸出資料轉換電路部515中，將於攝像裝置1內部使用之並列信號轉換成串列信號。輸

出振幅變更部516變更攝像裝置1之內部所用之信號之振幅。變更後之振幅之信號將容易於連接於攝像裝置1之外部之外部裝置中使用。輸出電路部517係將資料自攝像裝置1之內部向裝置外部輸出之電路，藉由輸出電路部517驅動與輸出端子518連接之攝像裝置1外部之配線。輸出端子518中，自攝像裝置1向裝置外部輸出資料。輸出部510B中，亦可省略輸出資料轉換電路部515及輸出振幅變更部516。

【0024】

攝像裝置1與外部之記憶體裝置連接時，亦可於輸出部510B設置向外部之記憶體裝置輸出資料之記憶體介面電路。外部之記憶體裝置例如為快閃記憶體、SRAM及DRAM等。

【0025】

[攝像裝置1之概略構成]

圖2及圖3係顯示攝像裝置1之概略構成之一例者。攝像裝置1具備3個基板(第1基板100、第2基板200、第3基板300)。圖2係模式性顯示第1基板100、第2基板200、第3基板300各者之平面構成者，圖3係模式性顯示互相積層之第1基板100、第2基板200及第3基板300之剖面構成。圖3係顯示沿圖2所示之III-III'線之剖面構成。攝像裝置1係使3個基板(第1基板100、第2基板200、第3基板300)貼合而構成之三維構造之攝像裝置。第1基板100包含半導體層100S及配線層100T。第2基板200包含半導體層200S及配線層200T。第3基板300包含半導體層300S及配線層300T。此處，為方便起見，將第1基板100、第2基板200及第3基板300之各基板所含之配線及其周圍之層間絕緣膜一起稱為設置於各個基板(第1基板100、第2基板200及第3基板300)之配線層(100T、200T、300T)。第1基板

100、第2基板200及第3基板300係依序積層，沿積層方向依序配置有半導體層100S、配線層100T、半導體層200S、配線層200T、配線層300T及半導體層300S。針對第1基板100、第2基板200及第3基板300之具體構成於下文敘述。圖3所示之箭頭表示光L向攝像裝置1之入射方向。本說明書中，為方便起見，以下之剖視圖中，有將攝像裝置1之光入射側稱為「下」、「下側」、「下方」，將與光入射側為相反側稱為「上」、「上側」、「上方」之情況。又，本說明書中，為方便起見，有對於具備半導體層與配線層之基板，將配線層之側稱為表面，將半導體層之側稱為背面之情況。另，說明書之記載不限於上述稱呼方法。攝像裝置1成為例如光自光電二極體所具有之第1基板100之背面側入射之背面照射型攝像裝置。

【0026】

像素陣列部540及像素陣列部540所含之像素共用單元539均使用第1基板100及第2基板200之兩者而構成。於第1基板100，設有像素共用單元539具有之複數個像素541A、541B、541C、541D。該等像素541之各者具有光電二極體(後述之光電二極體PD)及傳送電晶體(後述之傳送電晶體TR)。於第2基板200，設有像素共用單元539具有之像素電路(後述之像素電路210)。像素電路讀出自像素541A、541B、541C、541D各者之光電二極體經由傳送電晶體傳送之像素信號，或重設光電二極體。該第2基板200除了此種像素電路外，還具有於列方向延伸之複數條列驅動信號線542及於行方向延伸之複數條垂直信號線543。第2基板200進而具有於列方向延伸之電源線544(後述之電源線VDD等)。第3基板300具有例如輸入部510A、列驅動部520、時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B。列驅動部520係設置於例如第1基板100、第2

基板200及第3基板300之積層方向(以下，簡稱為積層方向)上，一部分與像素陣列部540重疊之區域。更具體而言，列驅動部520係設置於積層方向上，與像素陣列部540之H方向之端部附近重疊之區域(圖2)。行信號處理部550係設置於例如積層方向上，一部分與像素陣列部540重疊之區域。更具體而言，行信號處理部550係設置於積層方向上，與像素陣列部540之V方向之端部附近重疊之區域(圖2)。雖省略圖示，但輸入部510A及輸出部510B可配置於第3基板300以外之部分，亦可配置於例如第2基板200。或者，亦可於第1基板100之背面(光入射面)側設置輸入部510A及輸出部510B。另，設置於上述第2基板200之像素電路作為其他稱呼，亦有稱為像素電晶體電路、像素電晶體群、像素電晶體、像素讀出電路或讀出電路之情況。本說明書中，使用像素電路之稱呼。

【0027】

第1基板100與第2基板200係藉由例如貫通電極(後述之圖6之貫通電極120E、121E)電性連接。第2基板200與第3基板300係例如經由接點部201、202、301、302而電性連接。於第2基板200設有接點部201、202，於第3基板300設有接點部301、302。第2基板200之接點部201與第3基板300之接點部301相接，第2基板200之接點部202與第3基板300之接點部302相接。第2基板200具有設有複數個接點部201之接點區域201R，與設有複數個接點部202之接點區域202R。第3基板300具有設有複數個接點部301之接點區域301R，與設有複數個接點部302之接點區域302R。接點區域201R、301R係設置於積層方向上，像素陣列部540與列驅動部520之間(圖3)。換言之，接點區域201R、301R係設置於例如列驅動部520(第3基板300)與像素陣列部540(第2基板200)於積層方向重疊之區域，或其附近

區域。接點區域201R、301R係配置於例如此等區域中H方向之端部(圖2)。第3基板300中，例如於列驅動部520之一部分，具體而言，與列驅動部520之H方向之端部重疊之位置，設有接點區域301R(圖2、圖3)。接點部201、301係例如將設置於第3基板300之列驅動部520與設置於第2基板200之列驅動信號線542連接者。接點部201、301亦可例如將設置於第3基板300之輸入部510A與電源線544及基準電位線(後述之基準電位線VSS)連接。接點區域202R、302R係設置於積層方向上，像素陣列部540與行信號處理部550之間(圖3)。換言之，接點區域202R、302R係設置於例如行信號處理部550(第3基板300)與像素陣列部540(第2基板200)於積層方向重疊之區域，或其附近區域。接點區域202R、302R係配置於例如此等區域中V方向之端部(圖2)。第3基板300中，例如於行信號處理部550之一部分，具體而言，與行信號處理部550之V方向之端部重疊之位置，設有接點區域301R(圖2、圖3)。接點部202、302係例如用以將自像素陣列部540具有之複數個像素共用單元539之各者輸出之像素信號(對應於光電二極體之光電轉換結果產生之電荷量之信號)連接於設置於第3基板300之行信號處理部550者。像素信號自第2基板200送至第3基板300。

【0028】

圖3如上述，係攝像裝置1之剖視圖之一例。第1基板100、第2基板200、第3基板300係經由配線層100T、200T、300T而電性連接。例如，攝像裝置1具有將第2基板200與第3基板300電性連接之電性連接部。具體而言，以由導電材料形成之電極形成接點部201、202、301、302。導電材料係以例如銅(Cu)、鋁(Al)、金(Au)等之金屬材料形成。接點區域201R、202R、301R、302R藉由例如將作為電極形成之配線彼此直接接

合，而可將第2基板與第3基板電性連接，輸入及/或輸出第2基板200與第3基板300之信號。

【0029】

將第2基板200與第3基板300電性連接之電性連接部可設置於期望之部位。例如，如圖3中以接點區域201R、202R、301R、302R所述，亦可設置於積層方向上與像素陣列部540重疊之區域。又，亦可將電性連接部設置於積層方向上不與像素陣列部540重疊之區域。具體而言，亦可設置於積層方向上與配置於像素陣列部540外側之周邊部重疊之區域。

【0030】

於第1基板100及第2基板200，設有例如連接孔部H1、H2。連接孔部H1、H2貫通第1基板100及第2基板200(圖3)。連接孔部H1、H2係設置於像素陣列部540(或與像素陣列部540重疊之部分)之外側(圖2)。例如，連接孔部H1係配置於H方向上較像素陣列部540更外側，連接孔部H2係配置於V方向上較像素陣列部540更外側。例如，連接孔部H1到達至設置於第3基板300之輸入部510A，連接孔部H2到達至設置於第3基板300之輸出部510B。連接孔部H1、H2可為空洞，亦可至少一部分包含導電材料。例如，具有將接合線連接於作為輸入部510A及/或輸出部510B而形成之電極之構成。或者，具有將作為輸入部510A及/或輸出部510B而形成之電極與設置於連接孔部H1、H2之導電材料連接之構成。設置於連接孔部H1、H2之導電材料亦可嵌入於連接孔部H1、H2之一部分或全部，導電材料亦可形成於連接孔部H1、H2之側壁。

【0031】

另，圖3中設為於第3基板300設有輸入部510A、輸出部510B之構

造，但不限於此。例如，亦可藉由經由配線層200T、300T將第3基板300之信號送至第2基板200，而將輸入部510A及/或輸出部510B設置於第2基板200。同樣地，亦可藉由經由配線層100T、200T將第2基板200之信號送至第1基板100，而將輸入部510A及/或輸出部510B設置於第1基板100。

【0032】

圖4係顯示像素共用單元539之構成之一例之等效電路圖。像素共用單元539包含複數個像素541(圖4中，顯示像素541A、541B、541C、541D之4個像素541)；連接於該複數個像素541之1個像素電路210；及連接於像素電路210之垂直信號線543。像素電路210包含例如4個電晶體，具體而言，放大電晶體AMP、選擇電晶體SEL、重設電晶體RST及FD轉換增益切換電晶體FDG。如上所述，像素共用單元539藉由使1個像素電路210分時動作，而將像素共用單元539所含之4個像素541(像素541A、541B、541C、541D)各者之像素信號依序輸出至垂直信號線543。於複數個像素541連接有1個像素電路210，將該複數個像素541之像素信號藉由1個像素電路210分時輸出之態樣稱為「複數個像素541共用1個像素電路210」。

【0033】

像素541A、541B、541C、541D具有彼此共通之構成要素。以下，為了互相區別像素541A、541B、541C、541D之構成要素，而對像素541A之構成要素之符號末尾賦予識別編號1，對像素541B之構成要素之符號末尾賦予識別編號2，對像素541C之構成要素之符號末尾賦予識別編號3，對像素541D之構成要素之符號末尾賦予識別編號4。無需互相區別

像素541A、541B、541C、541D之構成要素之情形時，省略像素541A、541B、541C、541D之構成要素之符號末尾之識別編號。

【0034】

像素541A、541B、541C、541D具有例如光電二極體PD；與光電二極體PD電性連接之傳送電晶體TR；及電性連接於傳送電晶體TR之浮動擴散區FD。光電二極體PD(PD1、PD2、PD3、PD4)中，陰極電性連接於傳送電晶體TR之源極，陽極電性連接於基準電位線(例如接地)。光電二極體PD將入射之光進行光電轉換，產生對應於其受光量之電荷。傳送電晶體TR(傳送電晶體TR1、TR2、TR3、TR4)例如為n型CMOS(Complementary Metal Oxide Semiconductor，互補金屬氧化物半導體)電晶體。傳送電晶體TR中，汲極電性連接於浮動擴散區FD，閘極電性連接於驅動信號線。該驅動信號線係連接於1個像素共用單元539之複數條列驅動信號線542(參照圖1)中之一部分。傳送電晶體TR將光電二極體PD所產生之電荷傳送至浮動擴散區FD。浮動擴散區FD(浮動擴散區FD1、FD2、FD3、FD4)為形成於p型半導體層中之n型擴散層區域。浮動擴散區FD為暫時保持自光電二極體PD傳送之電荷之電荷保持機構，且為產生對應於其電荷量之電壓之電荷-電壓轉換機構。

【0035】

1個像素共用單元539所含之4個浮動擴散區FD(浮動擴散區FD1、FD2、FD3、FD4)互相電性連接，且電性連接於放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極。FD轉換增益切換電晶體FDG之汲極連接於重設電晶體RST之源極，FD轉換增益切換電晶體FDG之閘極連接於驅動信號線。該驅動信號線係連接於1個像素共用單元539之複數條

列驅動信號線542中之一部分。重設電晶體RST之汲極連接於電源線VDD，重設電晶體RST之閘極連接於驅動信號線。該驅動信號線係連接於1個像素共用單元539之複數條列驅動信號線542中之一部分。放大電晶體AMP之閘極連接於浮動擴散區FD，放大電晶體AMP之汲極連接於電源線VDD，放大電晶體AMP之源極連接於選擇電晶體SEL之汲極。選擇電晶體SEL之源極連接於垂直信號線543，選擇電晶體SEL之閘極連接於驅動信號線。該驅動信號線係連接於1個像素共用單元539之複數條列驅動信號線542中之一部分。

【0036】

若傳送電晶體TR成為接通狀態，則傳送電晶體TR將光電二極體PD之電荷傳送至浮動擴散區FD。傳送電晶體TR之閘極(傳送閘極TG)包含例如所謂縱型電極，如後述之圖6所示，自半導體層(後述之圖6之半導體層100S)之表面延伸設置至達到PD之深度。重設電晶體RST將浮動擴散區FD之電位重設為特定之電位。若重設電晶體RST成為接通狀態，則將浮動擴散區FD之電位重設為電源線VDD之電位。選擇電晶體SEL控制像素信號自像素電路210之輸出時序。放大電晶體AMP產生對應於保持於浮動擴散區FD之電荷的位準之電壓之信號，作為像素信號。放大電晶體AMP係經由選擇電晶體SEL連接於垂直信號線543。該放大電晶體AMP於行信號處理部550中，與連接於垂直信號線543之負載電路部(參照圖1)一起構成源極隨耦器。若選擇電晶體SEL成為接通狀態，則放大電晶體AMP將浮動擴散區FD之電壓經由垂直信號線543輸出至行信號處理部550。重設電晶體RST、放大電晶體AMP及選擇電晶體SEL例如為N型CMOS電晶體。

【0037】

FD轉換增益切換電晶體FDG係於變更浮動擴散區FD之電荷-電壓轉換之增益時使用。一般而言，昏暗處之攝影時，像素信號較小。基於 $Q=CV$ 進行電荷電壓轉換時，若浮動擴散區FD之電容(FD電容C)較大，則導致以放大電晶體AMP轉換成電壓時之V變小。另一方面，由於在明亮處，像素信號變大，故若不擴大FD電容C，則於浮動擴散區FD中，無法接收光電二極體PD之電荷。再者，為了不使以放大電晶體AMP轉換成電壓時之V過大(換言之，為了變小)，必須增大FD電容C。鑑於該等情況，將FD轉換增益切換電晶體FDG設為接通時，由於增加FD轉換增益切換電晶體FDG部分之閘極電容，故全體之FD電容C變大。另一方面，將FD轉換增益切換電晶體FDG設為斷開時，全體之FD電容C變小。如此，藉由接通斷開切換FD轉換增益切換電晶體FDG，而使FD電容C可變，可切換轉換效率。FD轉換增益切換電晶體FDG例如為N型CMOS電晶體。

【0038】

另，亦可為不設置FD轉換增益切換電晶體FDG之構成。此時，例如像素電路210以例如放大電晶體AMP、選擇電晶體SEL及重設電晶體RST之3個電晶體構成。像素電路210具有例如放大電晶體AMP、選擇電晶體SEL、重設電晶體RST及FD轉換增益切換電晶體FDG等像素電晶體之至少一者。

【0039】

選擇電晶體SEL亦可設置於電源線VDD與放大電晶體AMP之間。該情形時，重設電晶體RST之汲極電性連接於電源線VDD及選擇電晶體SEL之汲極。選擇電晶體SEL之源極電性連接於放大電晶體AMP之汲極，選擇電晶體SEL之閘極電性連接於列驅動信號線542(參照圖1)。放大電晶體

AMP之源極(像素電路210之輸出端)電性連接於垂直信號線543，放大電晶體AMP之閘極電性連接於重設電晶體RST之源極。另，雖省略圖示，但共用1個像素電路210之像素541之數亦可為4以外。例如，亦可2個或8個像素541共用1個像素電路210。

【0040】

圖5係顯示複數個像素共用單元539與垂直信號線543之連接態樣之一例者。例如，於行方向並列之4個像素共用單元539分成4個組群，於該4個組群之各者連接有垂直信號線543。圖5中為了使說明簡單，而顯示4個組群分別具有1個像素共用單元539之例，但4個組群亦可分別包含複數個像素共用單元539。如此，攝像裝置1中，於行方向並列之複數個像素共用單元539亦可分成包含1個或複數個像素共用單元539之組群。例如，於該組群之各者，連接有垂直信號線543及行信號處理部550，可自各個組群同時讀出像素信號。或者，攝像裝置1中，亦可於在行方向並列之複數個像素共用單元539連接1條垂直信號線543。此時，自連接於1條垂直信號線543之複數個像素共用單元539分時依序讀出像素信號。

【0041】

[攝像裝置1之具體構成]

圖6係顯示攝像裝置1之第1基板100、第2基板200及第3基板300之相對於主面垂直方向之剖面構成之一例者。圖6係為了容易理解構成要素之位置關係而模式性顯示者，亦可與實際之剖面不同。攝像裝置1中，依序積層有第1基板100、第2基板200及第3基板300。攝像裝置1進而於第1基板100之背面側(光入射面側)具有受光透鏡401。亦可於受光透鏡401與第1基板100間設置彩色濾光片層(未圖示)。受光透鏡401係設置於例如像素

541A、541B、541C、541D之各者。攝像裝置1為例如背面照射型攝像裝置。攝像裝置1具有配置於中央部之像素陣列部540，與配置於像素陣列部540之外側之周邊部540B。

【0042】

第1基板100自受光透鏡401側起，依序具有絕緣膜111、固定電荷膜112、半導體層100S及配線層100T。半導體層100S係由例如矽基板構成。半導體層100S例如於表面(配線層100T側之面)之一部分及其附近，具有p井層115，於此外之區域(較p井層115深之區域)，具有n型半導體區域114。例如，由該n型半導體區域114及p井層115構成pn接合型光電二極體PD。p井層115為p型半導體區域。

【0043】

圖7A係顯示第1基板100之平面構成之一例者。圖7A係主要顯示第1基板100之像素分離部117、光電二極體PD、浮動擴散區FD、VSS接點區域118及傳送電晶體TR之平面構成。使用圖6與圖7A，針對第1基板100之構成進行說明。

【0044】

於半導體層100S之表面附近，設有浮動擴散區FD及VSS接點區域118。浮動擴散區FD係由設置於p井層115內之n型半導體區域構成。像素541A、541B、541C、541D各者之浮動擴散區FD(浮動擴散區FD1、FD2、FD3、FD4)例如互相接近設置於像素共用單元539之中央部(圖7A)。細節於下文敘述，但該像素共用單元539所含之4個浮動擴散區(浮動擴散區FD1、FD2、FD3、FD4)係於第1基板100內(更具體而言，配線層100T內)，經由電性連接機構(後述之焊墊部120)互相電性連接。再者，

浮動擴散區FD係經由電性機構(後述之貫通電極120E)自第1基板連接至第2基板200(更具體而言，自配線層100T至配線層200T)。第2基板200(更具體而言，配線層200T之內部)中，藉由該電性機構，將浮動擴散區FD電性連接於放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極。

【0045】

VSS接點區域118係電性連接於基準電位線VSS之區域，與浮動擴散區FD隔離配置。例如，像素541A、541B、541C、541D中，於各像素之V方向之一端配置有浮動擴散區FD，於另一端配置有VSS接點區域118(圖7A)。VSS接點區域118係由例如p型半導體區域構成。VSS接點區域118連接於例如接地電位或固定電位。藉此，對半導體層100S供給基準電位。

【0046】

於第1基板100，與光電二極體PD、浮動擴散區FD及VSS接點區域118一起設有傳送電晶體TR。該光電二極體PD、浮動擴散區FD、VSS接點區域118及傳送電晶體TR係設置於像素541A、541B、541C、541D之各者。傳送電晶體TR係設置於半導體層100S之表面側(與光入射面側為相反側，第2基板200側)。傳送電晶體TR具有傳送閘極TG。傳送閘極TG包含例如與半導體層100S之表面對向之水平部分TGb，與設置於半導體層100S內之垂直部分TGa。垂直部分TGa於半導體層100S之厚度方向延伸。垂直部分TGa之一端與水平部分TGb相接，另一端設置於n型半導體區域114內。藉由將傳送電晶體TR由此種縱型電晶體構成，而不易產生像素信號之傳送不良，可提高像素信號之讀出效率。

【0047】

傳送閘極TG之水平部分TGb自與垂直部分TGa對向之位置，向例如H方向上像素共用單元539之中央部延伸(圖7A)。藉此，可使到達傳送閘極TG之貫通電極(後述之貫通電極TGV)之H方向之位置靠近於與浮動擴散區FD、VSS接點區域118連接之貫通電極(後述之貫通電極120E、121E)之H方向之位置。例如，設置於第1基板100之複數個像素共用單元539具有彼此相同之構成(圖7A)。

【0048】

於半導體層100S，設有將像素541A、541B、541C、541D互相分離之像素分離部117。像素分離部117係於半導體層100S之法線方向(相對於半導體層100S之表面垂直之方向)延伸而形成。像素分離部117係以互相隔開像素541A、541B、541C、541D之方式設置，具有例如柵格狀之平面形狀(圖7A、圖7B)。像素分離部117例如將像素541A、541B、541C、541D互相電性及光學分離。像素分離部117包含例如遮光膜117A及絕緣膜117B。遮光膜117A使用例如鎢(W)等。絕緣膜117B係設置於遮光膜117A與p井層115或n型半導體區域114之間。絕緣膜117B係由例如氧化矽(SiO)構成。像素分離部117具有例如FTI(Full Trench Isolation，全溝渠隔離)構造，貫通半導體層100S。雖未圖示，但像素分離部117不限於貫通半導體層100S之FTI構造。例如，亦可為不貫通半導體層100S之DTI(Deep Trench Isolation，深溝渠隔離)構造。像素分離部117於半導體層100S之法線方向延伸，形成於半導體層100S之一部分區域。

【0049】

於半導體層100S，設有例如第1釘札區域113及第2釘札區域116。第1釘札區域113係設置於半導體層100S之背面附近，配置於n型半導體區域

114與固定電荷膜112之間。第2釘札區域116係設置於像素分離部117之側面，具體而言，設置於像素分離部117與p井層115或n型半導體區域114之間。第1釘札區域113及第2釘札區域116係由例如p型半導體區域構成。

【0050】

於半導體層100S與絕緣膜111之間，設有具有負固定電荷之固定電荷膜112。藉由固定電荷膜112所感應之電場，而於半導體層100S之受光面(背面)側之界面，形成電洞蓄積層之第1釘札區域113。藉此，抑制因半導體層100S之受光面側之界面位準所致之暗電流之產生。固定電荷膜112係由例如具有負固定電荷之絕緣膜形成。作為具有該負固定電荷之絕緣膜之材料，列舉例如氧化鉛、氧化銻、氧化鋁、氧化鈦或氧化鉬。

【0051】

於固定電荷膜112與絕緣膜111之間，設有遮光膜117A。該遮光膜117A亦可與構成像素分離部117之遮光膜117A連續設置。該固定電荷膜112與絕緣膜111間之遮光膜117A例如選擇性設置於與半導體層100S內之像素分離部117對向之位置。絕緣膜111係以覆蓋該遮光膜117A之方式設置。絕緣膜111係由例如氧化矽構成。

【0052】

設置於半導體層100S與第2基板200間之配線層100T自半導體層100S側起，依序具有層間絕緣膜119、焊墊部120、121、鈍化膜122、層間絕緣膜123及接合膜124。傳送閘極TG之水平部分TGb係設置於例如該配線層100T。層間絕緣膜119係遍及半導體層100S之表面全面設置，與半導體層100S相接。層間絕緣膜119係由例如氧化矽膜構成。另，配線層100T之構成不限於上述，只要為具有配線與絕緣膜之構成即可。

【0053】

圖7B係與圖7A所示之平面構成一起顯示焊墊部120、121之構成。焊墊部120、121設置於層間絕緣膜119上之選擇性區域。焊墊部120係用以將像素541A、541B、541C、541D各者之浮動擴散區FD(浮動擴散區FD1、FD2、FD3、FD4)互相連接者。焊墊部120於例如每像素共用單元539，配置於俯視時像素共用單元539之中央部(圖7B)。該焊墊部120係以跨及像素分離部117之方式設置，與浮動擴散區FD1、FD2、FD3、FD4各者之至少一部分重疊配置(圖6、圖7B)。具體而言，焊墊部120相對於共用像素電路210之複數個浮動擴散區FD(浮動擴散區FD1、FD2、FD3、FD4)各者之至少一部分、與形成於共用該像素電路210之複數個光電二極體PD(光電二極體PD1、PD2、PD3、PD4)間之像素分離部117之至少一部分，形成於與相對於半導體層100S之表面垂直之方向重疊之區域。於層間絕緣膜119，設有用以將焊墊部120與浮動擴散區FD1、FD2、FD3、FD4電性連接之連接通孔120C。連接通孔120C係設置於像素541A、541B、541C、541D之各者。例如，藉由於連接通孔120C嵌入焊墊部120之一部分，而使焊墊部120與浮動擴散區FD1、FD2、FD3、FD4電性連接。

【0054】

焊墊部121係用以將複數個VSS接點區域118互相連接者。例如，設置於V方向上相鄰之一像素共用單元539之像素541C、541D之VSS接點區域118、與設置於另一像素共用單元539之像素541A、541B之VSS接點區域118係藉由焊墊部121而電性連接。焊墊部121係例如以跨及像素分離部117之方式設置，與該等4個VSS接點區域118各者之至少一部分重疊配

置。具體而言，焊墊部121相對於複數個VSS接點區域118各者之至少一部分、與形成於該複數個VSS接點區域118間之像素分離部117之至少一部分，形成於與相對於半導體層100S之表面垂直之方向重疊之區域。於層間絕緣膜119，設有用以將焊墊部121與VSS接點區域118電性連接之連接通孔121C。連接通孔121C係設置於像素541A、541B、541C、541D之各者。例如，藉由於連接通孔121C嵌入焊墊部121之一部分，而使焊墊部121與VSS接點區域118電性連接。例如，於V方向並列之複數個像素共用單元539各者之焊墊部120及焊墊部121係配置於H方向上大致相同位置(圖7B)。

【0055】

藉由設置焊墊部120，而於晶片全體中，可減少用以自各浮動擴散區FD連接至像素電路210(例如放大電晶體AMP之閘極電極)之配線。同樣地，藉由設置焊墊部121，而於晶片全體中，可減少向各VSS接點區域118供給電位之配線。藉此，可縮小晶片全體之面積，抑制經細微化之像素之配線間之電性干涉，及/或因零件件數削減而削減成本等。

【0056】

焊墊部120、121可設置於第1基板100、第2基板200之期望位置。具體而言，可將焊墊部120、121設置於配線層100T、半導體層200S之絕緣區域212之任一者。設置於配線層100T之情形時，亦可使焊墊部120、121與半導體層100S直接接觸。具體而言，亦可為焊墊部120、121與浮動擴散區FD及/或VSS接點區域118各者之至少一部分直接連接之構成。又，亦可為自連接於焊墊部120、121之浮動擴散區FD及/或VSS接點區域118之各者設置連接通孔120C、121C，於配線層100T、半導體層200S之絕緣

區域212之期望位置設置焊墊部120、121之構成。

【0057】

尤其，將焊墊部120、121設置於配線層100T之情形時，可減少連接於半導體層200S之絕緣區域212之浮動擴散區FD及/或VSS接點區域118之配線。藉此，可削減形成像素電路210之第2基板200中，用以形成用以自浮動擴散區FD連接於像素電路210之貫通配線之絕緣區域212之面積。藉此，可較大地確保形成像素電路210之第2基板200之面積。藉由確保像素電路210之面積，而可較大地形成像素電晶體，有助於因雜訊減低等之畫質提高。

【0058】

尤其，於像素分離部117使用FTI構造之情形時，由於浮動擴散區FD及/或VSS接點區域118較佳設置於各像素541，故藉由使用焊墊部120、121之構成，而可大幅削減連接第1基板100與第2基板200之配線。

【0059】

又，如圖7B，例如供複數個浮動擴散區FD連接之焊墊部120，與供複數個VSS接點區域118連接之焊墊部121係於V方向上直線狀交替配置。又，焊墊部120、121係形成於由複數個光電二極體PD、複數個傳送閘極TG或複數個浮動擴散區FD包圍之位置。藉此，形成複數個元件之第1基板100中，可自由配置浮動擴散區FD與VSS接點區域118以外之元件，可謀求晶片全體之佈局之效率化。又，可確保形成於各像素共用單元539之元件之佈局之對稱性，抑制各像素541之特性偏差。

【0060】

焊墊部120、121係由例如多晶矽(Poly Si)，更具體而言，由添加雜

質之摻雜多晶矽構成。焊墊部120、121較佳由多晶矽、鎢(W)、鈦(Ti)及氮化鈦(TiN)等耐熱性較高之導電性材料構成。藉此，將第2基板200之半導體層200S貼合於第1基板100後，可形成像素電路210。以下，針對該理由進行說明。另，以下之說明中，將使第1基板100與第2基板200之半導體層200S貼合後，形成像素電路210之方法稱為第1製造方法。

【0061】

此處，亦可考慮於第2基板200形成像素電路210後，將其貼合於第1基板100(以下稱為第2製造方法)。該第2製造方法中，於第1基板100之表面(配線層100T之表面)及第2基板200之表面(配線層200T之表面)之各者，預先形成電性連接用電極。若使第1基板100與第2基板200貼合，則與此同時，形成於第1基板100表面與第2基板200表面之各者之電性連接用電極彼此接觸。藉此，於第1基板100所含之配線與第2基板200所含之配線間形成電性連接。藉此，藉由設為使用第2製造方法之攝像裝置1之構成，而例如可對應於第1基板100與第2基板200各者之構成，使用適當之製程製造，可製造高品質、高性能之攝像裝置。

【0062】

此種第2製造方法中，使第1基板100與第2基板200貼合時，有因貼合用製造裝置而產生對位之誤差之情況。又，第1基板100及第2基板200具有例如直徑數十cm左右之大小，但使第1基板100與第2基板200貼合時，有於該第1基板100、第2基板200各部之微觀區域，產生基板伸縮之虞。該基板之伸縮係起因於基板彼此接觸之時序略微偏差。有因此種第1基板100及第2基板200之伸縮，而於形成於第1基板100表面及第2基板200表面各者之電性連接用電極之位置產生誤差之虞。第2製造方法中，較佳事先

採取為即使產生此種誤差，亦能使第1基板100及第2基板200各者之電極彼此接觸之對應。具體而言，考慮到上述誤差而預先增大第1基板100及第2基板200之電極之至少一者，較佳為兩者。因此，若使用第2製造方法，則使例如形成於第1基板100或第2基板200表面之電極之大小(基板平面方向之大小)大於自第1基板100或第2基板200之內部向表面朝厚度方向延伸之內部電極之大小。

【0063】

另一方面，藉由以耐熱性導電材料構成焊墊部120、121，而可使用上述第1製造方法。第1製造方法中，形成包含光電二極體PD及傳送電晶體TR等之第1基板100後，使該第1基板100與第2基板200(半導體層200S)貼合。此時，第2基板200為未形成構成像素電路210之主動元件及配線層等之圖案之狀態。由於第2基板200為形成圖案前之狀態，故假設使第1基板100與第2基板200貼合時，即使於其貼合位置產生誤差，亦不會因該貼合誤差，而於使第1基板100之圖案與第2基板200之圖案間之對位產生誤差。其原因在於，第2基板200之圖案係於使第1基板100與第2基板200貼合後才形成之故。另，於第2基板形成圖案時，例如於用以形成圖案之曝光裝置中，一面將形成於第1基板之圖案設為對位之對象一面形成圖案。根據上述理由，第1基板100與第2基板200之貼合位置之誤差於第1製造方法中，於製造攝像裝置1方面不成問題。根據同樣理由，因以第2製造方法產生之基板之伸縮所致之誤差亦於第1製造方法中，於製造攝像裝置1方面不成問題。

【0064】

第1製造方法中，如此使第1基板100與第2基板200(半導體層200S)貼

合後，於第2基板200上形成主動元件。其後，形成貫通電極120E、121E及貫通電極TGV(圖6)。該貫通電極120E、121E、TGV之形成中，例如自第2基板200之上方，使用利用曝光裝置之縮小投影曝光，形成貫通電極之圖案。由於使用縮小曝光投影，故即使假設於第2基板200與曝光位置之對位產生誤差，該誤差之大小於第2基板200中，亦僅為上述第2製造方法之誤差之數分之一(縮小曝光投影倍率之倒數)。藉此，藉由設為使用第1製造方法之攝像裝置1之構成，而使形成於第1基板100與第2基板200各者之元件彼此之對位變容易，可製造高品質、高性能之攝像裝置。

【0065】

使用此種第1製造方法製造之攝像裝置1具有與以第2製造方法製造之攝像裝置不同之特徵。具體而言，藉由第1製造方法製造之攝像裝置1中，例如貫通電極120E、121E、TGV自第2基板200至第1基板100，成為大致一定之粗細(基板平面方向之大小)。或者，貫通電極120E、121E、TGV具有錐形狀時，係具有一定傾斜度之錐形狀。具有此種貫通電極120E、121E、TGV之攝像裝置1易使像素541細微化。

【0066】

此處，若藉由第1製造方法製造攝像裝置1，因係於將第1基板100與第2基板200(半導體層200S)貼合後，於第2基板200形成主動元件，故主動元件之形成時所需之加熱處理之影響亦會波及至第1基板100。因此，如上述，較佳為對設置於第1基板100之焊墊部120、121，使用耐熱性較高之導電材料。例如，較佳為對焊墊部120、121使用較第2基板200之配線層200T所含之配線材之至少一部分熔點高(即耐熱性高)之材料。例如，對焊墊部120、121使用摻雜多晶矽、鎢、鈦或氮化鈦等耐熱性高之導電

材。藉此，可使用上述第1製造方法來製造攝像裝置1。

【0067】

鈍化膜122例如以覆蓋焊墊部120、121之方式，遍及半導體層100S之表面全面設置(圖6)。鈍化膜122係由例如氮化矽(SiN)膜構成。層間絕緣膜123隔著鈍化膜122覆蓋焊墊部120、121。該層間絕緣膜123係例如遍及半導體層100S之表面全面而設置。層間絕緣膜123係由例如氧化矽(SiO)膜構成。接合膜124係設置於第1基板100(具體而言，配線層100T)與第2基板200之接合面。即，接合膜124與第2基板200相接。該接合膜124係遍及第1基板100之主面全面而設置。接合膜124係由例如氮化矽膜或氧化矽膜構成。

【0068】

受光透鏡401例如隔著固定電荷膜112及絕緣膜111，與半導體層100S對向(圖6)。受光透鏡401係設置於例如與像素541A、541B、541C、541D各者之光電二極體PD對向之位置。

【0069】

第2基板200自第1基板100側起，依序具有半導體層200S及配線層200T。半導體層200S係以矽基板構成。半導體層200S中，遍及厚度方向設有井區域211。井區域211例如為p型半導體區域。於第2基板200，設有配置於每像素共用單元539之像素電路210。該像素電路210係設置於例如半導體層200S之表面側(配線層200T側)。攝像裝置1中，以第2基板200之背面側(半導體層200S側)面對第1基板100之表面側(配線層100T側)之方式，將第2基板200貼合於第1基板100。即，第2基板200以面對背(face to back)之方式貼合於第1基板100。

【0070】

圖8～圖12係模式性顯示第2基板200之平面構成之一例。圖8係顯示設置於半導體層200S之表面附近之像素電路210之構成。圖9係模式性顯示配線層200T(具體而言，後述之第1配線層W1)與連接於配線層200T之半導體層200S及第1基板100之各部之構成。圖10～圖12係顯示配線層200T之平面構成之一例。以下，使用圖6與圖8～圖12，針對第2基板200之構成進行說明。圖8及圖9中，以虛線表示光電二極體PD之外形(像素分離部117與光電二極體PD之邊界)，以點線表示與構成像素電路210之各電晶體之間極電極重疊部分之半導體層200S與元件分離區域213或絕緣區域212之邊界。與放大電晶體AMP之間極電極重疊之部分中，於通道寬度方向之一者，設有半導體層200S與元件分離區域213之邊界，及元件分離區域213與絕緣區域212之邊界。

【0071】

於第2基板200，設有將半導體層200S分斷之絕緣區域212，與設置於半導體層200S之厚度方向之一部分之元件分離區域213(圖6)。例如，於設置於H方向上相鄰2個像素電路210間之絕緣區域212，配置有連接於該2個像素電路210之2個像素共用單元539之貫通電極120E、121E及貫通電極TGV(貫通電極TGV1、TGV2、TGV3、TGV4)(圖9)。

【0072】

絕緣區域212具有與半導體層200S之厚度大致相同之厚度(圖6)。半導體層200S係藉由該絕緣區域212分斷。於該絕緣區域212，配置有貫通電極120E、121E及貫通電極TGV。絕緣區域212係由例如氧化矽構成。

【0073】

貫通電極120E、121E係於厚度方向貫通絕緣區域212而設置。貫通電極120E、121E之上端連接於配線層200T之配線(後述之第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)。該貫通電極120E、121E係貫通絕緣區域212、接合膜124、層間絕緣膜123及鈍化膜122而設置，其下端連接於焊墊部120、121(圖6)。貫通電極120E係用以將焊墊部120與像素電路210電性連接者。即，藉由貫通電極120E，將第1基板100之浮動擴散區FD電性連接於第2基板200之像素電路210。貫通電極121E係用以將焊墊部121與配線層200T之基準電位線VSS電性連接者。即，藉由貫通電極121E，將第1基板100之VSS接點區域118電性連接於第2基板200之基準電位線VSS。

【0074】

貫通電極TGV係於厚度方向貫通絕緣區域212而設置。貫通電極TGV之上端連接於配線層200T之配線。該貫通電極TGV係貫通絕緣區域212、接合膜124、層間絕緣膜123、鈍化膜122及層間絕緣膜119而設置，其下端連接於傳送閘極TG(圖6)。此種貫通電極TGV係用以將像素541A、541B、541C、541D各者之傳送閘極TG(傳送閘極TG1、TG2、TG3、TG4)與配線層200T之配線(列驅動信號線542之一部分，具體而言，後述之圖11之配線TRG1、TRG2、TRG3、TRG4)電性連接者。即，藉由貫通電極TGV，將第1基板100之傳送閘極TG電性連接於第2基板200之配線TRG，對傳送電晶體TR(傳送電晶體TR1、TR2、TR3、TR4)之各者發送驅動信號。

【0075】

絕緣區域212係用以將用以電性連接第1基板100與第2基板200之上

述貫通電極120E、121E及貫通電極TGV與半導體層200S絕緣設置之區域。例如，於設置於H方向上相鄰2個像素電路210(像素共用單元539)間之絕緣區域212，配置有連接於該2個像素電路210之貫通電極120E、121E及貫通電極TGV(貫通電極TGV1、TGV2、TGV3、TGV4)。絕緣區域212例如於V方向延伸設置(圖8、圖9)。此處，藉由設法配置傳送閘極TG之水平部分TGb，而與垂直部分TGa之位置相比，以貫通電極TGV之H方向之位置靠近貫通電極120E、121E之H方向之位置之方式配置(圖7A、圖9)。例如，貫通電極TGV係配置於H方向上，與貫通電極120E、121E大致相同之位置。藉此，可在於V方向延伸之絕緣區域212，統一設置貫通電極120E、121E及貫通電極TGV。作為其他配置例，亦可考慮僅在與垂直部分TGa重疊之區域設置水平部分TGb。該情形時，於垂直部分TGa之大致正上方形成貫通電極TGV，例如於各像素541之H方向及V方向之大致中央部配置貫通電極TGV。此時，貫通電極TGV之H方向之位置與貫通電極120E、121E之H方向之位置大幅偏離。為了與接近之半導體層200S電性絕緣，而於貫通電極TGV及貫通電極120E、121E周圍設置例如絕緣區域212。貫通電極TGV之H方向之位置與貫通電極120E、121E之H方向之位置大幅隔開之情形時，需要於貫通電極120E、121E、TGV各者之周圍獨立設置絕緣區域212。藉此，將半導體層200S較細地分斷。與其相比，在於V方向延伸之絕緣區域212統一配置貫通電極120E、121E及貫通電極TGV之佈局可增大半導體層200S之H方向之大小。藉此，可大幅確保半導體層200S之半導體元件形成區域之面積。藉此，例如可增大放大電晶體AMP之尺寸，抑制雜訊。

【0076】

像素共用單元539如參照圖4所說明，具有將設置於複數個像素541各者之浮動擴散區FD間電性連接，該等複數個像素541共用1個像素電路210之構造。並且，上述浮動擴散區FD間之電性連接係藉由設置於第1基板100之焊墊部120而完成(圖6、圖7B)。設置於第1基板100之電性連接部(焊墊部120)與設置於第2基板200之像素電路210係經由1個貫通電極120E而電性連接。作為其他構造例，亦可考慮將浮動擴散區FD間之電性連接部設置於第2基板200。該情形時，於像素共用單元539設置連接於浮動擴散區FD1、FD2、FD3、FD4各者之4個貫通電極。因此，第2基板200中，貫通半導體層200S之貫通電極之數增加，將該等貫通電極周圍絕緣之絕緣區域212變大。與其相比，於第1基板100設置焊墊部120之構造(圖6、圖7B)可減少貫通電極之數，縮小絕緣區域212。藉此，可大幅確保半導體層200S之半導體元件形成區域之面積。藉此，例如可增大放大電晶體AMP之尺寸，抑制雜訊。

【0077】

元件分離區域213係設置於半導體層200S之表面側。元件分離區域213具有STI(Shallow Trench Isolation，淺溝渠隔離)構造。該元件分離區域213中，半導體層200S係於厚度方向(相對於第2基板200之主面垂直之方向)被挖入，對該挖入嵌入絕緣膜。該絕緣膜係由例如氧化矽構成。元件分離區域213係對應於像素電路210之佈局，將構成像素電路210之複數個電晶體間元件分離者。半導體層200S(具體而言，井區域211)於元件分離區域213之下方(半導體層200S之深部)延伸。

【0078】

此處，參照圖7A、圖7B及圖8，說明第1基板100之像素共用單元539

之外形形狀(基板平面方向之外形形狀)與第2基板200之像素共用單元539之外形形狀之差異。

【0079】

攝像裝置1中，關於第1基板100及第2基板200之兩者，設有像素共用單元539。例如，設置於第1基板100之像素共用單元539之外形形狀與設置於第2基板200之像素共用單元539之外形形狀互不相同。

【0080】

圖7A、圖7B中，以一點鏈線表示像素541A、541B、541C、541D之外形線，以粗線表示像素共用單元539之外形形狀。例如，第1基板100之像素共用單元539係由H方向上相鄰配置之2個像素541(像素541A、541B)，與V方向上與其相鄰配置之2個像素541(像素541C、541D)構成。即，第1基板100之像素共用單元539係由相鄰之2列×2行之4個像素541構成，第1基板100之像素共用單元539具有大致正方形之外形形狀。像素陣列部540中，此種像素共用單元539向H方向以2像素間距(相當於2個量之像素541的間距)，且向V方向以2像素間距(相當於2個量之像素541的間距)相鄰排列。

【0081】

圖8及圖9中，以一點鏈線表示像素541A、541B、541C、541D之外形線，以粗線表示像素共用單元539之外形形狀。例如，第2基板200之像素共用單元539之外形形狀小於H方向上第1基板100之像素共用單元539，大於V方向上第1基板100之像素共用單元539。例如，第2基板200之像素共用單元539係於H方向上以相當於1個像素量之大小(區域)形成，於V方向上以相當於4個像素量之大小形成。即，第2基板200之像素共用單元

539係以相當於相鄰1列×4行排列之像素之大小形成，第2基板200之像素共用單元539具有大致長方形之外形形狀。

【0082】

例如，各像素電路210中，選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG依序於V方向並列配置(圖8)。藉由將各像素電路210之外形形狀如上述般設置為大致長方形狀，而可於一方向(圖8中V方向)並列配置4個電晶體(選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG)。藉此，可使放大電晶體AMP之汲極與重設電晶體RST之汲極共用一個擴散區域(連接於電源線VDD之擴散區域)。例如，亦可將各像素電路210之形成區域設置為大致正方形狀(參照後述之圖33)。該情形時，沿一方向配置2個電晶體，使放大電晶體AMP之汲極與重設電晶體RST之汲極共用一個擴散區域變困難。藉此，藉由將像素電路210之形成區域設置為大致長方形狀，而易使4個電晶體接近配置，可縮小像素電路210之形成區域。即，可進行像素之細微化。又，無需縮小像素電路210之形成區域時，可增大放大電晶體AMP之形成區域，抑制雜訊。

【0083】

例如，於半導體層200S之表面附近，除了選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG外，設有連接於基準電位線VSS之VSS接點區域218。VSS接點區域218係藉由例如p型半導體區域構成。VSS接點區域218係經由配線層200T之配線及貫通電極121E，電性連接於第1基板100(半導體層100S)之VSS接點區域118。該VSS接點區域218例如將元件分離區域213介隔於其間，設置於與FD轉換

增益切換電晶體FDG之源極相鄰之位置(圖8)。

【0084】

接著，參照圖7B及圖8，說明設置於第1基板100之像素共用單元539與設置於第2基板200之像素共用單元539之位置關係。例如，於第1基板100之V方向並列之2個像素共用單元539中，一(例如圖7B之紙面上側)像素共用單元539連接於在第2基板200之H方向並列之2個像素共用單元539中之一(例如圖8之紙面左側)像素共用單元539。例如，於第1基板100之V方向並列之2個像素共用單元539中，另一(例如圖7B之紙面下側)像素共用單元539連接於在第2基板200之H方向並列之2個像素共用單元539中之另一(例如圖8之紙面右側)像素共用單元539。

【0085】

例如，於第2基板200之H方向並列之2個像素共用單元539中，一像素共用單元539之內部佈局(電晶體等之配置)與使另一像素共用單元539之內部佈局於V方向及H方向反轉之佈局大致相等。以下，說明藉由該佈局獲得之效果。

【0086】

於第1基板100之V方向並列之2個像素共用單元539中，各個焊墊部120配置於像素共用單元539之外形形狀之中央部，即配置於像素共用單元539之V方向及H方向之中央部(圖7B)。另一方面，第2基板200之像素共用單元539如上述，由於具有V方向上較長之大致長方形之外形形狀，故例如連接於焊墊部120之放大電晶體AMP配置於自像素共用單元539之V方向中央向紙面上方偏離之位置。例如，於第2基板200之H方向並列之2個像素共用單元539之內部佈局相同時，一像素共用單元539之放大電晶

體AMP與焊墊部120(例如圖7B之紙面上側之像素共用單元539之焊墊部120)之距離變得比較短。但，另一像素共用單元539之放大電晶體AMP與焊墊部120(例如圖7B之紙面下側之像素共用單元539之焊墊部120)之距離變長。因此，有該放大電晶體AMP與焊墊部120之連接所需要之配線面積變大，像素共用單元539之配線佈局變複雜之虞。該情況可能對攝像裝置1之細微化帶來影響。

【0087】

相對於此，於第2基板200之H方向並列之2個像素共用單元539中，藉由使彼此之內部佈局至少於V方向反轉，而可縮短該等2個像素共用單元539之兩者之放大電晶體AMP與焊墊部120之距離。因此，與將於第2基板200之H方向並列之2個像素共用單元539之內部佈局設為相同之構成相比，易進行攝像裝置1之細微化。另，第2基板200之複數個像素共用單元539之各者之平面佈局於圖8所記載之範圍內為左右對稱，但若包含至後述之圖9所記載之第1配線層W1之佈局，則成為左右非對稱者。

【0088】

又，於第2基板200之H方向並列之2個像素共用單元539之內部佈局較佳為亦互相於H方向反轉。以下針對其理由進行說明。如圖9所示，於第2基板200之H方向並列之2個像素共用單元539分別連接於第1基板100之焊墊部120、121。例如，於在第2基板200之H方向並列之2個像素共用單元539之H方向之中央部(於H方向並列之2個像素共用單元539間)配置有焊墊部120、121。因此，藉由使於第2基板200之H方向並列之2個像素共用單元539之內部佈局亦互相於H方向反轉，而可縮小第2基板200之複數個像素共用單元539之各者與焊墊部120、121之距離。即，更易進行攝像

裝置1之細微化。

【0089】

又，第2基板200之像素共用單元539之外形線之位置亦可與第1基板100之像素功能單元539之任一外形線之位置不一致。例如，於第2基板200之H方向並列之2個像素共用單元539中，一(例如圖9之紙面左側)像素共用單元539中，V方向之一(例如圖9之紙面上側)外形線配置於對應之第1基板100之像素共用單元539(例如圖7B之紙面上側)之V方向之一外形線之外側。又，於第2基板200之H方向並列之2個像素共用單元539中，另一(例如圖9之紙面右側)像素共用單元539中，V方向之另一(例如圖9之紙面下側)外形線配置於對應之第1基板100之像素共用單元539(例如圖7B之紙面下側)之V方向之另一外形線之外側。如此，藉由互相配置第2基板200之像素共用單元539與第1基板100之像素共用單元539，而可縮短放大電晶體AMP與焊墊部120之距離。因此，易進行攝像裝置1之細微化。

【0090】

又，於第2基板200之複數個像素共用單元539間，彼此之外形線之位置亦可不一致。例如，於第2基板200之H方向並列之2個像素共用單元539係V方向之外形線之位置錯開配置。藉此，可縮短放大電晶體AMP與焊墊部120之距離。因此，易進行攝像裝置1之細微化。

【0091】

參照圖7B及圖9，針對像素陣列部540之像素共用單元539之重複配置進行說明。第1基板100之像素共用單元539具有H方向上2個量之像素541之大小，及V方向上2個量之像素541之大小(圖7B)。例如，第1基板100之像素陣列部540中，相當於該4個像素541之大小之像素共用單元539

向H方向以2像素間距(相當於2個量之像素541之間距)，且向V方向以2像素間距(相當於2個量之像素541之間距)鄰接重複排列。或者，亦可於第1基板100之像素陣列部540，設置像素共用單元539於V方向鄰接2個配置之一對像素共用單元539。第1基板100之像素陣列部540中，例如該一對像素共用單元539向H方向以2像素間距(相當於2個量之像素541之間距)，且向V方向以4像素間距(相當於4個量之像素541之間距)鄰接重複排列。第2基板200之像素共用單元539具有H方向上1個量之像素541之大小，及V方向上4個量之像素541之大小(圖9)。例如，於第2基板200之像素陣列部540，設有包含2個相當於該4個像素541之大小之像素共用單元539之一對像素共用單元539。該像素共用單元539係於H方向相鄰配置，且於V方向錯開配置。第2基板200之像素陣列部540中，例如該一對像素共用單元539向H方向以2像素間距(相當於2個量之像素541之間距)，且向V方向以4像素間距(相當於4個量之像素541之間距)無間隙鄰接重複排列。藉由此種像素共用單元539之重複配置，而可無間隙地配置像素共用單元539。因此，易進行攝像裝置1之細微化。

【0092】

放大電晶體AMP亦可具有例如平面構造，但較佳為例如通道區域具有凹凸構造，具有鰭(Fin)型等三維構造(例如Fin-FET (Field-Effect Transistor，鰭-場效電晶體)、Tri-Gate(三閘極)FET或雙閘極FET)(圖6)。藉此，實效之閘極寬度之大小變大，可抑制雜訊。選擇電晶體SEL、重設電晶體RST及FD轉換增益切換電晶體FDG具有例如平面構造。放大電晶體AMP亦可具有平面構造。或者，選擇電晶體SEL、重設電晶體RST或FD轉換增益切換電晶體FDG亦可具有三維構造。

【0093】

配線層200T包含例如鈍化膜221、層間絕緣膜222及複數條配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)。鈍化膜221例如與半導體層200S之表面相接，覆蓋半導體層200S之表面全面。該鈍化膜221覆蓋選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG各者之間極電極。層間絕緣膜222係設置於鈍化膜221與第3基板300之間。藉由該層間絕緣膜222，將複數條配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)分離。層間絕緣膜222係由例如氧化矽構成。

【0094】

於配線層200T，例如自半導體層200S側起，依序設有第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4及接點部201、202，該等係互相藉由層間絕緣膜222絕緣。於層間絕緣膜222設有複數個連接部，其等將第1配線層W1、第2配線層W2、第3配線層W3或第4配線層W4與該等之下層連接。連接部係於設置於層間絕緣膜222之連接孔埋設導電材料之部分。例如，於層間絕緣膜222，設有將第1配線層W1與半導體層200S之VSS接點區域218連接之連接部218V。例如，連接此種第2基板200之元件彼此之連接部之孔徑與貫通電極120E、121E及貫通電極TGV之孔徑不同。具體而言，連接第2基板200之元件彼此之連接孔之孔徑較佳為小於貫通電極120E、121E及貫通電極TGV之孔徑。以下針對其理由進行說明。設置於配線層200T內之連接部(連接部218V等)之深度小於貫通電極120E、121E及貫通電極TGV之深度。因此，連接部與貫通電極120E、121E及貫通電極TGV相比，更容易對連接孔嵌埋導電材。藉由使

該連接孔之孔徑小於貫通電極120E、121E及貫通電極TGV之孔徑，而易進行攝像裝置1之細微化。

【0095】

例如，貫通電極120E與放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極(具體而言，到達FD轉換增益切換電晶體FDG之源極之連接孔)係藉由第1配線層W1連接。第1配線層W1連接例如貫通電極121E與連接部218V，藉此，將半導體層200S之VSS接點區域218與半導體層100S之VSS接點區域118電性連接。

【0096】

接著，使用圖10～圖12，針對配線層200T之平面構成進行說明。圖10係顯示第1配線層W1及第2配線層W2之平面構成之一例者。圖11係顯示第2配線層W2及第3配線層W3之平面構成之一例者。圖12係顯示第3配線層W3及第4配線層W4之平面構成之一例者。

【0097】

例如，第3配線層W3包含於H方向(列方向)延伸之配線TRG1、TRG2、TRG3、TRG4、SELL、RSTL、FDGL(圖11)。該等配線相當於參照圖4說明之複數條列驅動信號線542。配線TRG1、TRG2、TRG3、TRG4分別係用以對傳送閘極TG1、TG2、TG3、TG4發送驅動信號者。配線TRG1、TRG2、TRG3、TRG4分別經由第2配線層W2、第1配線層W1及貫通電極120E，連接於傳送閘極TG1、TG2、TG3、TG4。配線SELL係用以對選擇電晶體SEL之閘極發送驅動信號者，配線RSTL係用以對重設電晶體RST之閘極發送信號者，配線FDGL係用以對FD轉換增益切換電晶體FDG之閘極發送信號者。配線SELL、RSTL、FDGL分別經由第

2配線層W2、第1配線層W1及連接部，連接於選擇電晶體SEL、重設電晶體RST、FD轉換增益切換電晶體FDG各者之間極。

【0098】

例如，第4配線層W4包含於V方向(行方向)延伸之電源線VDD、基準電位線VSS及垂直信號線543(圖12)。電源線VDD係經由第3配線層W3、第2配線層W2、第1配線層W1及連接部，連接於放大電晶體AMP之汲極及重設電晶體RST之汲極。基準電位線VSS係經由第3配線層W3、第2配線層W2、第1配線層W1及連接部218V，連接於VSS接點區域218。又，基準電位線VSS係經由第3配線層W3、第2配線層W2、第1配線層W1、貫通電極121E及焊墊部121，連接於第1基板100之VSS接點區域118。垂直信號線543係經由第3配線層W3、第2配線層W2、第1配線層W1及連接部，連接於選擇電晶體SEL之源極(Vout)。

【0099】

接點部201、202可設置於俯視時與像素陣列部540重疊之位置(例如圖3)，或者亦可設置於像素陣列部540外側之周邊部540B(例如圖6)。接點部201、202係設置於第2基板200之表面(配線層200T側之面)。接點部201、202係由例如Cu(銅)及Al(鋁)等金屬構成。接點部201、202露出於配線層200T之表面(第3基板300側之面)。接點部201、202使用於第2基板200與第3基板300之電性連接，及第2基板200與第3基板300之貼合。

【0100】

圖6係圖示於第2基板200之周邊部540B設有周邊電路之例。該周邊電路亦可包含列驅動部520之一部分或行信號處理部550之一部分等。又，如圖3所記載，亦可不於第2基板200之周邊部540B配置周邊電路，而

將連接孔部H1、H2配置於像素陣列部540附近。

【0101】

圖13A係模式性顯示本實施形態之攝像裝置1之重要部分即第1基板100與第2基板200經由貫通配線之電性連接部及其附近之剖面構成。圖13A中，作為一例，顯示將第1基板之浮動擴散區FD(具體而言，連接複數個浮動擴散區FD之焊墊部120)與第2基板200之像素電路210電性連接之貫通電極120E及配置於其附近之例如放大電晶體AMP附近之構成。圖13B係模式性顯示相對於圖13A所示之第2基板200之主面為水平方向之平面構成之一例。本實施形態中，於貫通電極120E等之配置於絕緣區域212之貫通配線，與設有放大電晶體AMP等之構成像素電路210之各電晶體之半導體層200S間，設有屏蔽電極220。該屏蔽電極220相當於本揭示之「導電膜」之一具體例。

【0102】

屏蔽電極220係用以減低施加於貫通配線之偏壓對構成像素電路210之各電晶體之影響者。屏蔽電極220係設置於絕緣區域212所配置之貫通配線與構成像素電路210之各電晶體間，例如貫通電極120E與放大電晶體AMP間。

【0103】

具體而言，屏蔽電極220係設置於貫通電極120E與放大電晶體AMP間之絕緣區域212。屏蔽電極220之一端(下端)貫通絕緣區域212，設置於第1基板100之層間絕緣膜123內。具體而言，屏蔽電極220之下端位於例如與貫通電極120E相同深度，即與焊墊部120之上表面相同高度。屏蔽電極220之另一端(上端)係延伸至第2基板200之配線層200T內，例如與第1

配線層W1相接。與屏蔽電極220相接之第1配線層W1係連接於例如接地(GND)電極，藉此對屏蔽電極220施加固定電位。

【0104】

例如如圖13B所示，貫通電極120E配置於跨及半導體層200S之放大電晶體AMP之閘極G之中心線A之延長線上之情形時，屏蔽電極220較佳以至少於水平方向上將閘極G與貫通電極120E之間分斷之方式形成。又，屏蔽電極220較佳為至少於垂直方向上自放大電晶體AMP之閘極G之上表面形成至半導體層200S之背面(面S2)。

【0105】

圖14係顯示未設置屏蔽電極220之情形之例如放大電晶體AMP之 I_d - V_{gs} 特性者。未設置屏蔽電極220之情形時，若對貫通配線(例如貫通電極TGV)施加+3.0 V之偏壓，則與未施加偏壓之狀態(斷開狀態：-2 V)相比，電流自汲極向源極流動。即可知，若對貫通電極TGV施加偏壓，則產生漏電流。

【0106】

圖15係顯示於貫通電極TGV與放大電晶體AMP間設有屏蔽電極220之情形之例如放大電晶體AMP之 I_d - V_{gs} 特性者。於貫通電極TGV與放大電晶體AMP間設有屏蔽電極220之情形時，顯示即使對貫通電極TGV施加+3.0 V之偏壓之狀態，與斷開狀態之 I_d - V_{gs} 特性亦無變化之特性。即，藉由於貫通電極TGV與放大電晶體AMP間設置屏蔽電極220，而可防止因施加於貫通電極TGV之偏壓之影響所致之電晶體特性之變動。

【0107】

屏蔽電極220可使用例如與貫通電極120E相同之材料，例如銅(Cu)或

鎢(W)形成。藉此，形成貫通電極120E時，可同時形成屏蔽電極220。又，若屏蔽電極220具有導電性，進而為耐熱性高之材料(例如600°C以上，更佳為850°C以上)，則可使用與貫通電極120E不同之材料。作為屏蔽電極220之材料，列舉例如石墨烯及過渡金屬硫族化合物(TMD)等二維材料或多晶矽(Poly Si)。

【0108】

另，本實施形態中，作為一例，顯示於貫通電極120E與放大電晶體AMP間設有屏蔽電極220之例，但本技術如圖15所示，亦可適用於其他貫通配線(例如貫通電極121E及貫通電極TGV)與構成其他像素電路210之電晶體(例如重設電晶體RST、選擇電晶體SEL及FD轉換增益切換電晶體FDG)之間，可獲得相同效果。

【0109】

第3基板300例如自第2基板200側起依序具有配線層300T及半導體層300S。例如，半導體層300S之表面係設置於第2基板200側。半導體層300S係以矽基板構成。於該半導體層300S之表面側之部分設有電路。具體而言，於半導體層300S之表面側之部分，設有例如輸入部510A、列驅動部520、時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B中之至少一部分。設置於半導體層300S與第2基板200間之配線層300T包含例如層間絕緣膜、藉由該層間絕緣膜分離之複數個配線層、及接點部301、302。接點部301、302露出於配線層300T之表面(第2基板200側之面)，接點部301與第2基板200之接點部201相接，接點部302與第2基板200之接點部202相接。接點部301、302係電性連接於形成於半導體層300S之電路(例如輸入部510A、列驅動部520、時序控制部530、行信號

處理部550、圖像信號處理部560及輸出部510B之至少任一者)。接點部301、302係由例如Cu(銅)及Al(鋁)等金屬構成。例如，外部端子TA經由連接孔部H1連接於輸入部510A，外部端子TB經由連接孔部H2連接於輸出部510B。

【0110】

此處，針對攝像裝置1之特徵進行說明。

【0111】

一般而言，攝像裝置包含光電二極體與像素電路作為主要構成。此處，若增大光電二極體之面積，則光電轉換之結果產生之電荷增加，其結果，像素信號之信號/雜訊比(S/N比)改善，攝像裝置可輸出更佳之圖像資料(圖像資訊)。另一方面，若增大像素電路所含之電晶體之尺寸(尤其放大電晶體之尺寸)，則像素電路所產生之雜訊減少，其結果，攝像信號之S/N比改善，攝像裝置可輸出更佳之圖像資料(圖像資訊)。

【0112】

但，將光電二極體與像素電路設置於同一半導體基板之攝像裝置中，認為若增大半導體基板有限之面積中光電二極體之面積，則導致配備於像素電路之電晶體之尺寸變小。又，認為若增大配備於像素電路之電晶體之尺寸，則導致光電二極體之面積變小。

【0113】

為了解決該等問題，例如本實施形態之攝像裝置1使用複數個像素541共用1個像素電路210，且共用之像素電路210與光電二極體PD重疊配置之構造。藉此，可實現儘可能增大半導體基板有限之面積中光電二極體PD之面積，儘可能增大配備於像素電路210之電晶體之尺寸。藉此，可改

善像素信號之S/N比，攝像裝置1可輸出更佳之圖像資料(圖像資訊)。

【0114】

實現複數個像素541共用1個像素電路210，將其與光電二極體PD重疊配置之構造時，自複數個像素541之各者之浮動擴散區FD延伸複數條連接於1個像素電路210之配線。為了較大確保形成像素電路210之半導體層200S之面積，例如可將該等延伸之複數條配線間互相連接，形成彙總為一條之連接配線。對於自VSS接點區域118延伸之複數條配線亦相同，可將延伸之複數條配線間互相連接，形成彙總為一條之連接配線。

【0115】

例如，認為若於形成像素電路210之半導體層200S中，形成將自複數個像素541之各者之浮動擴散區FD延伸之複數條配線間互相連接之連接配線，則導致形成像素電路210所含之電晶體之面積變小。同樣地，認為若將將自複數個像素541之各者之VSS接點區域118延伸之複數條配線間互相連接並彙總為一條之連接配線形成於形成像素電路210之半導體層200S，則由此導致形成像素電路210所含之電晶體之面積變小。

【0116】

為了解決該等問題，例如本實施形態之攝像裝置1可具備複數個像素541共用1個像素電路210，且將共用之像素電路210與光電二極體PD重疊配置之構造，即如下構造：於第1基板100設有將上述複數個像素541之各者之浮動擴散區FD間互相連接並彙總為一條之連接配線，與將配備於上述複數個像素541之各者之VSS接點區域118間互相連接並彙總為一條之連接配線。

【0117】

此處，作為用以於第1基板100設置將上述複數個像素541之各者之浮動擴散區FD間互相連接並彙總為一條之連接配線，與將配備於上述複數個像素541之各者之VSS接點區域118間互相連接並彙總為一條之連接配線之製造方法，若使用以上所述之第2製造方法，則例如可對應於第1基板100及第2基板200之各者之構成，使用適當製程製造，可製造高品質、高性能之攝像裝置。又，可以容易的製程形成第1基板100及第2基板200之連接配線。具體而言，使用上述第2製造方法之情形時，於第1基板100與第2基板200之成為貼合邊界面之第1基板100表面與第2基板200表面，分別設置連接於浮動擴散區FD之電極與連接於VSS接點區域118之電極。再者，較佳係以使第1基板100與第2基板200貼合時，即使設置於該等2個基板表面之電極間產生位置偏離，亦能使形成於該等2個基板表面之電極彼此接觸之方式，增大形成於該等2個基板表面之電極。該情形時，認為難以於配備於攝像裝置1之各像素之有限面積中配置上述電極。

【0118】

為了解決於第1基板100與第2基板200之貼合邊界面需要較大電極之問題，例如本實施形態之攝像裝置1可使用以上所述之第1製造方法，作為使複數個像素541共用1個像素電路210，且將共用之像素電路210與光電二極體PD重疊配置之製造方法。藉此，形成於第1基板100及第2基板200之各者之元件彼此之對位變容易，可製造高品質、高性能之攝像裝置。再者，可具備藉由使用該製造方法而產生之固有構造。即，具備依序積層有第1基板100之半導體層100S、配線層100T、第2基板200之半導體層200S及配線層200T之構造，換言之，具備以面對背積層第1基板100與第2基板200之構造，且具備貫通電極120E、121E，其自第2基板200之半導體層

200S之表面側貫通半導體層200S與第1基板100之配線層100T，到達第1基板100之半導體層100S之表面。

【0119】

於第1基板100設有將上述複數個像素541之各者之浮動擴散區FD間互相連接並彙總為一條之連接配線，與將上述複數個像素541之各者之VSS接點區域118間互相連接並彙總為一條之連接配線之構造中，若使用上述第1製造方法積層該構造與第2基板200，於第2基板200形成像素電路210，則有形成配備於像素電路210之主動元件時需要之加熱處理之影響波及形成於第1基板100之上述連接配線之可能性。

【0120】

因此，為了解決形成上述主動元件時之加熱處理之影響波及上述連接配線之問題，本實施形態之攝像裝置1較佳為對將上述複數個像素541之各者之浮動擴散區FD彼此互相連接並彙總為一條之連接配線，與將上述複數個像素541之各者之VSS接點區域118間互相連接並彙總為一條之連接配線，使用耐熱性較高之導電材料。具體而言，耐熱性高之導電材料可使用較第2基板200之配線層200T所含之配線材之至少一部分熔點高之材料。

【0121】

如此，例如本實施形態之攝像裝置1藉由具備(1)以面對背積層有第1基板100與第2基板200之構造(具體而言，依序積層有第1基板100之半導體層100S、配線層100T、第2基板200之半導體層200S及配線層200T之構造)；(2)設有自第2基板200之半導體層200S之表面側貫通半導體層200S與第1基板100之配線層100T，到達第1基板100之半導體層100S表面之貫

通電極120E、121E之構造；(3)以耐熱性高之導電材料形成將配備於複數個像素541之各者之浮動擴散區FD間互相連接並彙總為一條之連接配線，與將配備於複數個像素541之各者之VSS接點區域118間互相連接並彙總為一條之連接配線之構造，而於第1基板100與第2基板200之界面不具備較大電極，可於第1基板100，設置將配備於複數個像素541之各者之浮動擴散區FD間互相連接並彙總為一條之連接配線，與將配備於複數個像素541之各者之VSS接點區域118間互相連接並彙總為一條之連接配線。

【0122】

[攝像裝置1之動作]

接著，使用圖16及圖17，針對攝像裝置1之動作進行說明。圖16及圖17係對圖3追加表示各信號之路徑之箭頭者。圖16係以箭頭表示自外部輸入至攝像裝置1之輸入信號與電源電位及基準電位之路徑者。圖17係以箭頭表示自攝像裝置1輸出至外部之像素信號之信號路徑。例如，經由輸入部510A輸入至攝像裝置1之輸入信號(例如像素時脈及同步信號)向第3基板300之列驅動部520傳送，以列驅動部520製作列驅動信號。將該列驅動信號經由接點部301、201送至第2基板200。再者，該列驅動信號經由配線層200T內之列驅動信號線542，到達像素陣列部540之像素共用單元539之各者。將到達第2基板200之像素共用單元539之列驅動信號中，傳送閘極TG以外之驅動信號輸入至像素電路210，驅動像素電路210所含之各電晶體。將傳送閘極TG之驅動信號經由貫通電極TGV輸入至第1基板100之傳送閘極TG1、TG2、TG3、TG4，驅動像素541A、541B、541C、541D(圖16)。又，自攝像裝置1之外部將供給於第3基板300之輸入部510A(輸入端子511)之電源電位及基準電位經由接點部301、201送至第2

基板200，經由配線層200T內之配線供給於像素共用單元539之各者之像素電路210。亦將基準電位進而經由貫通電極121E，供給於第1基板100之像素541A、541B、541C、541D。另一方面，將以第1基板100之像素541A、541B、541C、541D經光電轉換之像素信號經由貫通電極120E，由每像素共用單元539送至第2基板200之像素電路210。將基於該像素信號之像素信號自像素電路210經由垂直信號線543及接點部202、302送至第3基板300。將該像素信號經第3基板300之行信號處理部550及圖像信號處理部560處理後，經由輸出部510B輸出至外部。

【0123】

[效果]

本實施形態中，於將絕緣區域212於厚度方向貫通之貫通配線(例如貫通電極120E)與構成像素電路210之電晶體(例如放大電晶體AMP)間，設置連接於固定電位(例如接地電極)之屏蔽電極220。藉此，遮蔽來自貫通電極120E之電場對放大電晶體AMP之影響。

【0124】

具有複數個感測器像素之半導體基板與具有對各感測器像素所得之信號進行處理之信號處理電路之半導體基板互相積層之三維構造之攝像裝置中，於構成信號處理電路之電晶體附近配置貫通配線。因此，構成信號處理電路之電晶體之通道部受到施加於貫通配線之偏壓之影響，與無配線之情形相比漏電流增加(參照圖14)。

【0125】

相對於此，本實施形態之攝像裝置1中，例如於貫通電極120E與構成像素電路210之例如放大電晶體AMP間，設置例如連接於接地電極之屏蔽

電極220。藉此，可遮蔽貫通電極120E之電場，減低對放大電晶體AMP之影響。即，可減低因施加於貫通電極120E之偏壓之有無或變化所致之電晶體特性之變動。

【0126】

根據以上，本實施形態中，於厚度方向上貫通絕緣區域212之貫通配線(例如貫通電極120E)與設置於半導體層200S之電晶體(例如放大電晶體AMP)間，設有連接於固定電位之屏蔽電極220，故藉由屏蔽電極220對於放大電晶體AMP遮蔽貫通電極120E之電場。藉此，減低因施加於貫通電極120E之偏壓所致之放大電晶體AMP之電晶體特性之變動。藉此，可提供具有較高可靠性之攝像裝置1。

【0127】

本實施形態中，像素541A、541B、541C、541D(像素共用單元539)與像素電路210係設置互不相同之基板(第1基板100及第2基板200)。藉此，與將像素541A、541B、541C、541D及像素電路210設置於同一基板之情形相比，可擴大像素541A、541B、541C、541D及像素電路210之面積。其結果，可增大藉由光電轉換所得之像素信號量，且減低像素電路210之電晶體雜訊。藉此，可改善像素信號之信號/雜訊比，攝像裝置1可輸出更佳之像素資料(圖像資訊)。又，可使攝像裝置1細微化(換言之，像素尺寸之縮小及攝像裝置1之小型化)。攝像裝置1藉由縮小像素尺寸，而可增加每單位面積之像素數，可輸出高畫質之圖像。

【0128】

又，攝像裝置1中，第1基板100及第2基板200係藉由設置於絕緣區域212之貫通電極120E、121E而互相電性連接。亦考慮例如將第1基板100

與第2基板200藉由焊墊電極彼此之接合而連接之方法，或藉由貫通半導體層之貫通配線(例如TSV(Thorough Si Via，矽通孔))而連接之方法。與此種方法相比，藉由於絕緣區域212設置貫通電極120E、121E，而可縮小第1基板100及第2基板200之連接所需要之面積。藉此，可縮小像素尺寸，使攝像裝置1更小型化。又，藉由每1像素之面積之更細微化，而可更提高解析度。無需晶片尺寸之小型化時，可擴大像素541A、541B、541C、541D及像素電路210之形成區域。其結果，可增大藉由光電轉換所得之像素信號量，且減低配備於像素電路210之電晶體之雜訊。藉此，可改善像素信號之信號/雜訊比，攝像裝置1可輸出更佳之像素資料(圖像資訊)。

【0129】

又，攝像裝置1中，像素電路210與行信號處理部550及圖像信號處理部560設置於互不相同之基板(第2基板200及第3基板300)。藉此，與將像素電路210與行信號處理部550及圖像信號處理部560形成於同一基板之情形相比，可擴大像素電路210之面積與行信號處理部550及圖像信號處理部560之面積。藉此，可減低行信號處理部550所產生之雜訊，或於圖像信號處理部560搭載更高度之圖像處理電路。藉此，改善像素信號之信號/雜訊比，攝像裝置1可輸出更佳之像素資料(圖像資訊)。

【0130】

又，攝像裝置1中，像素陣列部540係設置於第1基板100及第2基板200，且行信號處理部550及圖像信號處理部560係設置於第3基板300。又，連接第2基板200與第3基板300之接點部201、202、301、302係形成於像素陣列部540之上方。因此，接點部201、202、301、302可免於受到

自配備於像素陣列之各種配線對佈局上之干涉而可自由佈局。藉此，對於第2基板200與第3基板300之電性連接，可使用接點部201、202、301、302。藉由使用接點部201、202、301、302，使例如行信號處理部550及圖像信號處理部560之佈局自由度變高。藉此，可減低行信號處理部550所產生之雜訊，或於圖像信號處理部560搭載更高度之圖像處理電路。藉此，改善像素信號之信號/雜訊比，攝像裝置1可輸出更佳之像素資料(圖像資訊)。

【0131】

又，攝像裝置1中，像素分離部117貫通半導體層100S。藉此，藉由每1像素之面積細微化而相鄰像素(像素541A、541B、541C、541D)之距離接近之情形時，亦可抑制像素541A、541B、541C、541D間之混色。藉此，改善像素信號之信號/雜訊比，攝像裝置1可輸出更佳之像素資料(圖像資訊)。

【0132】

又，攝像裝置1中，每像素共用單元539設有像素電路210。藉此，與在像素541A、541B、541C、541D之各者設有像素電路210之情形相比，可增大構成像素電路210之電晶體(放大電晶體AMP、重設電晶體RST、選擇電晶體SEL、FD轉換增益切換電晶體FDG)之形成區域。藉此，藉由增大放大電晶體AMP之形成區域，而可抑制雜訊。藉此，改善像素信號之信號/雜訊比，攝像裝置1可輸出更佳之像素資料(圖像資訊)。

【0133】

再者，攝像裝置1中，將4個像素(像素541A、541B、541C、541D)之浮動擴散區FD(浮動擴散區FD1、FD2、FD3、FD4)電性連接之焊墊部

120係設置於第1基板100。藉此，與將此種焊墊部120設置於第2基板200之情形相比，可減少連接第1基板100與第2基板200之貫通電極(貫通電極120E)之數。因此，可縮小絕緣區域212，將構成像素電路210之電晶體之形成區域(半導體層200S)確保充分大小。藉此，可減低配備於像素電路210之電晶體之雜訊，改善像素信號之信號/雜訊比，攝像裝置1可輸出更佳之像素資料(圖像資訊)。

【0134】

又，本實施形態中，顯示對於第2基板200，可構成像素電路210之放大電晶體AMP、重設電晶體RST、選擇電晶體SEL形成於1個半導體層200S之例，但亦可將至少1個電晶體形成於半導體層200S-1，將剩餘電晶體形成於不同於半導體層100S及半導體層200S-1之半導體層200S-2。半導體層200S-2雖未圖示，但例如於半導體層200S-1(相當於半導體層200S)上形成絕緣層、連接部及連接配線，進而積層半導體層200S-2。該新的半導體層200S-2可積層於層間絕緣膜123之與積層於半導體層100S之面為相反側之面，可形成期望之電晶體。作為一例，可於半導體層200S-1形成放大電晶體AMP，將重設電晶體RST及/或選擇電晶體SEL形成於半導體層200S-2。

【0135】

又，亦可設置複數個新的半導體層，分別於其設置期望之像素電路210之電晶體。作為一例，可於半導體層200S-1形成放大電晶體AMP。再者，若於半導體層200S積層絕緣層、連接部及連接配線，進而積層半導體層200S-2，則可於半導體層200S-2形成重設電晶體RST。若於半導體層200S-2積層絕緣層、連接部及連接配線，進而積層半導體層200S-3，則

可於半導體層200S-3形成選擇電晶體SEL。形成於半導體層200S-1、200S-2、200S-3之電晶體亦可為構成像素電路210之任一電晶體。

【0136】

如此，藉由於第2基板200設置複數個半導體層之構成，而可縮小1個像素電路210所佔之半導體層200S之面積。若可縮小各像素電路210之面積，或使各電晶體細微化，則可縮小晶片之面積。又，可擴大可構成像素電路210之放大電晶體、重設電晶體、選擇電晶體中期望之電晶體之面積。尤其，藉由擴大放大電晶體之面積，亦可期待雜訊減低效果。

【0137】

另，如上所述，將像素電路210分配於複數個半導體層(例如半導體層200S-1、200S-1、200S-3)而形成之情形時，例如亦可於貫通電極120E與設置於各半導體層之各電晶體間，分別設置屏蔽電極220。

【0138】

以下，針對第2實施形態及變化例1~11進行說明。以下，對與上述第1實施形態相同之構成要素標註相同符號，適當省略其說明。

【0139】

<2.變化例>

(2-1.變化例1)

圖18A係模式性顯示上述第1實施形態之一變化例(變化例1)之攝像裝置(攝像裝置1A)之重要部分即第1基板100與第2基板200經由貫通配線之電性連接部及其附近之剖面構成。圖18B係模式性顯示相對於圖18A所示之第2基板200之主面為水平方向之平面構成之一例。本變化例之攝像裝置1A於屏蔽電極220延伸至第1基板100之半導體層100S表面之方面與上

述第1實施形態不同。

【0140】

本變化例之屏蔽電極220之一端(下端)貫通絕緣區域212及第1基板100之配線層100T，與半導體層100S之表面相接。屏蔽電極220之另一端(上端)與上述第1實施形態相同，延伸至第2基板200之配線層200T內，例如與第1配線層W1相接。與屏蔽電極220相接之第1配線層W1連接於例如接地(GND)電極，藉此，對屏蔽電極220施加固定電位。

【0141】

於屏蔽電極220相接之半導體層100S之表面，形成有例如p型半導體區域(例如VSS接點區域118)。

【0142】

本變化例之構成對於例如於浮動擴散區FD周圍形成VSS接點區域118之情況有用。即，可使用貫通電極121E作為屏蔽電極220。

【0143】

(2-2.變化例2)

圖19A係模式性顯示上述第1實施形態之一變化例(變化例2)之攝像裝置(攝像裝置1B)之重要部分即第1基板100與第2基板200經由貫通配線之電性連接部及其附近之剖面構成。圖19B係模式性顯示相對於圖19A所示之第2基板200之主面為水平方向之平面構成之一例。本變化例之攝像裝置1B於以包圍貫通電極120E之方式設置屏蔽電極220之方面與上述第1實施形態不同。

【0144】

本變化例之屏蔽電極220係以絕緣層介隔於其間，連續設置於貫通電

極120E周圍。屏蔽電極220之一端(下端)例如與上述變化例1相同，貫通第1基板100之配線層100T與半導體層100S之表面相接。屏蔽電極220之另一端(上端)與上述第1實施形態相同，延伸至第2基板200之配線層200T內，例如與第1配線層W1相接。與屏蔽電極220相接之第1配線層W1連接於例如接地(GND)電極，藉此，對屏蔽電極220施加固定電位。

【0145】

於屏蔽電極220相接之半導體層100S之表面，形成有例如p型半導體區域(例如VSS接點區域118)。本變化例中，與半導體層100S之表面相接之屏蔽電極220只要其至少一部分與設置於半導體層100S表面之例如VSS接點區域118相接即可。

【0146】

本變化例之構成對於例如於浮動擴散區FD周圍形成VSS接點區域118之情況有用。即，可使用貫通電極121E作為屏蔽電極220。又，本變化例中，由於以屏蔽電極220包圍貫通電極120E周圍，故除了上述第1實施形態之效果外，例如於貫通電極120E周圍配置有複數個電晶體(例如放大電晶體AMP、選擇電晶體SEL、重設電晶體RST及FD轉換增益切換電晶體FDG)之情形時，發揮可減低對貫通電極120E施加偏壓對全周圍之影響。

【0147】

(2-3.變化例3)

圖20A係模式性顯示上述第1實施形態之一變化例(變化例3)之攝像裝置(攝像裝置1C)之重要部分即第1基板100與第2基板200之經由貫通配線之電性連接部及其附近之剖面構成。圖20B係模式性顯示相對於圖20A所示之第2基板200之主面為水平方向之平面構成之一例。本變化例之攝像

裝置1C於包圍貫通電極120E之屏蔽電極220之一部分與形成於半導體層200S之表面附近之VSS接點區域218相接之方面與上述第1實施形態不同。

【0148】

如此，將設置於貫通電極120E周圍，與第1基板100之VSS接點區域118相接之屏蔽電極220之一部分與第2基板200之VSS接點區域218連接，從而可一起形成將VSS接點區域118及VSS接點區域218與電源線VSS電性連接之配線。藉此，與藉由另外拉繞例如第1配線層W1而實現第2基板之VSS接點區域218與上層配線(例如第1配線層W1等)之電性連接之情形相比，可使用半導體層200S作為其他電晶體之配置面積。即，除了上述第1實施形態之效果外，發揮可提高面積效率之效果。

【0149】

另，如上述第1實施形態所述，將像素電路210分配於複數個半導體層(例如半導體層200S-1、200S-2、200S-3)而形成之情形時，例如如對應於後述之變化例12之圖56及圖57所示，設有像素電晶體(例如放大電晶體AMP)之半導體層1211(相當於半導體層200S-1)中，屏蔽電極220貫通絕緣區域212，於設有其他像素電晶體(例如重設電晶體RST或選擇電晶體SEL等)之半導體層1221(相當於半導體層200S-2)中，亦可例如與VSS接點區域218相接。

【0150】

<3.第2實施形態>

圖21係模式性顯示本揭示之第2實施形態之攝像裝置(攝像裝置2)之重要部分即第1基板100與第2基板200經由貫通配線之電性連接部之剖面

構成。圖22係顯示相對於攝像裝置2之第2基板之主面為水平方向之平面構成之一例者，顯示俯視時之遮蔽膜230之形成位置。本實施形態之攝像裝置2係介隔絕緣膜於半導體層200S周圍形成遮蔽膜230者。該遮蔽膜230相當於本揭示之「導電膜」之一具體例。

【0151】

遮蔽膜230係用以減低施加於貫通配線之偏壓對構成像素電路210之各電晶體之影響者。遮蔽膜230係以絕緣膜介隔於其間，設置於構成第2基板200之半導體層200S周圍。具體而言，遮蔽膜230係設置於分斷半導體層200S之絕緣區域212。

【0152】

遮蔽膜230係配置於較設置於絕緣區域212之貫通配線(例如貫通電極120E、121E、貫通電極TGV)更接近半導體層200S之位置，貫通絕緣區域212。換言之，例如遮蔽膜230較佳為配置於俯視時，至半導體層200S之最短距離小於至貫通配線(例如貫通電極120E、121E、貫通電極TGV)之最短距離之位置。遮蔽膜230例如連接於接地(GND)電極，對遮蔽膜230施加固定電位。藉此，可遮蔽對貫通配線施加偏壓時產生之來自貫通配線之電場。遮蔽膜230與半導體層200S之距離，即遮蔽膜230與半導體層200S間之絕緣膜之厚度只要可確保遮蔽膜230與半導體層200S之絕緣性即可。

【0153】

遮蔽膜230可使用例如與貫通電極120E相同之材料，例如使用銅(Cu)或鎢(W)而形成。藉此，可於形成貫通電極120E時同時形成。又，若遮蔽膜230具有導電性，進而為耐熱性高之材料(例如600°C以上，更佳為850°C

以上)，則亦可使用與貫通電極120E不同之材料形成。作為遮蔽膜230之材料，列舉例如石墨烯及過渡金屬硫族化合物(TMD)等二維材料或多晶矽(Poly Si)。

【0154】

此種攝像裝置2例如可如下製造。圖23A～圖23C係顯示攝像裝置2之製造步驟之一例者。

【0155】

首先，於第1基板100(層間絕緣膜123)上經由接合膜124貼合半導體層200S，視需要將半導體層200S薄壁化後，將半導體層200S分離，形成構成絕緣區域212及元件分離區域213之開口。接著，以嵌入開口之方式，形成絕緣膜(例如氧化矽膜)，形成絕緣區域212及元件分離區域213。

【0156】

接著，如圖23A所示，於絕緣區域212之半導體層200S附近，形成貫通絕緣區域212之開口212H。接著，如圖23B所示，於開口212H嵌入例如多晶矽(Poly Si)，形成遮蔽膜230。又，雖未圖示，但將遮蔽膜230連接於接地(GND)電極。

【0157】

接著，如圖23C所示，於半導體層200S及絕緣區域212上形成鈍化膜221及層間絕緣膜222後，於絕緣區域212之特定位置(例如與焊墊部120、121及傳送閘極TG對向之位置)，分別形成到達焊墊部120、121及傳送閘極TG之貫通孔，藉由對該貫通孔嵌入例如鎢(W)，而於貫通孔內形成貫通電極120E、121E及貫通電極TGV。藉此，形成經由圖21所示之遮蔽膜230及第1基板100與第2基板200之貫通配線之電性連接部。

【0158】

如上所述，本實施形態中，以包圍半導體層200S之方式，將遮蔽膜230設置於將形成有構成像素電路210之各電晶體(例如放大電晶體AMP、重設電晶體RST、選擇電晶體SEL及FD轉換增益切換電晶體FDG)之半導體層200S分斷之絕緣區域212。藉此，可遮蔽來自設置於絕緣區域212之貫通配線(例如貫通電極120E、121R及貫通電極TGV)之電場對各電晶體之通道區域之影響，減低雜訊之產生。藉此，可提供具有較高可靠性之攝像裝置2。

【0159】

另，如上述第1實施形態所述，將像素電路210分配於複數個半導體層(例如半導體層200S-1、200S-2、200S-3)而形成之情形時，遮蔽膜230亦可分別設置於各半導體層。

【0160】**<4.變化例4>**

圖24係模式性顯示上述第2實施形態之一變化例(變化例4)之攝像裝置(攝像裝置2A)之重要部分，即第1基板100與第2基板200之經由貫通配線之電性連接部之剖面構成。本變化例之攝像裝置2A於將遮蔽膜230與貫通配線層100T之貫通電極421E在與第1基板100之接合面側電性連接之點上，與上述第2實施形態不同。

【0161】

本變化例之遮蔽膜230在與將複數個VSS接點區域118互相連接之焊墊部121大致對向之位置上，例如遮蔽膜230經由於第1基板100與第2基板200之接合面延伸之配線230E，與貫通電極421E連接。貫通電極421E係

貫通配線層100T之貫通配線，設置於連接複數個VSS接點區域118之焊墊部121上。又，本變化例之遮蔽膜230與設置於半導體層200S之VSS接點區域218電性連接。

【0162】

藉此，遮蔽膜230經由VSS接點區域218與設置於配線層200T之電源線VSS電性連接。再者，第1基板100之VSS接點區域118係經由VSS接點區域218、遮蔽膜230及貫通電極421E電性連接。另，遮蔽膜230與VSS接點區域218電性連接之情形時，各遮蔽膜230係互相電性連接。其連接方法雖於圖中未顯示，但例如可於半導體層200S內平面連接，亦可以形成於配線層200T內之接點互相電性連接。

【0163】

此種攝像裝置2A例如可如下製造。圖25A～圖25C係顯示攝像裝置2A之製造步驟之一例者。

【0164】

首先，於第1基板100(層間絕緣膜123)上經由接合膜124貼合半導體層200S，視需要將半導體層200S薄壁化後，將半導體層200S分離，形成構成絕緣區域212及元件分離區域213之開口212H。接著，如圖25A所示，藉由例如熱氧化，而於半導體層200S之表面形成絕緣膜(氧化矽膜)。又，形成將配線層100T貫通至焊墊部121之開口100TH。

【0165】

接著，如圖25B所示，於開口212H及開口100TH嵌入例如多晶矽(Poly Si)後，將期望之區域以外去除，形成遮蔽膜230及自遮蔽膜230連續之配線230E及貫通電極421E。

【0166】

接著，如圖25C所示，以嵌入開口212H之方式形成絕緣膜(例如氧化矽膜)後，依序形成鈍化膜221及層間絕緣膜222。接著，於絕緣區域212之特定位置(例如與焊墊部120及傳送閘極TG對向之位置)，分別形成到達焊墊部120及傳送閘極TG之貫通孔，於該貫通孔嵌入例如鎢(W)，形成貫通電極120E及貫通電極TGV。藉此，形成具有圖24所示構成之攝像裝置2A。

【0167】

又，上述製造步驟中，已顯示於預先形成有元件分離區域213之半導體層200S形成遮蔽膜230及貫通電極421E之例，但元件分離區域213亦可於形成遮蔽膜230及貫通電極421E，以絕緣膜埋設開口212H後形成。

【0168】

如上所述，本變化例中，將遮蔽膜230與貫通配線層100T之貫通電極421E於第1基板100側連接，經由第2基板200之VSS接點區域218、遮蔽膜230、貫通電極421E及焊墊部121，進行第1基板100之VSS接點區域118與電源線VSS之電性連接。藉此，如上述第2實施形態，可削減形成貫通絕緣區域212之貫通電極121E部分之絕緣區域212之面積。即，除了上述第2實施形態之效果外，可提高面積效率。

【0169】

另，本變化例中，已顯示將貫通電極421E與遮蔽膜230於第1基板100與第2基板200之接合面側連接，將第1基板100之VSS接點區域118與第2基板200之VSS接點區域218經由貫通電極421E及遮蔽膜230電性連接之例，但本技術亦可適用於其他貫通配線。

【0170】

具體而言，例如如圖26所示，亦可將複數個浮動擴散區FD設置於互相連接之焊墊部120上，設置貫通配線層100T之貫通電極420E，將該貫通電極420E與遮蔽膜230於第1基板100與第2基板200之接合面側連接。藉此，由於浮動擴散區FD與放大電晶體AMP之閘極係經由遮蔽膜230、貫通電極420E及焊墊部120電性連接，故可削減形成貫通絕緣區域212之貫通電極120E部分之絕緣區域212之面積。即，除了形成貫通電極121E部分之面積外，可削減形成貫通電極120E之面積。即，可提高面積效率。

【0171】

又，由於可削減自第1基板100之配線層100T至第2基板200之配線層200T貫通之貫通配線之數及互相並行之高度，故可減低產生於各貫通配線間之寄生電容。

【0172】

另，如本變化例，將連接於VSS接點區域118之貫通電極421E與遮蔽膜230電性連接較困難之情形時，較佳為於遮蔽膜230另外形成與VSS接點區域118或VSS接點區域218電性連接之接點配線。藉此，可遮蔽自設置於絕緣區域212之貫通配線(例如貫通電極120E、121R及貫通電極TGV)之電場對各電晶體之通道區域之影響，減低雜訊之產生。

【0173】

<5.變化例5>

圖27～圖31係顯示上述實施形態之攝像裝置1之平面構成之一變化例者。圖27係模式性顯示第2基板200之半導體層200S之表面附近之平面構成，與上述實施形態說明之圖8對應。圖28係模式性顯示第1配線層W1與

連接於第1配線層W1之半導體層200S及第1基板100之各部之構成，與上述實施形態說明之圖9對應。圖29係顯示第1配線層W1及第2配線層W2之平面構成之一例，與上述實施形態說明之圖10對應。圖30係顯示第2配線層W2及第3配線層W3之平面構成之一例，與上述實施形態說明之圖11對應。圖31係顯示第3配線層W3及第4配線層W4之平面構成之一例，與上述實施形態說明之圖12對應。

【0174】

本變化例中，如圖28所示，於第2基板200之H方向並列之2個像素共用單元539中，一(例如紙面右側)像素共用單元539之內部佈局成為使另一(例如紙面左側)像素共用單元539之內部佈局僅於H方向反轉之構成。又，一像素共用單元539之外形線與另一像素共用單元539之外形線間之V方向之偏移大於上述實施形態說明之偏移(圖9)。如此，藉由增大V方向之偏移，而可縮小另一像素共用單元539之放大電晶體AMP與連接於其之焊墊部120(於圖7B記載之V方向並列之2個像素共用單元539中另一(紙面下側)焊墊部120)間之距離。藉由此種佈局，圖27～圖31所記載之攝像裝置1之變化例5不使於H方向並列之2個像素共用單元539之平面佈局互相於V方向反轉，而可將其面積設為與上述實施形態說明之第2基板200之像素共用單元539之面積相同。另，第1基板100之像素共用單元539之平面佈局與上述實施形態說明之平面佈局(圖7A、圖7B)相同。因此，本變化例之攝像裝置1可獲得與上述實施形態說明之攝像裝置1相同之效果。第2基板200之像素共用單元539之配置並非限定於上述實施形態及本變化例說明之配置。

【0175】

<6.變化例6>

圖32～圖37係顯示上述實施形態之攝像裝置1之平面構成之一變化例者。圖32係模式性顯示第1基板100之平面構成，與上述實施形態說明之圖7A對應。圖33係模式性顯示第2基板200之半導體層200S之表面附近之平面構成，與上述實施形態說明之圖8對應。圖34係模式性顯示第1配線層W1與連接於第1配線層W1之半導體層200S及第1基板100之各部之構成，與上述實施形態說明之圖9對應。圖35係顯示第1配線層W1及第2配線層W2之平面構成之一例，與上述實施形態說明之圖10對應。圖36係顯示第2配線層W2及第3配線層W3之平面構成之一例，與上述實施形態說明之圖11對應。圖37係顯示第3配線層W3及第4配線層W4之平面構成之一例，與上述實施形態說明之圖12對應。

【0176】

本變化例中，各像素電路210之外形具有大致正方形之平面形狀(圖33等)。該方面上，本變化例之攝像裝置1之平面構成與上述實施形態說明之攝像裝置1之平面構成不同。

【0177】

例如，第1基板100之像素共用單元539與上述實施形態說明者相同，係遍及2列×2行像素區域形成，具有大致正方形之平面形狀(圖32)。例如，各個像素共用單元539中，一像素行之像素541A及像素541C之傳送閘極TG1、TG3之水平部分TGb自與垂直部分TGa重疊之位置向H方向上朝向像素共用單元539之中央部之方向(更具體而言，朝向像素541A、541C之外緣之方向，且朝向像素共用單元539之中央部之方向)延伸，另一像素行之像素541B及像素541D之傳送閘極TG2、TG4之水平部分TGb

自與垂直部分TGa重疊之位置向H方向上朝向像素共用單元539之外側之方向(更具體而言，朝向像素541B、541D之外緣之方向，且朝向像素共用單元539之外側之方向)延伸。連接於浮動擴散區FD之焊墊部120係設置於像素共用單元539之中央部(像素共用單元539之H方向及V方向之中央部)，連接於VSS接點區域118之焊墊部121至少設置於H方向上(圖32中H方向及V方向)像素共用單元539之端部。

【0178】

作為其他配置例，亦可考慮僅在與垂直部分TGa對向之區域設置傳送閘極TG1、TG2、TG3、TG4之水平部分TGb。此時，與上述實施形態說明者相同，易將半導體層200S較細地分斷。因此，難以較大地形成像素電路210之電晶體。另一方面，傳送閘極TG1、TG2、TG3、TG4之水平部分TGb如上述變化例，若自與垂直部分TGa重疊之位置向H方向延伸，則與上述實施形態說明者相同，可增大半導體層200S之寬度。具體而言，可使連接於傳送閘極TG1、TG3之貫通電極TGV1、TGV3之H方向之位置接近貫通電極120E之H方向之位置配置，使連接於傳送閘極TG2、TG4之貫通電極TGV2、TGV4之H方向之位置接近貫通電極121E之H方向之位置配置(圖34)。藉此，與上述實施形態說明者相同，可增大於V方向延伸之半導體層200S之寬度(H方向之大小)。藉此，可增大像素電路210之電晶體之尺寸，尤其電晶體AMP之尺寸。其結果，改善像素信號之信號/雜訊比，攝像裝置1可輸出更佳之像素資料(圖像資訊)。

【0179】

第2基板200之像素共用單元539例如與第1基板100之像素共用單元539之H方向及V方向之大小大致相同，例如遍及對應於大致2列×2行之像

素區域之區域設置。例如，各像素電路210中，選擇電晶體SEL及放大電晶體AMP於V方向並列配置於在V方向延伸之1個半導體層200S，FD轉換增益切換電晶體FDG及重設電晶體RST於V方向並列配置於在V方向延伸之1個半導體層200S。設有該選擇電晶體SEL及放大電晶體AMP之1個半導體層200S，與設有FD轉換增益切換電晶體FDG及重設電晶體RST之1個半導體層200S係介隔絕緣區域212於H方向並列。該絕緣區域212例如於V方向延伸(圖33)。

【0180】

此處，參照圖33及圖34，針對第2基板200之像素共用單元539之外形進行說明。例如，圖32所示之第1基板100之像素共用單元539連接於設置於焊墊部120之H方向之一邊(圖34之紙面左側)之放大電晶體AMP及選擇電晶體SEL，與設置於焊墊部120之H方向之另一邊(圖34之紙面右側)之FD轉換增益切換電晶體FDG及重設電晶體RST。包含該放大電晶體AMP、選擇電晶體SEL、FD轉換增益切換電晶體FDG及重設電晶體RST之第2基板200之像素共用單元539之外形係根據以下4個外緣決定。

【0181】

第1外緣係包含選擇電晶體SEL及放大電晶體AMP之半導體層200S之V方向之一端(圖34之紙面上側之端)之外緣。該第1外緣係設置於該像素共用單元539所含之放大電晶體AMP，及與該像素共用單元539之V方向之一邊(圖34之紙面上側)相鄰之像素共用單元539所含之選擇電晶體SEL之間。更具體而言，第1外緣係設置於該等放大電晶體AMP與選擇電晶體SEL間之元件分離區域213之V方向之中央部。第2外緣係包含選擇電晶體SEL及放大電晶體AMP之半導體層200S之V方向之另一端(圖34之紙面下

側之端)之外緣。該第2外緣係設置於該像素共用單元539所含之選擇電晶體SEL，及與該像素共用單元539之V方向之另一邊(圖34之紙面下側)相鄰之像素共用單元539所含之放大電晶體AMP之間。更具體而言，第2外緣係設置於該等選擇電晶體SEL與放大電晶體AMP間之元件分離區域213之V方向之中央部。第3外緣係包含重設電晶體RST及FD轉換增益切換電晶體FDG之半導體層200S之V方向之另一端(圖34之紙面下側之端)之外緣。該第3外緣係設置於該像素共用單元539所含之FD轉換增益切換電晶體FDG，及與該像素共用單元539之V方向之另一邊(圖34之紙面下側)相鄰之像素共用單元539所含之重設電晶體RST之間。更具體而言，第3外緣係設置於該等FD轉換增益切換電晶體FDG與重設電晶體RST間之元件分離區域213之V方向之中央部。第4外緣係包含重設電晶體RST及FD轉換增益切換電晶體FDG之半導體層200S之V方向之一端(圖34之紙面上側之端)之外緣。該第4外緣係設置於該像素共用單元539所含之重設電晶體RST，及與該像素共用單元539之V方向之一邊(圖34之紙面上側)相鄰之像素共用單元539所含之FD轉換增益切換電晶體FDG(未圖示)之間。更具體而言，第4外緣係設置於該等重設電晶體RST與FD轉換增益切換電晶體FDG間之元件分離區域213(未圖示)之V方向之中央部。

【0182】

包含此等第1、第2、第3、第4外緣之第2基板200之像素共用單元539之外形中，第3、第4外緣相對於第1、第2外緣於V方向之一側錯開配置(換言之，於V方向之一側偏移)。藉由使用此種佈局，而可基於放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極，儘可能與焊墊部120接近配置。因此，縮小連接該等之配線之面積，易進行攝像裝置1之

細微化。另，VSS接點區域218係設置於包含選擇電晶體SEL及放大電晶體AMP之半導體層200S，與包含重設電晶體RST及FD轉換增益切換電晶體FDG之半導體層200S之間。例如，複數個像素電路210具有彼此相同之配置。

【0183】

具有此種第2基板200之攝像裝置1亦獲得與上述實施形態說明者相同之效果。第2基板200之像素共用單元539之配置並非限定於上述實施形態及本變化例說明之配置。

【0184】

<7.變化例7>

圖38～圖43係顯示上述實施形態之攝像裝置1之平面構成之一變化例者。圖38係模式性顯示第1基板100之平面構成，與上述實施形態說明之圖7B對應。圖39係模式性顯示第2基板200之半導體層200S之表面附近之平面構成，與上述實施形態說明之圖8對應。圖40係模式性顯示第1配線層W1與連接於第1配線層W1之半導體層200S及第1基板100之各部之構成，與上述實施形態說明之圖9對應。圖41係顯示第1配線層W1及第2配線層W2之平面構成之一例，與上述實施形態說明之圖10對應。圖42係顯示第2配線層W2及第3配線層W3之平面構成之一例，與上述實施形態說明之圖11對應。圖43係顯示第3配線層W3及第4配線層W4之平面構成之一例，與上述實施形態說明之圖12對應。

【0185】

本變化例中，第2基板200之半導體層200S於H方向延伸(圖40)。即，與將上述圖33等所示之攝像裝置1之平面構成90度旋轉之構成大致對

應。

【0186】

例如，第1基板100之像素共用單元539與上述實施形態說明者相同，係遍及2列×2行像素區域形成，具有大致正方形之平面形狀(圖38)。例如，各個像素共用單元539中，一像素列之像素541A及像素541B之傳送閘極TG1、TG2於V方向上向像素共用單元539之中央部延伸，另一像素列之像素541C及像素541D之傳送閘極TG3、TG4於V方向上於像素共用單元539之外側延伸。連接於浮動擴散區FD之焊墊部120係設置於像素共用單元539之中央部，連接於VSS接點區域118之焊墊部121至少設置於V方向上(圖38中V方向及H方向)像素共用單元539之端部。此時，傳送閘極TG1、TG2之貫通電極TGV1、TGV2之V方向之位置靠近貫通電極120E之V方向之位置，傳送閘極TG3、TG4之貫通電極TGV3、TGV4之V方向之位置靠近貫通電極121E之V方向之位置(圖40)。因此，根據與上述實施形態說明者相同之理由，可增大於H方向延伸之半導體層200S之寬度(V方向之大小)。藉此，可增大放大電晶體AMP之尺寸，抑制雜訊。

【0187】

於各個像素電路210中，於H方向並列配置選擇電晶體SEL及放大電晶體AMP，將選擇電晶體SEL與絕緣區域212介隔於其間，於V方向上相鄰位置配置有重設電晶體RST(圖39)。FD轉換增益切換電晶體FDG於H方向上與重設電晶體RST與並列配置。VSS接點區域218係島狀設置於絕緣區域212。例如，第3配線層W3於H方向延伸(圖42)，第4配線層W4於V方向延伸(圖43)。

【0188】

具有此種第2基板200之攝像裝置1亦獲得與上述實施形態說明者相同之效果。第2基板200之像素共用單元539之配置並非限定於上述實施形態及本變化例所說明之配置。例如，上述實施形態及變化例1所說明之半導體層200S亦可於H方向延伸。

【0189】

<8.變化例8>

圖44係顯示上述實施形態之攝像裝置1之剖面構成之一變化例者。圖44與上述實施形態說明之圖3對應。本變化例中，攝像裝置1除了接點部201、202、301、302外，於對向於像素陣列部540之中央部之位置具有接點部203、204、303、304。該方面而言，本變化例之攝像裝置1與上述實施形態說明之攝像裝置1不同。

【0190】

接點部203、204設置於第2基板200，露出於與第3基板300之接合面。接點部303、304設置於第3基板300，露出於與第2基板200之接合面。接點部203與接點部303相接，接點部204與接點部304相接。即，該攝像裝置1中，第2基板200與第3基板300除了接點部201、202、301、302外，係藉由接點部203、204、303、304連接。

【0191】

接著，使用圖45及圖46，針對該攝像裝置1之動作進行說明。圖45係以箭頭表示自外部輸入至攝像裝置1之輸入信號與電源電位及基準電位之路徑。圖46係以箭頭表示自攝像裝置1輸出至外部之像素信號之信號路徑。例如，經由輸入部510A輸入至攝像裝置1之輸入信號向第3基板300之列驅動部520傳送，以列驅動部520製作列驅動信號。將該列驅動信號經

由接點部303、203送至第2基板200。再者，該列驅動信號經由配線層200T內之列驅動信號線542，到達像素陣列部540之像素共用單元539之各者。將到達第2基板200之像素共用單元539之列驅動信號中，傳送閘極TG以外之驅動信號輸入至像素電路210，驅動像素電路210所含之各電晶體。將傳送閘極TG之驅動信號經由貫通電極TGV輸入至第1基板100之傳送閘極TG1、TG2、TG3、TG4，驅動像素541A、541B、541C、541D。又，自攝像裝置1之外部將供給於第3基板300之輸入部510A(輸入端子511)之電源電位及基準電位經由接點部303、203送至第2基板200，經由配線層200T內之配線供給於像素共用單元539之各者之像素電路210。亦將基準電位進而經由貫通電極121E，供給於第1基板100之像素541A、541B、541C、541D。另一方面，將第1基板100之像素541A、541B、541C、541D中經光電轉換之像素信號每像素共用單元539送至第2基板200之像素電路210。將基於該像素信號之像素信號自像素電路210經由垂直信號線543及接點部204、304送至第3基板300。將該像素信號經第3基板300之行信號處理部550及圖像信號處理部560處理後，經由輸出部510B輸出至外部。

【0192】

具有此種接點部203、204、303、304之攝像裝置1亦獲得與上述實施形態說明者相同之效果。可對應於經由接點部303、304之配線之連接端，即第3基板300之電路等之設計，改變接點部之位置及數等。

【0193】

<9.變化例9>

圖47係顯示上述實施形態之攝像裝置1之剖面構成之一變化例者。圖

47與上述實施形態說明之圖6對應。本變化例中，於第1基板100設有具有平面構造之傳送電晶體TR。該方面而言，本變化例之攝像裝置1與上述實施形態說明之攝像裝置1不同。

【0194】

該傳送電晶體TR僅由水平部分TGb構成傳送閘極TG。換言之，傳送閘極TG不具有垂直部分TGa，與半導體層100S對向設置。

【0195】

具有此種平面構造之傳送電晶體TR之攝像裝置1亦獲得與上述實施形態說明者相同之效果。再者，亦認為藉由於第1基板100設置平面型傳送閘極TG，與將縱型傳送閘極TG設置於第1基板100之情形相比，更於半導體層100S之表面附近形成光電二極體PD，藉此，增加飽和信號量(Qs)。又，亦可認為於第1基板100形成平面型傳送閘極TG之方法與於第1基板100形成縱型傳送閘極TG之方法相比，製造步驟數較少，不易產生因製造步驟所致之對光電二極體PD之不良影響。

【0196】

<10.變化例10>

圖48係顯示上述實施形態之攝像裝置1之像素電路之一變化例者。圖48與上述實施形態說明之圖4對應。本變化例中，每1個像素(像素541A)設有像素電路210。即，像素電路210亦可不被複數個像素共用。該方面而言，本變化例之攝像裝置1與上述實施形態說明之攝像裝置1不同。

【0197】

本變化例之攝像裝置1於將像素541A與像素電路210設置於互不相同之基板(第1基板100及第2基板200)之方面，與上述實施形態說明之攝像裝

置1相同。因此，本變化例之攝像裝置1亦可獲得與上述實施形態說明者相同之效果。

【0198】

<11.變化例11>

圖49係顯示上述實施形態說明之像素分離部117之平面構成之一變化例者。亦可於包圍像素541A、541B、541C、541D之各者之像素分離部117設置間隙。即，亦可不由像素分離部117包圍像素541A、541B、541C、541D全周。例如，像素分離部117之間隙係設置於焊墊部120、121附近(參照圖7B)。

【0199】

上述實施形態中，已說明像素分離部117具有貫通半導體層100S之FTI構造之例(參照圖6)，但像素分離部117亦可具有FTI構造以外之構成。例如，像素分離部117亦可並非設為完全貫通半導體層100S，亦可具有所謂DTI(Deep Trench Isolation，深溝渠隔離)構造。

【0200】

<12.變化例12>

上述第1實施形態中，已說明於複數個感測器像素之各者，分別逐個配置電性連接於浮動擴散區FD之配線(即，浮動擴散用接點)，與電性連接於井層WE之配線(即，井用接點)之構造。然而，本揭示之實施形態不限於此。本揭示之實施形態中，亦可每複數個感測器像素配置1個浮動擴散用接點。例如，互相相鄰之4個感測器像素亦可共用1個浮動擴散用接點。同樣地，亦可每複數個感測器像素配置1個井用接點。例如，互相相鄰之4個感測器像素亦可共用1個井用接點。

【0201】

圖50至圖52係顯示本揭示之變化例12之攝像裝置1A之構成例之厚度方向之剖視圖。圖53至圖55係顯示本揭示之變化例12之複數個像素單元PU之佈局例之水平方向之剖視圖。另，圖50至圖52所示之剖視圖終究為模式圖，並非以嚴密正確地顯示實際構造為目的之圖。圖50至圖52所示之剖視圖為了於紙面上易理解攝像裝置1A之構成而說明，而有意改變位置sec1至sec3上，電晶體或雜質擴散層之水平方向之位置而顯示。

【0202】

具體而言，圖50所示之攝像裝置1A之像素單元PU中，位置sec1之剖面係將圖53以A1-A1'線切斷之剖面，位置sec2之剖面係將圖54以B1-B1'線切斷之剖面，位置sec3之剖面係將圖55以C1-C1'線切斷之剖面。同樣地，圖51所示之攝像裝置1A中，位置sec1之剖面係將圖53以A2-A2'線切斷之剖面，位置sec2之剖面係將圖54以B2-B2'線切斷之剖面，位置sec3之剖面係將圖55以C2-C2'線切斷之剖面。同樣地，圖52所示之攝像裝置1A中，位置sec1之剖面係將圖53以A3-A3'線切斷之剖面，位置sec2之剖面係將圖54以B3-B3'線切斷之剖面，位置sec3之剖面係將圖55以C3-C3'線切斷之剖面。

【0203】

如圖51及圖55所示，攝像裝置1A共用以及過複數個感測器像素1012之方式配置之共通焊墊電極1102，與設置於共通焊墊電極1102上之1條配線L1002。例如，於攝像裝置1A，存在於俯視時，4個感測器像素1012之各浮動擴散區FD1至FD4經由元件分離層1016互相相鄰之區域。於該區域設有共通焊墊電極1102。共通焊墊電極1102係以跨及4個浮動擴散區FD1

至FD4之方式配置，與4個浮動擴散區FD1至FD4分別電性連接。共通焊墊電極1102係以例如摻雜n型雜質或p型雜質之多晶矽膜構成。

【0204】

於共通焊墊電極1102之中心部上設有1條配線L1002(即，浮動擴散用接點)。如圖51、圖53至圖55所示，設置於共通焊墊電極1102之中心部上之配線L1002係自第1基板部1010貫通第2基板部1020之下側基板1210，延設至第2基板部1020之上側基板1220，經由設置於上側基板1220之配線等，連接於放大電晶體AMP之閘極電極AG。

【0205】

又，如圖50及圖55所示，攝像裝置1A共用以跨及複數個感測器像素1012之方式配置之共通焊墊電極1110，與設置於共通焊墊電極1110上之1條配線L1010。例如，於攝像裝置1A，存在於俯視時，4個感測器像素1012之各井層WE經由元件分離層1016互相相鄰之區域。於該區域設有共通焊墊電極1110。共通焊墊電極1110係以跨及4個感測器像素1012之各井層WE之方式配置，分別與4個感測器像素1012之各井層WE電性連接。若舉一例，則共通焊墊電極1110配置於在Y軸方向並列之一共通焊墊電極1102與另一共通焊墊電極1102間。Y軸方向上，共通焊墊電極1102、1110係交替並列配置。共通焊墊電極1110係以例如摻雜n型雜質或p型雜質之多晶矽膜構成。

【0206】

於共通焊墊電極1110之中心部上設有1條配線L1010(即，并用接點)。如圖50、圖52至圖55所示，設置於共通焊墊電極1110之中心部上之配線L1010係自第1基板部1010貫通第2基板部1020之下側基板1210，延

設至第2基板部1020之上側基板1220，經由設置於上側基板1220之配線等，連接於供給基準電位(例如接地電位：0 V)之基準電位線。

【0207】

設置於共通焊墊電極1110之中心部上之配線L1010與共通焊墊電極1110之上表面、設置於下側基板1210之貫通孔之內側面及設置於上側基板1220之貫通孔之內側面分別電性連接。藉此，第1基板部1010之半導體基板1011之井層WE、第2基板部1020之下側基板1210之井層及上側基板1220之井層連接於基準電位(例如接地電位：0 V)。

【0208】

本揭示之變化例12之攝像裝置1A發揮與第1實施形態之攝像裝置1相同之效果。又，攝像裝置1A進而具備共通焊墊電極1102、1110，其設置於構成第1基板部1010之半導體基板1011之正面1011a側，以跨及互相相鄰之複數個(例如4個)感測器像素1012之方式配置。共通焊墊電極1102與4個感測器像素1012之浮動擴散區FD電性連接。共通焊墊電極1110與4個感測器像素1012之井層WE電性連接。藉此，對於每4個感測器像素1012，可使連接於浮動擴散區FD之配線L1002共通化。對於每4個感測器像素1012，可使連接於井層WE之配線L1010共通化。藉此，可減低配線L1002、L1010之條數，故可減低感測器像素1012之面積，可使攝像裝置1A小型化。

【0209】

<13.適用例>

圖58係顯示具備上述實施形態及其變化例之攝像裝置1之攝像系統7之概略構成之一例者。

【0210】

攝像系統7為例如數位相機或攝錄影機等攝像裝置，或智慧型手機或平板型終端等可攜式終端裝置等電子機器。攝像系統7具備例如上述實施形態及其變化例之攝像裝置1、DSP電路243、訊框記憶體244、顯示部245、記憶部246、操作部247及電源部248。攝像系統7中，上述實施形態及其變化例之攝像裝置1、DSP電路243、訊框記憶體244、顯示部245、記憶部246、操作部247及電源部248係經由匯流排線249互相連接。

【0211】

上述實施形態及其變化例之攝像裝置1輸出對應於入射光之圖像資料。DSP電路243係對自上述實施形態及其變化例之攝像裝置1輸出之信號(圖像資料)進行處理之信號處理電路。訊框記憶體244以訊框單位暫時保持藉由DSP電路243處理之圖像資料。顯示部245包含例如液晶面板或有機EL(Electro Luminescence：電致發光)面板等面板型顯示裝置，顯示上述實施形態及其變化例之攝像裝置1所拍攝之動態圖像或靜態圖像。記憶部246將上述實施形態及其變化例之攝像裝置1所拍攝之動態圖像或靜止圖像之圖像資料記錄於半導體記憶體或硬碟等記錄媒體。操作部247遵循使用者之操作，發出關於攝像系統7具有之各種功能之操作指令。電源部248對該等供給對象適當供給成為上述實施形態及其變化例之攝像裝置1、DSP電路243、訊框記憶體244、顯示部245、記憶部246及操作部247之動作電源之各種電源。

【0212】

接著，針對攝像系統7之攝像順序進行說明。

【0213】

圖59係顯示攝像系統7之攝像動作之流程圖之一例。使用者藉由操作操作部247而指示攝像開始(步驟S101)。於是，操作部247將攝像指令發送至攝像裝置1(步驟S102)。若攝像裝置1(具體而言，系統控制電路36)接收攝像指令，則執行特定攝像方式之攝像(步驟S103)。

【0214】

攝像裝置1將藉由攝像所得之圖像資料輸出至DSP電路243。此處，所謂圖像資料，係基於暫時保持於浮動擴散區FD之電荷產生之像素信號之所有像素量之資料。DSP電路243基於自攝像裝置1輸入之圖像資料，進行特定之信號處理(例如雜訊減低處理等)(步驟S104)。DSP電路243將完成特定之信號處理之圖像資料保持於訊框記憶體244，訊框記憶體244將圖像資料記憶於記憶部246(步驟S105)。如此，進行攝像系統7之攝像。

【0215】

本適用例中，將上述實施形態及其變化例之攝像裝置1適用於攝像系統7。藉此，可使攝像裝置1小型化或高精細化，故可提供小型或高精細之攝像系統7。

【0216】

<14.應用例>

[應用例1]

本揭示之技術(本技術)可應用於各種製品。例如，本揭示之技術亦可作為搭載於汽車、電動汽車、油電混合汽車、機車、自行車、個人移動裝置、飛機、無人機、船舶、機器人等任一種類之移動體之裝置而實現。

【0217】

圖60係顯示可適用本揭示之技術之移動體控制系統之一例即車輛控

制系統之概略構成例之方塊圖。

【0218】

車輛控制系統12000具備經由通信網路12001連接之複數個電子控制單元。於圖60所示之例中，車輛控制系統12000具備驅動系統控制單元12010、本體系統控制單元12020、車外資訊檢測單元12030、車內資訊檢測單元12040、及統合控制單元12050。又，作為統合控制單元12050之功能構成，圖示微電腦12051、聲音圖像輸出部12052、及車載網路I/F (Interface：介面)12053。

【0219】

驅動系統控制單元12010遵循各種程式，控制與車輛之驅動系統關聯之裝置之動作。例如，驅動系統控制單元12010作為內燃機或驅動用馬達等之用以產生車輛之驅動力之驅動力產生裝置、用以將驅動力傳達至車輪之驅動力傳達機構、調節車輛舵角之轉向機構、及產生車輛之制動力之制動裝置等之控制裝置發揮功能。

【0220】

本體系統控制單元12020遵循各種程式，控制裝備於車體之各種裝置之動作。例如，本體系統控制單元12020作為無鑰匙門禁系統、智能鑰匙系統、電動窗裝置、或頭燈、尾燈、剎車燈、方向燈或霧燈等各種燈具之控制裝置發揮功能。該情形時，可對本體系統控制單元12020輸入自代替鑰匙之可攜帶式機器發送之電波或各種開關之信號。本體系統控制單元12020受理該等電波或信號之輸入，控制車輛之門鎖裝置、電動窗裝置、燈等。

【0221】

車外資訊檢測單元12030檢測搭載有車輛控制系統12000之車輛外部之資訊。例如，於車外資訊檢測單元12030連接攝像部12031。車外資訊檢測單元12030使攝像部12031拍攝車外之圖像，且接收拍攝到之圖像。車外資訊檢測單元12030亦可基於接收到之圖像，進行人、車、障礙物、標識或路面上之文字等之物體檢測處理或距離檢測處理。

【0222】

攝像部12031係接收光且輸出對應於該光之受光量的電性信號之光感測器。攝像部12031可將電性信號作為圖像輸出，亦可作為測距之資訊輸出。又，攝像部12031接收之光可為可見光，亦可為紅外線等非可見光。

【0223】

車內資訊檢測單元12040檢測車內之資訊。於車內資訊檢測單元12040，連接例如檢測駕駛者的狀態之駕駛者狀態檢測部12041。駕駛者狀態檢測部12041包含例如拍攝駕駛者之相機，車內資訊檢測單元12040可基於自駕駛者狀態檢測部12041輸入之檢測資訊，算出駕駛者之疲勞程度或精神集中程度，亦可判斷駕駛者是否在打瞌睡。

【0224】

微電腦12051可基於以車外資訊檢測單元12030或車內資訊檢測單元12040取得之車內外之資訊，運算驅動力產生裝置、轉向機構或制動裝置之控制目標值，且對驅動系統控制單元12010輸出控制指令。例如，微電腦12051可進行以實現包含迴避車輛碰撞或緩和衝擊、基於車間距離之追隨行駛、維持車速行駛、車輛之碰撞警告或車輛偏離車道警告等之ADAS (Advanced Driver Assistance System:先進駕駛輔助系統)之功能為目的之協調控制。

【0225】

又，微電腦12051藉由基於車外資訊檢測單元12030或車內資訊檢測單元12040所取得之車輛周圍之資訊，控制驅動力產生裝置、轉向機構或制動裝置等，而進行以不拘於駕駛者之操作而自動行駛之自動駕駛等為目的之協調控制。

【0226】

又，微電腦12051可基於車外資訊檢測單元12030所取得之車外之資訊，對本體系統控制單元12020輸出控制指令。例如，微電腦12051可根據車外資訊檢測單元12030檢測到之前方車或對向車之位置而控制頭燈，進行以謀求將遠光燈切換成近光燈等防眩為目的之協調控制。

【0227】

聲音圖像輸出部12052向可對車輛之搭乘者或對車外視覺性或聽覺性通知資訊之輸出裝置發送聲音及圖像中之至少任一種輸出信號。於圖59之例中，作為輸出裝置，例示擴音器12061、顯示部12062及儀錶板12063。顯示部12062亦可包含例如車載顯示器及抬頭顯示器之至少一者。

【0228】

圖61係顯示攝像部12031之設置位置之例之圖。

【0229】

於圖61中，車輛12100具有攝像部12101、12102、12103、12104、12105作為攝像部12031。

【0230】

攝像部12101、12102、12103、12104、12105例如設置於車輛12100之前保險桿、側視鏡、後保險桿、後門及車室內之前擋風玻璃之上

部等位置。前保險桿所具備之攝像部12101及車室內之前擋風玻璃之上部所具備之攝像部12105主要取得車輛12100前方之圖像。側視鏡所具備之攝像部12102、12103主要取得車輛12100側方之圖像。後保險桿或後門所具備之攝像部12104主要取得車輛12100後方之圖像。攝像部12101及12105所取得之前方圖像主要使用於前方車輛或行人、障礙物、號誌機、交通標識或車道線等之檢測。

【0231】

另，圖61係顯示攝像部12101至12104之攝像範圍之一例。攝像範圍12111顯示設於前保險桿之攝像部12101之攝像範圍，攝像範圍12112、12113分別顯示設於側視鏡之攝像部12102、12103之攝像範圍，攝像範圍12114顯示設於後保險桿或後門之攝像部12104之攝像範圍。例如，藉由使攝像部12101至12104所拍攝之圖像資料重疊，而獲得自上方觀察車輛12100之俯瞰圖像。

【0232】

攝像部12101至12104之至少一者亦可具有取得距離資訊之功能。例如，攝像部12101至12104之至少一者可為包含複數個攝像元件之攝錄影機，亦可為具有相位差檢測用之像素之攝像元件。

【0233】

例如，微電腦12051基於自攝像部12101至12104取得之距離資訊，求得攝像範圍12111至12114內與各立體物之距離，及該距離之時間變化(相對於車輛12100之相對速度)，藉此可在與車輛12100大致相同之方向，擷取以特定速度(例如為0 km/h以上)行駛之立體物作為前方車，尤其位於車輛12100之行進路上最近之立體物作為前方車。再者，微電腦12051可

設定前方車於近前應預先確保之車間距離，進行自動剎車控制(亦包含停止追隨控制)或自動加速控制(亦包含追隨起動控制)等。可如此地進行不拘於駕駛者之操作而以自動行駛之自動駕駛等為目的之協調控制。

【0234】

例如，微電腦12051可基於自攝像部12101至12104所得之距離資訊，將關於立體物之立體物資料分類成2輪車、普通車輛、大型車輛、行人、電線桿等其他立體物而擷取，使用於自動迴避障礙物。例如，微電腦12051可將車輛12100周邊之障礙物識別為車輛12100之駕駛者可視認之障礙物與難以視認之障礙物。且，微電腦12051判斷表示與各障礙物碰撞之危險度之碰撞風險，當碰撞風險為設定值以上且有碰撞可能性之狀況時，經由擴音器12061或顯示部12062對駕駛者輸出警報，或經由驅動系統控制單元12010進行強制減速或迴避轉向，藉此可進行用以避免碰撞之駕駛支援。

【0235】

攝像部12101至12104之至少一者亦可為檢測紅外線之紅外線相機。例如，微電腦12051可藉由判定攝像部12101至12104之攝像圖像中是否存在行人而識別行人。該行人之識別係根據例如擷取作為紅外線相機之攝像部12101至12104之攝像圖像之特徵點之順序、及對表示物體輪廓之一連串特徵點進行圖案匹配處理而判別是否為行人之順序而進行。若微電腦12051判定攝像部12101至12104之攝像圖像中存在行人，且識別行人，則聲音圖像輸出部12052以對該經識別之行人重疊顯示用以強調之方形輪廓線之方式，控制顯示部12062。另，聲音圖像輸出部12052亦可以將表示行人之圖標等顯示於期望之位置之方式控制顯示部12062。

【0236】

以上，已針對可適用本揭示技術之移動體控制系統之一例進行說明。本揭示之技術可適用於以上說明之構成中之攝像部12031。具體而言，上述實施形態及其變化例之攝像裝置1可適用於攝像部12031。藉由對攝像部12031適用本揭示之技術，而可獲得雜訊較少之高精細之攝影圖像，故可於移動體控制系統中進行使用攝影圖像之高精度控制。

【0237】

<應用例2>

圖62係顯示可適用本揭示之技術(本技術)之內視鏡手術系統之概略構成之一例之圖。

【0238】

圖62中，圖示手術者(醫生)11131使用內視鏡手術系統11000，對病床11133上之患者11132進行手術之情況。如圖示，內視鏡手術系統11000係由內視鏡11100、氣腹管11111或能量處置器具11112等其他手術器具11110、支持內視鏡11100之支持臂裝置11120、及搭載有用以內視鏡下手術之各種裝置之台車11200而構成。

【0239】

內視鏡11100由將距離前端特定長度之區域插入患者11132之體腔內之鏡筒11101、及連接於鏡筒11101之基端之相機頭11102構成。圖示例中，圖示作為具有硬性鏡筒11101之所謂硬性鏡構成之內視鏡11100，但內視鏡11100亦可作為具有軟性鏡筒之所謂軟性鏡構成。

【0240】

於鏡筒11101之前端，設有嵌入有接物透鏡之開口部。於內視鏡

11100連接有光源裝置11203，由該光源裝置11203產生之光藉由延設於鏡筒11101內部之光導而被導光至該鏡筒之前端，經由接物透鏡朝患者11132之體腔內之觀察對象照射。另，內視鏡11100可為直視鏡，亦可為斜視鏡或側視鏡。

【0241】

於相機頭11102之內部設有光學系統及攝像元件，來自觀察對象之反射光(觀察光)藉由該光學系統而聚光於該攝像元件。藉由該攝像元件將觀察光進行光電轉換，產生對應於觀察光之電性信號，即對應於觀察像之圖像信號。該圖像信號作為RAW資料被發送至相機控制器單元(CCU：Camera Control Unit)11201。

【0242】

CCU11201係由CPU(Central Processing Unit：中央處理單元)或GPU(Graphics Processing Unit：圖形處理單元)等構成，統一控制內視鏡11100及顯示裝置11202之動作。再者，CCU11201自相機頭11102接收圖像信號，對該圖像信號實施例如顯像處理(解馬賽克處理)等之用以顯示基於該圖像信號之圖像之各種圖像處理。

【0243】

顯示裝置11202藉由來自CCU11201之控制，顯示基於由該CCU11201實施圖像處理之圖像信號的圖像。

【0244】

光源裝置11203例如由LED(Light Emitting Diode：發光二極體)等光源構成，將拍攝手術部等時之照射光供給至內視鏡11100。

【0245】

輸入裝置11204為對於內視鏡手術系統11000之輸入介面。使用者可經由輸入裝置11204，對內視鏡手術系統11000進行各種資訊之輸入或指示輸入。例如，使用者輸入變更內視鏡11100之攝像條件(照射光之種類、倍率及焦點距離等)之主旨的指示等。

【0246】

處置器具控制裝置11205控制用以組織之燒灼、切開或血管之密封等之能量處置器具11112之驅動。氣腹裝置11206係基於確保內視鏡11100之視野及確保手術者作業空間之目的，為了使患者11132之體腔鼓起，而經由氣腹管11111對該體腔內送入氣體。記錄器11207係可記錄手術相關之各種資訊之裝置。印表機11208係可以文書、圖像或圖表等各種形式列印手術相關之各種資訊之裝置。

【0247】

另，對以內視鏡11100拍攝手術部時供給照射光之光源裝置11203例如可由藉由LED、雷射光源或該等之組合而構成之白色光源構成。藉由RGB雷射光源之組合構成白色光源之情形時，由於可高精度地控制各色(各波長)之輸出強度及輸出時序，故光源裝置11203中可進行攝像圖像之白平衡之調整。又，該情形時，分時對觀察對象照射來自RGB雷射光源各者之雷射光，與其照射時序同步控制相機頭11102之攝像元件之驅動，藉此亦可分時拍攝與RGB各者對應之圖像。根據該方法，即使不於該攝像元件設置彩色濾光片，亦可獲得彩色圖像。

【0248】

又，光源裝置11203亦可以每特定時間變更輸出之光的強度之方式控制其驅動。藉由與其光強度之變更時序同步控制相機頭11102之攝像元件

之驅動，分時取得圖像，並合成其圖像，而可產生並無所謂欠曝及過曝之高動態範圍之圖像。

【0249】

又，光源裝置11203亦可構成為可供給對應於特殊光觀察之特定波長頻帶之光。特殊光觀察中，例如利用人體組織中光吸收之波長依存性，與通常觀察時之照射光(即白色光)相比照射窄頻帶之光，藉此進行以高對比度拍攝黏膜表層之血管等特定組織之所謂窄頻帶光觀察(Narrow Band Imaging)。或特殊光觀察中，亦可進行藉由因照射激發光產生之螢光獲得圖像之螢光觀察。螢光觀察中，可對人體組織照射激發光，觀察來自該人體組織之螢光(自螢光觀察)，或將靛青綠(ICG)等試劑局部注入人體組織，且對該人體組織照射對應於該試劑之螢光波長之激發發光而獲得螢光像等。光源裝置11203可構成為可供給對應於此種特殊光觀察之窄頻帶光及/或激發光。

【0250】

圖63係顯示圖62所示之相機頭11102及CCU11201之功能構成之一例之方塊圖。

【0251】

相機頭11102具有透鏡單元11401、攝像部11402、驅動部11403、通信部11404、及相機頭控制部11405。CCU11201具有通信部11411、圖像處理部11412、及控制部11413。相機頭11102與CCU11201可藉由傳送電纜11400而互相可通信地連接。

【0252】

透鏡單元11401係設置於與鏡筒11101之連接部之光學系統。自鏡筒

11101之前端取得之觀察光被導光至相機頭11102，入射於該透鏡單元11401。透鏡單元11401係組合包含變焦透鏡及聚焦透鏡之複數個透鏡而構成。

【0253】

攝像部11402係以攝像元件構成。構成攝像部11402之攝像元件可為1個(所謂單板式)，亦可為複數個(所謂多板式)。攝像部11402以多板式構成之情形時，例如藉由各攝像元件產生與RGB之各者對應之圖像信號，亦可藉由合成該等而獲得彩色圖像。或攝像部11402亦可構成為具有用以分別取得對應於3D(Dimensional：維)顯示之右眼用及左眼用圖像信號之1對攝像元件。藉由進行3D顯示，手術者11131可更正確地掌握手術部之生物組織之深度。另，攝像部11402以多板式構成之情形時，亦可對應於各攝像元件，設置複數個透鏡單元11401。

【0254】

又，攝像部11402並非一定設置於相機頭11102。例如，攝像部11402亦可於鏡筒11101之內部設置於接物透鏡之正後方。

【0255】

驅動部11403係藉由致動器構成，藉由來自相機頭控制部11405之控制，使透鏡單元11401之變焦透鏡及聚焦透鏡沿光軸僅移動特定距離。藉此，可適當調整攝像部11402之攝像圖像之倍率及焦點。

【0256】

通信部11404係藉由用以與CCU11201之間收發各種資訊之通信裝置而構成。通信部11404將自攝像部11402所得之圖像信號作為RAW資料，經由傳送電纜11400發送至CCU11201。

【0257】

又，通信部11404自CCU11201接收用以控制相機頭11102之驅動之控制信號，並供給至相機頭控制部11405。該控制信號中包含例如指定攝像圖像之訊框率之主旨之資訊、指定攝像時之曝光值之主旨之資訊、及/或指定攝像圖像之倍率及焦點之主旨之資訊等之攝像條件相關之資訊。

【0258】

另，上述訊框率或曝光值、倍率、焦點等之攝像條件可由使用者適當指定，亦可基於取得之圖像信號由CCU11201之控制部11413自動設定。後者之情形時，所謂AE(Auto Exposure：自動曝光)功能、AF(Auto Focus：自動聚焦)功能及AWB(Auto White Balance：自動白平衡)功能係搭載於內視鏡11100。

【0259】

相機頭控制部11405基於經由通信部11404接收之來自CCU11201之控制信號，控制相機頭11102之驅動。

【0260】

通信部11411係藉由用以與相機頭11102之間收發各種資訊之通信裝置而構成。通信部11411自相機頭11102接收經由傳送電纜11400發送之圖像信號。

【0261】

又，通信部11411對相機頭11102發送用以控制相機頭11102之驅動之控制信號。圖像信號或控制信號可藉由電性通信或光通信等發送。

【0262】

圖像處理部11412對自相機頭11102發送之RAW資料即圖像信號實施

各種圖像處理。

【0263】

控制部11413進行對利用內視鏡11100之手術部等之攝像、及由手術部等之攝像所得之攝像圖像之顯示相關之各種控制。例如，控制部11413產生用以控制相機頭11102之驅動之控制信號。

【0264】

又，控制部11413基於由圖像處理部11412實施圖像處理之圖像信號，於顯示裝置11202顯示手術部等投射之攝像圖像。此時，控制部11413亦可使用各種圖像識別技術識別攝像圖像內之各種物體。例如，控制部11413藉由檢測攝像圖像所含之物體之邊緣形狀或顏色等，而可識別鉗子等手術器具、特定之生物部位、出血、使用能量處置器具11112時之霧氣等。控制部11413將攝像圖像顯示於顯示裝置11202時，亦可使用其識別結果，使各種手術支援資訊與該手術部之圖像重疊顯示。藉由重疊顯示手術支援資訊，並對手術者11131提示，而可減輕手術者11131之負擔，手術者11131可確實進行手術。

【0265】

連接相機頭11102及CCU11201之傳送電纜11400係對應於電性信號通信之電性信號電纜、對應於光通信之光纖、或該等之複合電纜。

【0266】

此處，圖示例中，係使用傳送電纜11400以有線進行通信，但亦可以無線進行相機頭11102與CCU11201之間的通信。

【0267】

以上，已針對可適用本揭示之技術之內視鏡手術系統之一例進行說

明。本揭示之技術可較佳適用於以上說明之構成中，設置於內視鏡11100之相機頭11102之攝像部11402。藉由對攝像部11402適用本揭示之技術，而可使攝像部11402小型化或高精細化，故可提供小型或高精細之內視鏡11100。

【0268】

以上，雖已舉第1、第2實施形態及其變化例1~11、適用例及應用例說明本揭示，但本揭示並非限定於上述實施形態等，可進行各種變化。

【0269】

另，本說明書中所記載之效果終究為例示。本揭示之效果並非限定於本說明書中記載之效果。本揭示亦可具有本說明書中記載之效果以外之效果。

【0270】

另，本揭示亦可採取如下之構成。根據以下構成之一實施形態之本技術，由於在第2半導體基板與將第1基板與第2基板電性連接之貫通配線間，形成連接於固定電位之導電膜，故減低對於設置於第2基板之電晶體之來自貫通配線之電場。藉此，可提高可靠性。

(1)

一種攝像裝置，其具備：

第1基板，其於第1半導體基板上具有構成感測器像素之光電轉換部及第1電晶體；

第2基板，其積層於上述第1基板，且於第2半導體基板上具有構成上述感測器像素之第2電晶體，且具有於積層方向貫通之開口；

貫通配線，其通過上述開口將上述第1基板與上述第2基板電性連

接；及

導電膜，其至少設置於上述第2半導體基板與上述貫通配線之間，且連接於固定電位。

(2)

如上述(1)之攝像裝置，其中上述導電膜係連接於接地電極。

(3)

如上述(1)或(2)之攝像裝置，其中上述導電膜係貫通上述第2半導體基板。

(4)

如上述(1)至(3)中任一項之攝像裝置，其中上述導電膜係延伸至上述第1半導體基板。

(5)

如上述(1)至(4)中任一項之攝像裝置，其中上述導電膜係將絕緣膜介隔於其間，設置於上述貫通配線周圍。

(6)

如上述(1)至(5)中任一項之攝像裝置，其進而具有導電區域，其設置於上述第1半導體基板之與上述第2半導體基板對向之一面，且連接於固定電位，

上述導電膜之一端係連接於上述導電區域。

(7)

如上述(6)之攝像裝置，其進而具有層間絕緣層，其設置於上述第1半導體基板與上述第2半導體基板之間，

上述導電膜係經由貫通上述層間絕緣層之連接配線與上述導電區域

電性連接。

(8)

如上述(1)至(7)中任一項之攝像裝置，其中上述導電膜與上述第2半導體基板之最短距離小於上述導電膜與上述貫通配線之最短距離。

(9)

如上述(1)至(8)中任一項之攝像裝置，其中上述感測器像素進而具有浮動擴散區，其暫時保持經由上述第1電晶體自上述光電轉換部輸出之電荷，

上述貫通配線與上述第1電晶體之間極或上述浮動擴散區連接。

(10)

如上述(1)至(9)中任一項之攝像裝置，其中上述導電膜係使用耐熱性高之導電材料而形成。

(11)

如上述(10)之攝像裝置，其中上述導電材料具有 600°C 以上之耐熱性。

(12)

如上述(10)之攝像裝置，其中上述導電材料具有 850°C 以上之耐熱性。

(13)

如上述(1)至(12)中任一項之攝像裝置，其中上述導電膜係使用多晶矽、鎢或二維材料而形成。

【0271】

本申請案係基於2019年6月26日向日本特許廳申請之日本專利申請案

號第2019-118481號而主張優先權者，藉由參照將該申請案之全部內容援用於本申請案。

【0272】

若為本領域之技術人員，則可根據設計上之要件或其他原因，而想到各種修正、組合、次組合及變更，但應了解，該等為包含於附加之申請專利範圍或其均等物之範圍內者。

【符號說明】

【0273】

1:攝像裝置

1A:攝像裝置

1C:攝像裝置

2A:攝像裝置

7:攝像系統

100:第1基板

100S:半導體層

100T:配線層

100TH:開口

111:絕緣膜

112:固定電荷膜

113:第1釘札區域

114:n型半導體區域

115:p井層

116:第2釘札區域

117:像素分離部
117A:遮光膜
117B:絕緣膜
118:VSS接點區域
119:層間絕緣膜
120:焊墊部
120C:連接通孔
120E:貫通電極
121:焊墊部
121C:連接通孔
121E:貫通電極
122:鈍化膜
123:層間絕緣膜
124:接合膜
200:第2基板
200S:半導體層
200T:配線層
201:接點部
201R:接點區域
202:接點部
202R:接點區域
210:像素電路
211:井區域

212:絕緣區域
212H:開口
213:元件分離區域
218:VSS接點區域
218V:連接部
220:屏蔽電極
221:鈍化膜
222:層間絕緣膜
230:遮蔽膜
230E:配線
243:DSP電路
244:訊框記憶體
245:顯示部
246:記憶部
247:操作部
248:電源部
249:匯流排線
300:第3基板
300S:半導體層
300T:配線層
301:接點部
301R:接點區域
302:接點部

302R:接點區域
401:受光透鏡
421E:貫通電極
510A:輸入部
510B:輸出部
511:輸入端子
512:輸入電路部
513:輸入振幅變更部
514:輸入資料轉換電路部
515:輸出資料轉換電路部
516:輸出振幅變更部
517:輸出電路部
518:輸出端子
520:列驅動部
530:時序控制部
539:像素共用單元
540:像素陣列部
540B:周邊部
541:像素
541A:像素
541B:像素
541C:像素
541D:像素

542:列驅動信號線
543:垂直信號線
544:電源線
550:行信號處理部
560:圖像信號處理部
1010:第1基板部
1011:半導體基板
1016:元件分離層
1020:第2基板部
1102:共通焊墊電極
1110:共通焊墊電極
1210:下側基板
1211:半導體層
1220:上側基板
1221:半導體層
11000:內視鏡手術系統
11100:內視鏡
11101:鏡筒
11102:相機頭
11110:手術器具
11111:氣腹管
11112:能量處置器具
11120:支持臂裝置

11131:手術者
11132:患者
11133:病床
11200:台車
11201:CCU
11202:顯示裝置
11203:光源裝置
11204:輸入裝置
11205:處置器具控制裝置
11206:氣腹裝置
11207:記錄器
11208:印表機
11400:傳送電纜
11401:透鏡單元
11402:攝像部
11403:驅動部
11404:通信部
11405:相機頭控制部
11411:通信部
11412:圖像處理部
11413:控制部
12000:車輛控制系統
12001:通信網路

12010:驅動系統控制單元

12020:本體系統控制單元

12030:車外資訊檢測單元

12031:攝像部

12040:車內資訊檢測單元

12041:駕駛者狀態檢測部

12050:統合控制單元

12051:微電腦

12052:聲音圖像輸出部

12053:車載網路I/F

12061:擴音器

12062:顯示部

12063:儀錶板

12100:車輛

12101~12105:攝像部

12111~12114:攝像範圍

A:中心線

A1-A1':線

A2-A2':線

A3-A3':線

AMP:放大電晶體

C1-C1':線

C2-C2':線

FD:浮動擴散區

FD1:浮動擴散區

FD2:浮動擴散區

FD3:浮動擴散區

FD4:浮動擴散區

FDG:FD轉換增益切換電晶體

FDGL:配線

G:閘極

GND:接地

H:方向

H1:連接孔部

H2:連接孔部

III-III':線

L:光

L1001: 配線

L1002:配線

L1004: 配線

L1005: 配線

L1006: 配線

L1007: 配線

L1008: 配線

L1009: 配線

L1010: 配線

L1030: 配線

PD: 光電二極體

PD1: 光電二極體

PD2: 光電二極體

PD3: 光電二極體

PD4: 光電二極體

PU: 像素單元

RST: 重設電晶體

RSTL: 配線

S1: 面

S2: 面

S101~S105: 步驟

sec1: 位置

sec2: 位置

sec3: 位置

SEL: 選擇電晶體

SELL: 配線

TA: 外部端子

TB: 外部端子

TG: 傳送閘極

TGa: 垂直部分

TGb: 水平部分

TGV: 貫通電極

TGV1:貫通電極

TGV2:貫通電極

TGV3:貫通電極

TGV4:貫通電極

TR:傳送電晶體

TR1:傳送電晶體

TR2:傳送電晶體

TR3:傳送電晶體

TR4:傳送電晶體

V:方向

VDD:電源線

VSS:基準電位線

W1:第1配線層

W2:第2配線層

W3:第3配線層

W4:第4配線層

WE1:井層

WE2:井層

WE3:井層

WE4:井層

X:方向

Y:方向

Z:方向

【發明申請專利範圍】

【請求項1】

一種攝像裝置，其包含：

第1基板，其於第1半導體基板上具有構成感測器像素之光電轉換部及第1電晶體；

第2基板，其積層於上述第1基板，係於第2半導體基板上具有構成上述感測器像素之第2電晶體，且具有於積層方向貫通之開口；

貫通配線，其通過上述開口將上述第1基板與上述第2基板電性連接；及

導電膜，其至少設置於上述第2半導體基板與上述貫通配線之間，且連接於固定電位；其中

上述導電膜與上述第2半導體基板之最短距離，小於上述導電膜與上述貫通配線之最短距離。

【請求項2】

如請求項1之攝像裝置，其中上述導電膜係連接於接地電極。

【請求項3】

如請求項1之攝像裝置，其中上述導電膜係貫通上述第2半導體基板。

【請求項4】

如請求項1之攝像裝置，其中上述導電膜係延伸至上述第1半導體基板。

【請求項5】

如請求項1之攝像裝置，其中上述導電膜係隔著絕緣膜而設置於上述

貫通配線周圍。

【請求項6】

如請求項1之攝像裝置，其進而具有導電區域，其設置於上述第1半導體基板之與上述第2半導體基板對向之一面，且連接於固定電位，

上述導電膜之一端係連接於上述導電區域。

【請求項7】

如請求項6之攝像裝置，其進而具有層間絕緣層，其設置於上述第1半導體基板與上述第2半導體基板之間，

上述導電膜，係經由貫通上述層間絕緣層之連接配線與上述導電區域電性連接。

【請求項8】

如請求項1之攝像裝置，其中上述感測器像素進而具有浮動擴散區，其暫時保持經由上述第1電晶體自上述光電轉換部輸出之電荷，

上述貫通配線係與上述第1電晶體之閘極或上述浮動擴散區連接。

【請求項9】

如請求項1之攝像裝置，其中上述導電膜係使用耐熱性高之導電材料形成。

【請求項10】

如請求項9之攝像裝置，其中上述導電材料具有600°C以上之耐熱性。

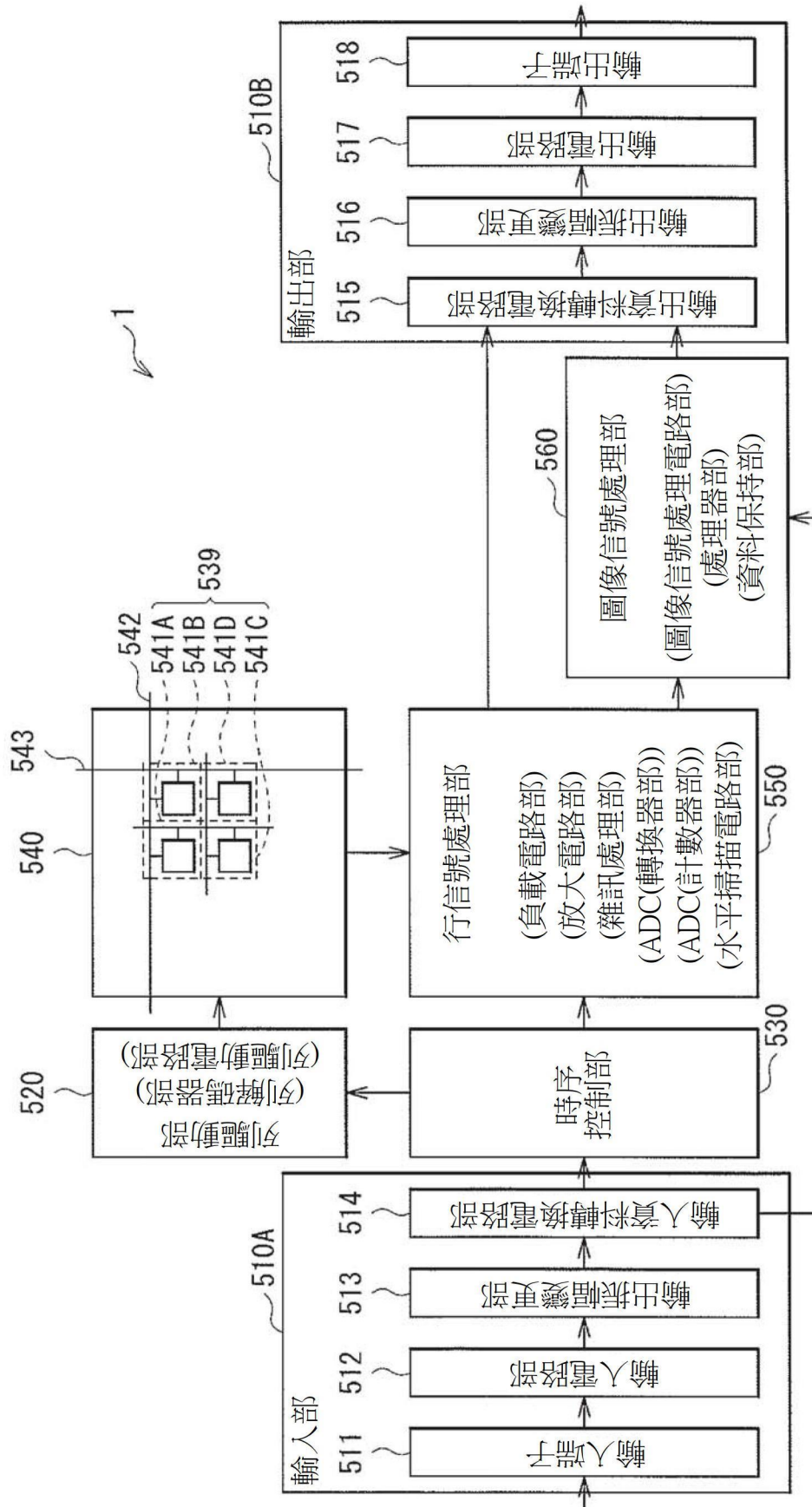
【請求項11】

如請求項9之攝像裝置，其中上述導電材料具有850°C以上之耐熱性。

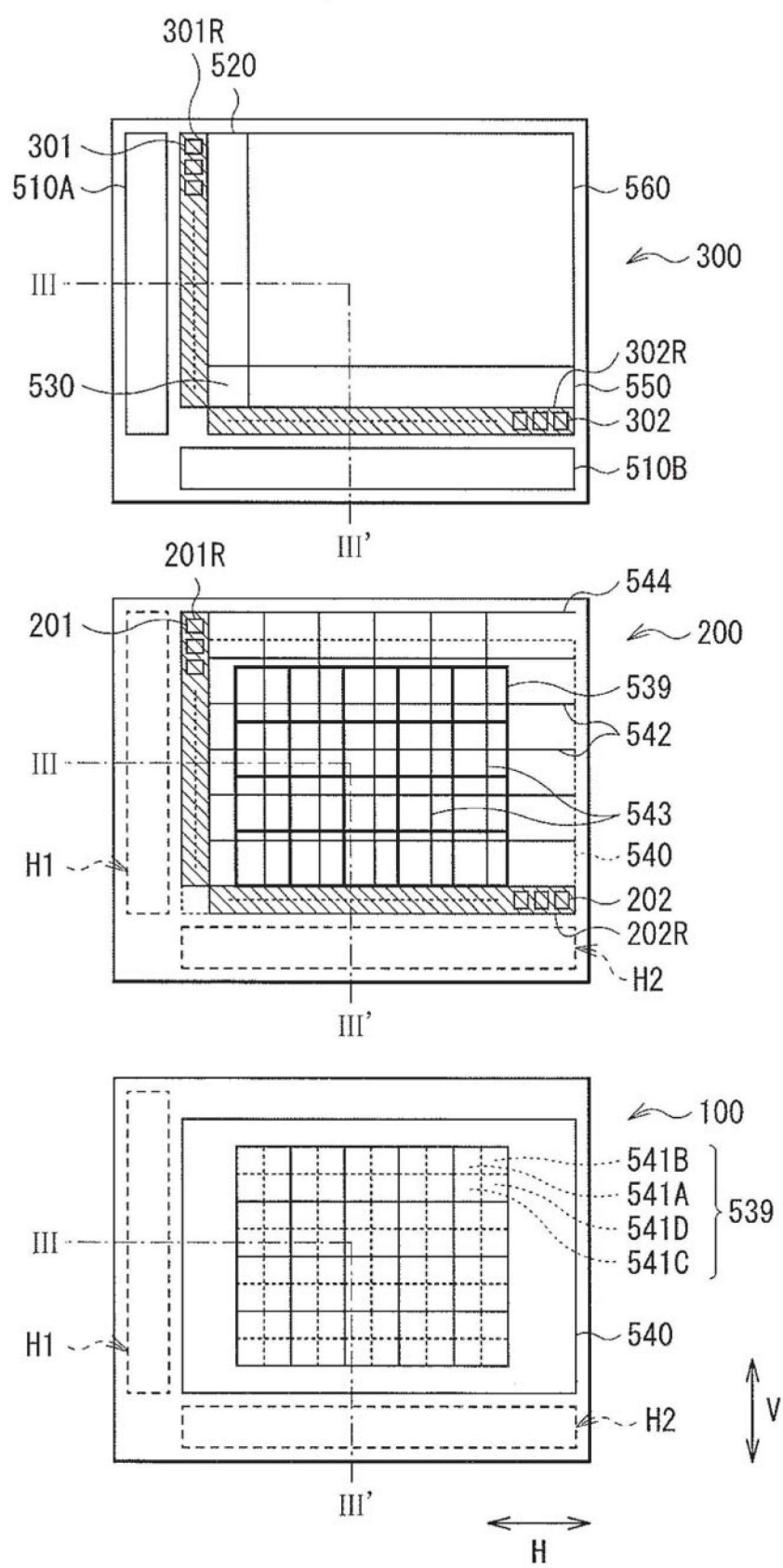
【請求項12】

如請求項1之攝像裝置，其中上述導電膜係使用多晶矽、鎢或二維材料形成。

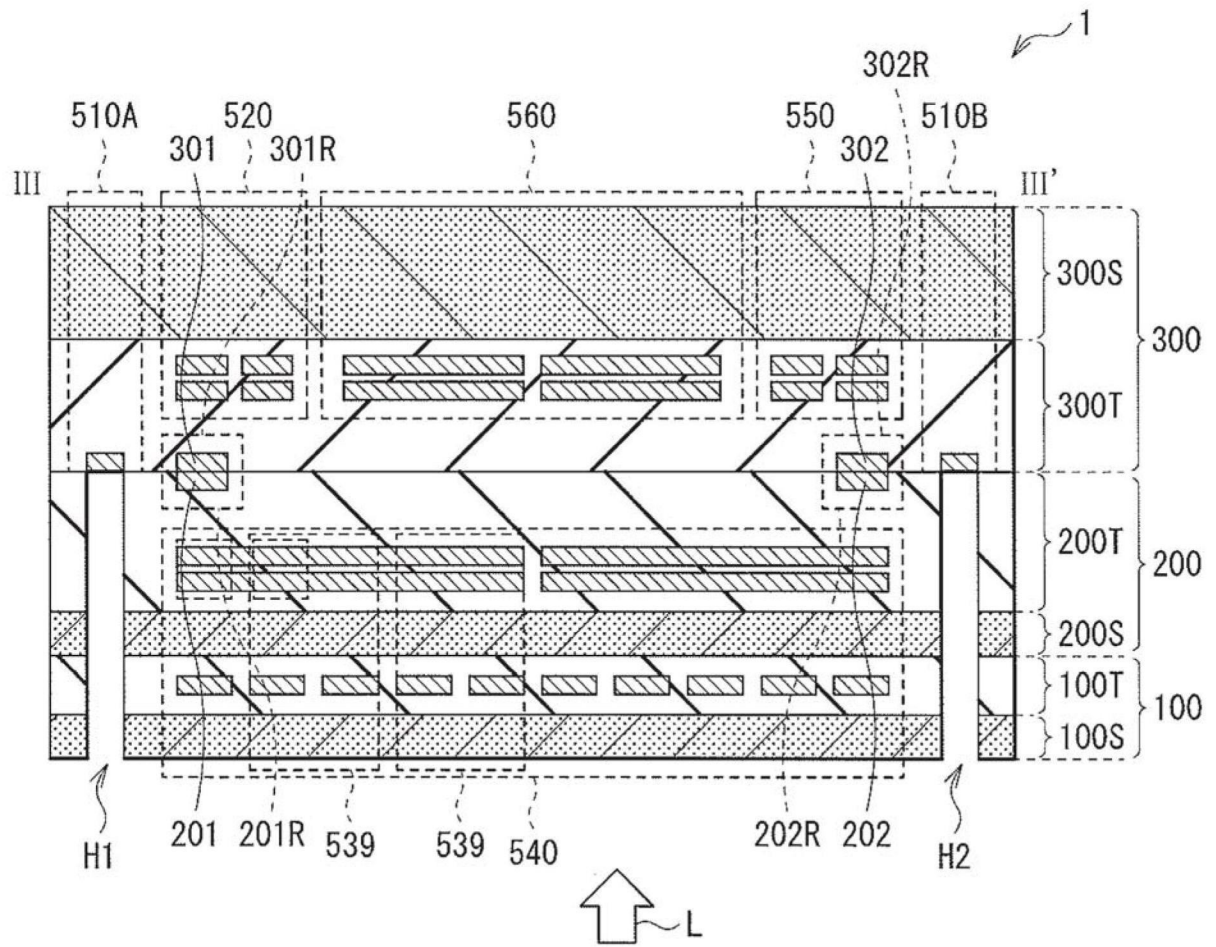
【發明圖式】



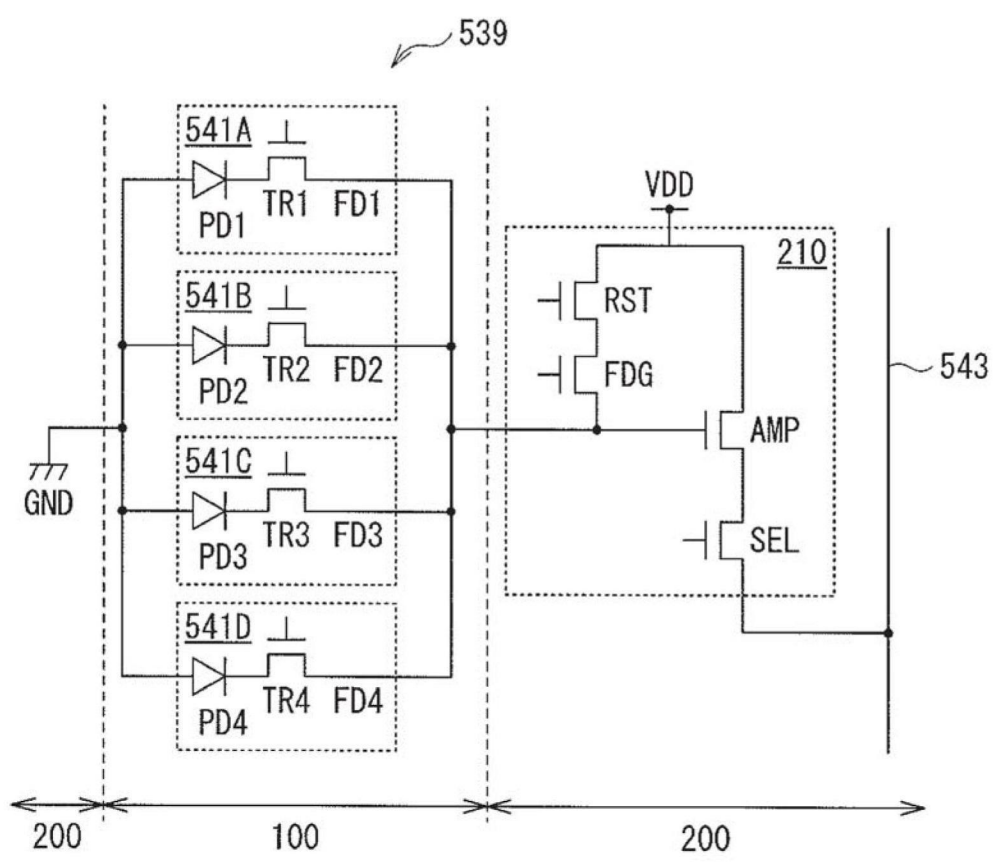
【圖1】



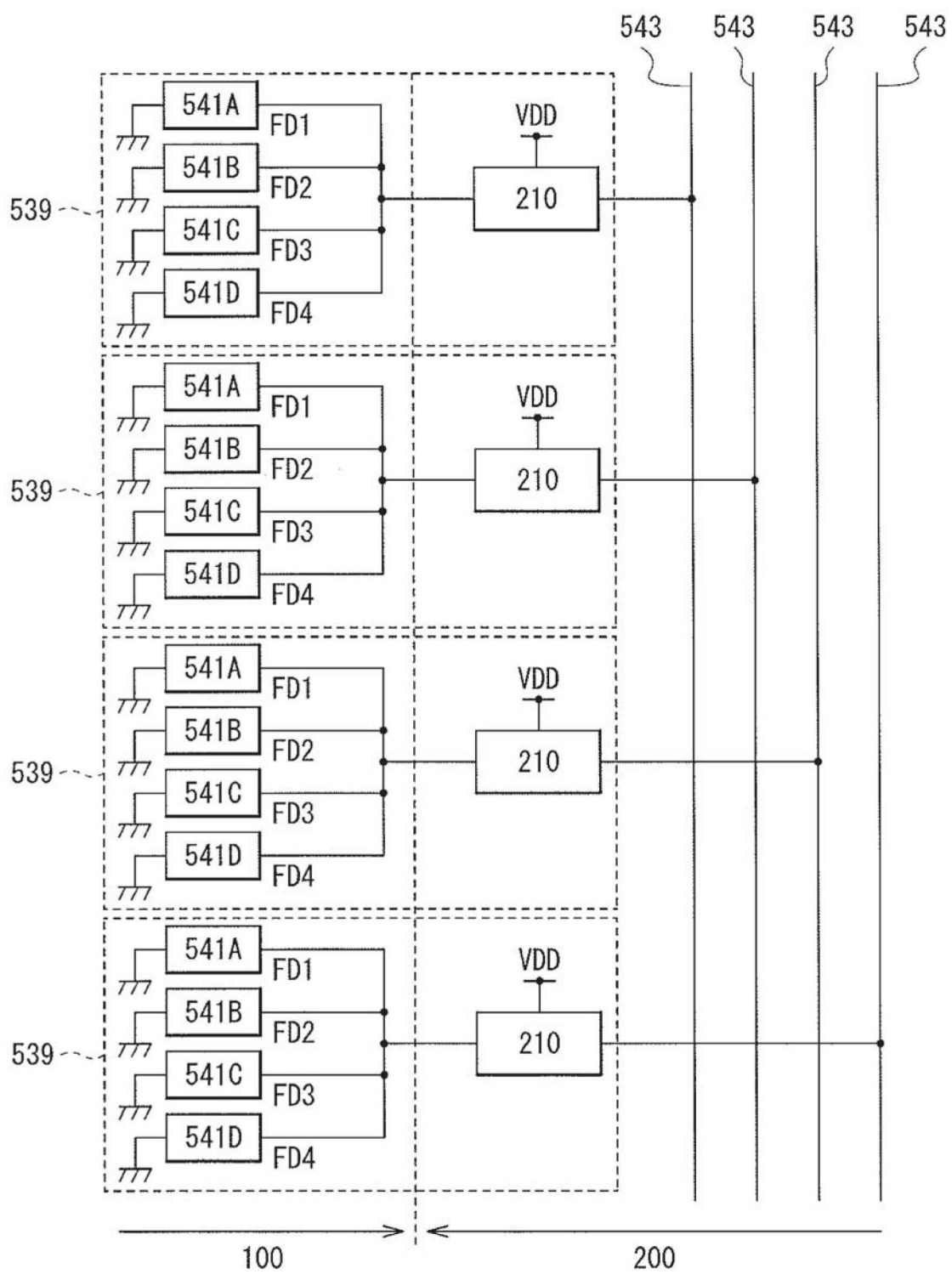
【圖2】



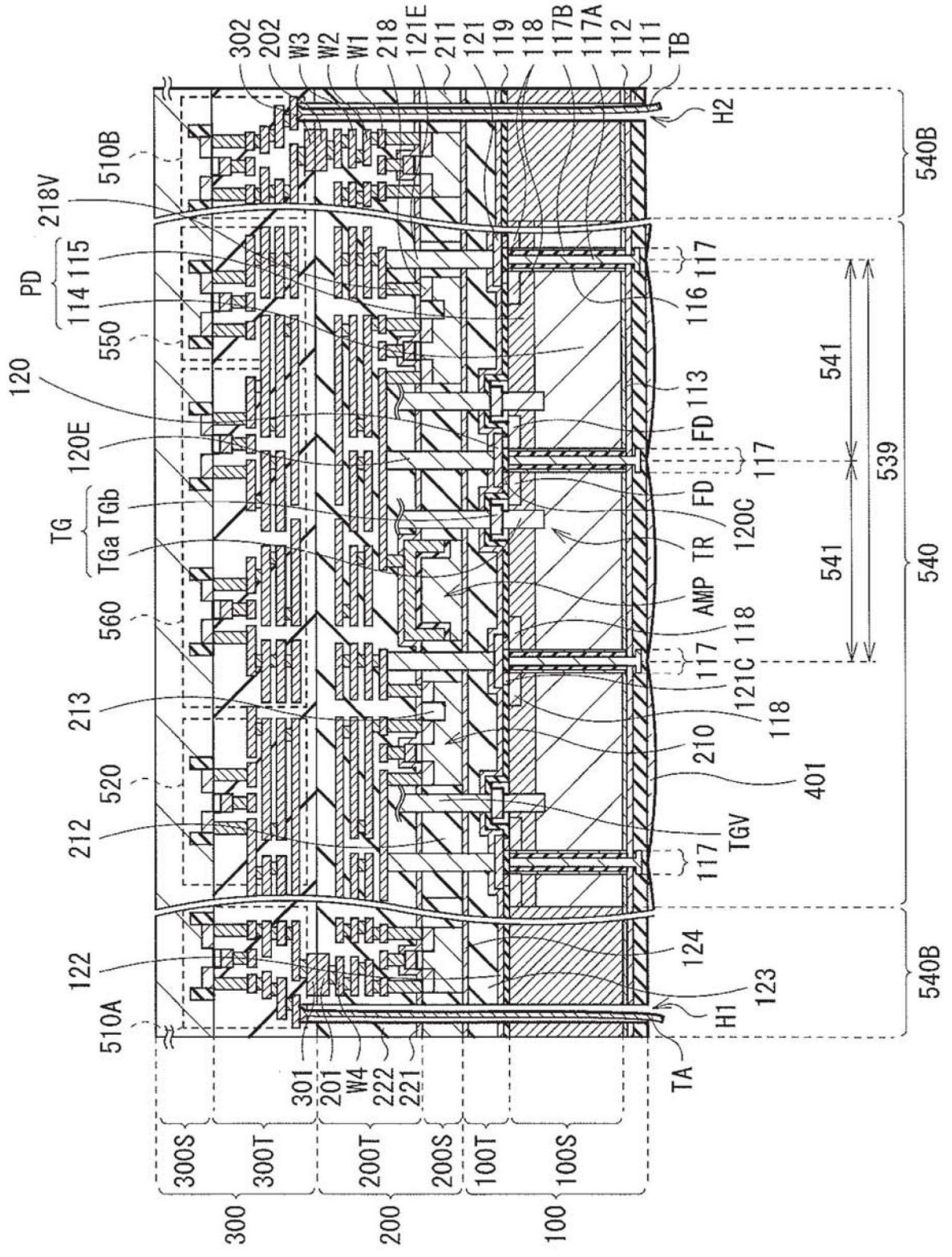
【圖3】



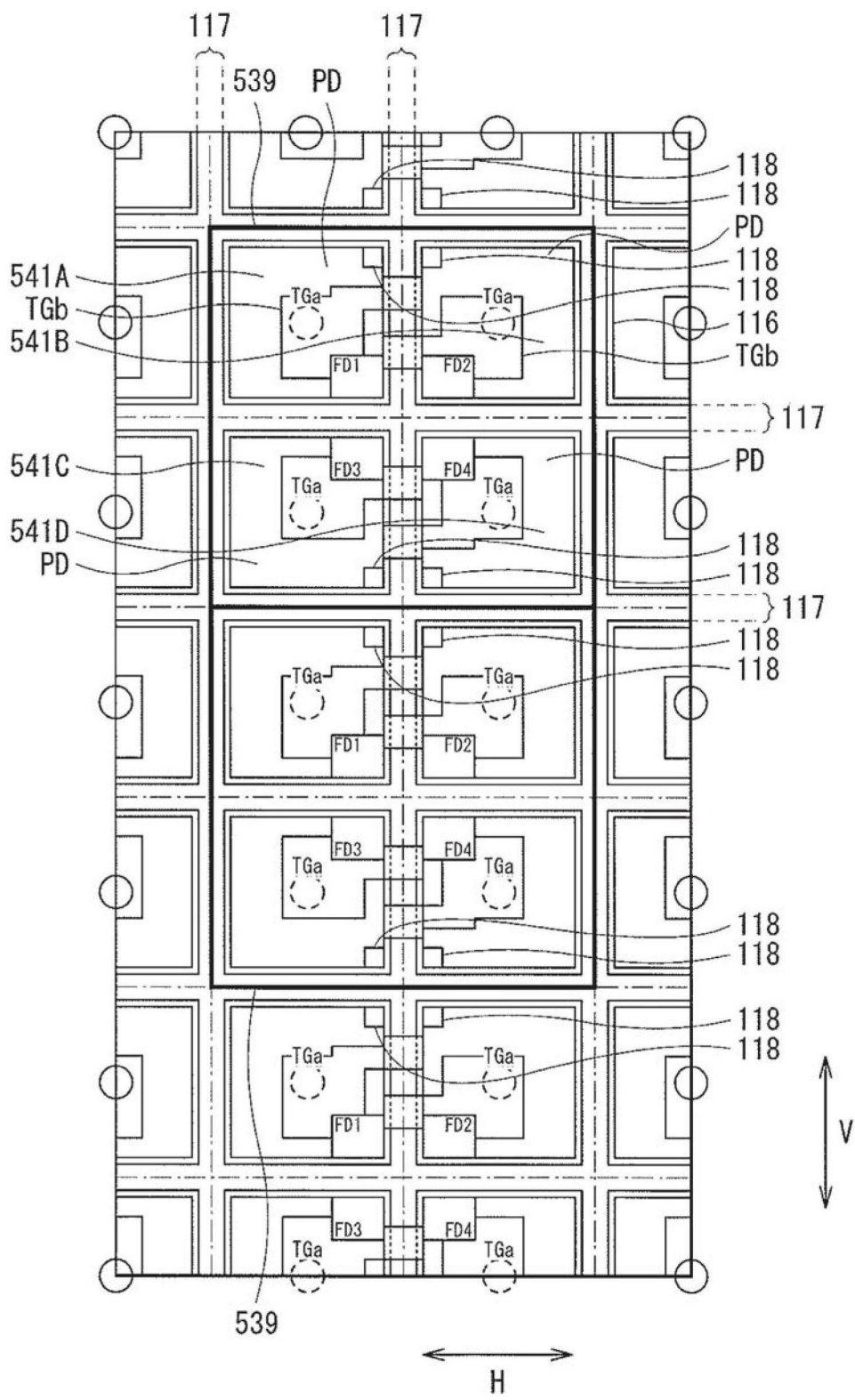
【圖4】



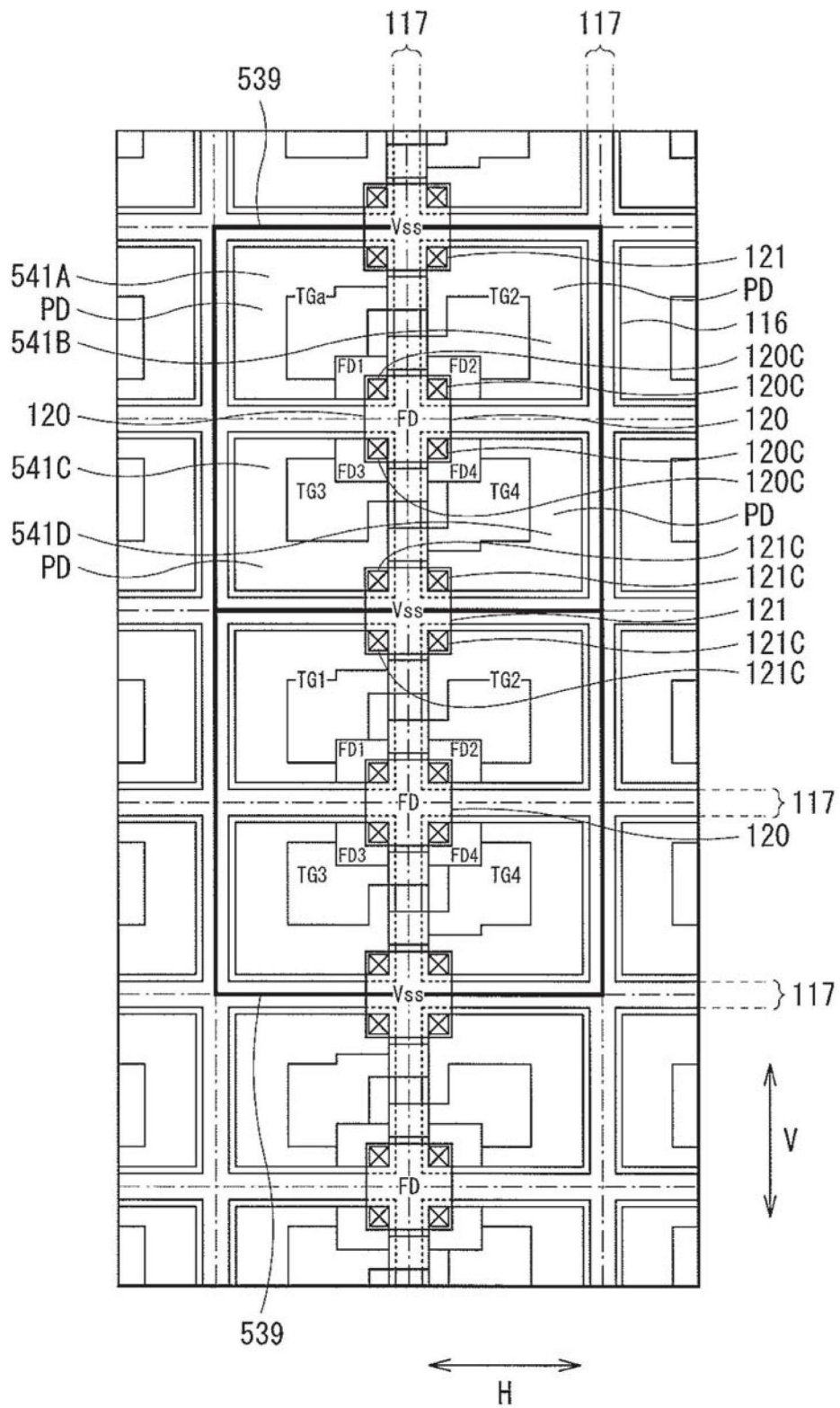
【圖5】



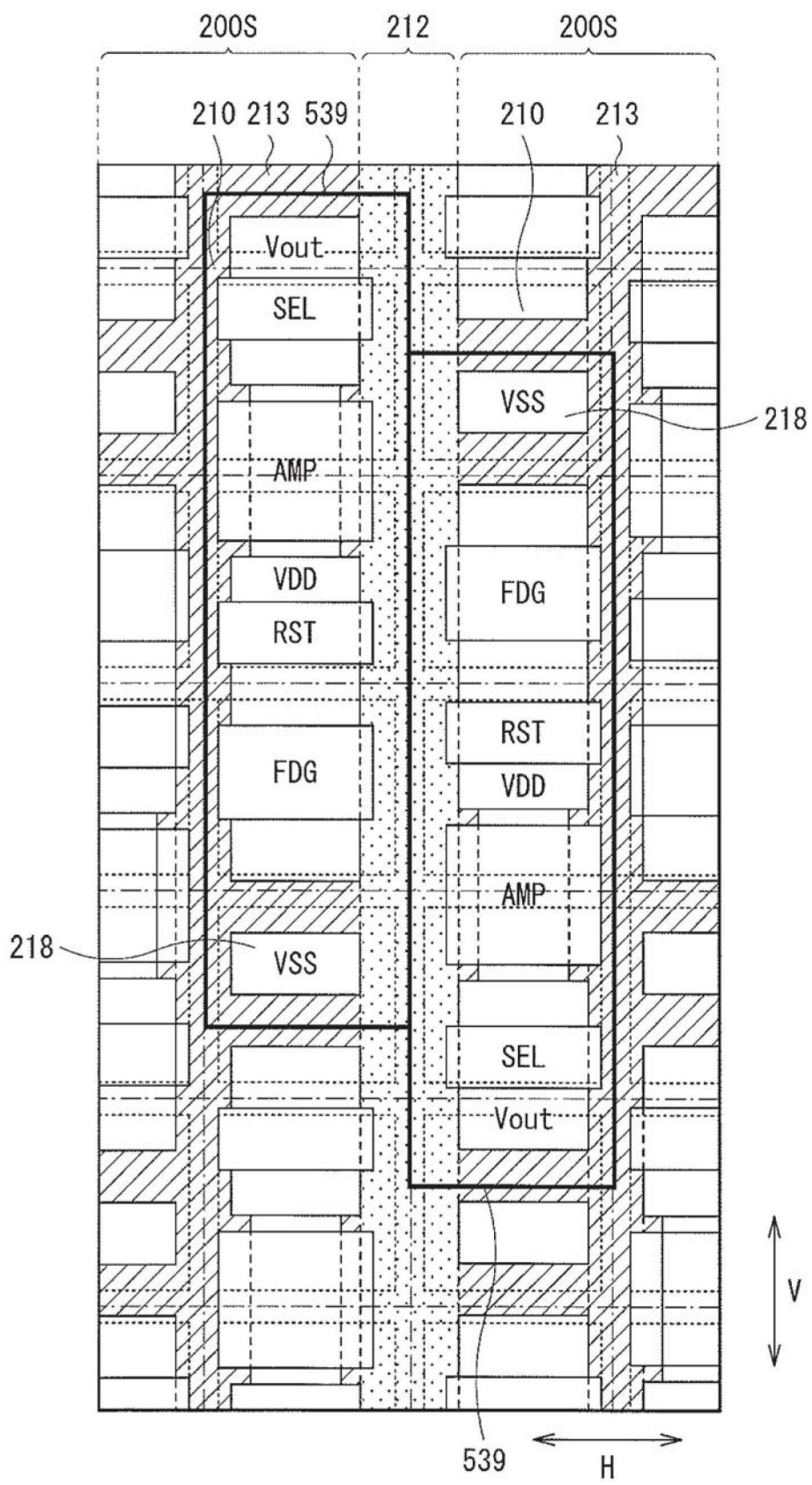
【圖6】



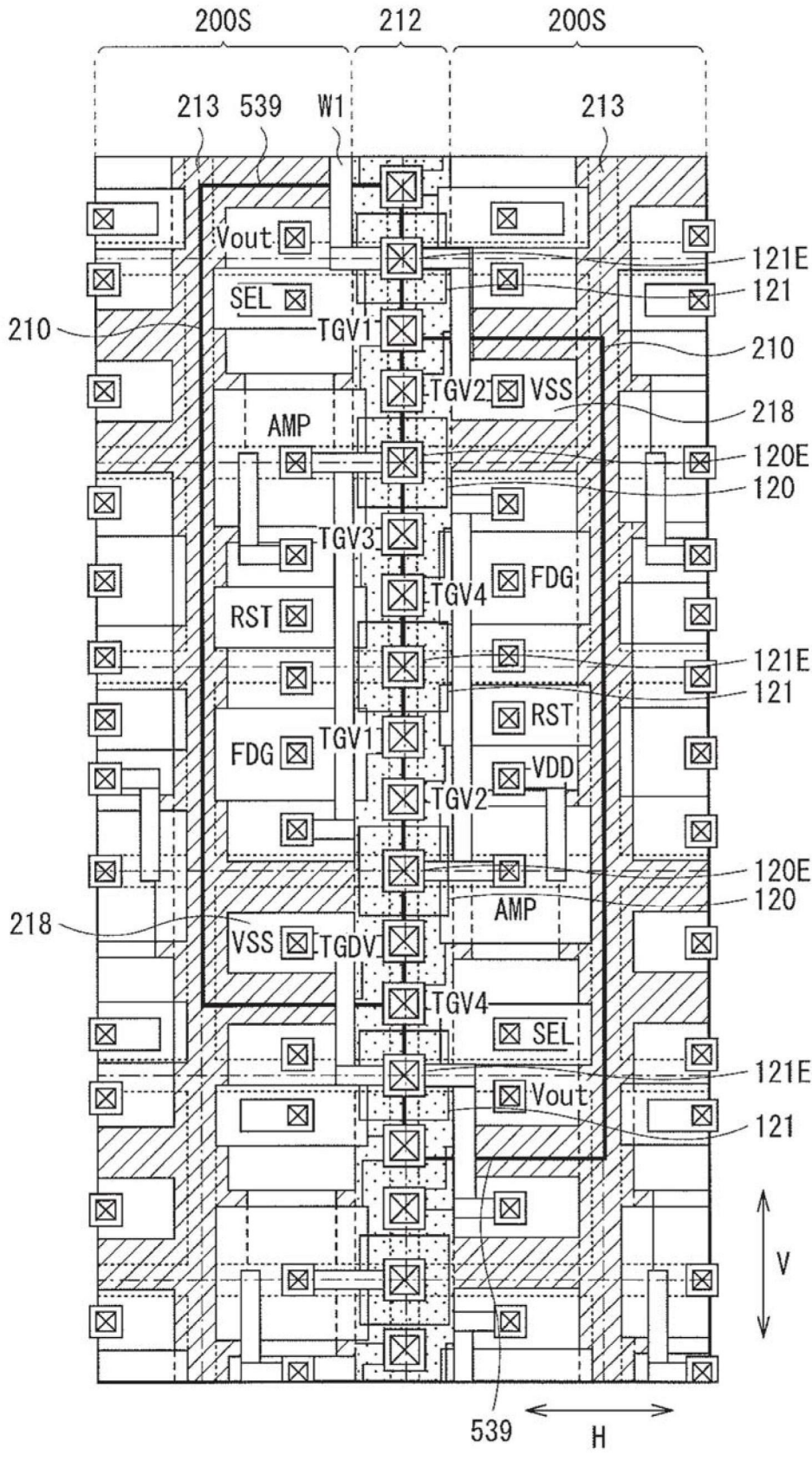
【圖7A】



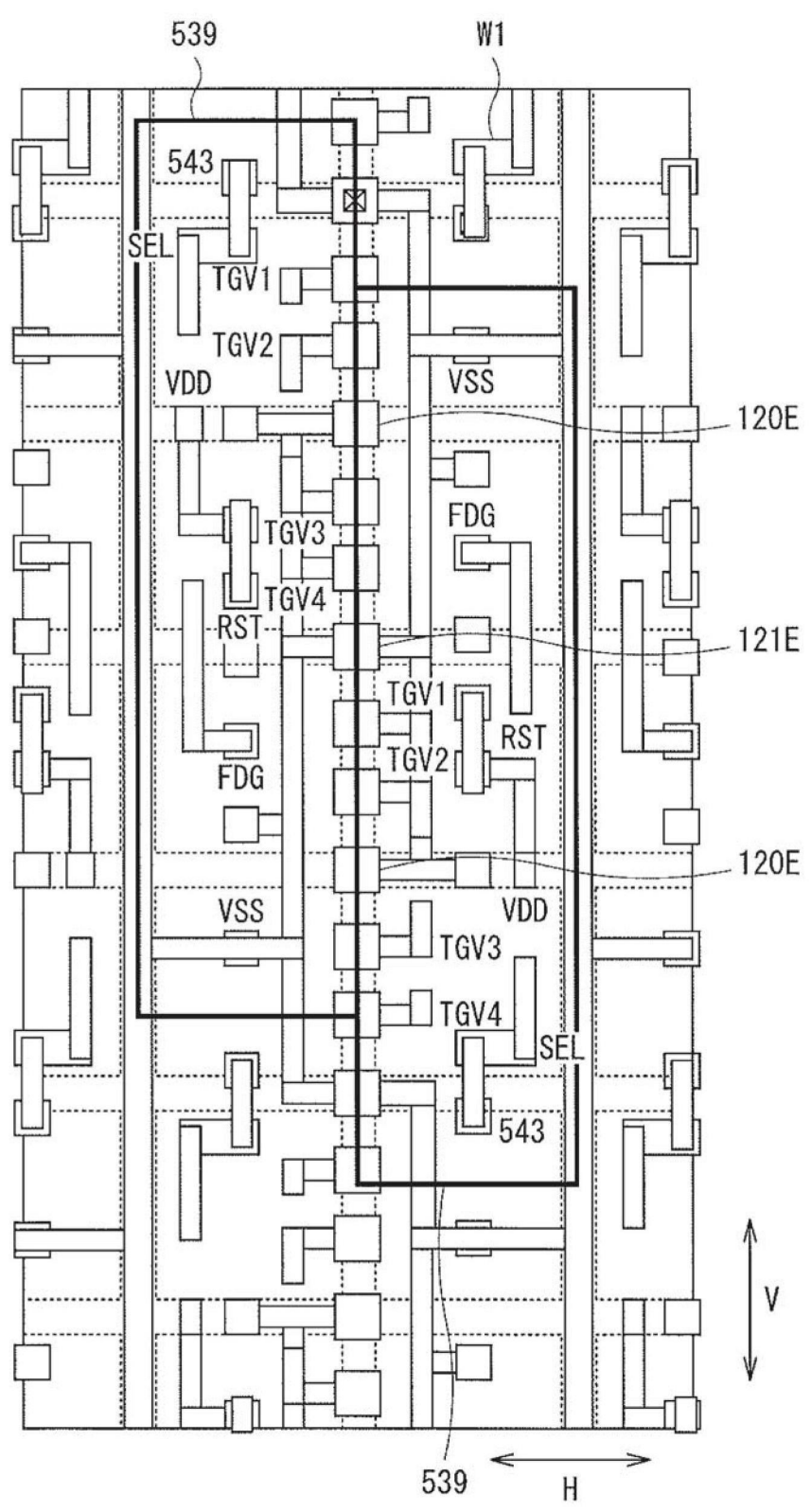
【圖7B】



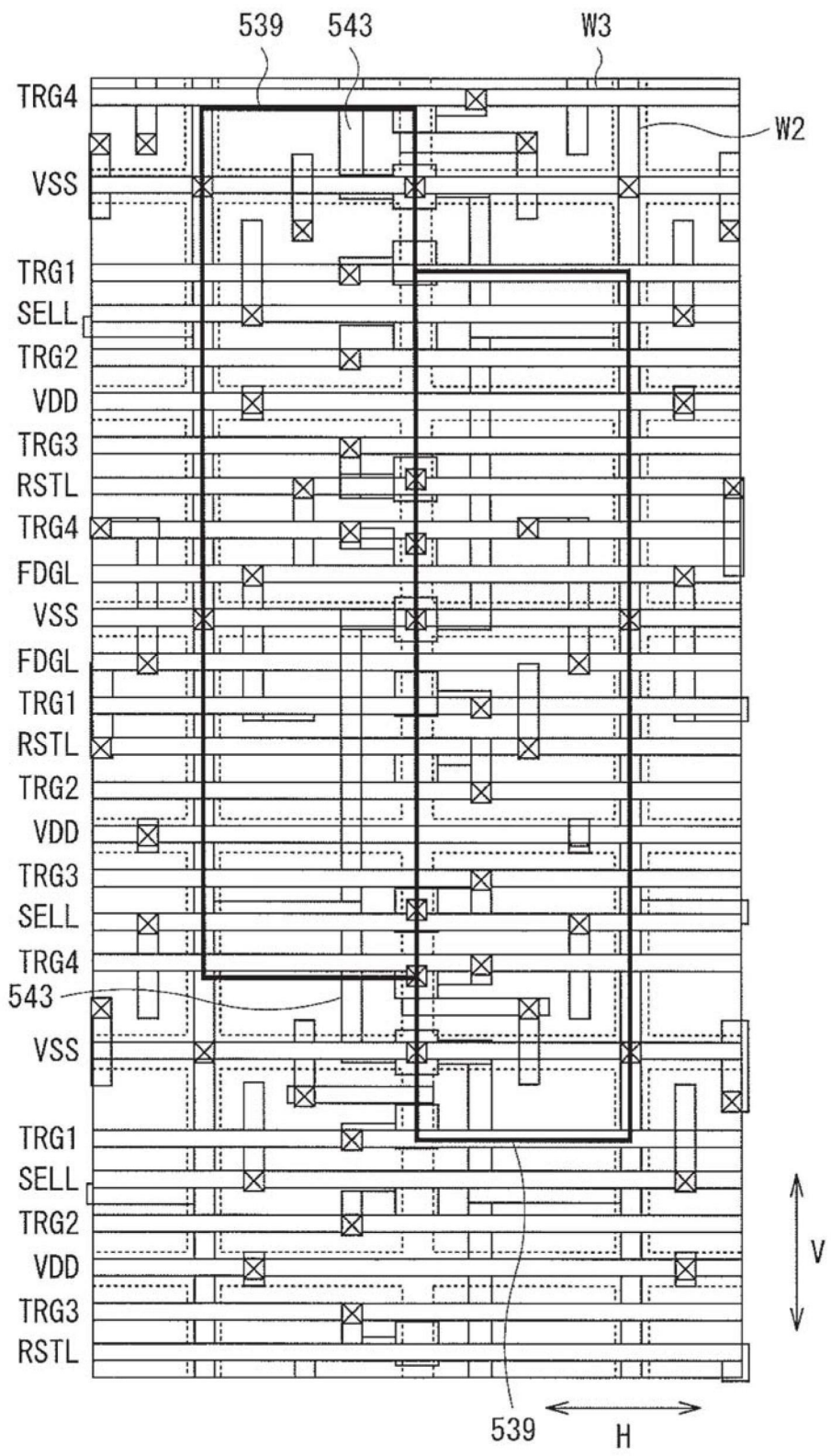
【圖8】



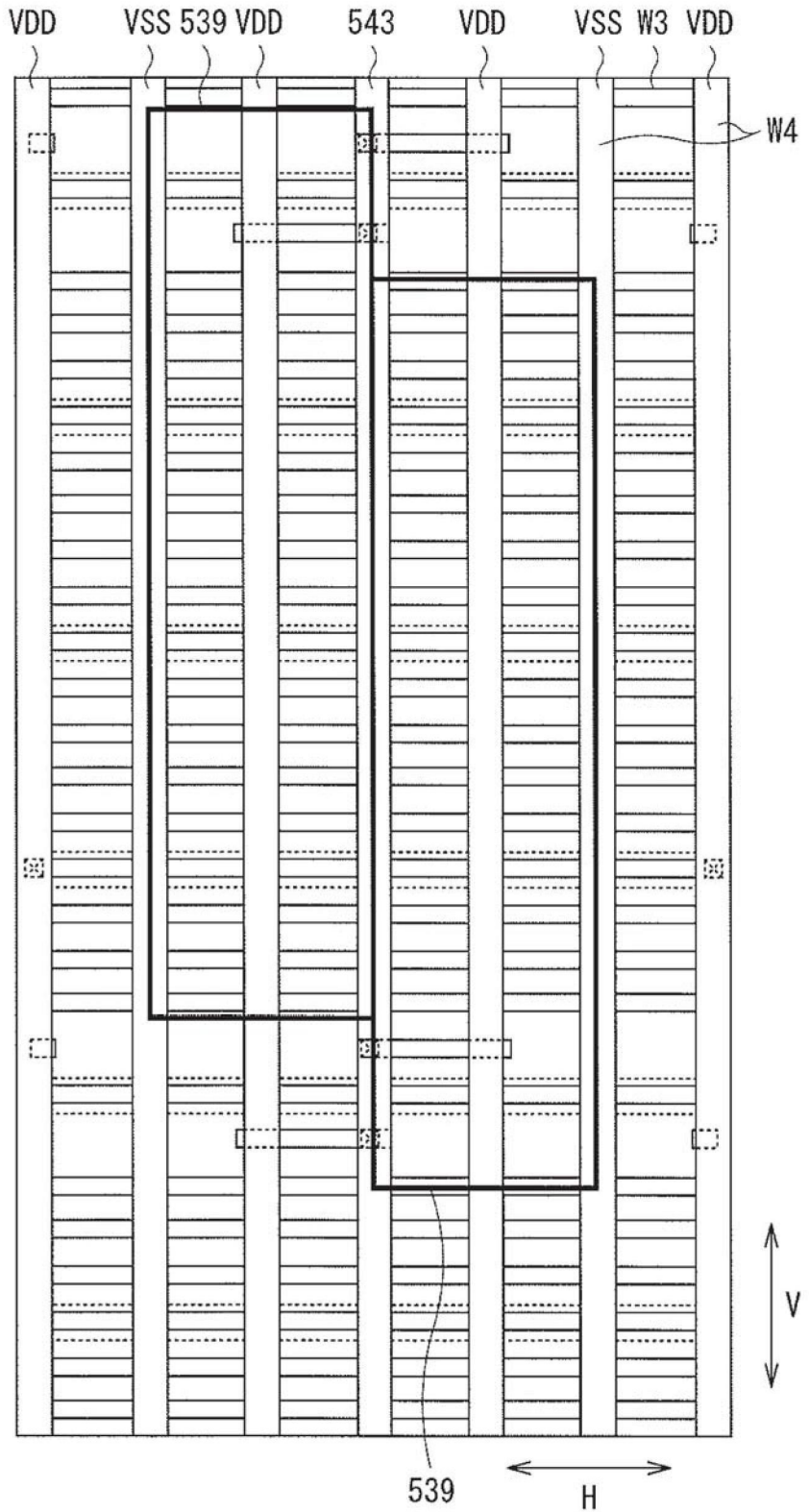
【圖9】



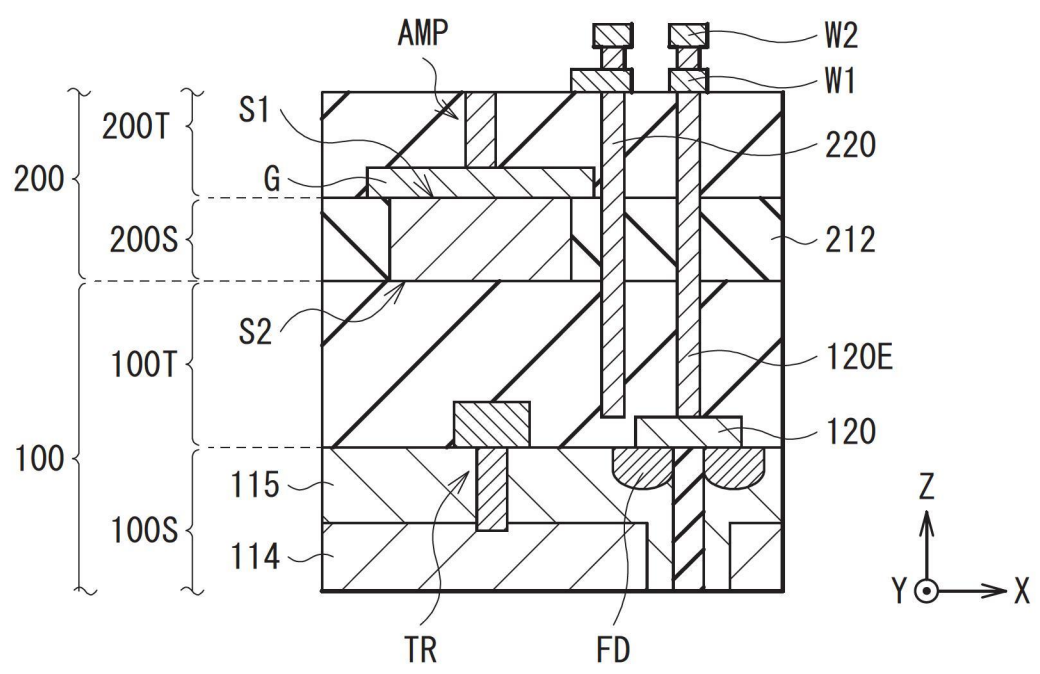
【圖10】



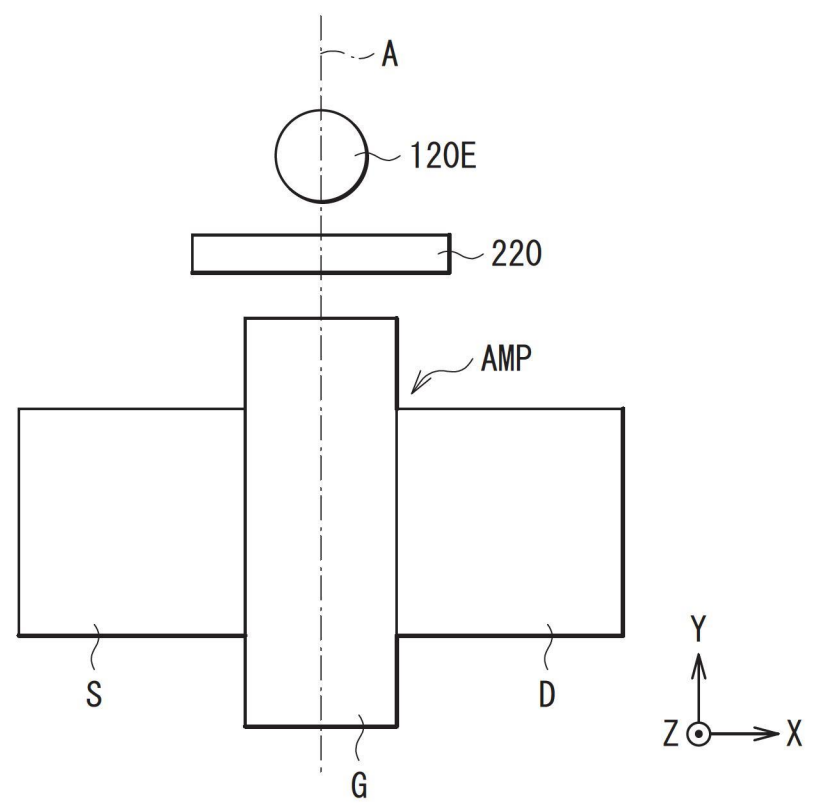
【圖11】



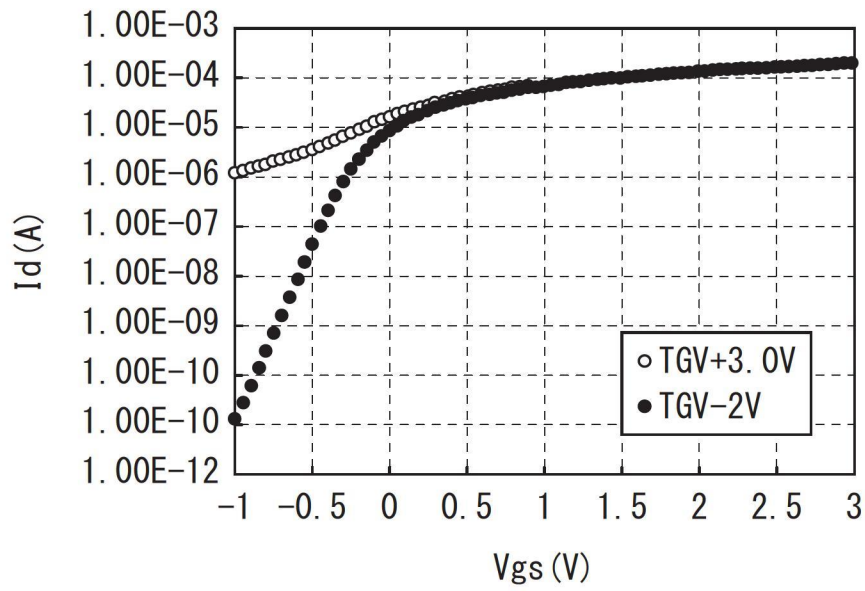
【圖12】



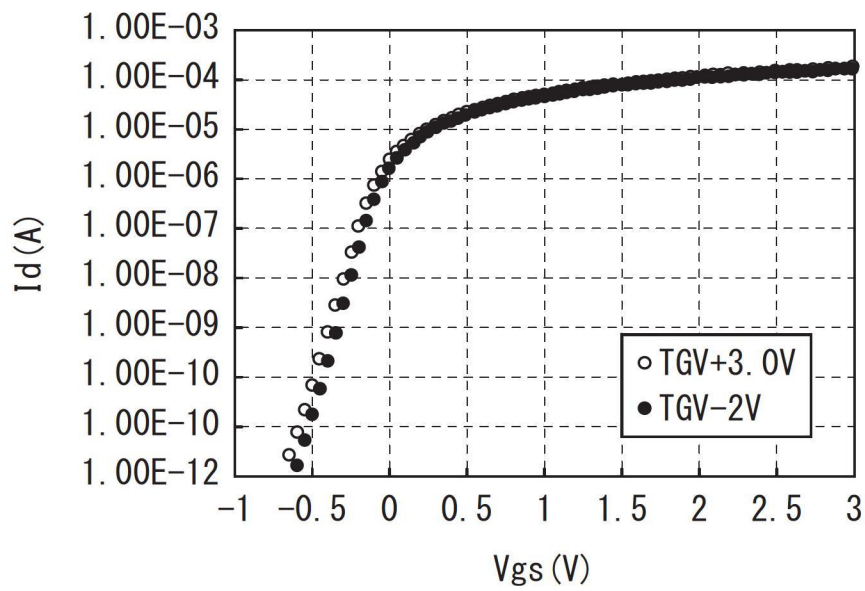
【圖13A】



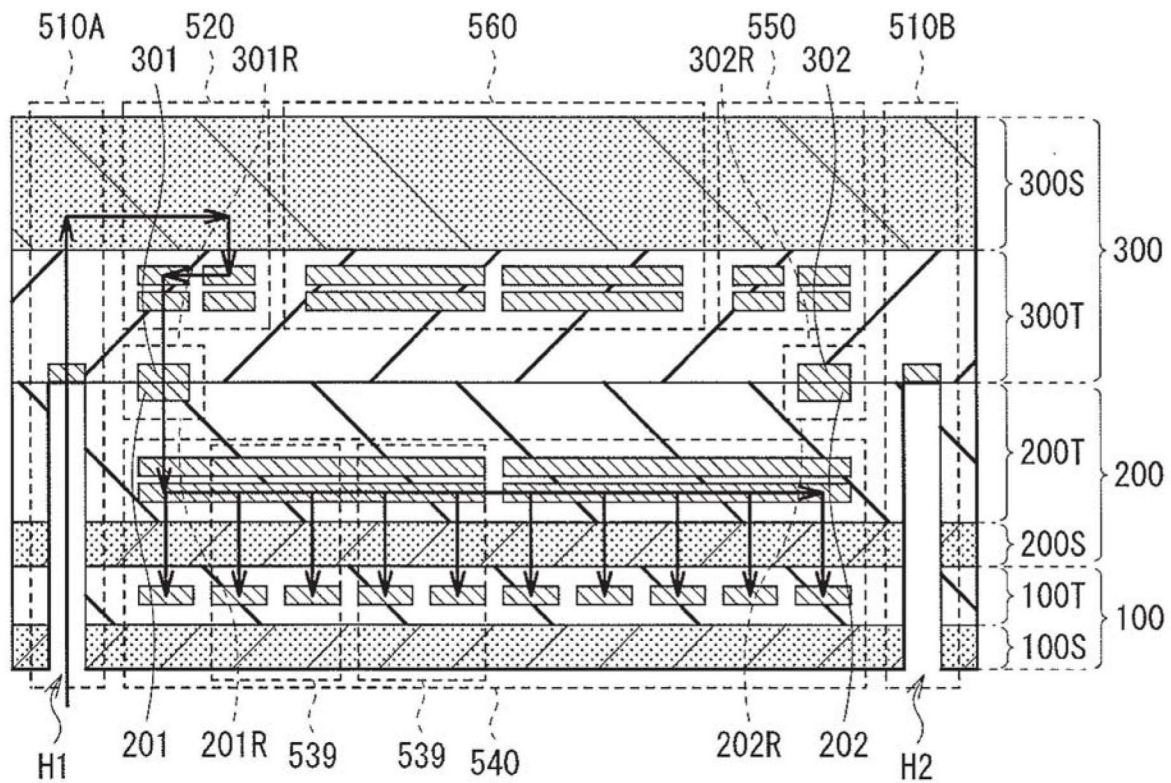
【圖13B】



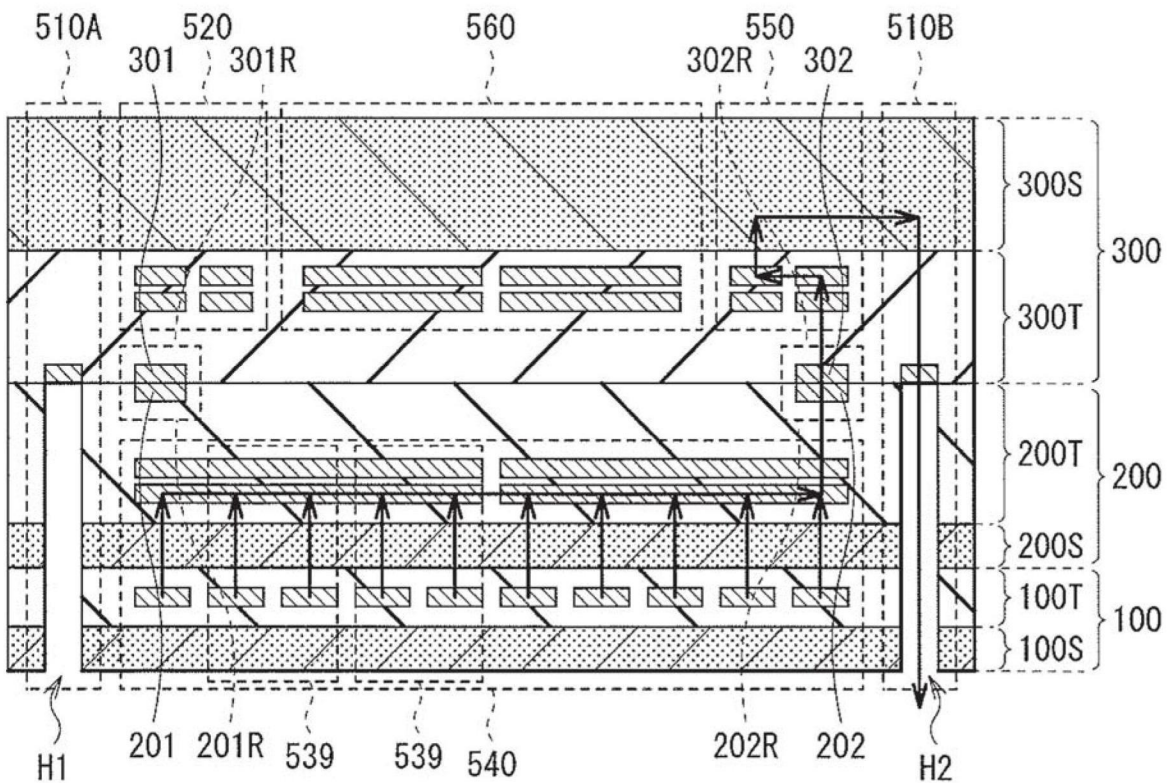
【圖14】



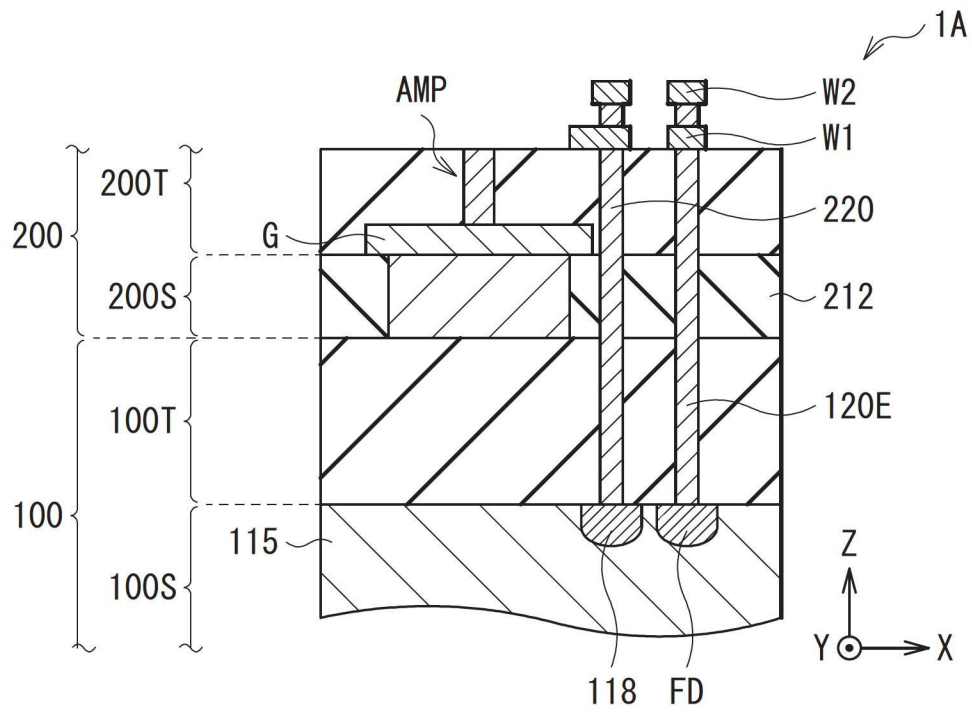
【圖15】



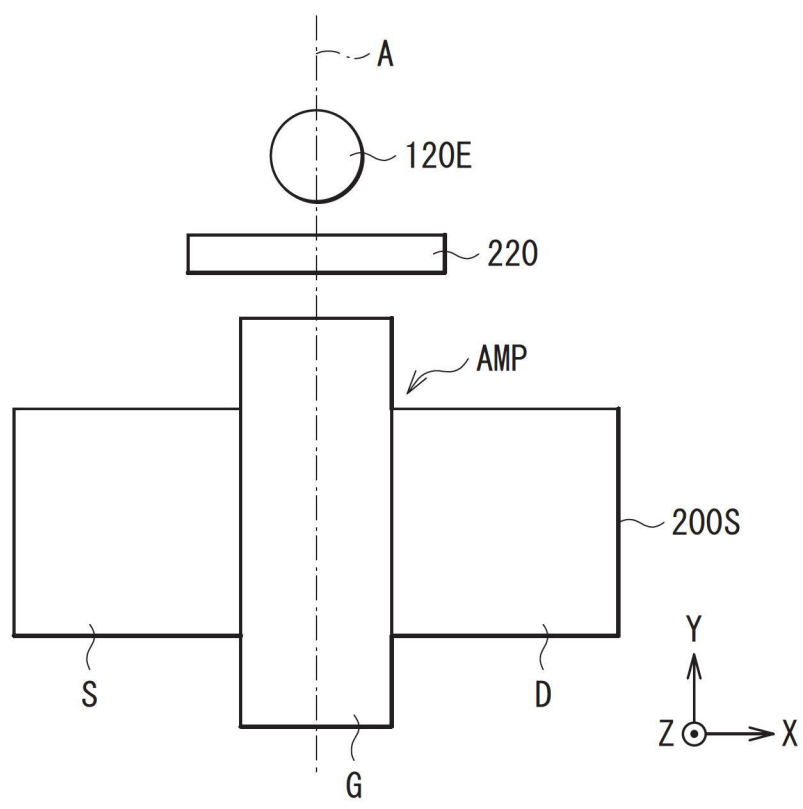
【圖16】



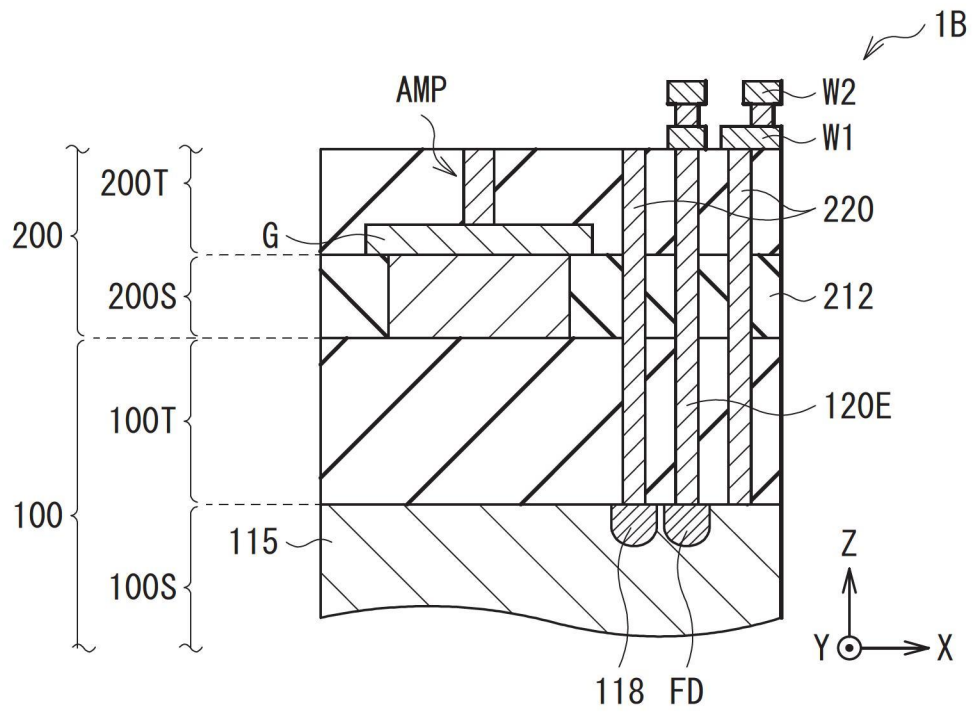
【圖17】



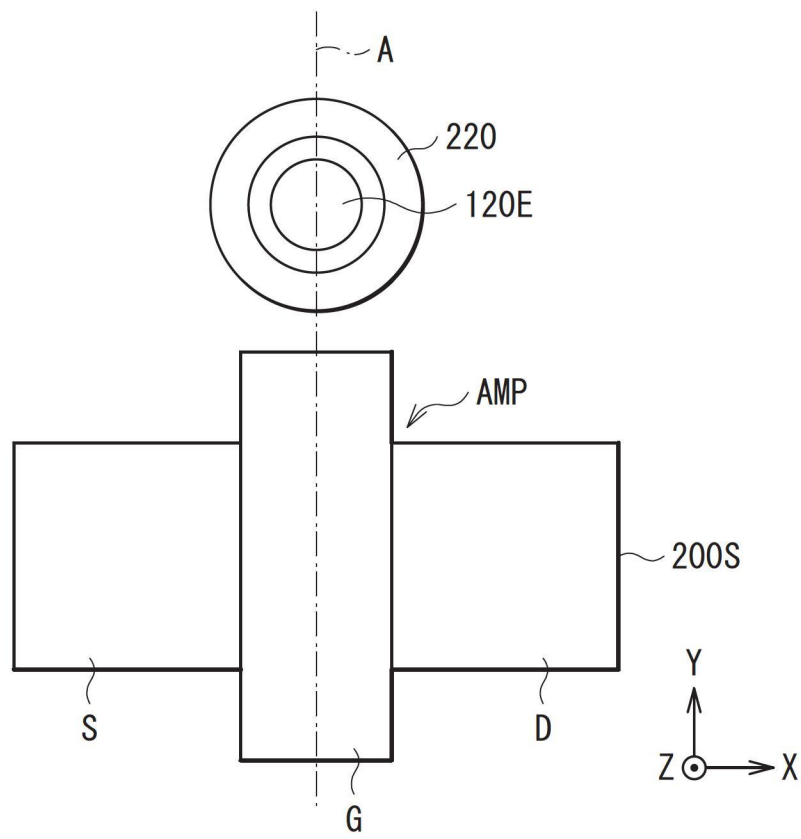
【圖18A】



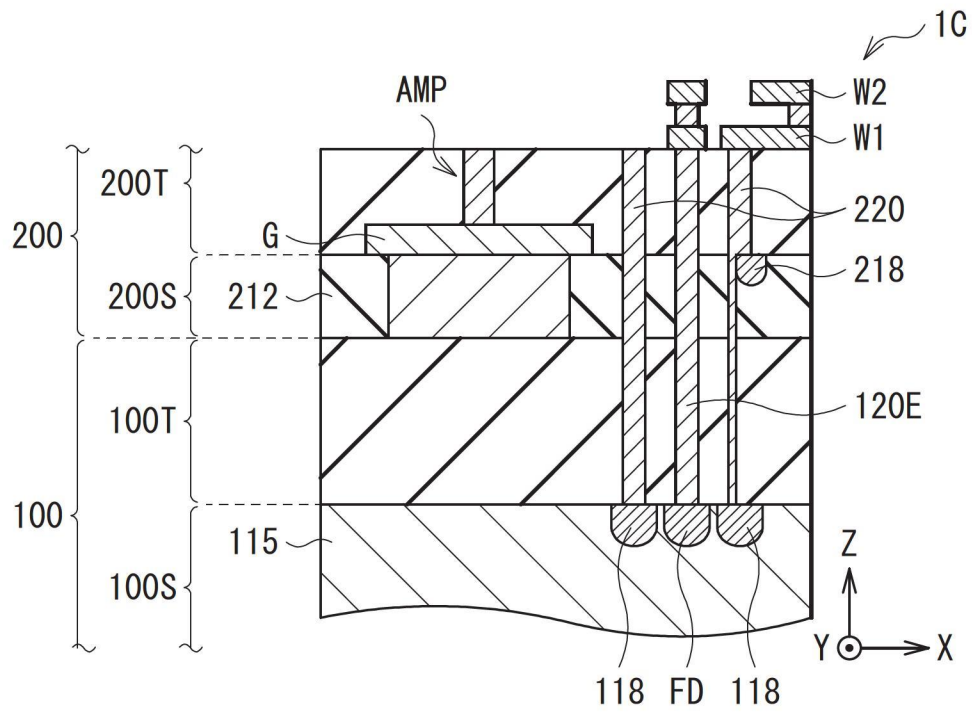
【圖18B】



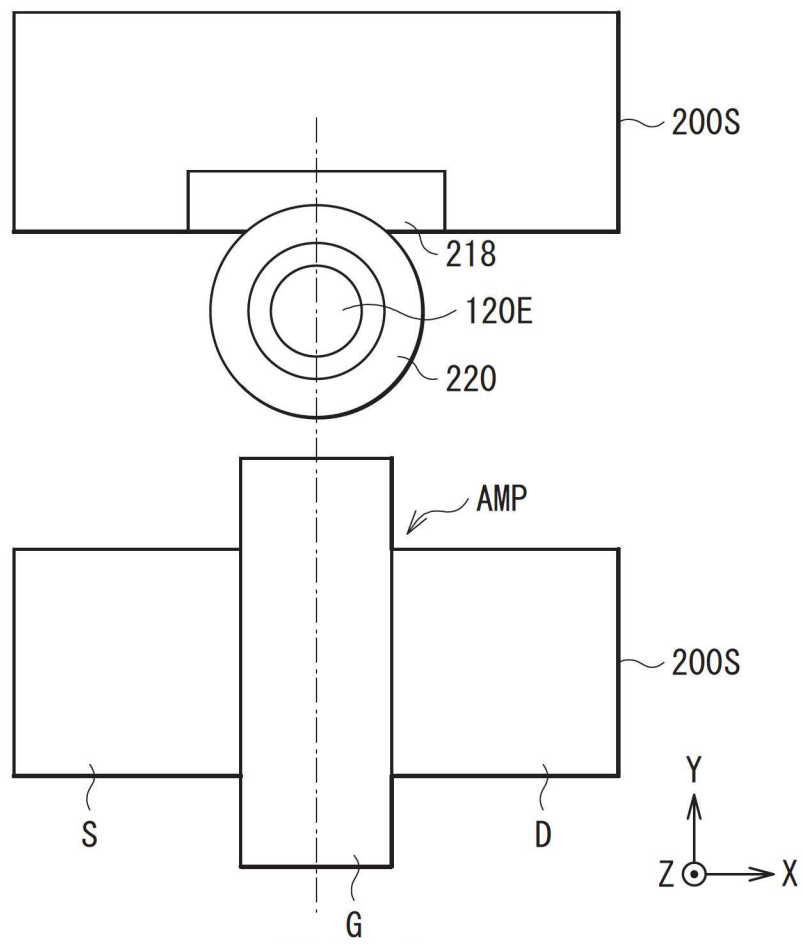
【圖19A】



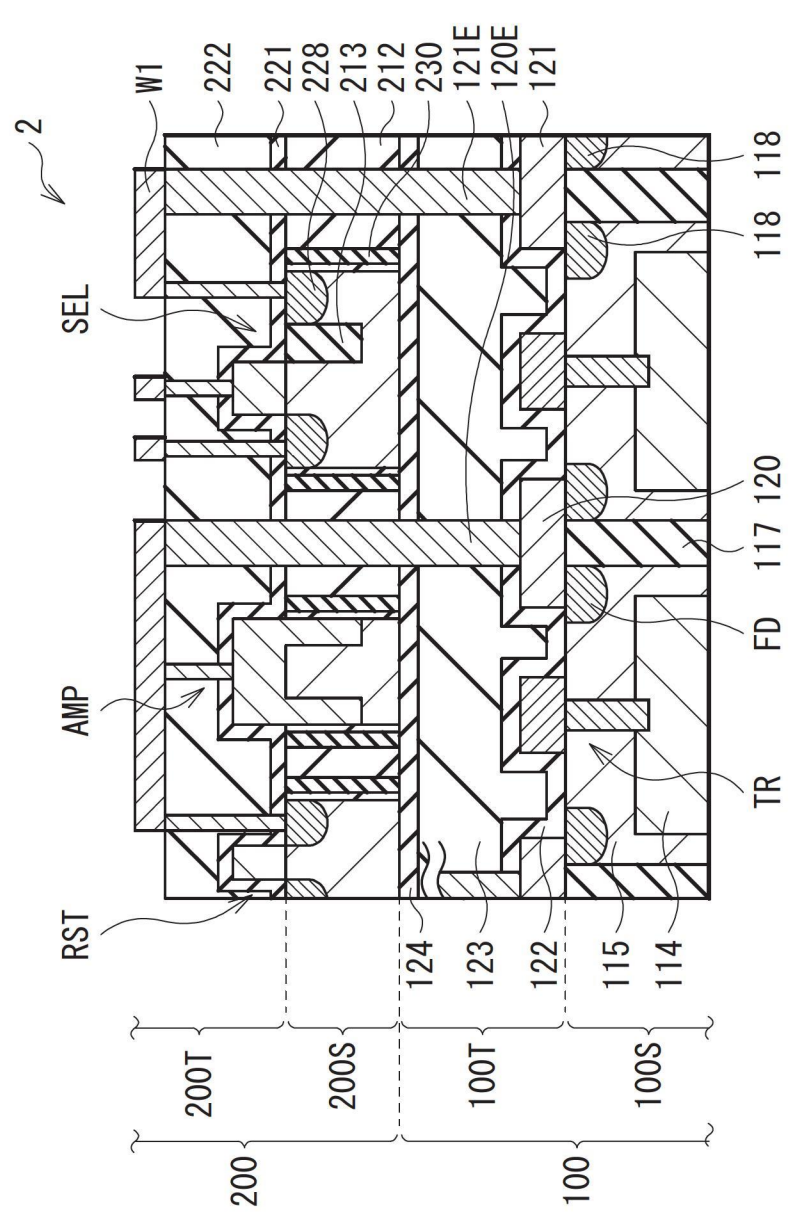
【圖19B】



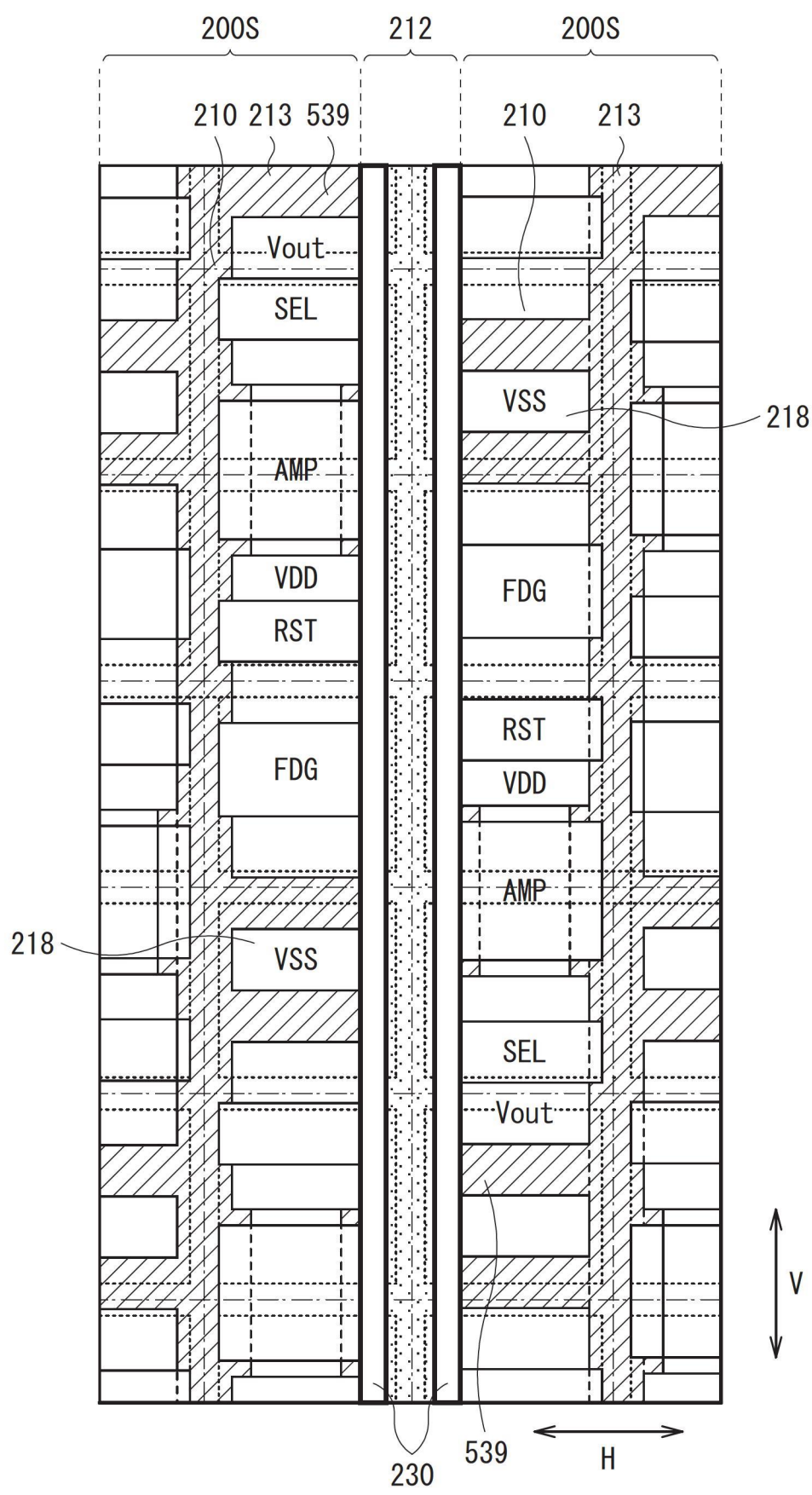
【圖20A】



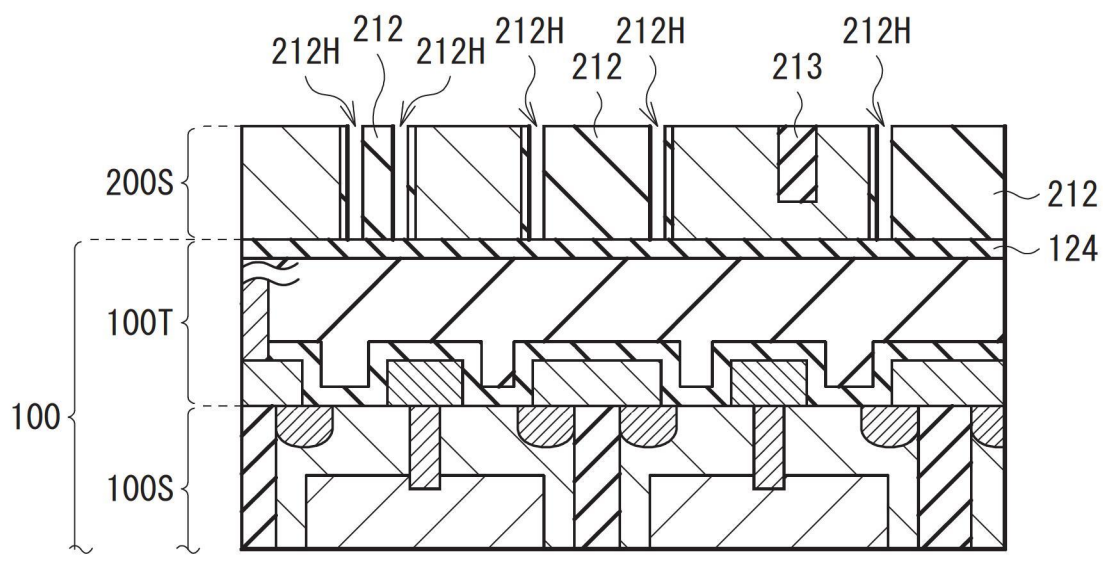
【圖20B】



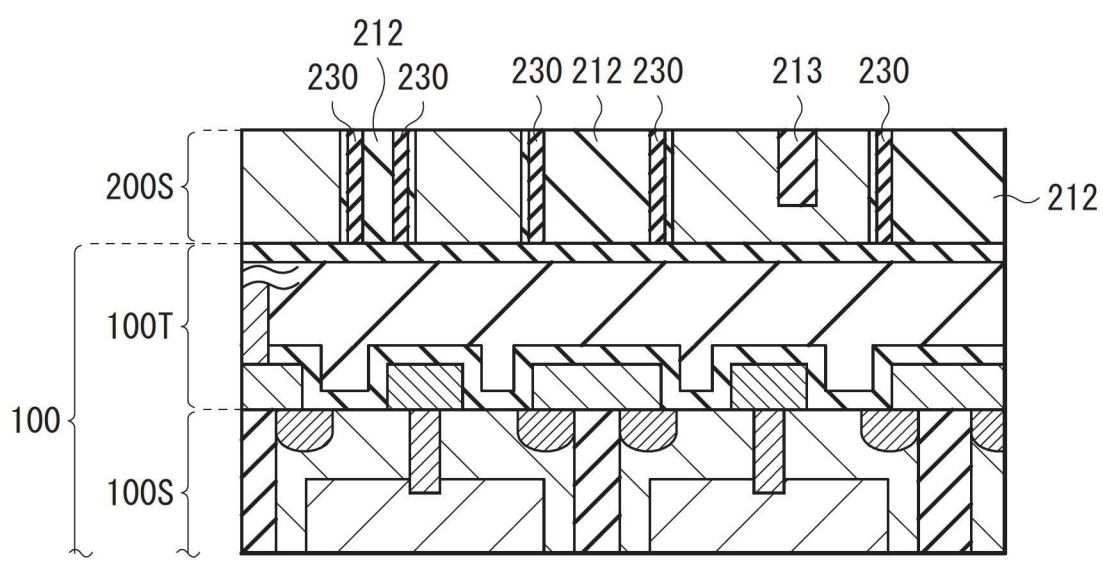
【圖21】



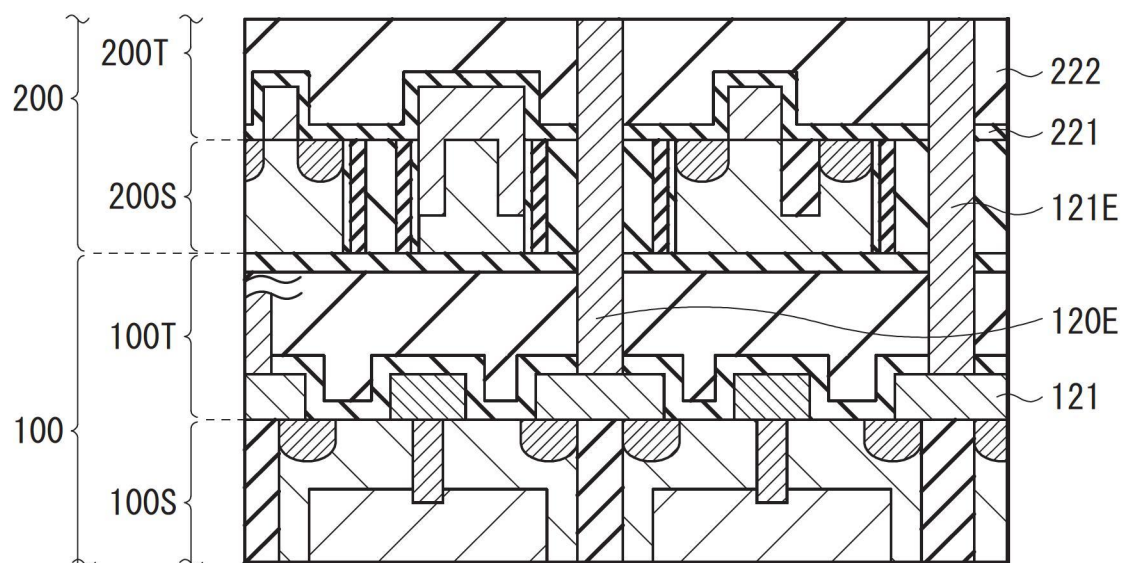
【圖22】



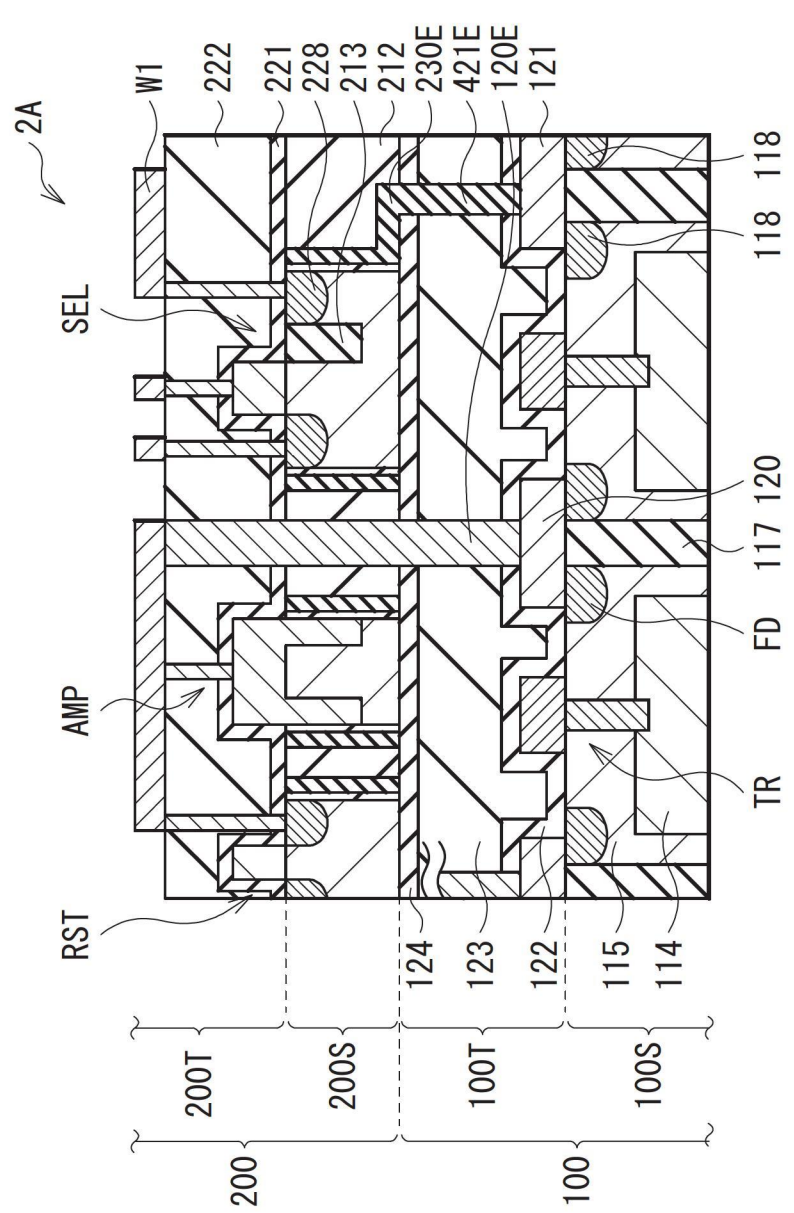
【圖23A】



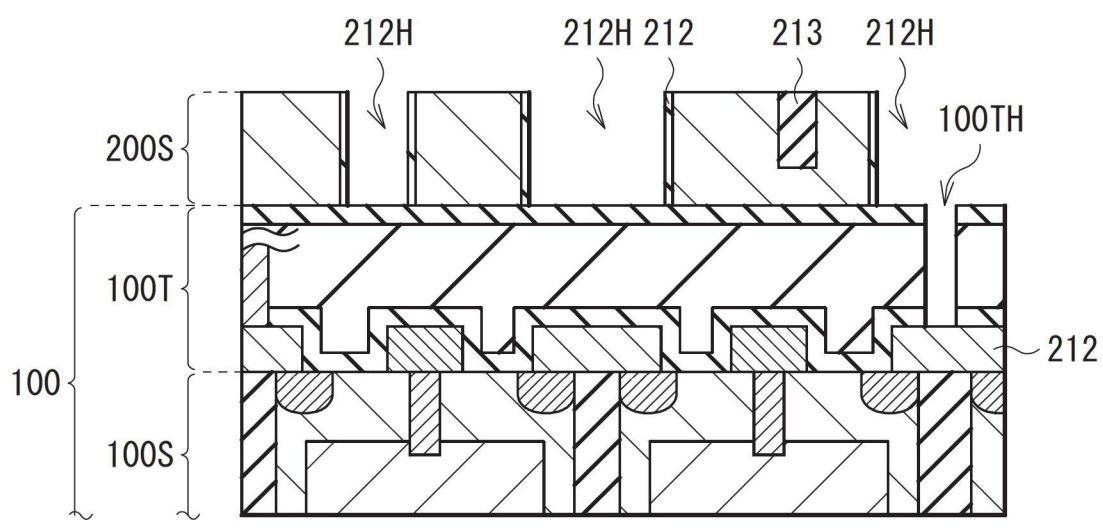
【圖23B】



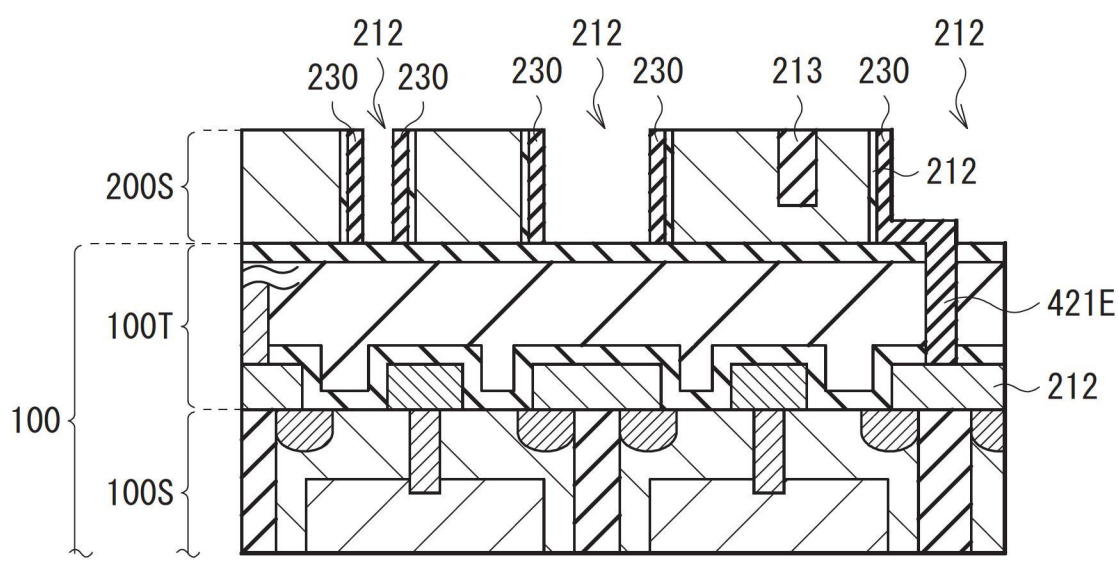
【圖23C】



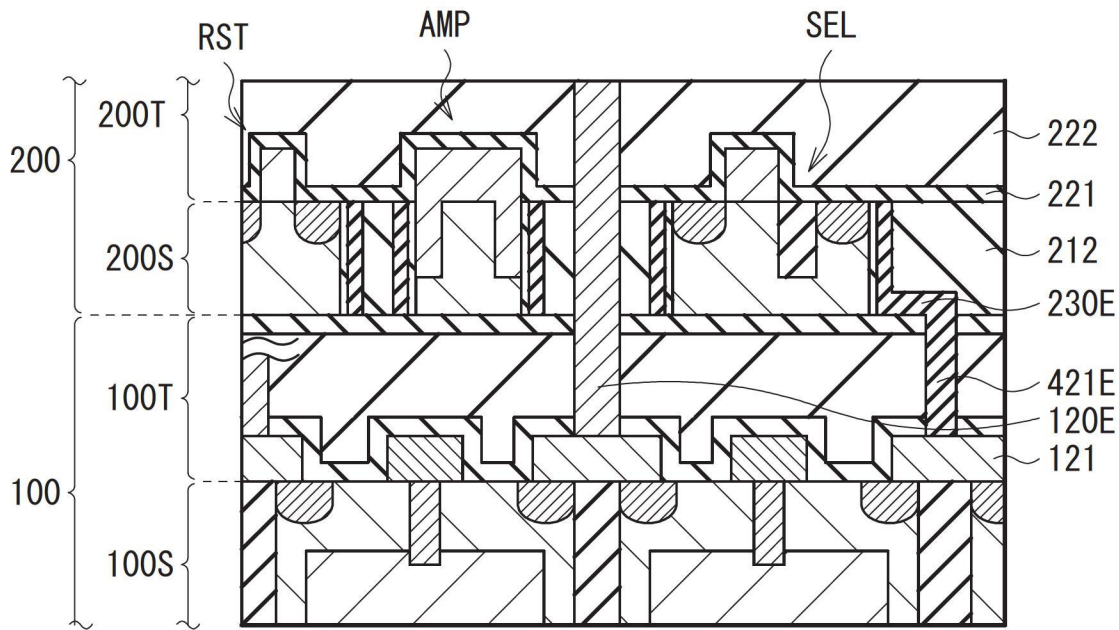
【圖24】



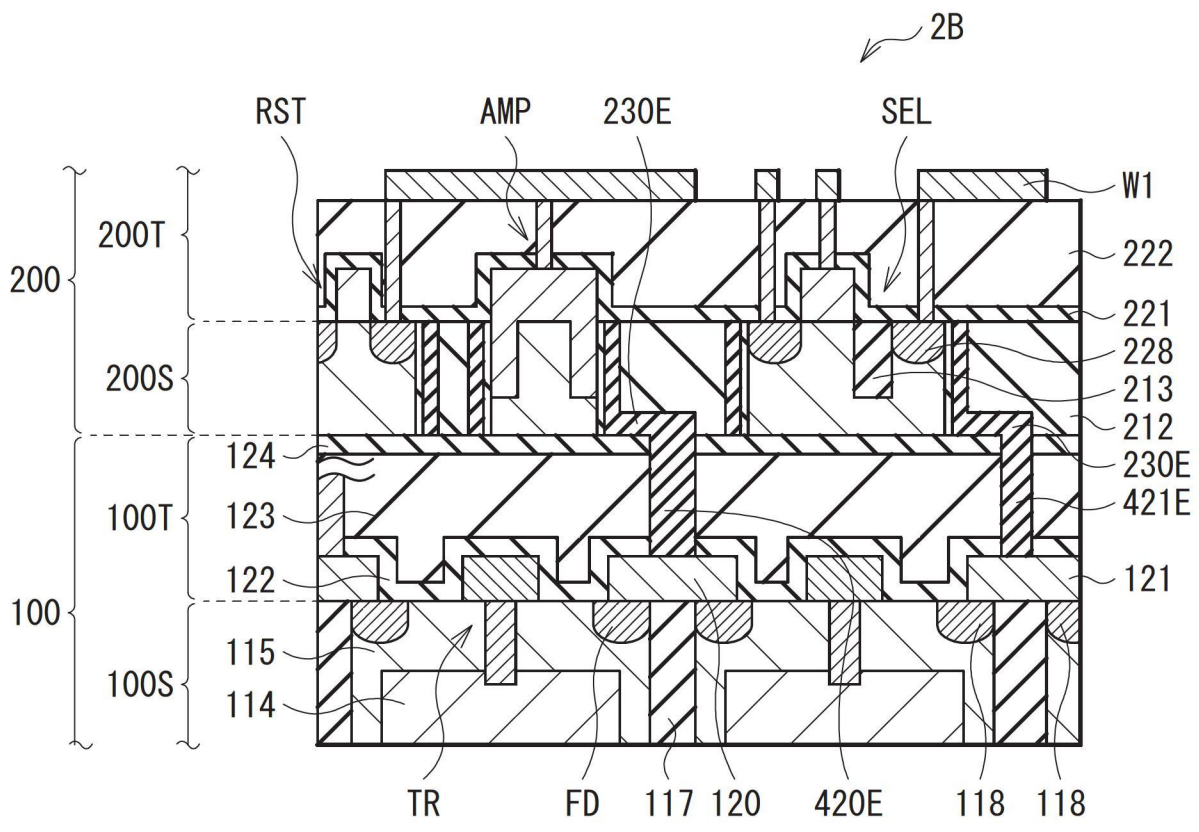
【圖25A】



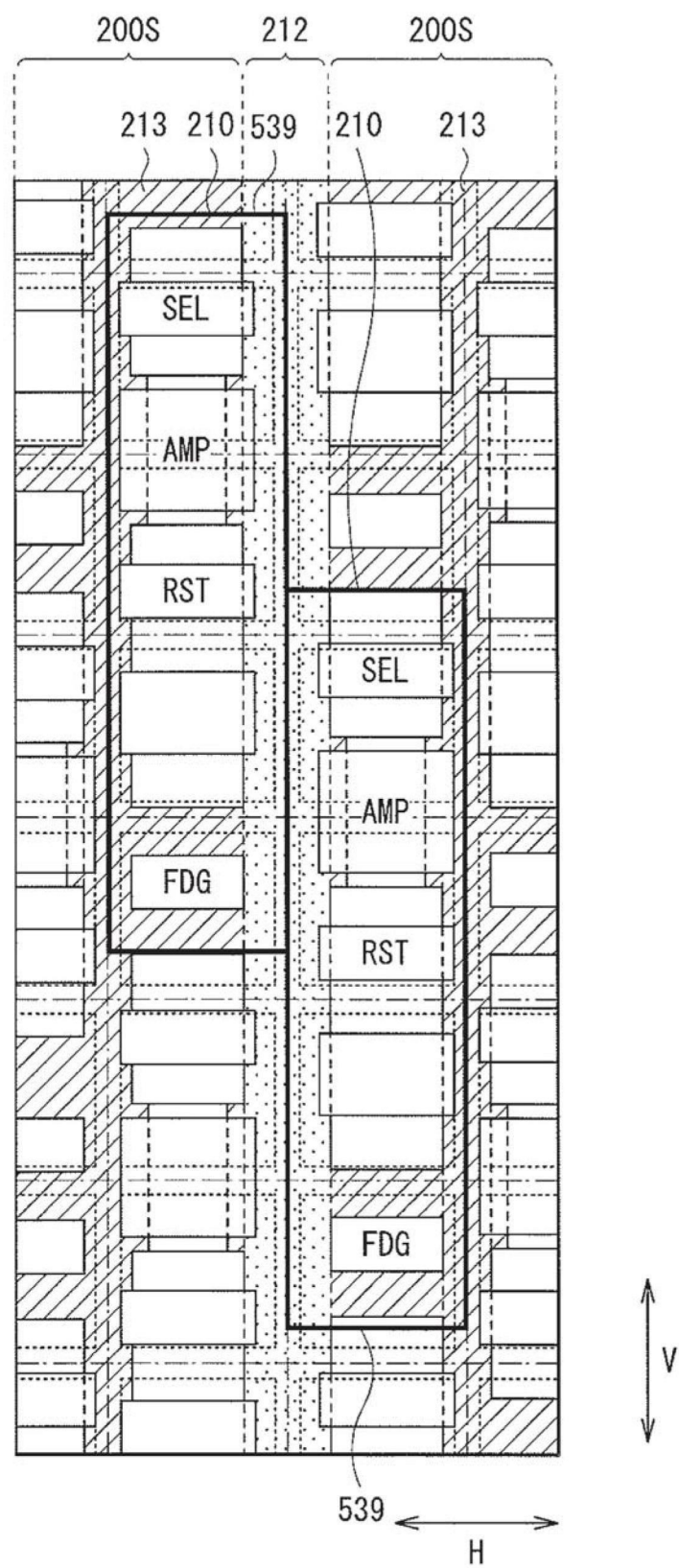
【圖25B】



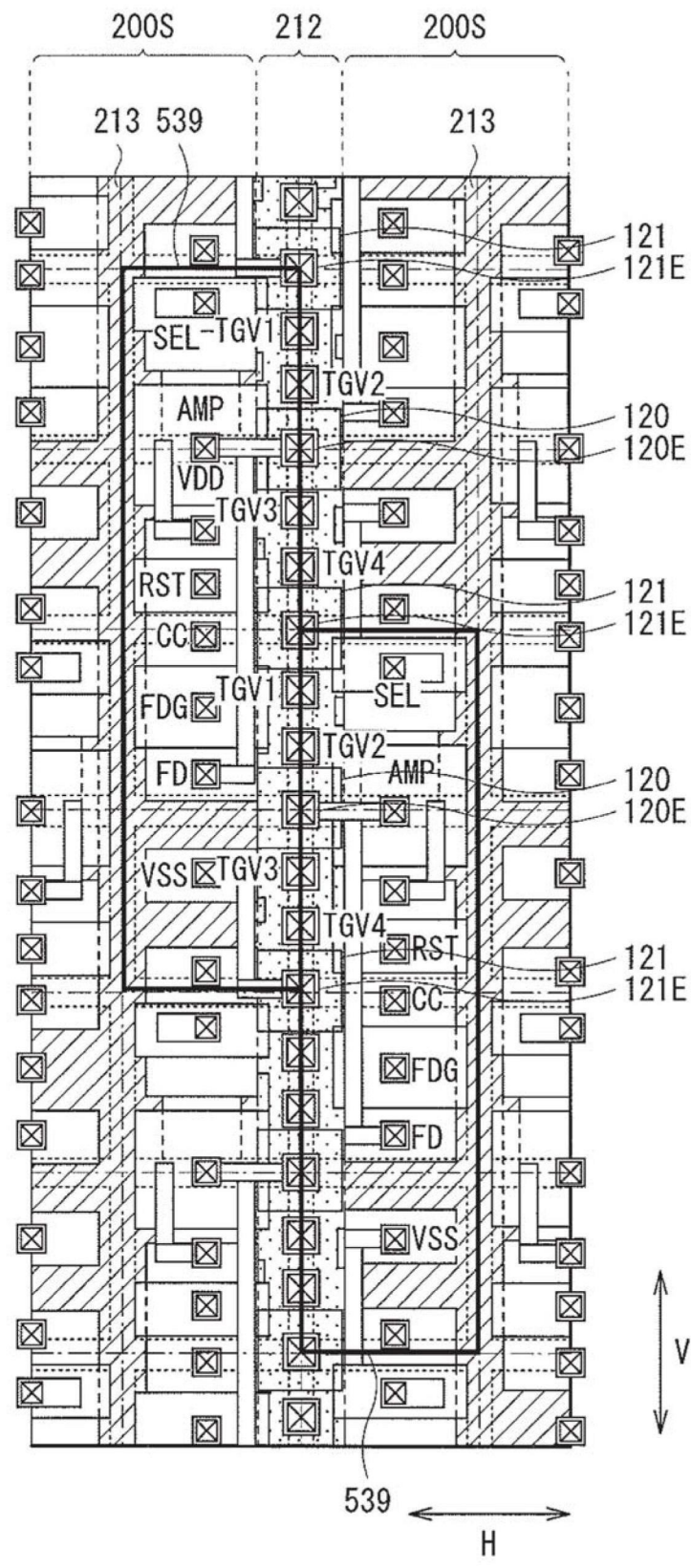
【圖25C】



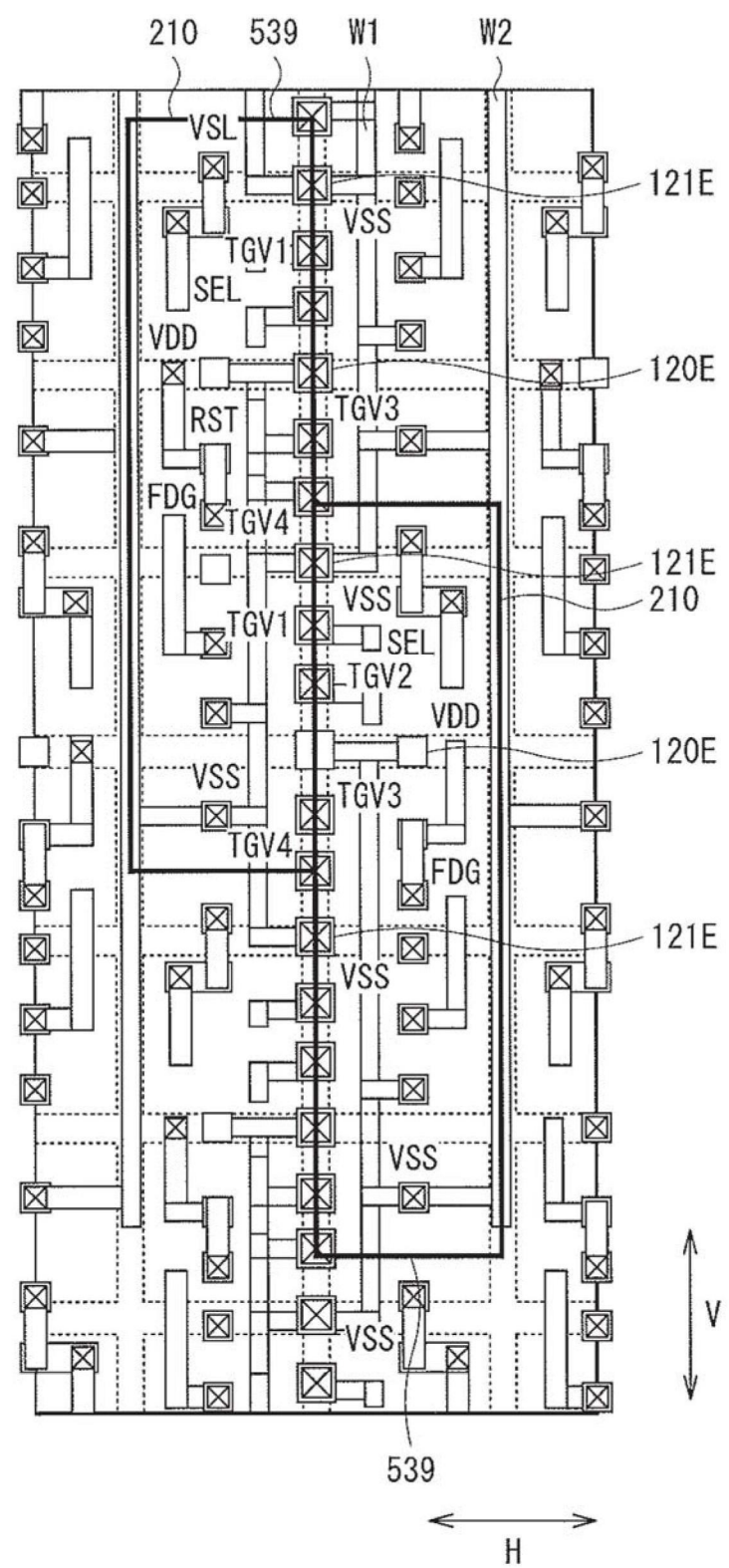
【圖26】



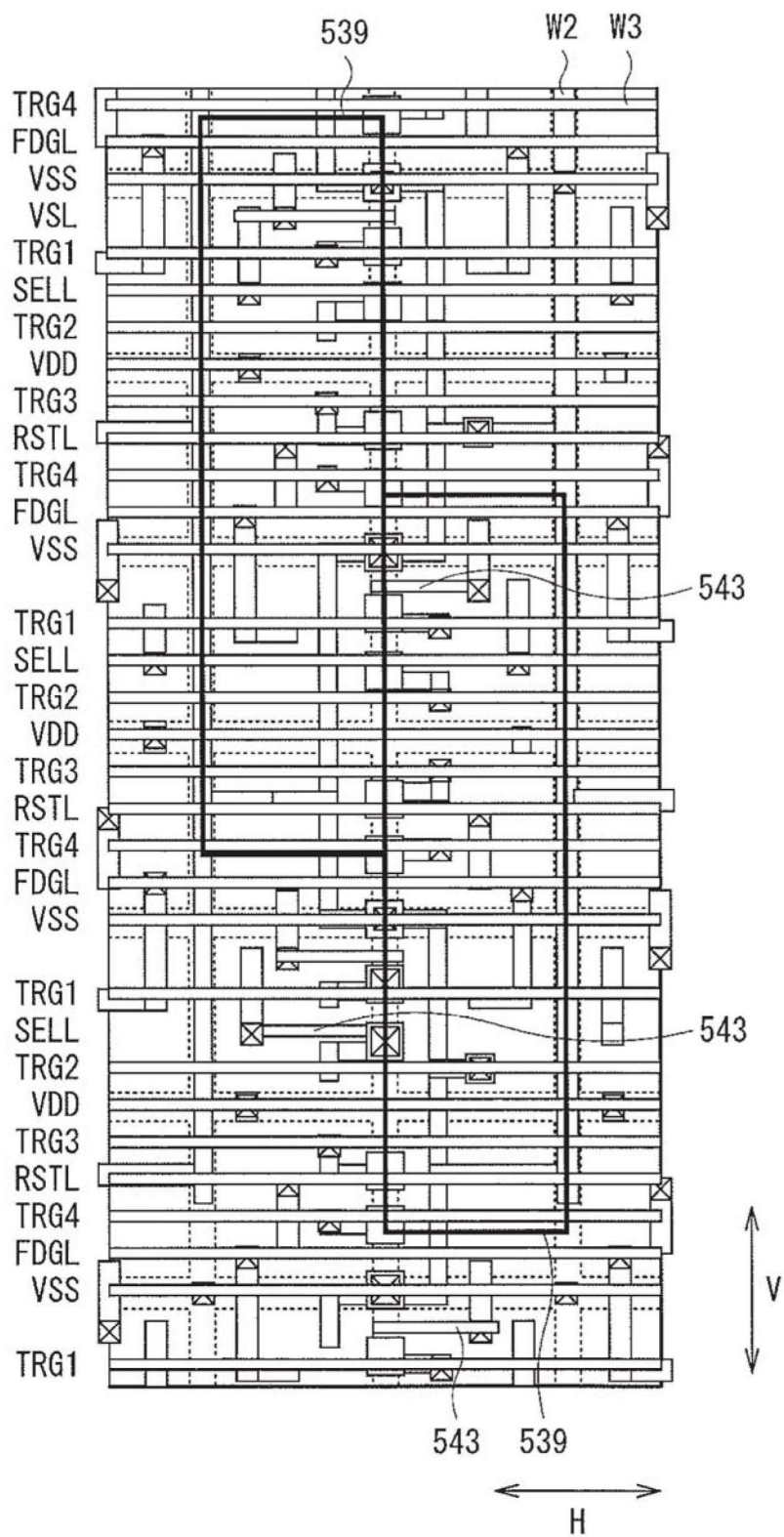
【圖27】



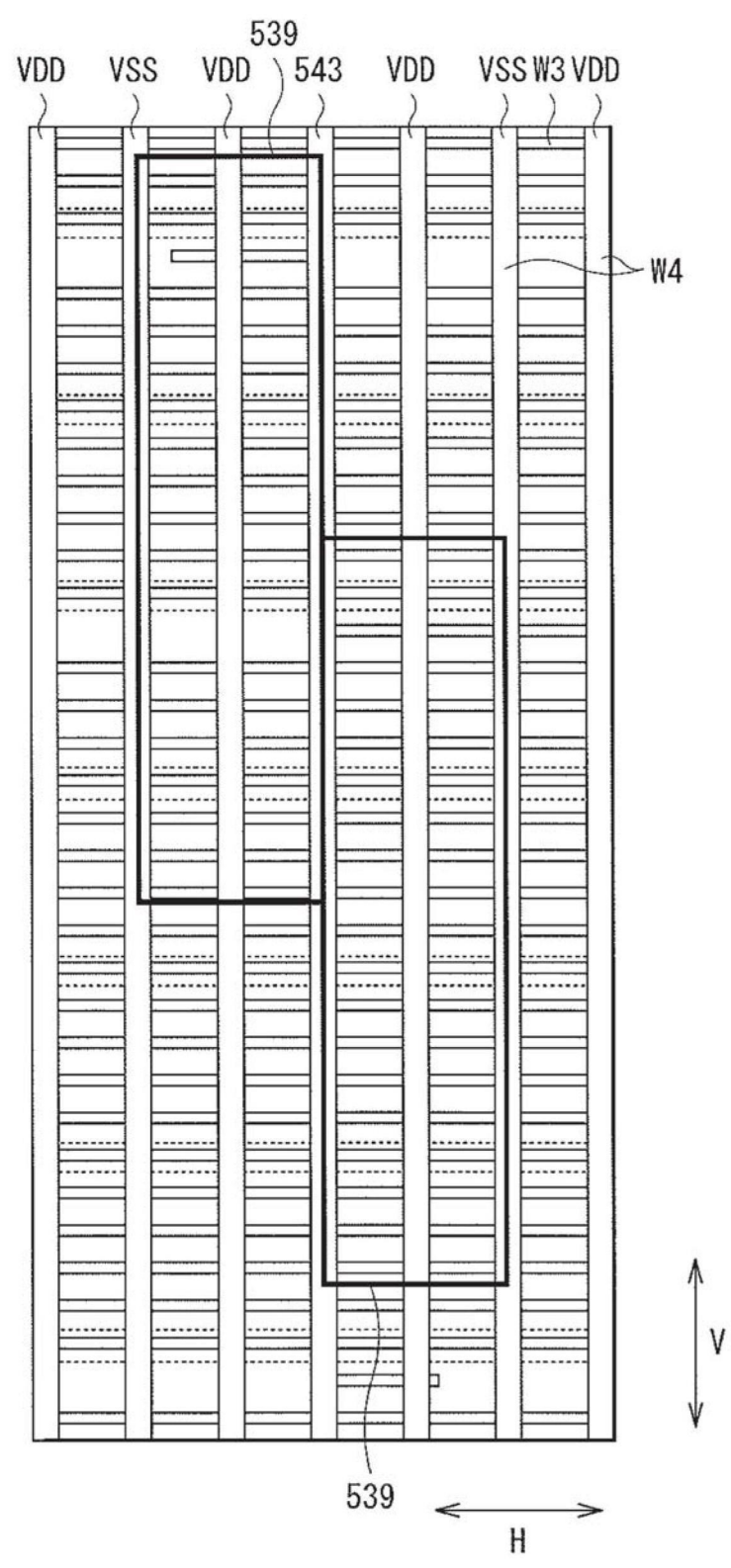
【圖28】



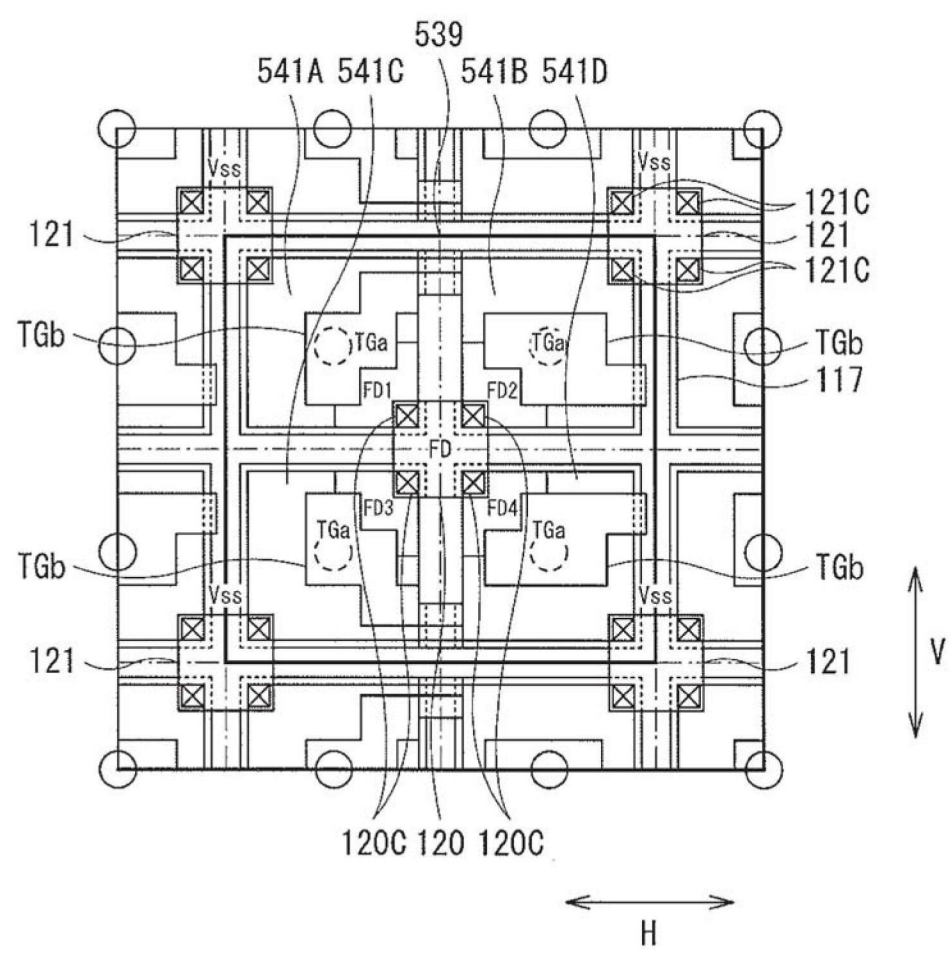
【圖29】



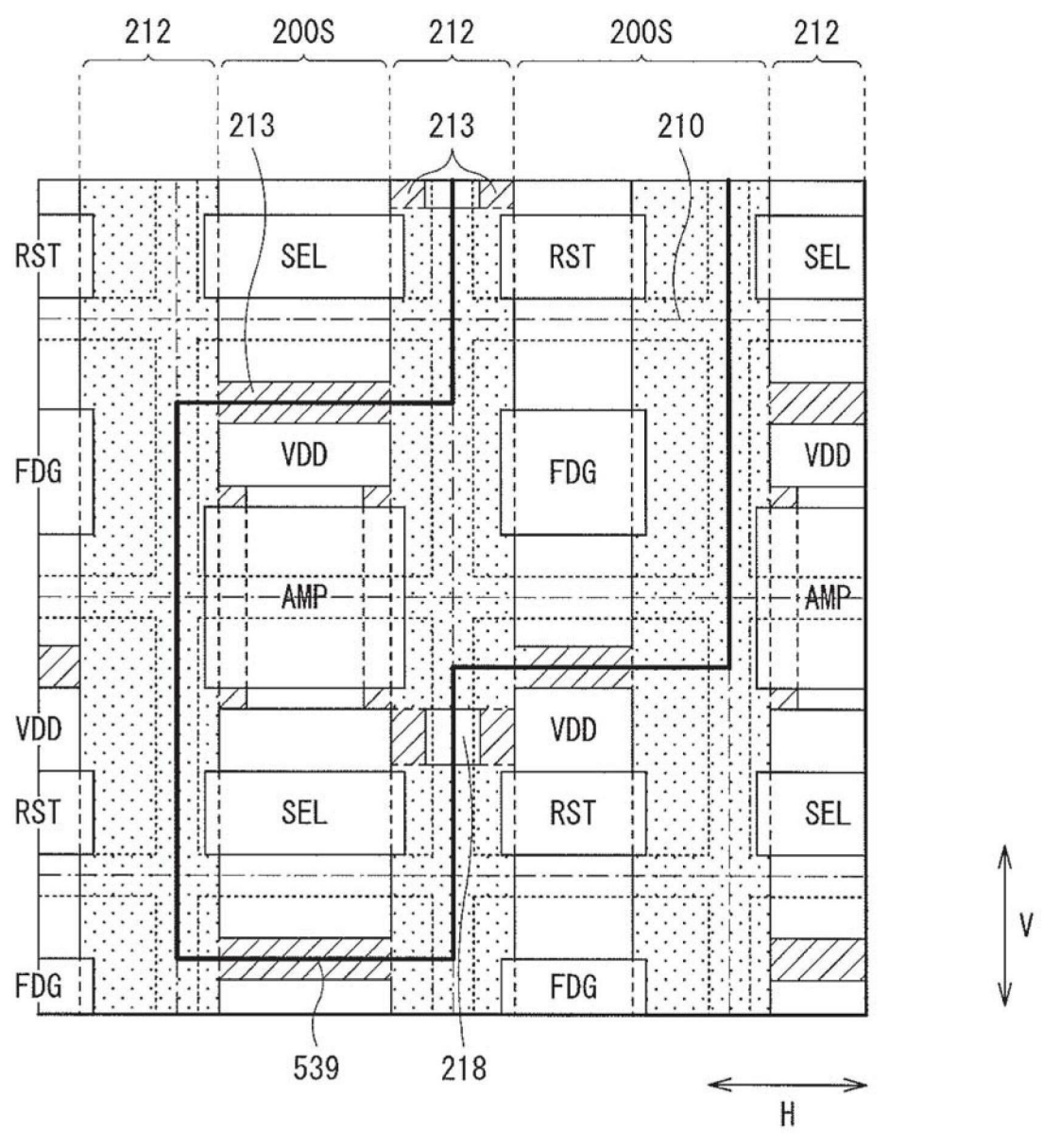
【圖30】



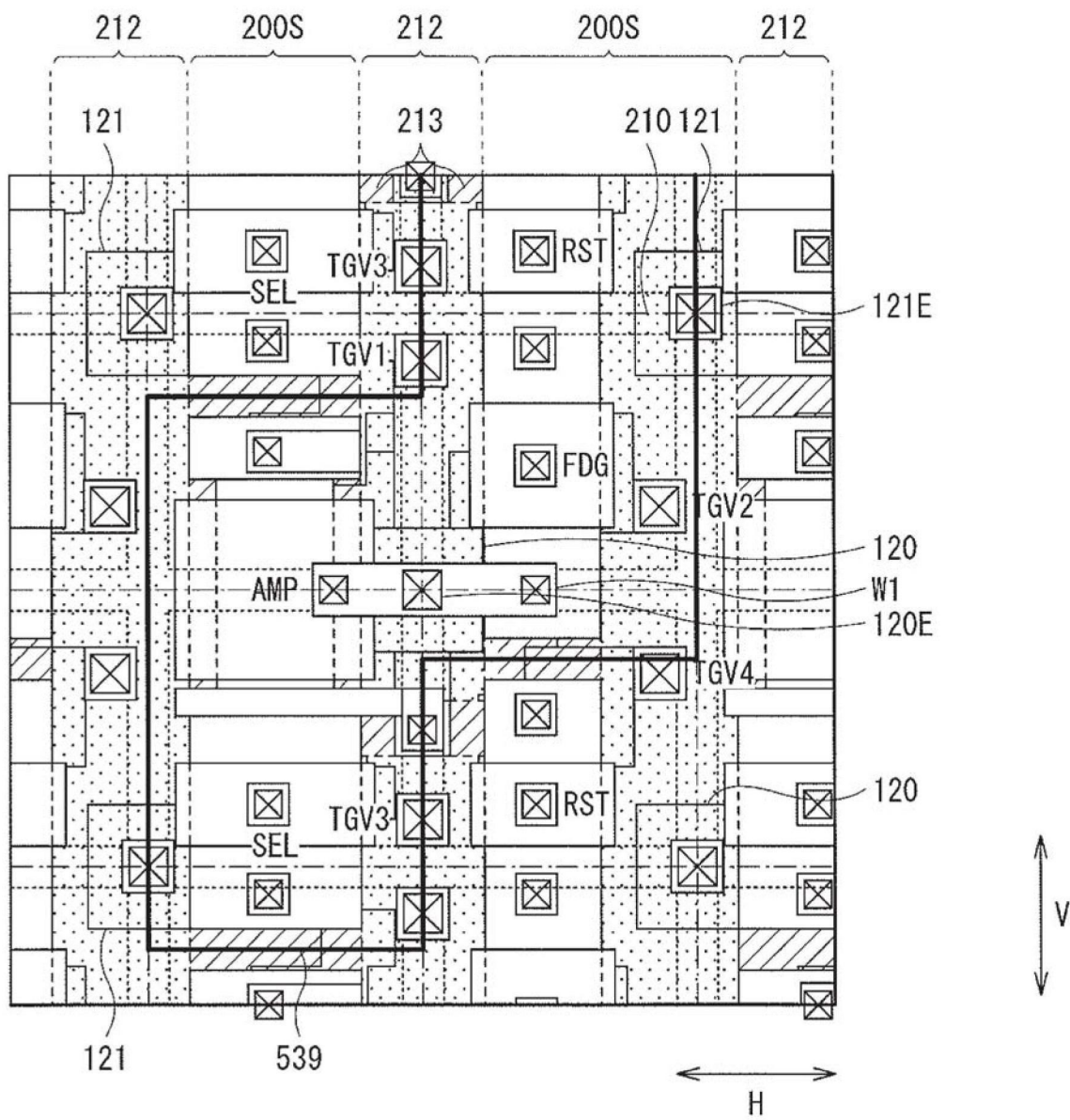
【圖31】



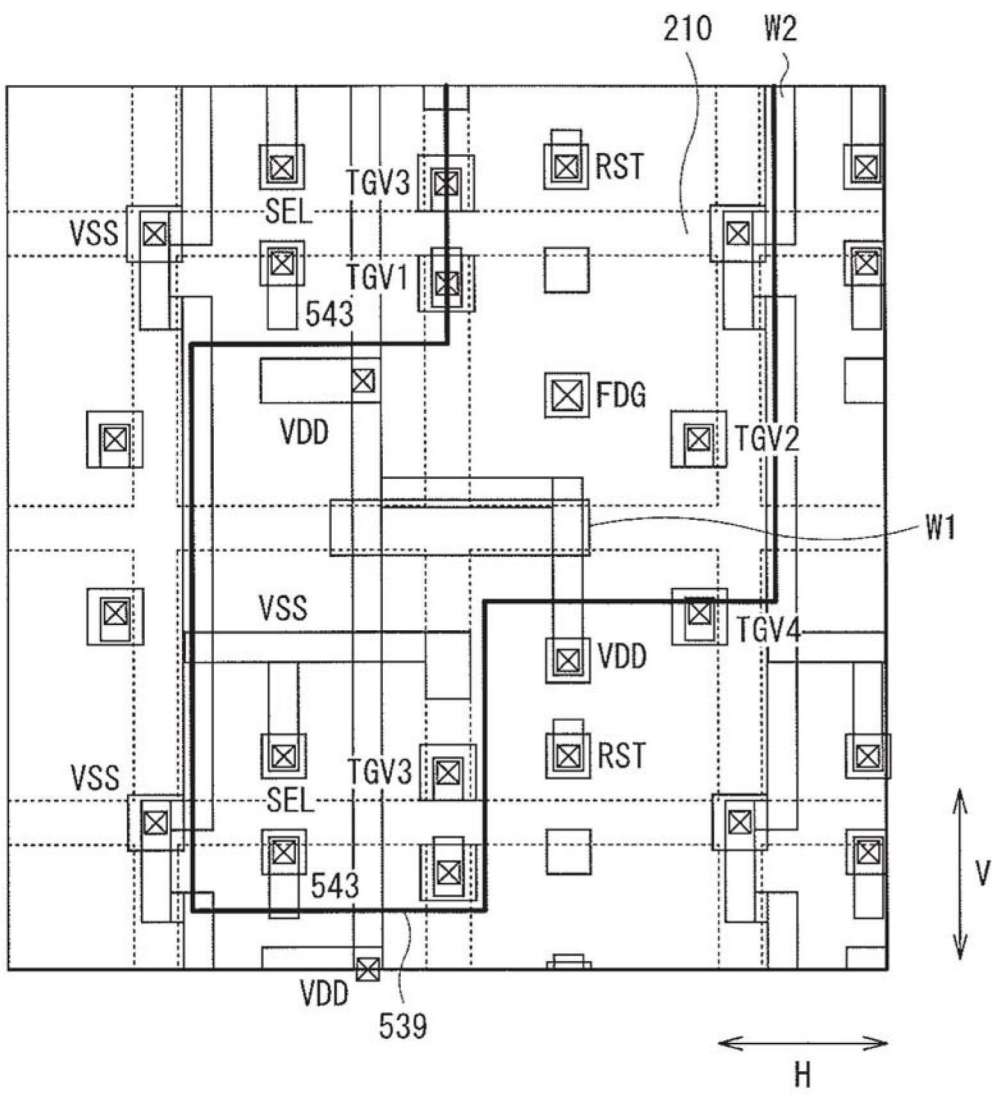
【圖32】



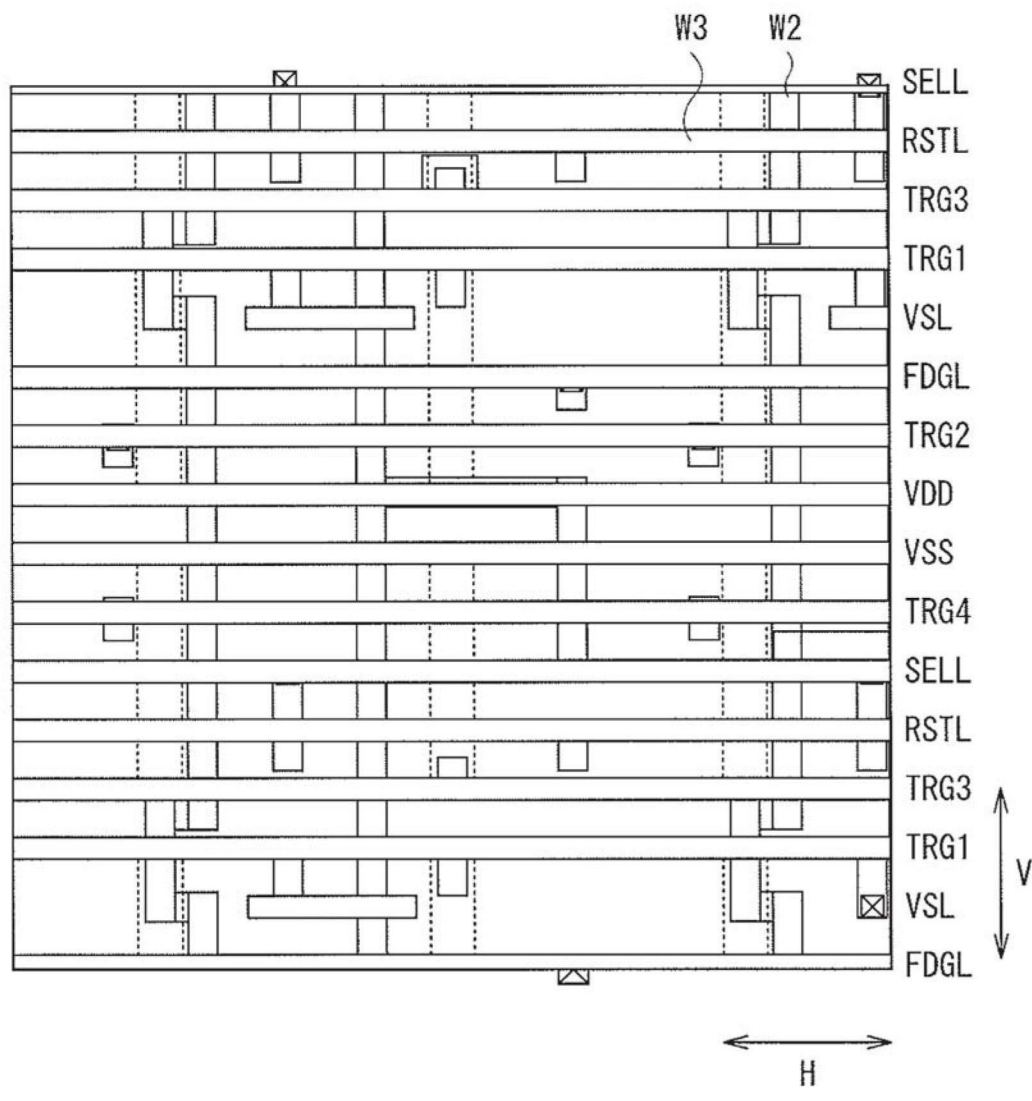
【圖33】



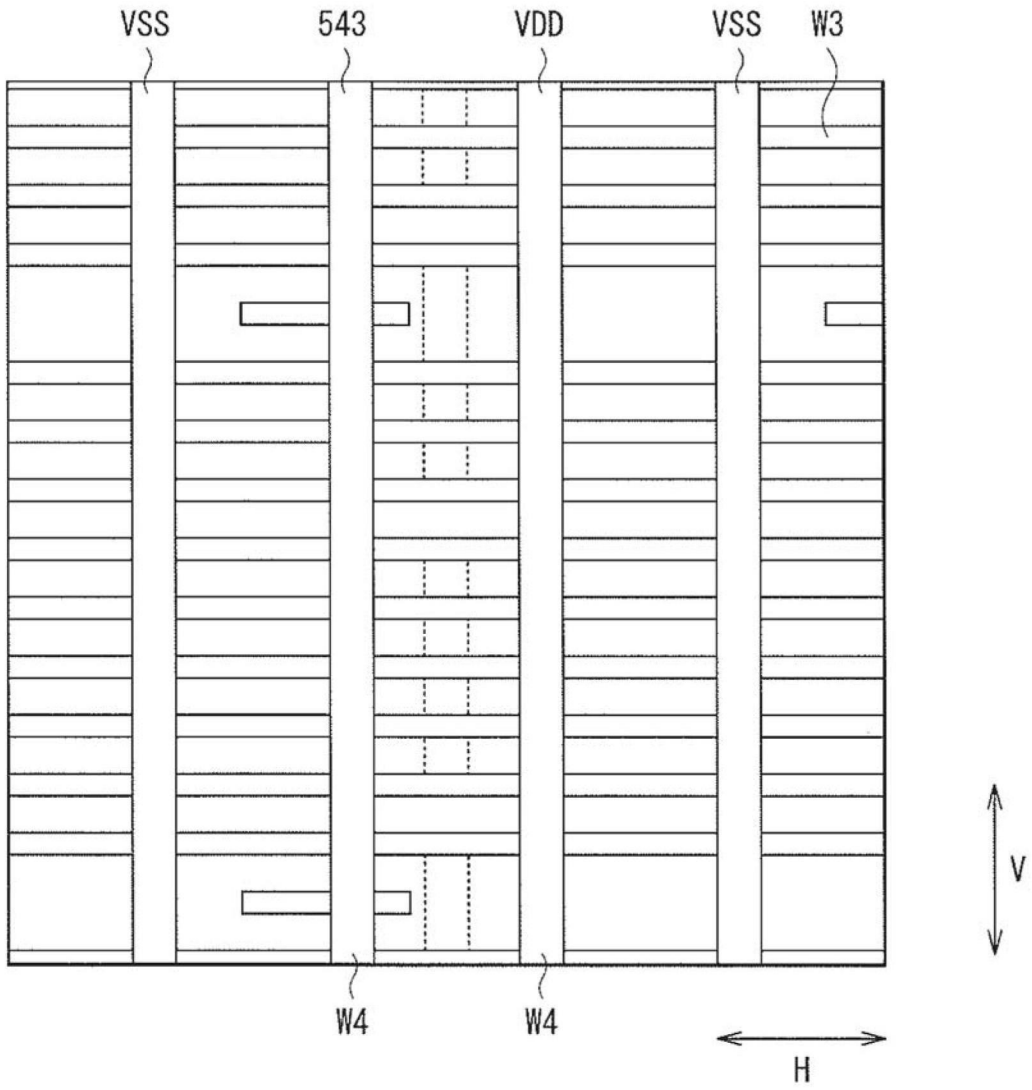
【圖34】



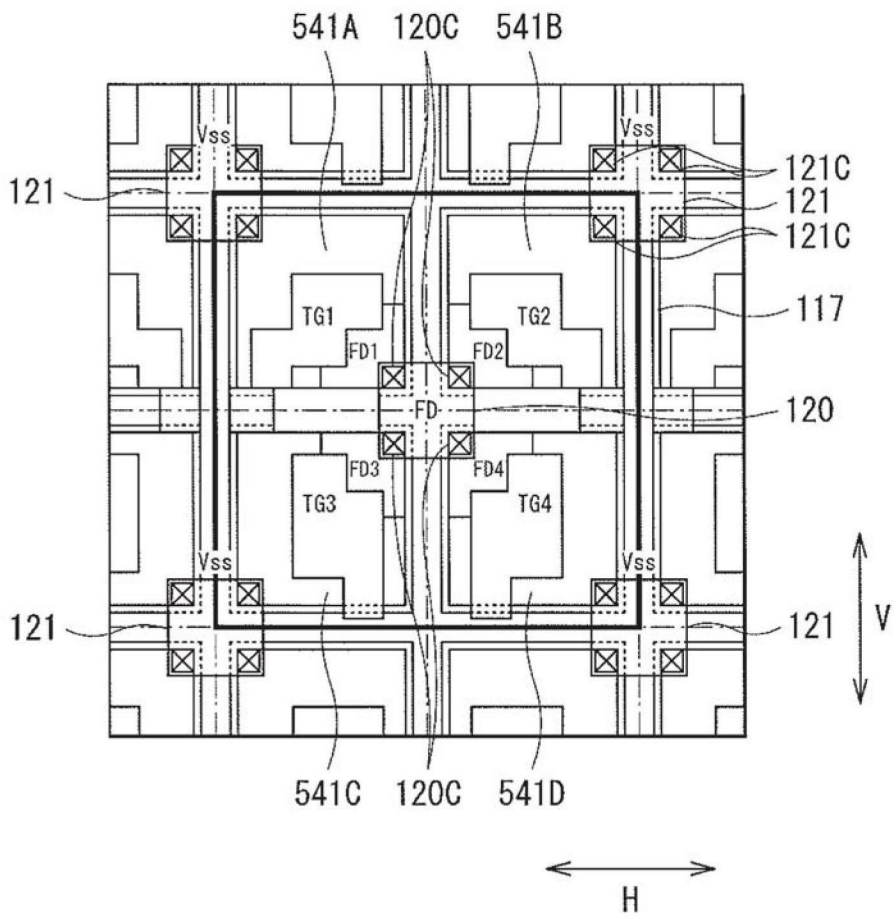
【圖35】



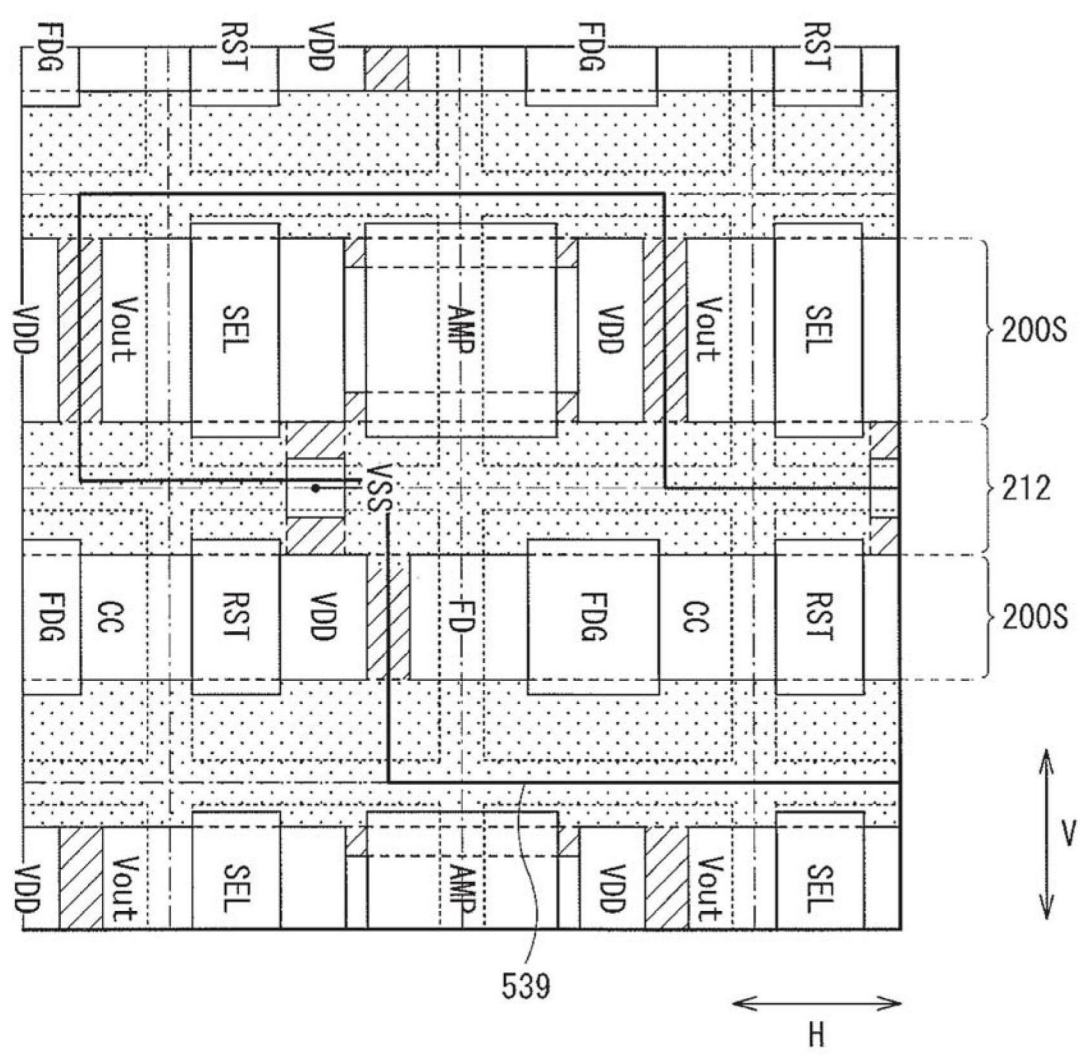
【圖36】



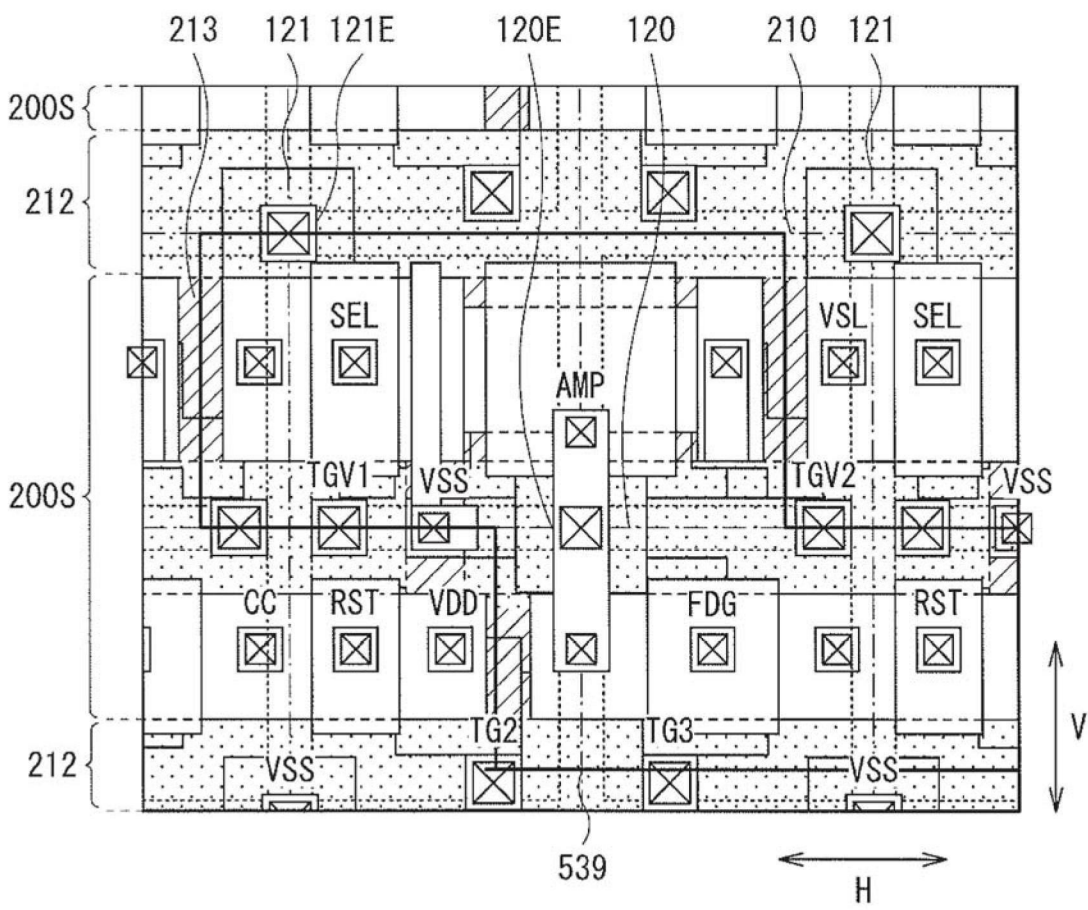
【圖37】



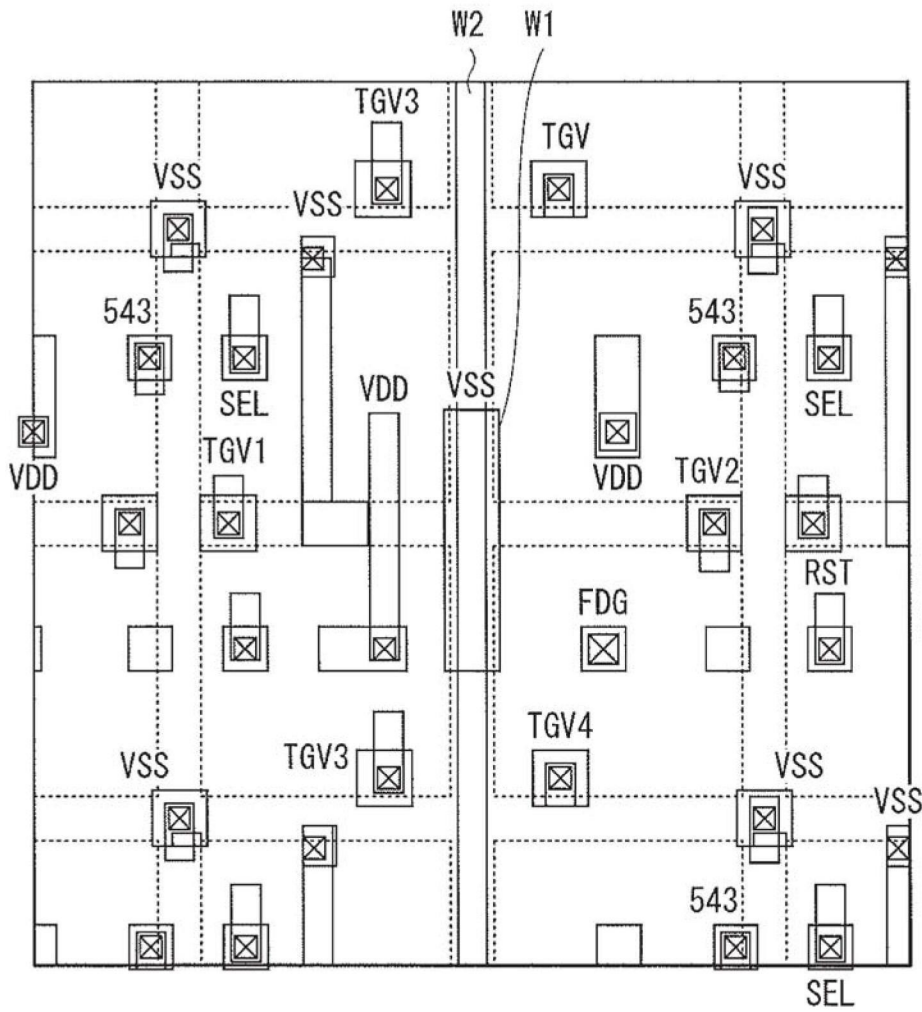
【圖38】



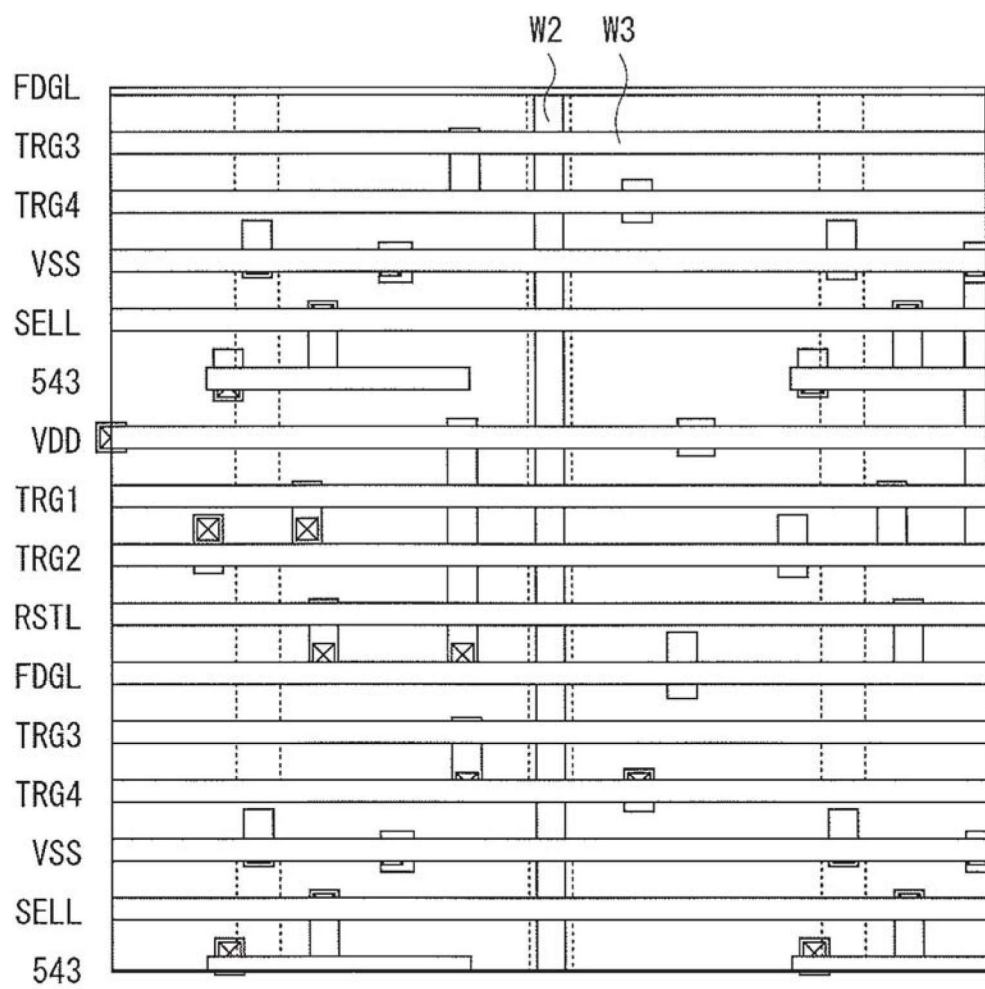
【圖39】



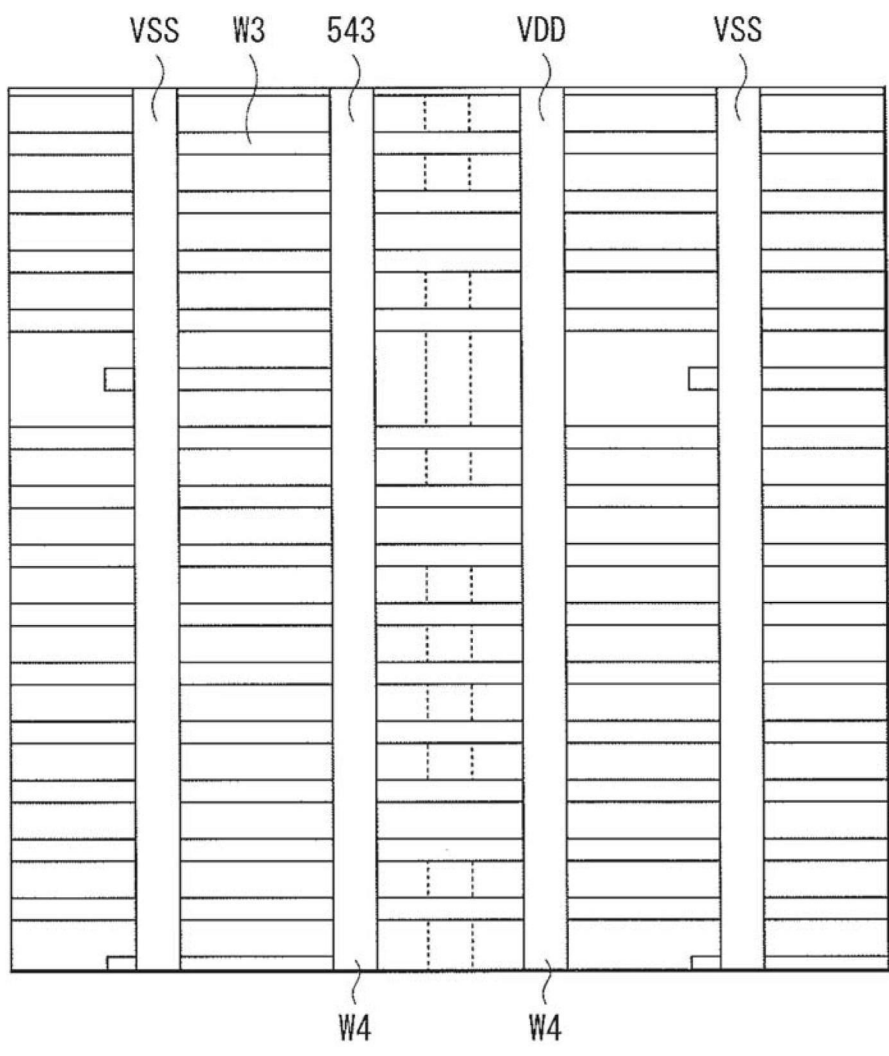
【圖40】



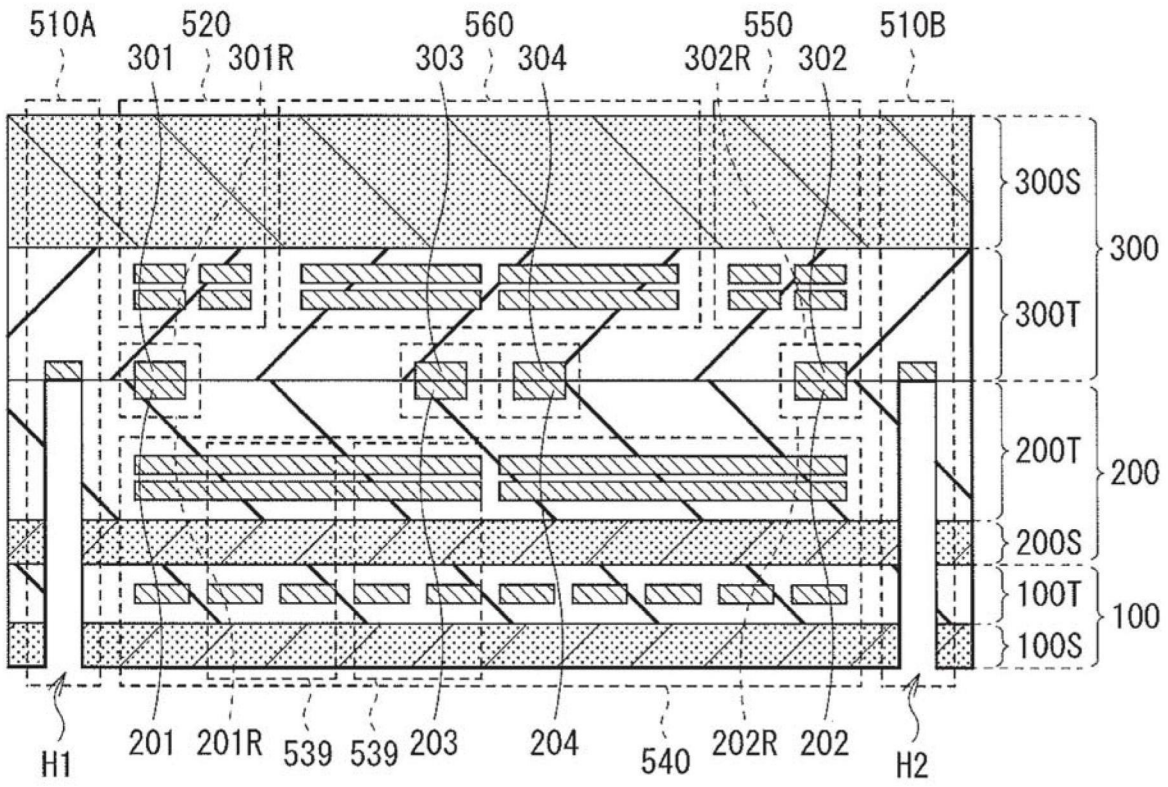
【圖41】



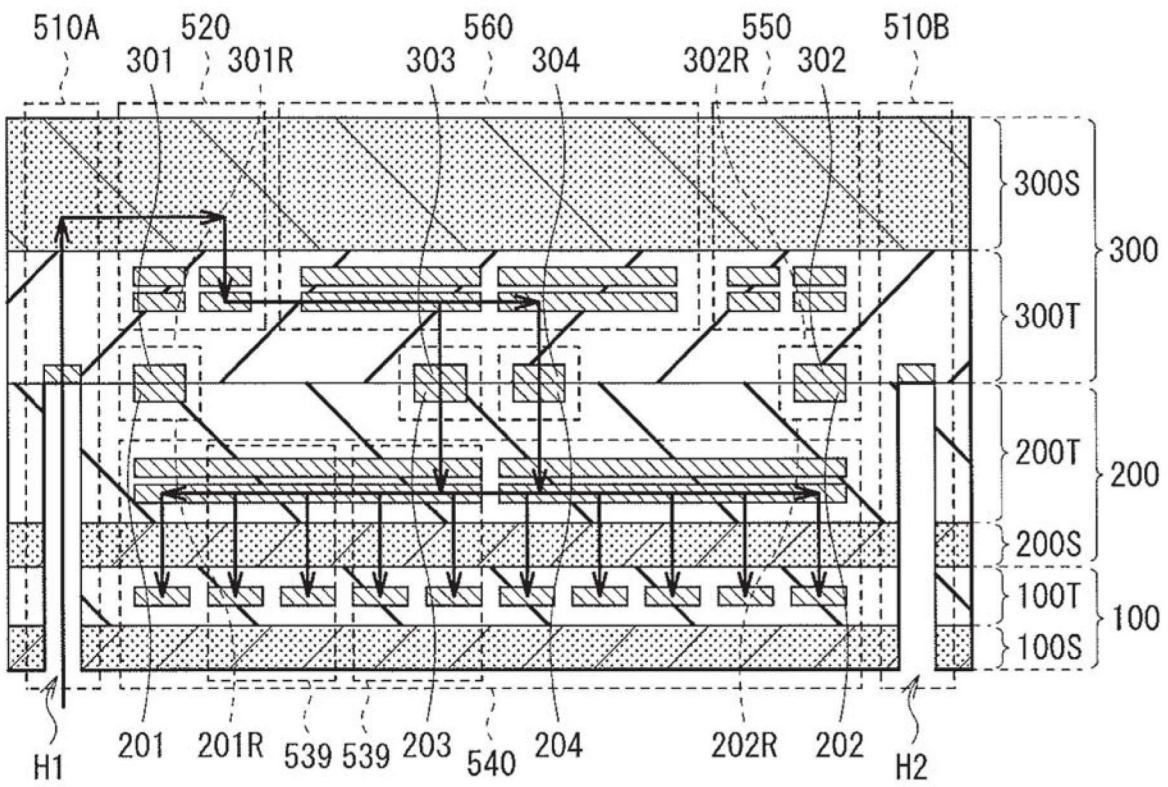
【圖42】



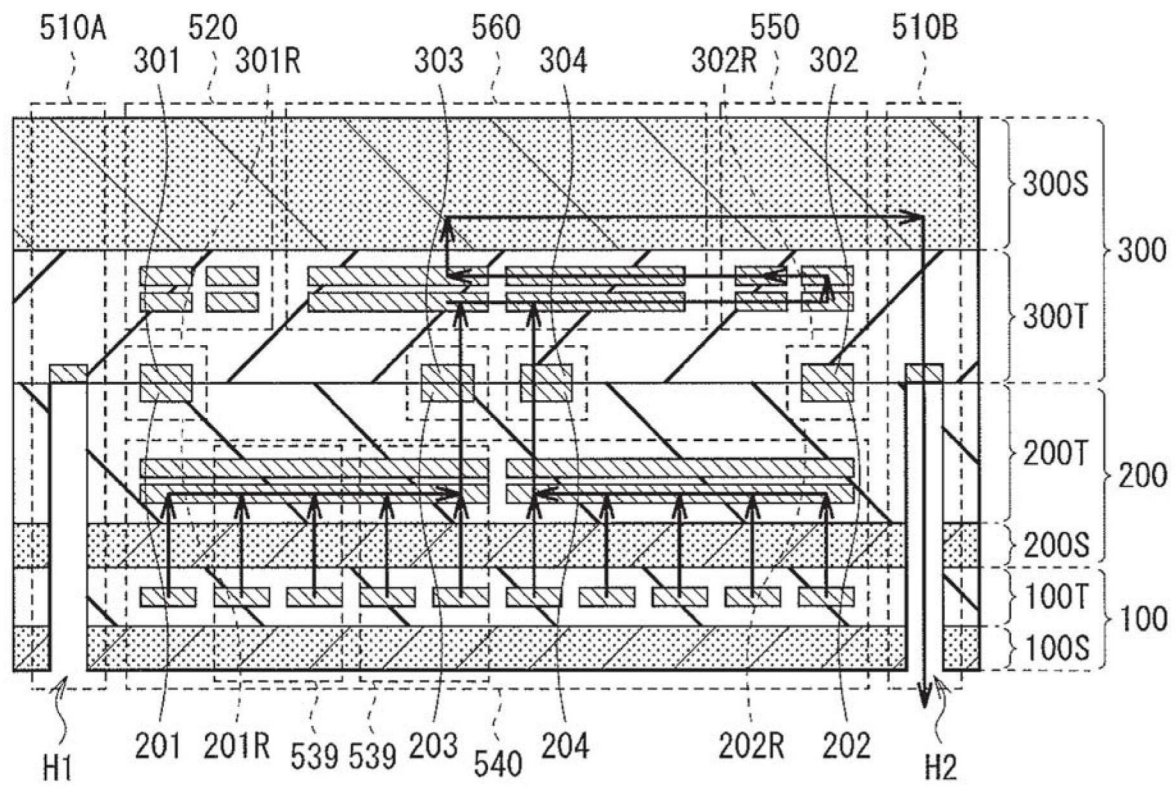
【圖43】



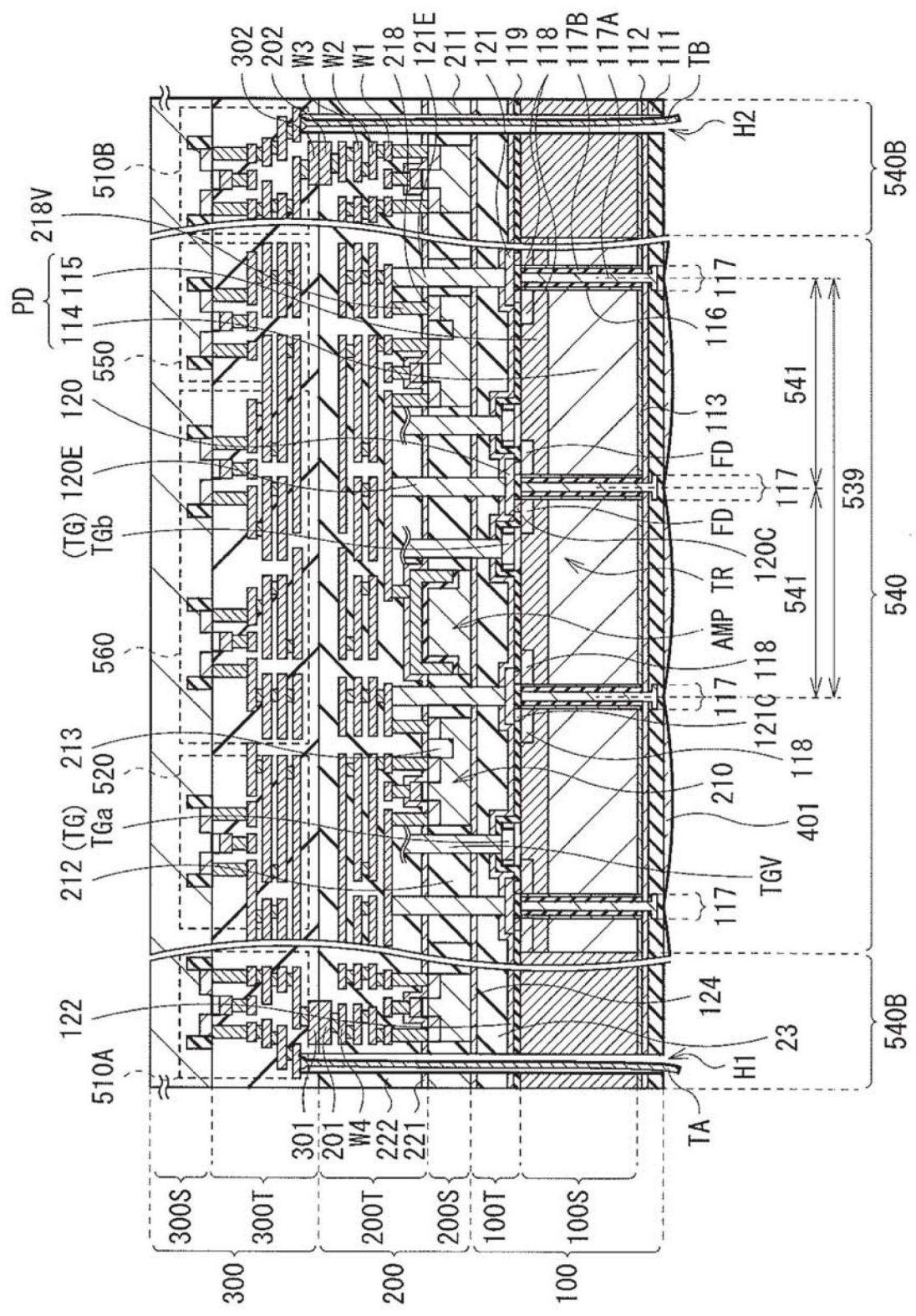
【圖44】



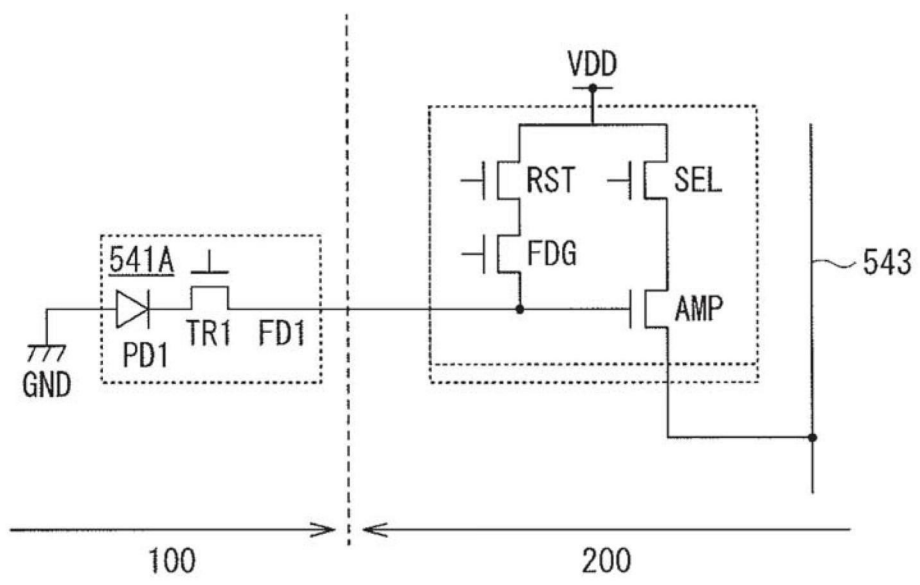
【圖45】



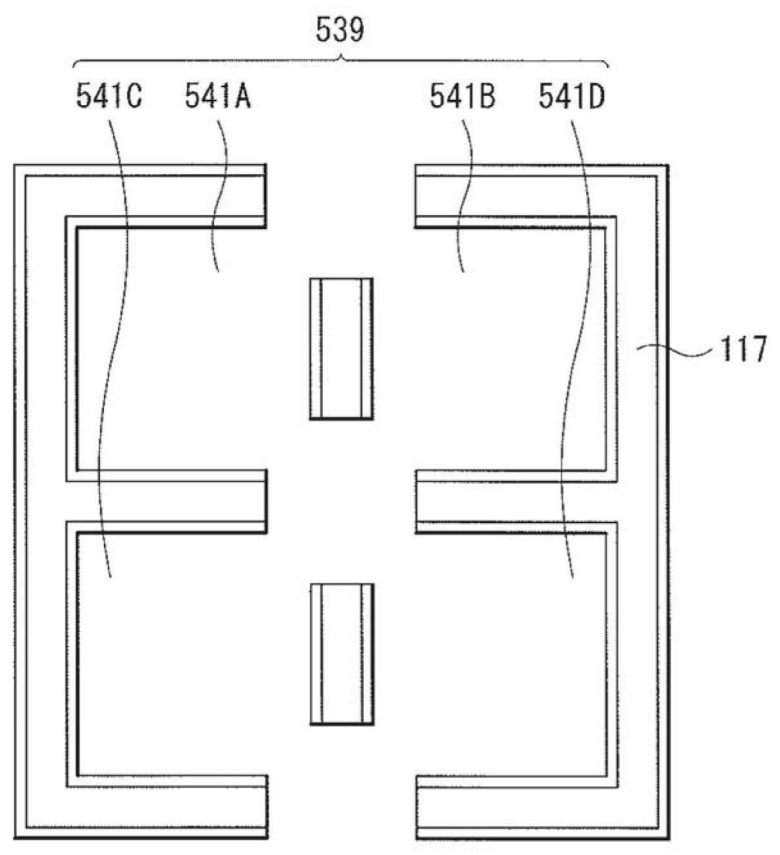
【圖46】



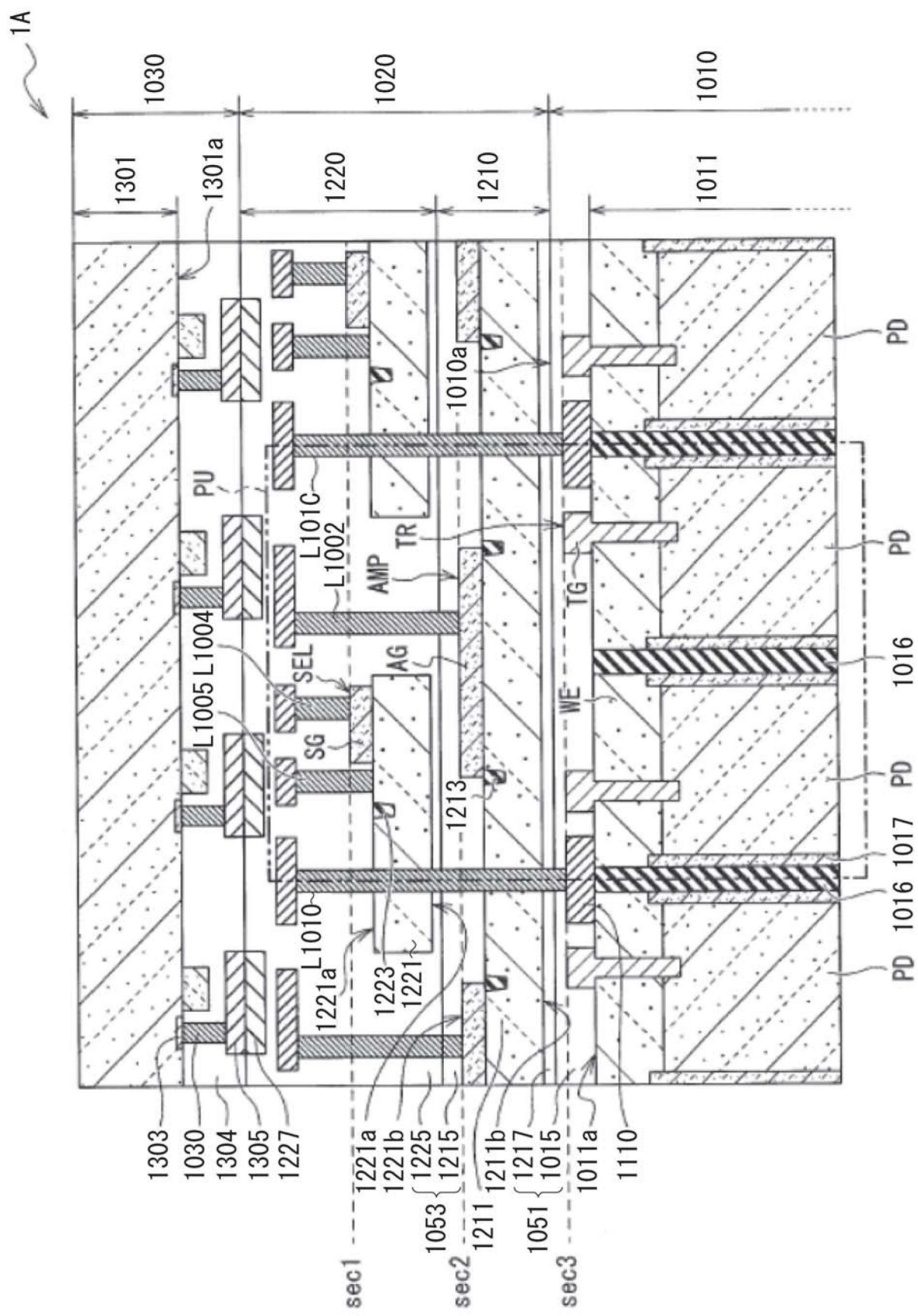
【圖47】



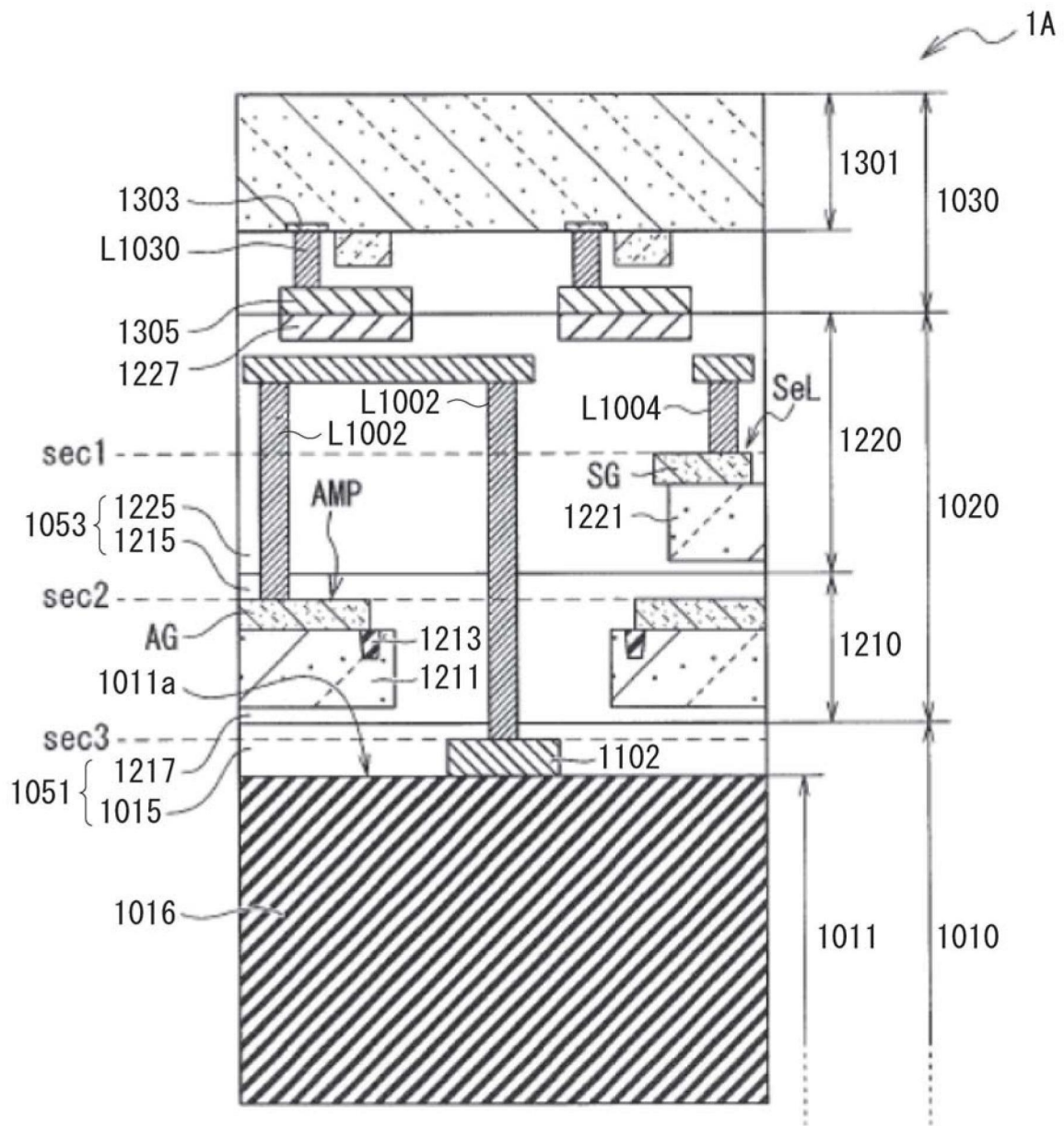
【圖48】



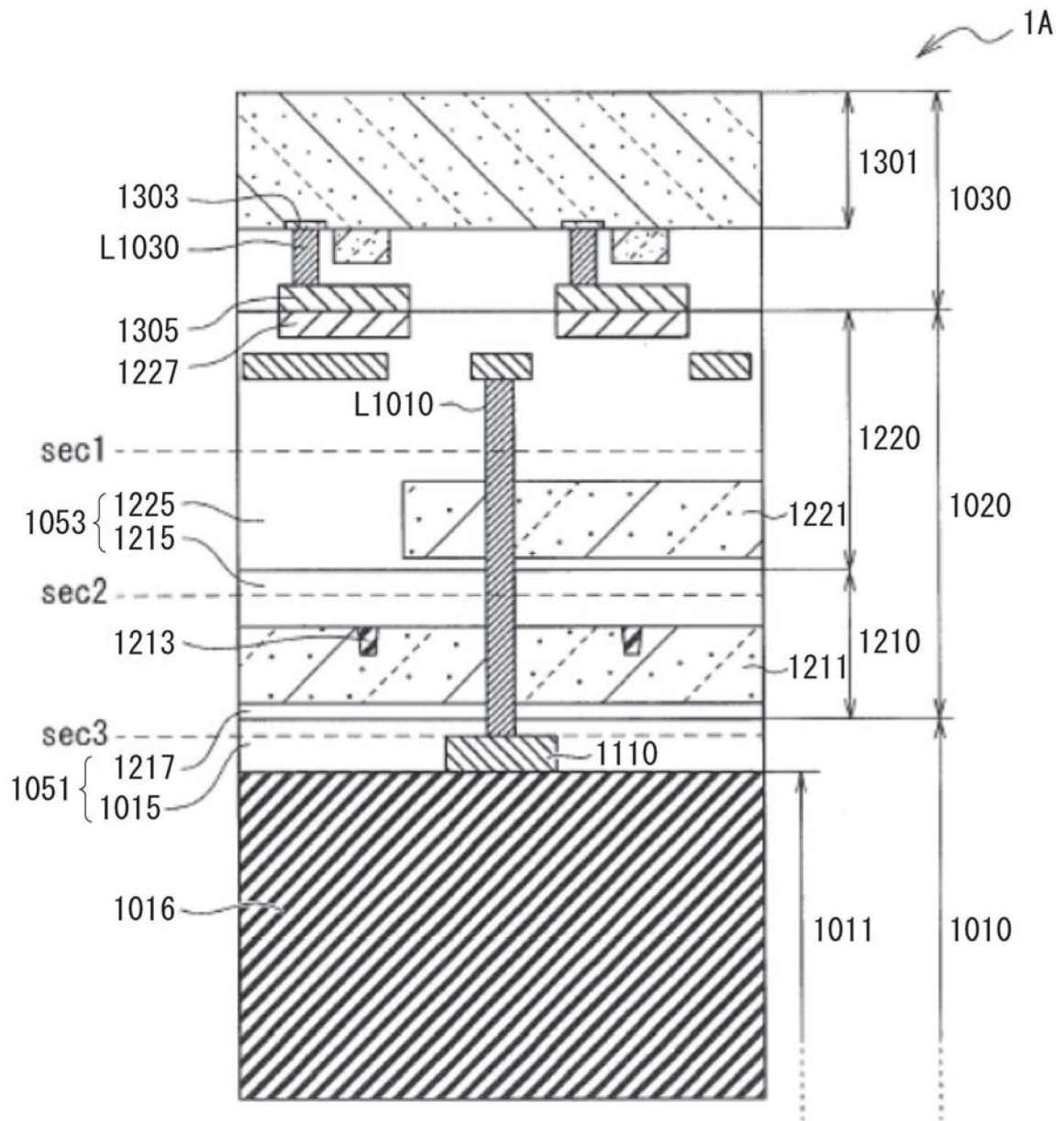
【圖49】



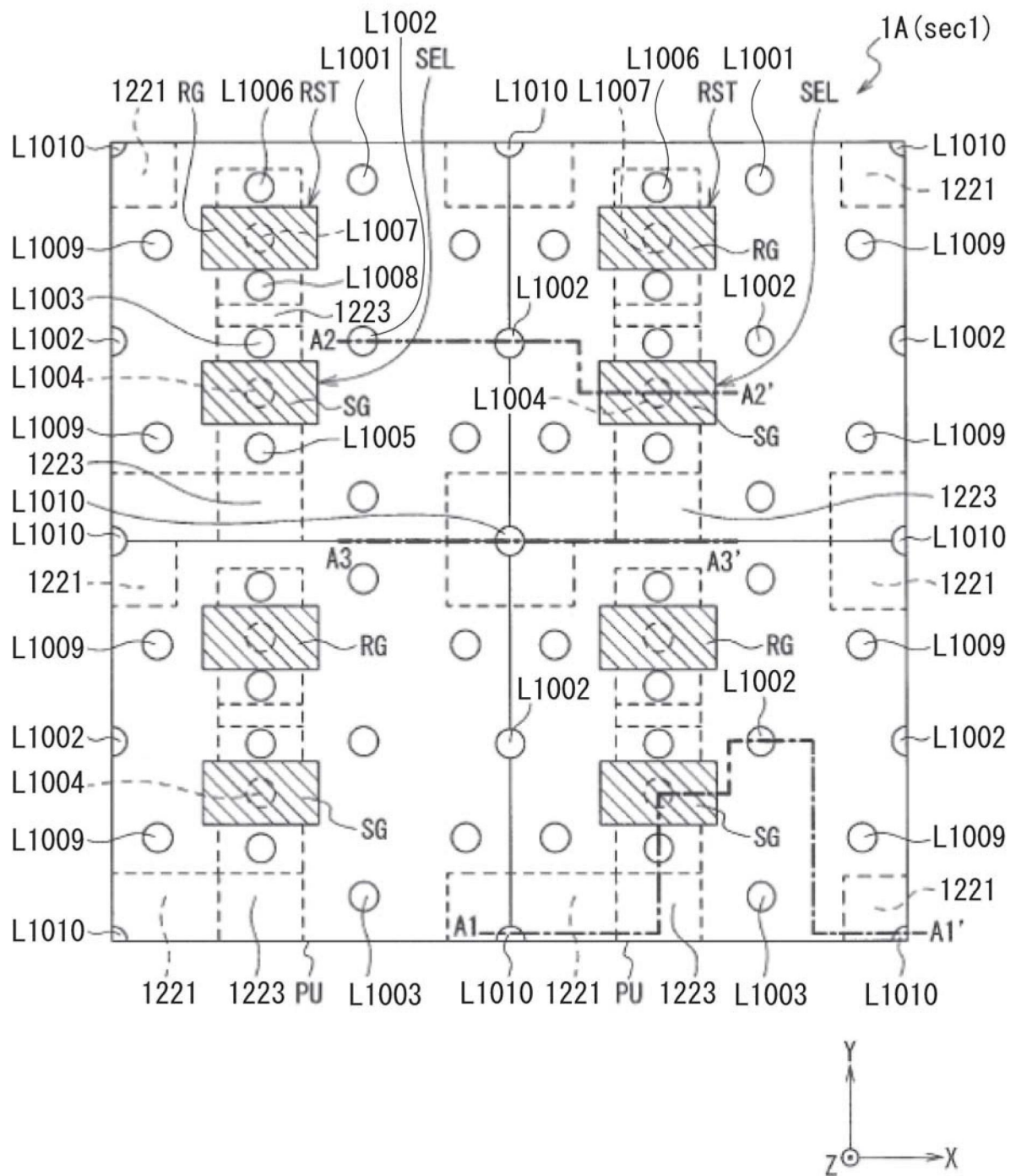
【圖50】



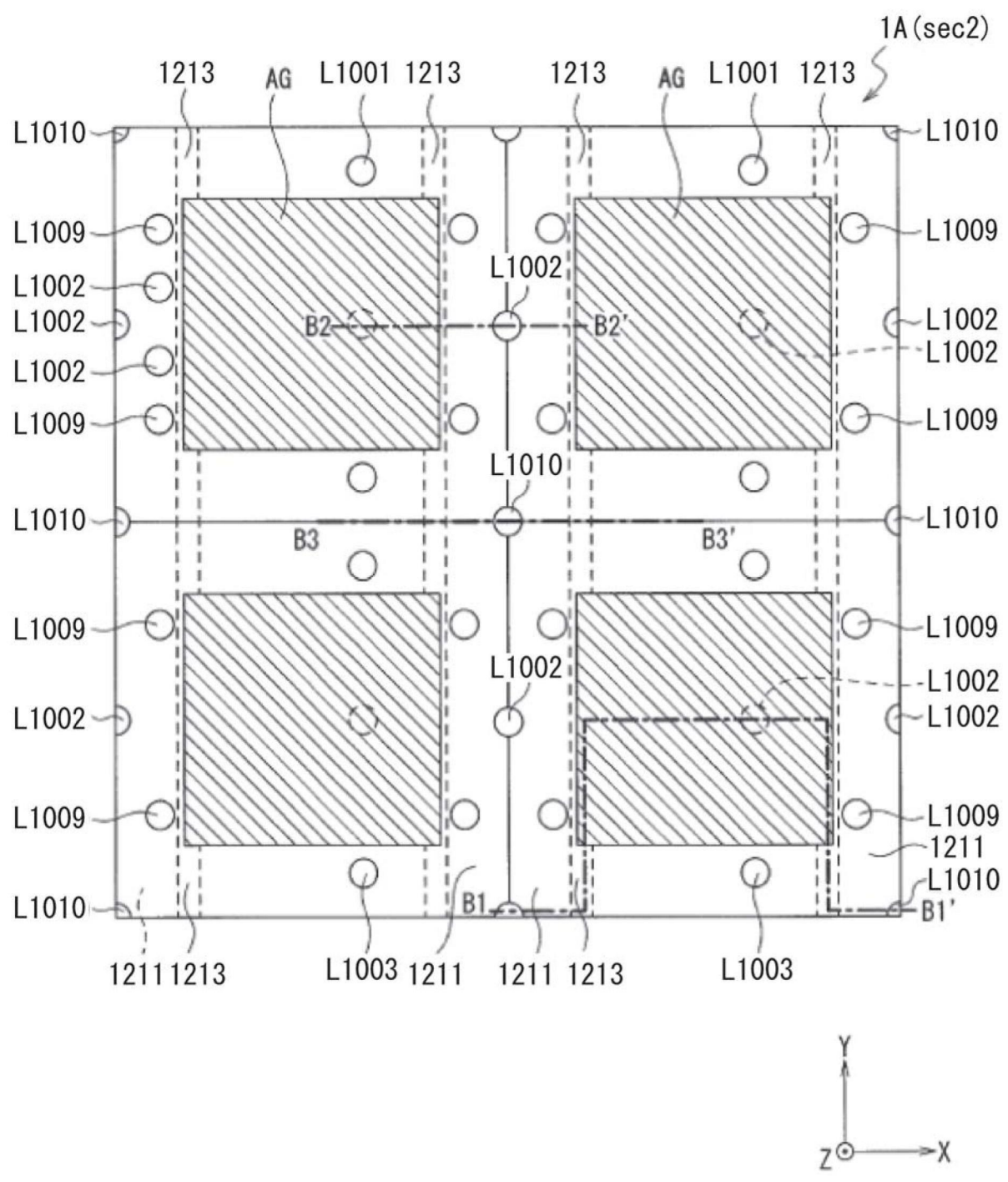
【圖51】



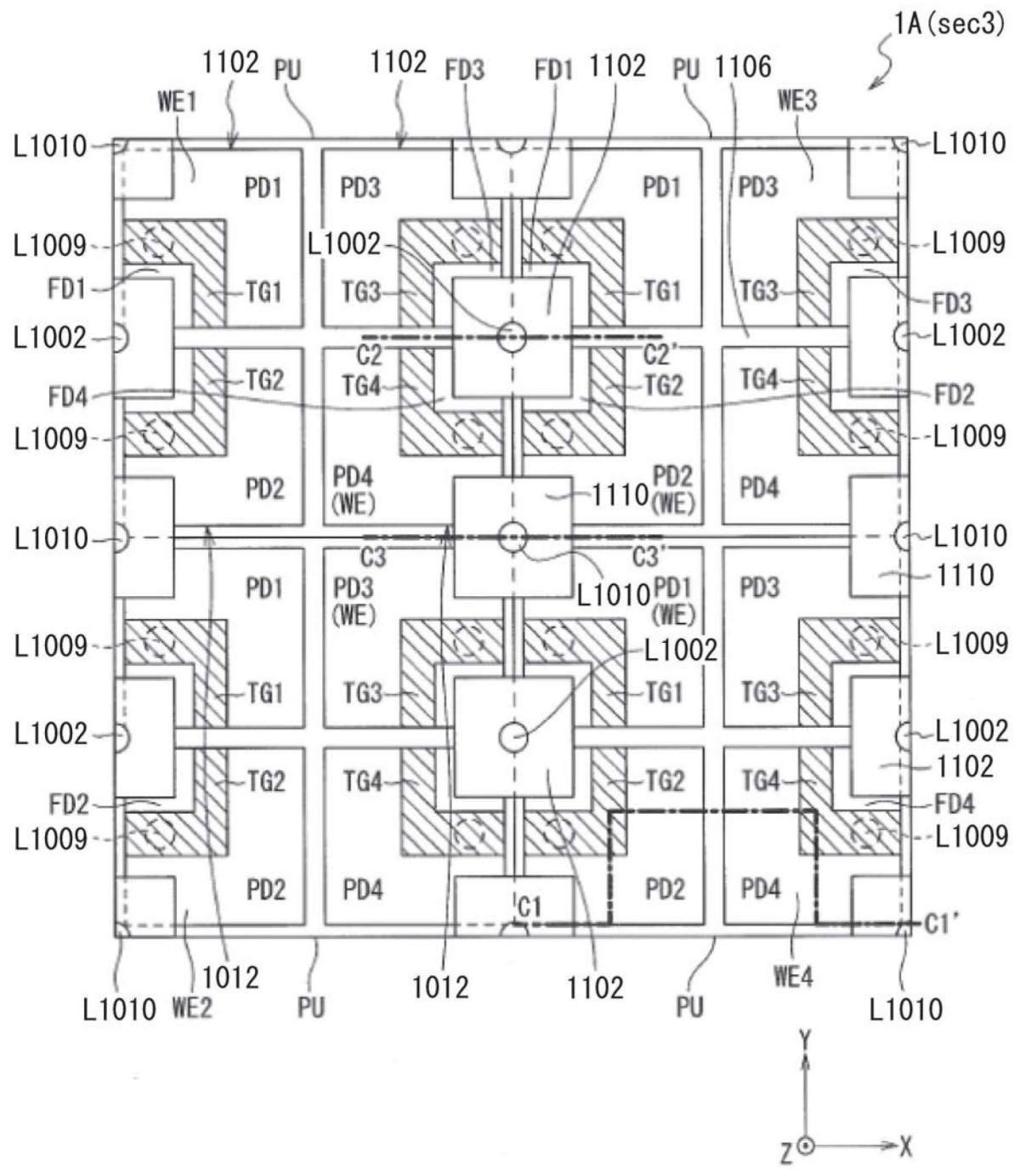
【圖52】



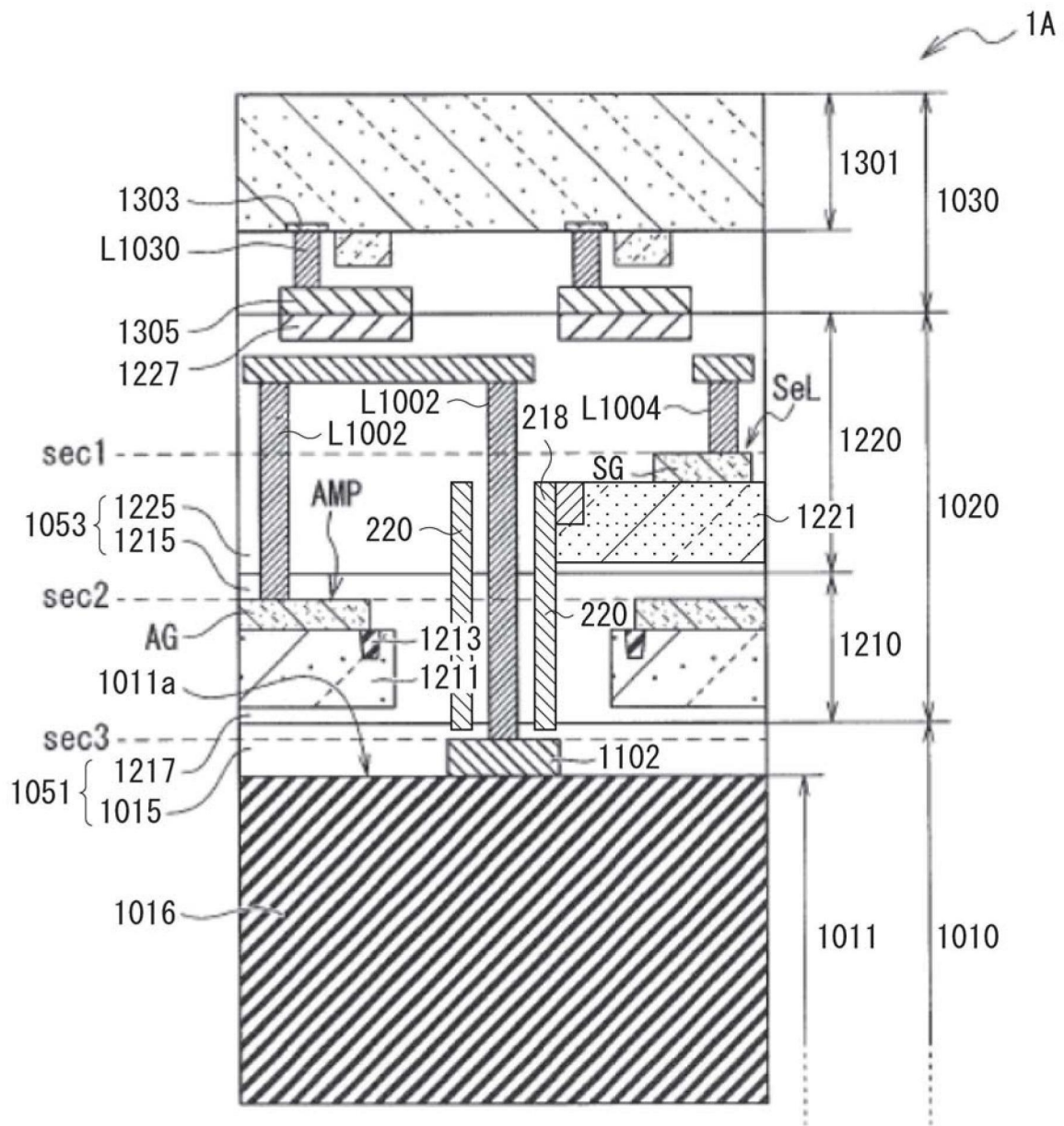
【圖53】



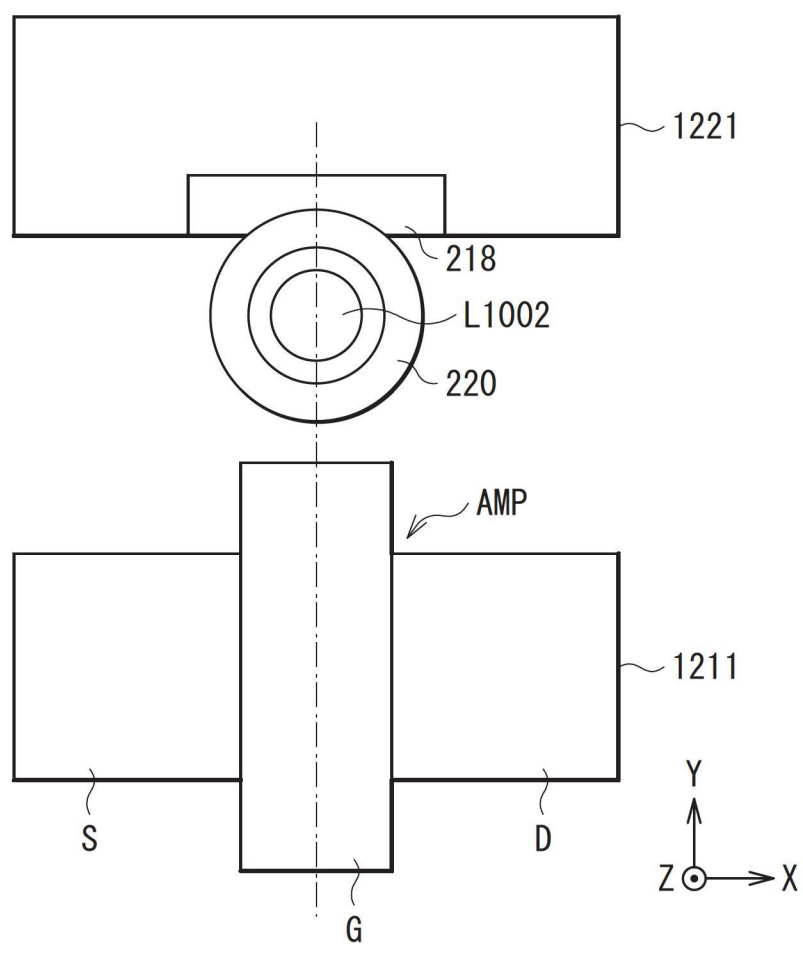
【圖54】



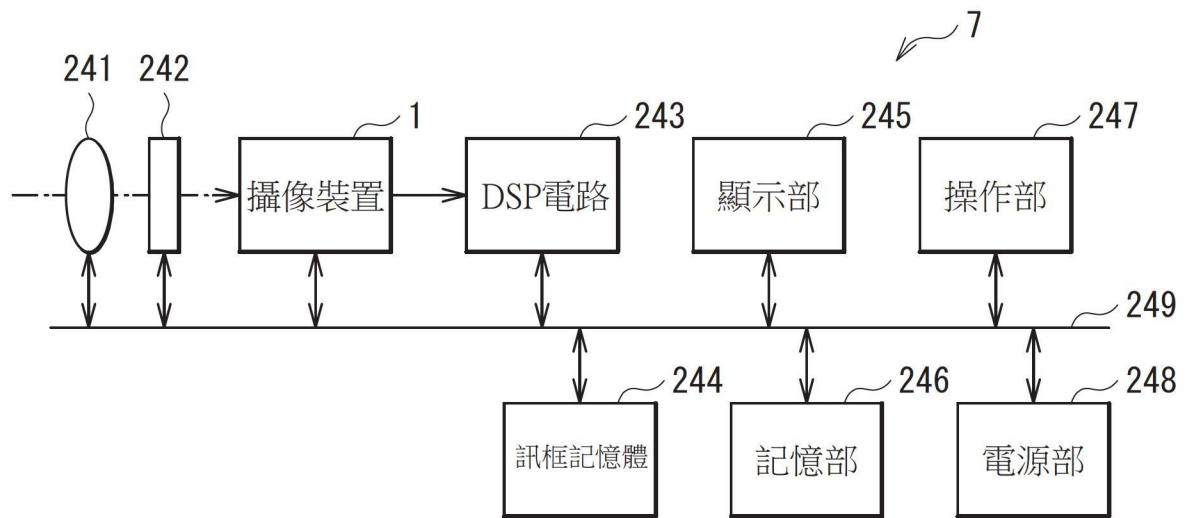
【圖55】



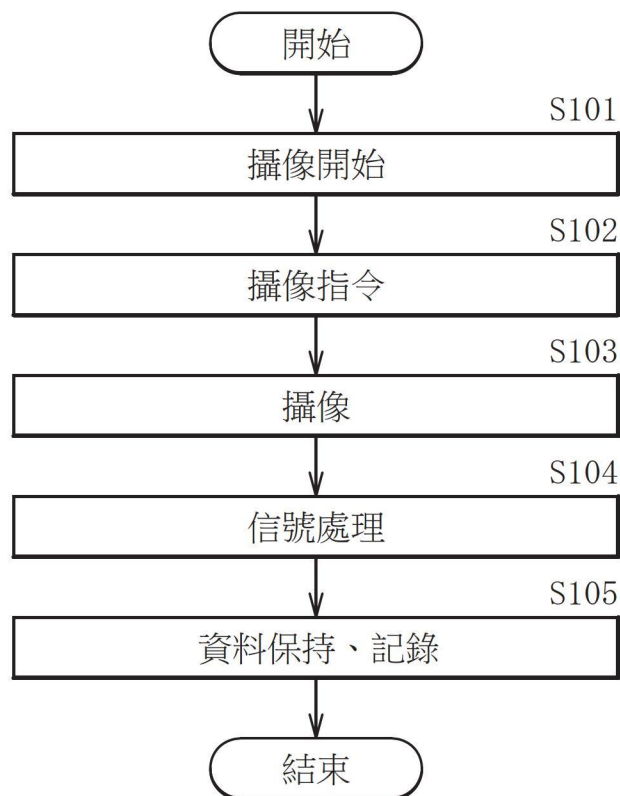
【圖56】



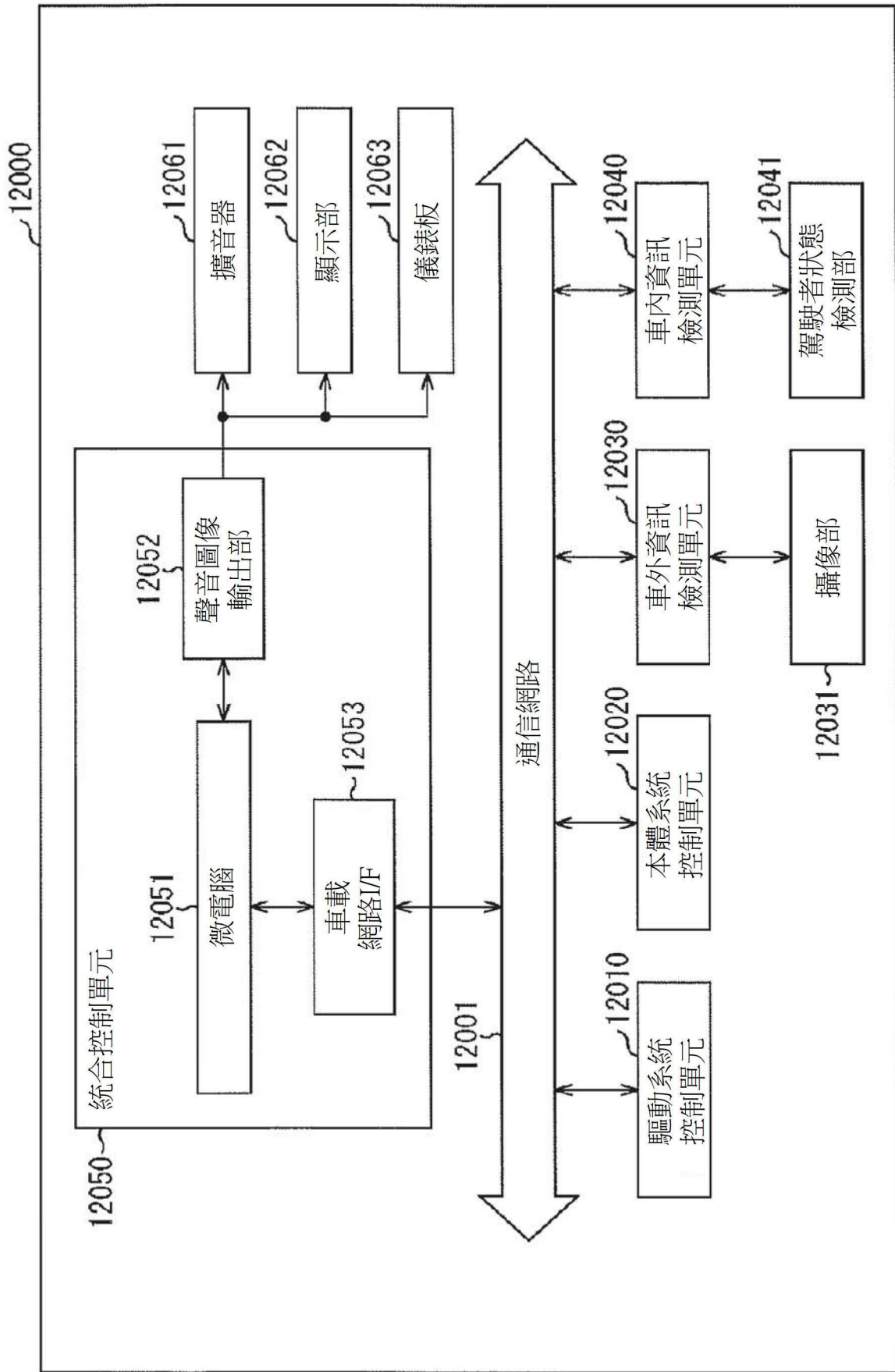
【圖57】



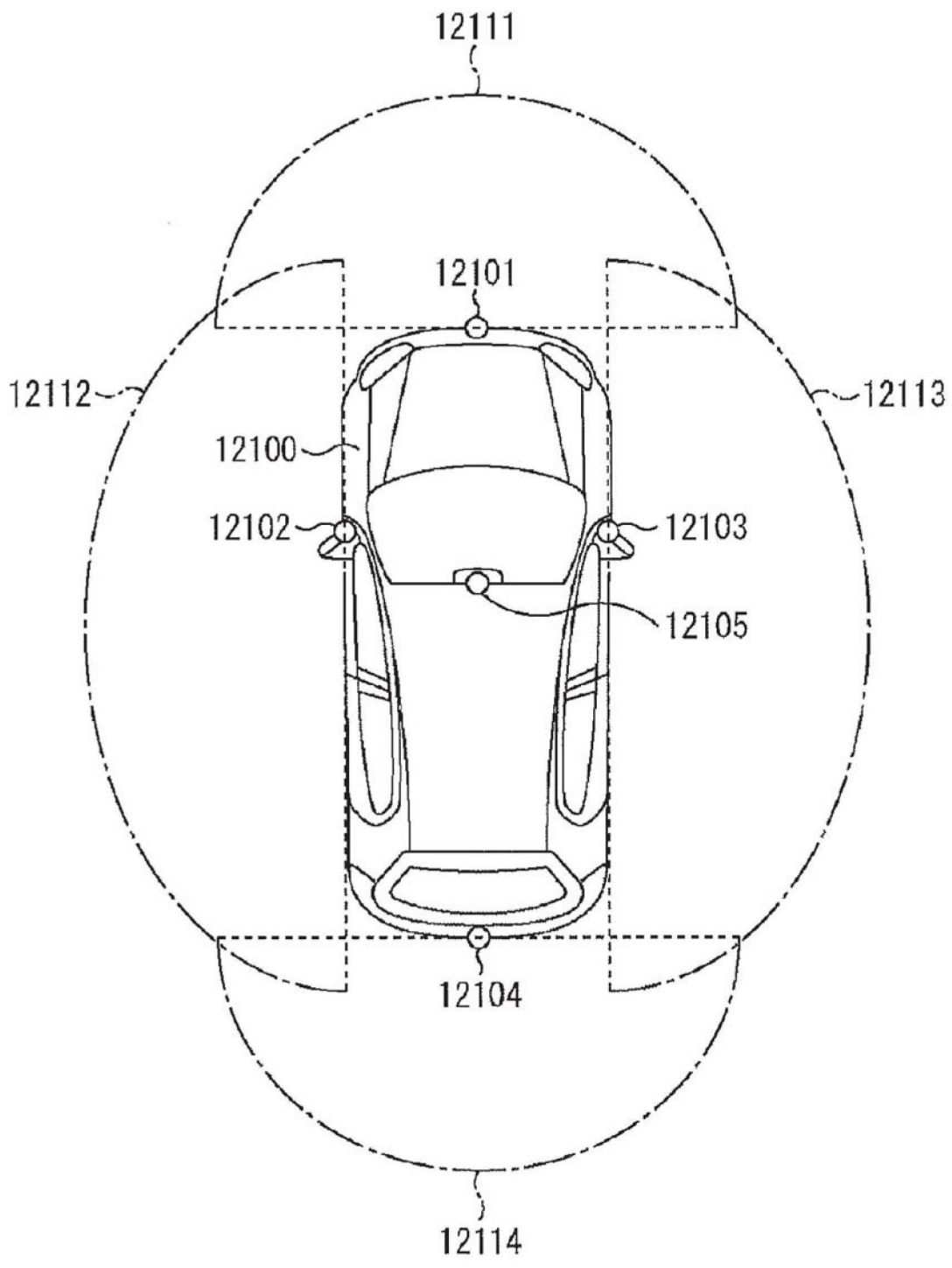
【圖58】



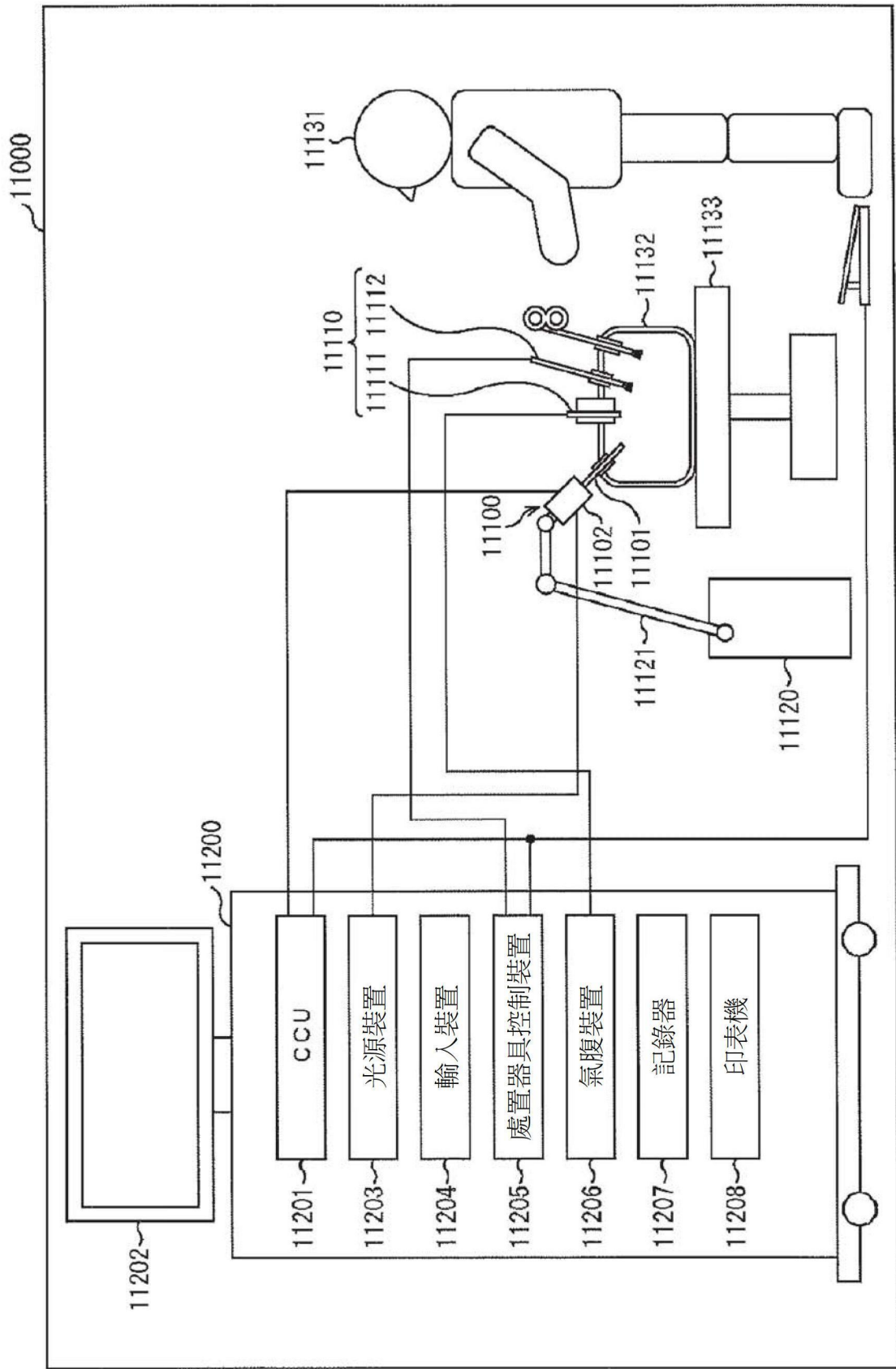
【圖59】



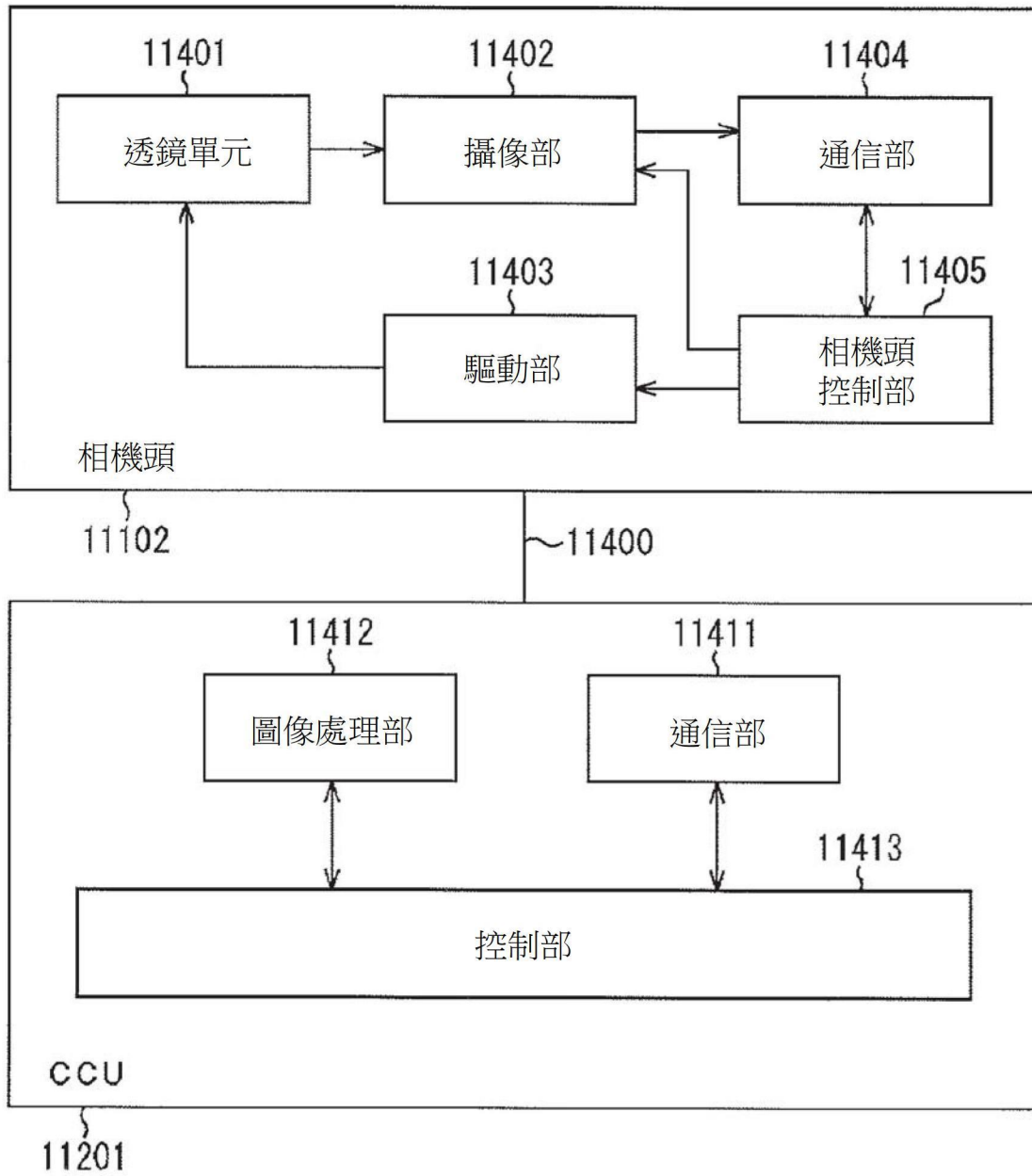
【圖60】



【圖61】



【圖62】



【圖63】