

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6097809号
(P6097809)

(45) 発行日 平成29年3月15日(2017.3.15)

(24) 登録日 平成29年2月24日(2017.2.24)

(51) Int.Cl.

F 1

H01L 29/786	(2006.01)	H01L	29/78	6 1 7 U
H01L 21/336	(2006.01)	H01L	29/78	6 1 8 B
H01L 21/28	(2006.01)	H01L	29/78	6 1 7 T
H01L 29/417	(2006.01)	H01L	29/78	6 1 9 A
G02F 1/1368	(2006.01)	H01L	29/78	6 1 6 V

請求項の数 5 (全 62 頁) 最終頁に続く

(21) 出願番号	特願2015-211448 (P2015-211448)
(22) 出願日	平成27年10月28日 (2015.10.28)
(62) 分割の表示	特願2014-139341 (P2014-139341) の分割
原出願日	平成22年10月20日 (2010.10.20)
(65) 公開番号	特開2016-42586 (P2016-42586A)
(43) 公開日	平成28年3月31日 (2016.3.31)
審査請求日	平成27年11月11日 (2015.11.11)
(31) 優先権主張番号	特願2009-242256 (P2009-242256)
(32) 優先日	平成21年10月21日 (2009.10.21)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	秋元 健吾 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	坂田 淳一郎 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

審査官 竹口 泰裕

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

基板上のゲート電極と、
前記ゲート電極上の第1の絶縁膜と、
前記第1の絶縁膜上の第2の絶縁膜と、
前記第2の絶縁膜上の酸化物半導体層と、
前記酸化物半導体層上のソース電極及びドレイン電極と、
前記ソース電極及び前記ドレイン電極上の第3の絶縁膜と、
前記第3の絶縁膜上の第4の絶縁膜と、を有し、
前記第1の絶縁膜と前記第4の絶縁膜は、窒化珪素を含み、
前記第2の絶縁膜と前記第3の絶縁膜は、酸化珪素を含み、
前記第2の絶縁膜は、前記第1の絶縁膜よりも膜厚が大きく、
前記第1の絶縁膜及び前記第2の絶縁膜は、プラズマCVD法により形成し、
前記第4の絶縁膜を形成した後に、250以上400以下(ただし250を除く)
の加熱処理を行うことを特徴とする半導体装置の作製方法。

10

【請求項 2】

基板上のゲート電極と、
前記ゲート電極上の第1の絶縁膜と、
前記第1の絶縁膜上の第2の絶縁膜と、
前記第2の絶縁膜上の酸化物半導体層と、

20

前記酸化物半導体層上のソース電極及びドレイン電極と、
 前記ソース電極及び前記ドレイン電極上の第3の絶縁膜と、
 前記第3の絶縁膜上の第4の絶縁膜と、を有し、
 前記第1の絶縁膜と前記第4の絶縁膜は、窒化珪素を含み、
 前記第2の絶縁膜と前記第3の絶縁膜は、酸化珪素を含み、
 前記第2の絶縁膜は、前記第1の絶縁膜よりも膜厚が大きく、
 前記第3の絶縁膜は、前記第4の絶縁膜よりも膜厚が大きく、
前記第1の絶縁膜及び前記第2の絶縁膜は、プラズマCVD法により形成し、
前記第4の絶縁膜を形成した後に、250以上400以下(ただし250を除く
)の加熱処理を行うことを特徴とする半導体装置の作製方法。

10

【請求項3】

請求項1又は2において、
 前記第2の絶縁膜及び前記第3の絶縁膜は、前記酸化物半導体層と重ならない領域で接することを特徴とする半導体装置の作製方法。

【請求項4】

請求項1乃至3のいずれか一において、
 前記酸化物半導体層は、In、Ga、及びZnを含むことを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至4のいずれか一において、
 前記ソース電極及び前記ドレイン電極は、第1の導電膜と、前記第1の導電膜上の第2の導電膜とを有し、
 前記第1の導電膜は、チタン、モリブデン、またはタングステンを含み、
 前記第2の導電膜は、電気陰性度が水素より低い金属を含むことを特徴とする半導体装置の作製方法。

20

【発明の詳細な説明】**【技術分野】****【0001】**

酸化物半導体を用いる半導体装置及びその作製方法に関する。

【背景技術】

30

【0002】

絶縁表面上に形成される半導体膜を用いた薄膜トランジスタは、半導体装置にとって必要不可欠な半導体素子である。薄膜トランジスタの製造には基板の耐熱温度という制約があるため、比較的低温での成膜が可能なアモルファスシリコン、レーザ光または触媒元素を用いた結晶化により得られるポリシリコンなどを活性層に有する薄膜トランジスタが、半導体表示装置に用いられるトランジスタの主流となっている。

【0003】

近年では、ポリシリコンによって得られる高い移動度と、アモルファスシリコンによって得られる均一な素子特性とを兼ね備えた新たな半導体材料として、酸化物半導体と呼ばれる、半導体特性を示す金属酸化物に注目が集まっている。金属酸化物は様々な用途に用いられており、例えば、よく知られた金属酸化物である酸化インジウムは、液晶表示装置などで透明電極材料として用いられている。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域に用いる薄膜トランジスタが、既に知られている（特許文献1及び特許文献2）。

40

【先行技術文献】**【特許文献】****【0004】**

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

50

【発明の概要】**【発明が解決しようとする課題】****【0005】**

半導体装置に用いられるトランジスタは、経時劣化による閾値電圧のばらつきが小さいこと、また、オン電流などの特性が良好であることが望まれる。経時劣化による閾値電圧のばらつきが小さいトランジスタを用いることで、半導体装置の信頼性を高めることができ、また、オン電流などの特性が良好なトランジスタを用いることで、半導体装置をより高い周波数で駆動させることが可能になる。

【0006】

本発明は、信頼性の高い半導体装置の作製方法の提供を目的の一とする。或いは、本発明は、高速駆動が可能な半導体装置の作製方法の提供を目的の一とする。或いは、本発明は、信頼性の高い半導体装置の提供を目的の一とする。或いは、本発明は、高速駆動が可能な半導体装置の提供を目的の一とする。

10

【課題を解決するための手段】**【0007】**

本発明者らは、酸化物半導体膜中に存在する水素、水などの不純物が、閾値電圧のシフトなどの経時劣化をトランジスタにもたらす要因であることに着目した。そして、電気陰性度の低い金属、具体的には水素よりも電気陰性度の低い金属を用いた導電膜を、ソース電極、ドレイン電極用の導電膜として用い、酸化物半導体膜の上或いは下に形成することで、酸化物半導体膜中に存在する水素、水などの不純物が上記導電膜に引き抜かれて、酸化物半導体膜の純度が高まり、その結果、水素、水などの不純物に起因するトランジスタの経時劣化が抑えられるのではないかと考えた。上記導電膜をエッチングなどで所望の形状に加工することで、ソース電極、ドレイン電極が形成できる。

20

【0008】

具体的に本発明の一態様では、酸化物半導体膜を活性層に用いたトランジスタを有する半導体装置の作製において、酸化物半導体膜との接触抵抗が低いチタン、タングステンまたはモリブデンなどの金属材料を用いた第1の導電膜を、酸化物半導体膜に接するように形成する。また、上記第1の導電膜を間に挟んで、前記酸化物半導体膜と重なるように、電気陰性度が低い金属、金属化合物または合金を用いた第2の導電膜を形成する。そして、上記第1の導電膜及び第2の導電膜をエッチングなどにより所望の形状に加工することで、ソース電極とドレイン電極を形成する。

30

【0009】

或いは、上記第1の導電膜を、酸化物半導体膜に接するように形成し、上記第1の導電膜を間に挟んで、前記酸化物半導体膜と重なるように上記第2の導電膜を形成した後、第2の導電膜をエッチングにより除去する。この場合、第2の導電膜を除去した後、電気陰性度が低い金属、金属化合物または合金を用いた第3の導電膜を、第1の導電膜を間に挟んで酸化物半導体膜と重なるように、新たに形成する。そして、上記第1の導電膜及び第3の導電膜をエッチングなどにより所望の形状に加工することで、ソース電極とドレイン電極を形成する。

【0010】

40

或いは、上記第1の導電膜を、酸化物半導体膜に接するように形成し、上記第1の導電膜を間に挟んで、前記酸化物半導体膜と重なるように上記第2の導電膜を形成した後、第2の導電膜をエッチングにより除去する。次いで、第2の導電膜を除去した後、電気陰性度が低い金属、金属化合物または合金を用いた第3の導電膜を、第1の導電膜を間に挟んで酸化物半導体膜と重なるように形成する。さらに、第3の導電膜上に、酸化物半導体膜との接触抵抗が低いチタン、タングステンまたはモリブデンなどの金属材料を用いた第4の導電膜を、酸化物半導体膜と重なるように形成する。なお、この場合、酸化物半導体膜との接触抵抗が低いチタン、タングステンまたはモリブデンなどの金属材料を用いた第5の導電膜を、第1の導電膜と第3の導電膜の間に形成しておいても良い。そして、上記第1の導電膜、第3の導電膜及び第4の導電膜を、或いは第1の導電膜、第3の導電膜、第4

50

の導電膜及び第5の導電膜を、エッチングなどにより所望の形状に加工することで、ソース電極とドレイン電極を形成する。

【0011】

本発明の一態様では、ソース電極とドレイン電極を構成している第1の導電膜に、酸化物半導体膜との接触抵抗が低い金属材料を用いており、なおかつ酸化物半導体膜と接しているので、ソース電極またはドレイン電極と、酸化物半導体膜との間における接触抵抗が低減される。そのため、TFTのオン電流及び電界効果移動度を高めることができる。また、第2の導電膜、第3の導電膜は電気陰性度が低い金属、金属化合物または合金を用いているので、酸化物半導体膜内、ゲート絶縁膜内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に存在する、水分、または水素などの不純物が、第2の導電膜、第3の導電膜に吸収或いは吸着される。そのため、水分、水素などの不純物の脱離により、 i 型(真性半導体)又は*i*型に限りなく近い酸化物半導体を得ることができ、上記不純物により閾値電圧がシフトするなどのトランジスタの特性の劣化が促進されるのを防ぎ、オフ電流を低減させることができる。10

【0012】

電気陰性度が低い金属として、アルミニウム、マグネシウムなどが挙げられる。上記金属のいずれか一つまたは複数を含む混合物、金属化合物または合金を、第2の導電膜、第3の導電膜として用いることができる。また、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、または上記元素を1つまたは複数成分として含む合金、または上記元素を成分として含む窒化物などの耐熱性導電性材料を、アルミニウムに組み合わせて、第2の導電膜、第3の導電膜として用いても良い。20

【0013】

なお、酸化物半導体膜との接触抵抗が低い上記金属のうち、チタンは電気陰性度が水素より低いため、水分、または水素などの不純物を酸化物半導体膜から引き抜きやすい。よって、チタンを上記第1の導電膜、第4の導電膜、第5の導電膜に用いることで、より酸化物半導体膜中の不純物を低減することができ、なおかつ酸化物半導体膜との接触抵抗が低いソース電極またはドレイン電極を形成することが可能となる。

【0014】

また、上記構成に加えて、第2の導電膜、第3の導電膜或いは第4の導電膜が露出した状態で、減圧雰囲気下、不活性ガス雰囲気下において加熱処理を行い、第2の導電膜、第3の導電膜或いは第4の導電膜の表面や内部に吸着されている水分や酸素などを取り除くようにも良い。加熱処理の温度範囲は、200乃至450とする。上記加熱処理を行うことで、酸化物半導体膜内、ゲート絶縁膜内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に存在する、水分、または水素などの不純物が、第2の導電膜、第3の導電膜或いは第4の導電膜により、吸収或いは吸着されやすくなる。30

【0015】

ソース電極とドレイン電極を形成した後は、ソース電極、ドレイン電極及び酸化物半導体膜を覆うように、単層の絶縁膜を、或いは複数の積層された絶縁膜を形成しても良い。上記絶縁膜には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、上記バリア性の高い絶縁膜よりも、含まれる窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、酸化物半導体膜に近い側に形成する。そして、窒素の比率が低い絶縁膜を間に挟んで、ソース電極、ドレイン電極及び酸化物半導体膜と重なるように、バリア性を有する絶縁膜を形成する。バリア性を有する絶縁膜を用いることで、導電膜の表面や内部に水分や酸素が吸着するのを防ぐことができる。また、酸化物半導体膜内、ゲート絶縁膜内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に、水分、または水素などの不純物が入り込むのを防ぐことができる。40

【0016】

また、ゲート電極と酸化物半導体膜の間に、バリア性の高い材料を用いた絶縁膜と、含ま50

れる窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜とを積層させた構造を有するゲート絶縁膜を、形成しておいても良い。酸化珪素膜、酸化窒化珪素膜などの絶縁膜は、バリア性を有する絶縁膜と酸化物半導体膜の間に形成する。バリア性を有する絶縁膜を用いることで、水分、または水素などの雰囲気中不純物、或いは基板内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体膜内、ゲート絶縁膜内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。

【0017】

さらに、酸化物半導体膜中の水分、または水素などの不純物を低減するため、酸化物半導体膜を形成した後、酸化物半導体膜が露出した状態で窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下で加熱処理を行う。上記加熱処理の温度範囲は、500以上750以下（若しくはガラス基板の歪点以下の温度）で行うのが望ましい。なお、この加熱処理は、用いる基板の耐熱温度を超えないものとする。

10

【0018】

なお、酸化物半導体は、四元系金属酸化物であるIn-Sn-Ga-Zn-O系酸化物半導体や、三元系金属酸化物であるIn-Ga-Zn-O系酸化物半導体、In-Sn-Zn-O系酸化物半導体、In-Al-Zn-O系酸化物半導体、Sn-Ga-Zn-O系酸化物半導体や、二元系金属酸化物であるIn-Zn-O系酸化物半導体、Sn-Zn-O系酸化物半導体、Al-Zn-O系酸化物半導体、Zn-Mg-O系酸化物半導体、Sn-Mg-O系酸化物半導体、In-Mg-O系酸化物半導体、In-Ga-O系酸化物半導体や、In-O系酸化物半導体、Sn-O系酸化物半導体、Zn-O系酸化物半導体などを用いることができる。なお、本明細書においては、例えば、In-Sn-Ga-Zn-O系酸化物半導体とは、インジウム（In）、錫（Sn）、ガリウム（Ga）、亜鉛（Zn）を有する金属酸化物、という意味であり、その組成比は特に問わない。また、上記酸化物半導体は、珪素を含んでいてもよい。

20

【0019】

或いは、酸化物半導体は、化学式 $InMO_3(ZnO)_m$ ($m > 0$) で表記することができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。

30

【0020】

なお、酸化物半導体膜は加熱処理により水分などの不純物が脱離することで、キャリア濃度が高くなり低抵抗化する。その後、低抵抗化した酸化物半導体膜に接するように酸化珪素、酸化窒化珪素などの絶縁膜を形成すると、低抵抗化した酸化物半導体膜の少なくとも上記絶縁膜と接する領域に酸素が供与されるため、キャリア濃度が低くなり（好ましくは $1 \times 10^{18} / cm^3$ 未満、さらに好ましくは $1 \times 10^{14} / cm^3$ 以下）、高抵抗化する。このように、半導体装置のプロセス中、酸化珪素、酸化窒化珪素などの絶縁膜の形成などによって、酸化物半導体膜のキャリア濃度と抵抗を制御することができるため、電気特性が良好で信頼性の良い薄膜トランジスタを有する半導体装置を作製し、提供することが可能となる。

40

【0021】

また、トランジスタは、ボトムゲート型であっても良いし、トップゲート型であっても良いし、ボトムコンタクト型であっても良い。ボトムゲート型トランジスタは、絶縁表面上のゲート電極と、ゲート電極上のゲート絶縁膜と、ゲート絶縁膜上においてゲート電極と重なる酸化物半導体膜と、酸化物半導体膜上のソース電極、ドレイン電極と、ソース電極、ドレイン電極及び酸化物半導体膜上の絶縁膜とを有する。トップゲート型トランジスタは、絶縁表面上の酸化物半導体膜と、酸化物半導体膜上のゲート絶縁膜と、ゲート絶縁膜上において酸化物半導体膜と重なり、なおかつ導電膜として機能するゲート電極と、ドレイン電極と、ソース電極、ドレイン電極及び酸化物半導体膜上の絶縁膜とを有する。ボトムコンタクト型トランジスタは、絶縁表面上のゲート電極と、ゲート電極上のゲート絶縁膜と、ゲート絶縁膜上のソース電極、ドレイン電極と、ソース電極、ドレイン電極上にあ

50

り、なおかつゲート絶縁膜においてゲート電極と重なる酸化物半導体膜と、ソース電極、ドレイン電極及び酸化物半導体膜上の絶縁膜とを有する。

【0022】

加熱処理は、炉での熱処理、またはラピッドサーマルアニール法（RTA法）を用いる。RTA法は、ランプ光源を用いる方法と、加熱されたガス中に基板を移動させて短時間の熱処理を行う方法がある。RTA法を用いると熱処理に要する時間を0.1時間よりも短時間とすることもできる。ただし、基板としてガラス基板を用いる場合は、300以上、且つ、ガラス基板の歪み点以下の温度の加熱処理とする。

【発明の効果】

【0023】

信頼性の高い半導体装置の作製方法を提供することができる。また、高速駆動が可能な半導体装置の作製方法を提供することができる。また、信頼性の高い半導体装置を提供することができる。また、高速駆動が可能な半導体装置を提供することができる。

【図面の簡単な説明】

【0024】

【図1】半導体装置の作製方法を示す図。

【図2】薄膜トランジスタの上面図。

【図3】薄膜トランジスタの断面図及び上面図。

【図4】半導体装置の作製方法を示す図。

【図5】半導体装置の作製方法を示す図。

【図6】半導体装置の作製方法を示す図。

【図7】薄膜トランジスタの断面図。

【図8】薄膜トランジスタの上面図。

【図9】薄膜トランジスタの断面図及び上面図。

【図10】薄膜トランジスタの断面図。

【図11】薄膜トランジスタの上面図。

【図12】半導体装置の作製方法を示す断面図。

【図13】半導体装置の作製方法を示す断面図。

【図14】半導体装置の作製方法を示す断面図。

【図15】半導体装置の作製方法を示す上面図。

【図16】半導体装置の作製方法を示す上面図。

【図17】半導体装置の作製方法を示す上面図。

【図18】電子ペーパーの上面図及び断面図。

【図19】半導体表示装置のプロック図。

【図20】信号線駆動回路の構成を説明する図。

【図21】シフトレジスタの構成を示す回路図。

【図22】シフトレジスタの動作を説明するタイミングチャート。

【図23】液晶表示装置の断面図。

【図24】液晶表示装置のモジュールの構成を示す図。

【図25】発光装置の断面図。

【図26】半導体装置を用いた電子機器の図。

【図27】酸化物半導体を用いた逆スタガ型の薄膜トランジスタの縦断面図。

【図28】図27に示すA-A'断面におけるエネルギー・バンド図（模式図）。

【図29】(A)ゲート(G1)に正の電位(+VG)が印加された状態を示し、(B)ゲート(G1)に負の電位(-VG)が印加された状態を示す図。

【図30】真空準位と金属の仕事関数(M)、酸化物半導体の電子親和力(?)の関係を示す図。

【発明を実施するための形態】

【0025】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は

10

20

30

40

50

以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0026】

なお本発明は、マイクロプロセッサ、画像処理回路などの集積回路や、RFタグ、半導体表示装置等、ありとあらゆる半導体装置の作製に用いることができる。半導体装置とは、半導体特性を利用して機能しうる装置全般を意味し、半導体表示装置、半導体回路および電子機器は全て半導体装置である。半導体表示装置は、液晶表示装置、有機発光素子(OLED)に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)等や、半導体膜を用いた回路素子を駆動回路に有しているその他の半導体表示装置がその範疇に含まれる。10

【0027】

(実施の形態1)

チャネルエッチ構造のボトムゲート型の薄膜トランジスタを例に挙げ、半導体装置の作製方法について図1乃至図3を用いて説明する。

【0028】

図1(A)に示すように、基板100上にゲート電極101を形成する。

【0029】

基板100とゲート電極101の間に、下地膜となる絶縁膜を形成しておいても良い。下地膜として、例えば、酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜のいずれか1つを単層で、或いは複数を積層させて用いることができる。特に、下地膜に、バリア性の高い絶縁膜、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることで、水分、または水素などの雰囲気中の不純物、或いは基板100内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体膜内、ゲート絶縁膜内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。20

【0030】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質をいう。30

【0031】

ゲート電極101の材料は、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等の金属材料、これら金属材料を主成分とする合金材料を用いた導電膜、或いはこれら金属の窒化物を、単層で又は積層で用いることができる。なお、後の工程において行われる加熱処理の温度に耐えうるのであれば、上記金属材料としてアルミニウム、銅を用いることも出来る。アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。40

【0032】

例えば、二層の積層構造を有するゲート電極101として、アルミニウム膜上にモリブデン膜が積層された二層の積層構造、または銅膜上にモリブデン膜を積層した二層構造、または銅膜上に窒化チタン膜若しくは窒化タンタル膜を積層した二層構造、窒化チタン膜とモリブデン膜とを積層した二層構造とすることが好ましい。3層の積層構造を有するゲート電極101としては、アルミニウム膜、アルミニウムとシリコンの合金膜、アルミニウムとチタンの合金膜またはアルミニウムとネオジムの合金膜を中間層とし、タングステン膜、窒化タングステン膜、窒化チタン膜またはチタン膜を上下層として積層した構造とすることが好ましい。50

【0033】

また、ゲート電極101に酸化インジウム、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等の透光性を有する酸化物導電膜をゲート電極101に用いることで、画素部の開口率を向上させることができる。

【0034】

ゲート電極101の膜厚は、10nm～400nm、好ましくは100nm～200nmとする。本実施の形態では、タンゲステンターゲットを用いたスパッタ法により150nmのゲート電極用の導電膜を形成した後、該導電膜をエッティングにより所望の形状に加工(パターニング)することで、ゲート電極101を形成する。

10

【0035】

次いで、ゲート電極101上に、ゲート絶縁膜102を形成する。ゲート絶縁膜102は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウムまたは酸化タンタルを単層で又は積層させて形成することができる。ゲート絶縁膜102は、水分や、水素などの不純物を極力含まないことが望ましい。バリア性の高い材料を用いた絶縁膜と、含まれる窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜とを積層させた構造を有するゲート絶縁膜102を形成しても良い。この場合、酸化珪素膜、酸化窒化珪素膜などの絶縁膜は、バリア性を有する絶縁膜と酸化物半導体膜の間に形成する。バリア性の高い絶縁膜として、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などが挙げられる。バリア性を有する絶縁膜を用いることで、水分または水素などの雰囲気中不純物、或いは基板内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体膜内、ゲート絶縁膜102内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。また、酸化物半導体膜に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体膜に接するのを防ぐことができる。

20

【0036】

本実施の形態では、スパッタ法で形成された膜厚50nmの窒化珪素膜上に、スパッタ法で形成された膜厚100nmの酸化珪素膜を積層させた構造を有する、ゲート絶縁膜102を形成する。

30

【0037】

次いで、ゲート絶縁膜102上に酸化物半導体膜を形成する。酸化物半導体膜は、酸化物半導体をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体膜は、希ガス(例えばアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(例えばアルゴン)及び酸素雰囲気下においてスパッタ法により形成することができる。

【0038】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁膜102の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

40

【0039】

酸化物半導体膜には、上述した酸化物半導体を用いることができる。

【0040】

酸化物半導体膜の膜厚は、10nm～300nm、好ましくは20nm～100nmとする。本実施の形態では、酸化物半導体膜としてIn(インジウム)、Ga(ガリウム)、及びZn(亜鉛)を含む酸化物半導体ターゲット(モル数比がIn₂O₃：Ga₂O₃：ZnO=1：1：1、In₂O₃：Ga₂O₃：ZnO=1：1：2)を用いたスパッタ

50

法により得られる、膜厚30nmのIn-Ga-Zn-O系酸化物半導体を用いる。本実施の形態では、DCスパッタ法を用い、アルゴンの流量30sccmとし、酸素の流量15sccmとし、基板温度は室温とする。

【0041】

ゲート絶縁膜102、及び酸化物半導体膜を大気に触れさせることなく連続的に形成してもよい。大気に触れさせることなく連続成膜することで、界面が、水やハイドロカーボンなどの、大気成分や大気中に浮遊する不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【0042】

次いで、図1(A)に示すように、酸化物半導体膜をエッティングなどにより所望の形状に加工(パターニング)し、ゲート電極101と重なる位置において、ゲート絶縁膜102上に島状の酸化物半導体膜103を形成する。

【0043】

次いで、不活性ガス雰囲気(窒素、またはヘリウム、ネオン、アルゴン等)下において、酸化物半導体膜103に加熱処理を施しても良い。酸化物半導体膜103に加熱処理を施すことで、水分、水素が脱離した酸化物半導体膜104が形成される。具体的には、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥工ア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)雰囲気下で、において、500以上750以下(若しくはガラス基板の歪点以下の温度)で1分間以上10分間以下程度、好ましくは600、3分間以上6分間以下程度のRTA(Rapid Thermal Anneal)処理で行うことができる。RTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。なお、上記加熱処理は、島状の酸化物半導体膜103形成後のタイミングに限らず、島状の酸化物半導体膜103形成前の酸化物半導体膜に対して行っても良い。また、上記加熱処理を、酸化物半導体膜104形成後に複数回行っても良い。島状の酸化物半導体膜104は、上記加熱処理によって水分、水素などの不純物が脱離し、i型(真性半導体)又はi型に限りなく近くなるため、上記不純物により閾値電圧がシフトするなどのトランジスタの特性の劣化が促進されるのを防ぎ、オフ電流を低減することができる。

【0044】

本実施の形態では、窒素雰囲気下において、600、基板温度が上記設定温度に達した状態で6分間、加熱処理を行う。加熱処理は、電気炉を用いた加熱方法、加熱した気体を用いるGRTA(Gas Rapid Thermal Anneal)法またはランプ光を用いるLRTA(Lamp Rapid Thermal Anneal)法などの瞬間加熱方法などを用いることができる。例えば、電気炉を用いて加熱処理を行う場合、昇温特性を0.1/min以上20/min以下、降温特性を0.1/min以上15/min以下とすることが好ましい。

【0045】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水分、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.9999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0046】

次いで、図1(C)に示すように、島状の酸化物半導体膜104上に、ソース電極ドレン電極用の導電膜を形成する。本実施の形態では、酸化物半導体膜104との接触抵抗が低いチタン、タングステンまたはモリブデンなどの金属材料を用いた導電膜105a上に、電気陰性度が低い金属、金属化合物または合金を用いた導電膜105bを形成する。

【0047】

10

20

30

40

50

電気陰性度が低い金属として、アルミニウム、マグネシウムを用いることもできる。上記金属のいずれか一つまたは複数を含む混合物、金属化合物または合金を、導電膜105bとして用いることができる。また、アルミニウムなどの耐熱性の低い材料を用いる場合、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、または上記元素を1つまたは複数成分として含む合金、または上記元素を成分として含む窒化物などの耐熱性導電性材料を組み合わせることで、導電膜105bの耐熱性を高めるようにしても良い。

【0048】

導電膜105aの膜厚は、10nm～200nm、好ましくは50nm～150nmとするのが望ましい。また、導電膜105bの膜厚は、100nm～300nm、好ましくは150nm～250nmとするのが望ましい。本実施の形態では、導電膜105aとして、スパッタ法で形成された膜厚100nmのチタン膜を用い、導電膜105bとして、スパッタ法で形成された膜厚200nmのアルミニウム膜を用いる。10

【0049】

本発明の一態様では、導電膜105bとして電気陰性度が低い金属、金属化合物または合金を用いているので、酸化物半導体膜104内、ゲート絶縁膜102内、或いは、酸化物半導体膜104と他の絶縁膜の界面とその近傍に存在する、水分または水素などの不純物が、導電膜105bに吸収或いは吸着される。そのため、水分、水素などの不純物の脱離により、i型（真性半導体）又はi型に限りなく近い酸化物半導体膜104を得ることができ、上記不純物により閾値電圧がシフトするなどのトランジスタの特性の劣化が促進されるのを防ぎ、オフ電流を低減させることができる。20

【0050】

なお、上記構成に加えて、導電膜105bが露出した状態で、減圧雰囲気下、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性ガス雰囲気下において加熱処理を行い、導電膜105bの表面や内部に吸着されている水分や酸素などを取り除くようにしても良い。加熱処理の温度範囲は、200乃至450とする。上記加熱処理を行うことで、酸化物半導体膜104内、ゲート絶縁膜102内、或いは、酸化物半導体膜104と他の絶縁膜の界面とその近傍に存在する、水分、水素などの不純物が、導電膜105bに、より吸収或いは吸着されやすくなることができる。30

【0051】

次いで、図1(D)に示すように、エッチング等により導電膜105a及び導電膜105bを所望の形状に加工（パターニング）することで、ソース電極106、ドレイン電極107を形成する。例えば、導電膜105aにチタン膜、導電膜105bにアルミニウム膜を用いている場合、磷酸を含む溶液を用いて導電膜105bをウェットエッチングした後、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、導電膜105aをウェットエッチングすれば良い。具体的に、本実施の形態では、磷酸を含む溶液として、和光純薬工業株式会社製の混酸アルミ液（2.0重量%の硝酸と、9.8重量%の酢酸と、72.3重量%のリン酸と、を含有する水溶液）を用いる。また、アンモニア過水は、具体的には、31重量%の過酸化水素水と28重量%のアンモニア水と水とを体積比5：2：2で混合した水溶液を用いる。或いは、塩素（C₁₂）、塩化硼素（BC₁₃）などを含むガスを用いて、導電膜105aと導電膜105bをドライエッチングしても良い。40

【0052】

上記パターニングによりソース電極106とドレイン電極107を形成する際に、島状の酸化物半導体膜104の露出した部分が一部エッチングされることで、溝部（凹部）が形成される場合もある。本実施の形態では、上記エッチングにより溝部（凹部）を有する島状の酸化物半導体膜108が形成される場合を例示する。ソース電極106、ドレイン電極107の一部に用いられている導電膜105aは、酸化物半導体膜108と接している。そして、なおかつ導電膜105aには、上述したとおり酸化物半導体膜108との接触抵抗が低い金属材料が用いられているので、ソース電極106、ドレイン電極107と、酸化物半導体膜108との間における接触抵抗が低減される。そのため、TFTのオン電50

流及び電界効果移動度を高めることができる。

【0053】

なお、図1(E)に示すように、ソース電極106、ドレイン電極107を形成した後は、ソース電極106、ドレイン電極107及び酸化物半導体膜108を覆うように絶縁膜109を形成する。絶縁膜109は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。上記絶縁膜109には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、上記バリア性の高い絶縁膜よりも、窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、酸化物半導体膜108に近い側に形成する。そして、窒素の比率が低い絶縁膜を間に挟んで、ソース電極106、ドレイン電極107及び酸化物半導体膜108と重なるように、バリア性を有する絶縁膜を形成する。バリア性を有する絶縁膜を用いることで、ソース電極106、ドレイン電極107の表面や内部に水分や酸素が吸着するのを防ぐことができる。また、酸化物半導体膜108内、ゲート絶縁膜102内、或いは、酸化物半導体膜108と他の絶縁膜の界面とその近傍に、水分または水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体膜108に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体膜108に接するのを防ぐことができる。10

【0054】

本実施の形態では、スパッタ法で形成された膜厚200nmの酸化珪素膜上に、スパッタ法で形成された膜厚100nmの窒化珪素膜を積層させた構造を有する、絶縁膜109を形成する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。20

【0055】

ソース電極106又はドレイン電極107の間に設けられた酸化物半導体膜108の露出領域と、絶縁膜109を構成する酸化珪素とが接して設けられることによって、酸化物半導体膜108の絶縁膜109と接する領域に酸素が供与されて高抵抗化(キャリア濃度が低まる、好ましくは $1 \times 10^{18} / \text{cm}^3$ 未満)し、高抵抗化したチャネル形成領域を有する酸化物半導体膜108を形成することができる。30

【0056】

なお、絶縁膜109を形成した後に、加熱処理を施しても良い。加熱処理は大気雰囲気下、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)雰囲気下において、好ましくは200以上400以下、例えば250以上350以下)を行う。本実施の形態では、例えば、窒素雰囲気下で250、1時間の加熱処理を行う。または、導電膜105a及び導電膜105bを形成する前に、酸化物半導体膜に対して行った先の加熱処理と同様に、高温短時間のRTA処理を行っても良い。該加熱処理を行うと、酸化物半導体膜108が絶縁膜109を構成する酸化珪素と接した状態で加熱されることになり、さらに酸化物半導体膜108を高抵抗化させてトランジスタの電気特性の向上および、電気特性のばらつきを軽減することができる。この加熱処理を行うタイミングは、絶縁膜109の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく行うことができる。40

【0057】

図2に、図1(E)に示す半導体装置の上面図を示す。図1(E)は、図2の破線A1-A2における断面図に相当する。

【0058】

トランジスタ110は、ゲート電極101と、ゲート電極101上のゲート絶縁膜102

50

と、ゲート絶縁膜 102 上の酸化物半導体膜 108 と、酸化物半導体膜 108 上のソース電極 106 及びドレイン電極 107 と、ソース電極 106、ドレイン電極 107 及び酸化物半導体膜 108 上の絶縁膜 109 を有する。

【0059】

次いで、絶縁膜 109 上に導電膜を形成した後、該導電膜をパターニングすることで、図 3 (A) に示すように、酸化物半導体膜 108 と重なる位置にバックゲート電極 111 を形成しても良い。バックゲート電極 111 は、ゲート電極 101、或いはソース電極 106 及びドレイン電極 107 と同様の材料、構造を用いて形成することが可能である。

【0060】

バックゲート電極 111 の膜厚は、10 nm ~ 400 nm、好ましくは100 nm ~ 200 nmとする。本実施の形態では、チタン膜、アルミニウム膜、チタン膜が積層された構造を有する導電膜を形成する。そして、フォトリソグラフィ法によりレジストマスクを形成し、エッチングにより不要な部分を除去して、該導電膜を所望の形状に加工(パターニング)することで、バックゲート電極 111 を形成する。

【0061】

次いで、図 3 (B) に示すように、バックゲート電極 111 を覆うように絶縁膜 112 を形成する。絶縁膜 112 は、雰囲気中の水分、水素などがトランジスタ 110 の特性に影響を与えるのを防ぐことができる、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを、プラズマ CVD 法又はスパッタリング法等により単層で又は積層させて形成することができる。バリア性の効果を得るには、絶縁膜 112 は、例えば厚さ 15 nm ~ 400 nm の膜厚で形成することが好ましい。

【0062】

本実施の形態では、プラズマ CVD 法により 300 nm の絶縁膜を形成する。成膜条件は、シランガスの流量 4 sccm とし、一酸化二窒素 (N_2O) の流量 800 sccm とし、基板温度 400 とする。

【0063】

図 3 (C) に、図 3 (B) に示す半導体装置の上面図を示す。図 3 (B) は、図 3 (C) の破線 A1 - A2 における断面図に相当する。

【0064】

なお、図 3 (B) では、バックゲート電極 111 が酸化物半導体膜 108 全体を覆っている場合を例示しているが、本発明はこの構成に限定されない。バックゲート電極 111 は、酸化物半導体膜 108 が有するチャネル形成領域の一部と少なくとも重なっていれば良い。

【0065】

バックゲート電極 111 は、電気的に絶縁しているフローティングの状態であっても良いし、電位が与えられる状態であっても良い。後者の場合、バックゲート電極 111 には、ゲート電極 101 と同じ高さの電位が与えられていても良いし、グラウンドなどの固定電位が与えられていても良い。バックゲート電極 111 に与える電位の高さを制御することで、トランジスタ 110 の閾値電圧を制御することができる。

【0066】

本実施の形態のように酸化物半導体膜中に含まれる水素、水などの不純物を極力除去し、酸化物半導体膜を高純度化することが、トランジスタの特性にどのように影響を与えるかを以下に説明する。

【0067】

図 27 は、酸化物半導体を用いた逆スタガ型の薄膜トランジスタの縦断面図を示す。ゲート電極 (GE) 上にゲート絶縁膜 (GI) を介して酸化物半導体膜 (OS) が設けられ、その上にソース電極 (S) 及びドレイン電極 (D) が設けられている。

【0068】

図 28 は、図 27 に示す A - A' 断面におけるエネルギー・バンド図(模式図)を示す。図

10

20

20

30

40

40

50

28(A)はソース電極とドレイン電極の間の電圧を等電位($V_D = 0V$)とした場合を示し、図28(B)はソース電極に対しドレイン電極に正の電位($V_D > 0$)を加えた場合を示す。

【0069】

図29は、図27におけるB-B'の断面におけるエネルギー・バンド図(模式図)である。図29(A)はゲート(GE)に正の電位(+VG)が印加された状態であり、ソース電極とドレイン電極間にキャリア(電子)が流れるオン状態を示している。また、図29(B)は、ゲート(G1)に負の電位(-VG)が印加された状態であり、オフ状態(少数キャリアは流れない)である場合を示す。

【0070】

図30は、真空準位と金属の仕事関数(M)、酸化物半導体の電子親和力()の関係を示す。

【0071】

金属は縮退しているため、伝導帯とフェルミ準位とは一致する。一方、従来の酸化物半導体は一般にn型であり、その場合のフェルミ準位(Ef)は、バンドギャップ中央に位置する真性フェルミ準位(Ei)から離れて、伝導帯(Ec)寄りに位置している。なお、酸化物半導体において水素はドナーであり、酸化物半導体がn型化する一つの要因であることが知られている。

【0072】

これに対して、本発明に係る酸化物半導体は、電気陰性度が水素よりも低い金属をソース電極またはドレイン電極用の導電膜に用いることで、n型不純物である水素を酸化物半導体から除去して酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより、酸化物半導体を真性(i型)又は真性型とせんとしたものである。すなわち、不純物を添加して酸化物半導体をi型化するのではなく、水素や水等の不純物を極力除去して高純度化することにより、i型(真性半導体)又はi型(真性半導体)に限りなく近い酸化物半導体を得ることを特徴としている。上記構成により、矢印で示すように、フェルミ準位(Ef)は真性フェルミ準位(Ei)と同じレベルに限りなく近づけることができる。

【0073】

酸化物半導体のバンドギャップ(Eg)が3.15eVである場合、電子親和力()は4.3eVと言われている。ソース電極及びドレイン電極を構成するチタン(Ti)の仕事関数は、酸化物半導体の電子親和力()とほぼ等しい。この場合、金属-酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

【0074】

すなわち、金属の仕事関数(M)と酸化物半導体の電子親和力()が等しい場合、両者が接触すると図28(A)で示すようなエネルギー・バンド図(模式図)が示される。

【0075】

図28(B)において黒丸()は電子を示し、ドレイン電極に正の電位が印加されると、電子はバリア(h)をこえて酸化物半導体に注入され、ドレイン電極に向かって流れる。この場合、バリア(h)の高さは、ゲート電圧とドレイン電圧に依存して変化するが、正のドレイン電圧が印加された場合には、電圧印加のない図28(A)のバリアの高さ、すなわちバンドギャップ(Eg)の1/2よりもバリアの高さ(h)は小さい値となる。

【0076】

このとき電子は、図29(A)で示すようにゲート絶縁膜と高純度化された酸化物半導体との界面における、酸化物半導体側のエネルギー的に安定な最低部を移動する。

【0077】

また、図29(B)において、ゲート電極(G1)に負の電位(逆バイアス)が印加されると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

【0078】

10

20

30

40

50

例えば、薄膜トランジスタのチャネル幅Wが $1 \times 10^4 \mu\text{m}$ でチャネル長が $3 \mu\text{m}$ の素子であっても、オフ電流が 10^{-13} A 以下であり、サブスレッショルドスイング値(S値)が 0.1 V / dec. (ゲート絶縁膜厚 100 nm)が得られる。

【0079】

このように、酸化物半導体の主成分以外の水、水素などの不純物が極力含まれないように、酸化物半導体膜を高純度化することにより、薄膜トランジスタの動作を良好なものとすることができる。

【0080】

(実施の形態2)

チャネルエッチ構造のボトムゲート型の薄膜トランジスタを例に挙げ、半導体装置の作製方法について図4を用いて説明する。 10

【0081】

まず、実施の形態1において示した作製方法に従って、図4(A)に示すように、島状の酸化物半導体膜104上に、酸化物半導体膜104との接触抵抗が低いチタン、タンクステンまたはモリブデンなどの金属材料を用いた導電膜105a上に、電気陰性度が低い金属、金属化合物または合金を用いた導電膜105bを形成する。導電膜105aと導電膜105bに用いられる材料の種類、構造、その膜厚の範囲については、実施の形態1に既に記載してあるので、ここでは説明を省略する。本実施の形態では、導電膜105aとして、スパッタ法で形成された膜厚 100 nm のチタン膜を用い、導電膜105bとして、スパッタ法で形成された膜厚 200 nm のアルミニウム膜を用いる。 20

【0082】

導電膜105aと導電膜105bを形成した後、導電膜105bが露出した状態で、減圧雰囲気下、窒素、または希ガス(アルゴン、ヘリウムなど)の不活性ガス雰囲気下において加熱処理を行っても良い。加熱処理の温度範囲は、実施の形態1と同様に、 200 乃至 450 とする。

【0083】

次いで、図4(B)に示すように、導電膜105bをエッティングなどにより除去する。上記エッティングには、導電膜105aがエッティングされるのを防ぐために、ウェットエッティングを用いるのが望ましい。具体的に本実施の形態では、導電膜105bにアルミニウム膜を用いているので、磷酸を含む溶液、例えば和光純薬工業株式会社製の混酸アルミ液(2.0 重量%の硝酸と、 9.8 重量%の酢酸と、 72.3 重量%のリン酸と、を含有する水溶液)を用いたウェットエッティングにより、導電膜105bを除去する。なお、ドライエッティングを用いて導電膜105bを除去する場合、塩素(Cl_2)、塩化硼素(BCl_3)などを含むガスを用いると良い。ただし、ドライエッティングの場合、チタン膜である導電膜105aと、アルミニウム膜である導電膜105bの選択比に差が出ないため、エッティングの際に導電膜105aが残存するようドライエッティングの時間を制御すれば良い。 30

【0084】

導電膜105bには、酸化物半導体膜104内、ゲート絶縁膜102内、或いは、酸化物半導体膜104と他の絶縁膜の界面とその近傍に存在する、水分または水素などの不純物が、吸蔵或いは吸着されている。よって、導電膜105bを除去することで、導電膜105bに吸蔵或いは吸着されている水分、または水素などの不純物も共に除去することができる。 40

【0085】

次いで、図4(C)に示すように、導電膜105a上に、電気陰性度が低い金属、金属化合物または合金を用いた導電膜105cを新たに形成する。導電膜105cに用いられる材料の種類と、その膜厚の範囲は、導電膜105bと同じとする。本実施の形態では、導電膜105cとして、スパッタ法で形成された膜厚 200 nm のアルミニウム膜を用いる。 50

【0086】

本発明の一態様では、導電膜 105b を除去した後に、電気陰性度が低い金属、金属化合物または合金を用いて、導電膜 105c を新たに形成している。導電膜 105c は、すでに不純物が吸蔵或いは吸着している導電膜 105b よりも、水分、または水素などの不純物を吸蔵或いは吸着しやすい。よって、酸化物半導体膜 104 内、ゲート絶縁膜 102 内、或いは、酸化物半導体膜 104 と他の絶縁膜の界面とその近傍に存在する上記不純物を、実施の形態 1 の場合よりも低減させることができる。そのため、水分、水素などの不純物の脱離により、i 型（真性半導体）又は i 型に限りなく近い酸化物半導体膜 104 を得ることができ、上記不純物により閾値電圧がシフトするなどのトランジスタの特性の劣化が促進されるのを防ぎ、オフ電流を低減させることができる。

【0087】

10

導電膜 105c を形成した後、導電膜 105c が露出した状態で、減圧雰囲気下、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性ガス雰囲気下において、再び加熱処理を行っても良い。加熱処理の温度範囲は、実施の形態 1 と同様に、200 乃至 450 とする。上記加熱処理を行うことで、酸化物半導体膜 104 内、ゲート絶縁膜 102 内、或いは、酸化物半導体膜 104 と他の絶縁膜の界面とその近傍に存在する、水分、または水素などの不純物が、導電膜 105c により吸蔵或いは吸着されやすくなることができる。

【0088】

次いで、図 4 (D) に示すように、エッチング等により導電膜 105a 及び導電膜 105c を所望の形状に加工（パターニング）することで、ソース電極 126、ドレイン電極 127 を形成する。例えば、導電膜 105a にチタン膜、導電膜 105c にアルミニウム膜を用いている場合、磷酸を含む溶液を用いて導電膜 105c をウェットエッチングした後、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、導電膜 105a をウェットエッチングすれば良い。具体的に、本実施の形態では、磷酸を含む溶液として、和光純薬工業株式会社製の混酸アルミ液（2.0 重量% の硝酸と、9.8 重量% の酢酸と、72.3 重量% のリン酸と、を含有する水溶液）を用いる。また、アンモニア過水は、具体的には、31 重量% の過酸化水素水と 28 重量% のアンモニア水と水とを体積比 5 : 2 : 2 で混合した水溶液を用いる。或いは、塩素（Cl₂）、塩化硼素（BCl₃）などを含むガスを用いて、導電膜 105a と導電膜 105c をドライエッチングしても良い。

20

【0089】

30

上記パターニングによりソース電極 126 とドレイン電極 127 を形成する際に、島状の酸化物半導体膜 104 の露出した部分が一部エッチングされることで、溝部（凹部）が形成される場合もある。本実施の形態では、上記エッチングにより溝部（凹部）を有する島状の酸化物半導体膜 128 が形成される場合を例示する。ソース電極 126、ドレイン電極 127 の一部に用いられている導電膜 105a は、酸化物半導体膜 128 と接している。そして、なおかつ導電膜 105a には、上述したとおり酸化物半導体膜 128 との接触抵抗が低い金属材料が用いられているので、ソース電極 126、ドレイン電極 127 と、酸化物半導体膜 128 との間ににおける接触抵抗が低減される。そのため、TFT のオン電流及び電界効果移動度を高めることができる。

【0090】

40

そして、ソース電極 126、ドレイン電極 127 を形成した後は、ソース電極 126、ドレイン電極 127 及び酸化物半導体膜 128 を覆うように絶縁膜 129 を形成する。絶縁膜 129 に用いられる材料の種類、構造、その膜厚の範囲については、実施の形態 1 に記載した絶縁膜 109 と同じとする。本実施の形態では、スパッタ法で形成された膜厚 200 nm の酸化珪素膜上に、スパッタ法で形成された膜厚 100 nm の窒化珪素膜を積層させた構造を有する、絶縁膜 129 を形成する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。

【0091】

ソース電極 126 又はドレイン電極 127 の間に設けられた酸化物半導体膜 128 の露出領域と、絶縁膜 129 を構成する酸化珪素とが接して設けられることによって、絶縁膜 1

50

29と接する酸化物半導体膜128の領域が高抵抗化（キャリア濃度が低まる、好ましくは $1 \times 10^{-8} / \text{cm}^3$ 未満）し、高抵抗化したチャネル形成領域を有する酸化物半導体膜128を形成することができる。

【0092】

絶縁膜129を形成した後に、加熱処理を施しても良い。上記加熱処理の条件については、実施の形態1において絶縁膜109を形成した後に行われる加熱処理の条件を参照すれば良い。

【0093】

上記作製方法に従って形成された薄膜トランジスタ120は、ゲート電極101と、ゲート電極101上のゲート絶縁膜102と、ゲート絶縁膜102上の酸化物半導体膜128と、酸化物半導体膜128上のソース電極126及びドレイン電極127と、ソース電極126、ドレイン電極127及び酸化物半導体膜128上の絶縁膜129とを有する。
10

【0094】

次いで、絶縁膜129上に導電膜を形成した後、該導電膜をパターニングすることで、酸化物半導体膜128と重なる位置にバックゲート電極を形成しても良い。バックゲート電極に用いられる材料の種類、構造、その膜厚の範囲については、実施の形態1に記載のバックゲート電極111と同様であるので、ここでは説明を省略する。

【0095】

バックゲート電極を形成した場合、バックゲート電極を覆うように絶縁膜を形成する。バックゲート電極を覆う絶縁膜に用いられる材料の種類、構造、その膜厚の範囲については、実施の形態1に記載の絶縁膜112と同様であるので、ここでは説明を省略する。
20

【0096】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0097】

(実施の形態3)

チャネルエッチ構造のボトムゲート型の薄膜トランジスタを例に挙げ、半導体装置の作製方法について図5を用いて説明する。

【0098】

まず、実施の形態1において示した作製方法に従って、図5(A)に示すように、島状の酸化物半導体膜104上に、酸化物半導体膜104との接触抵抗が低いチタン、タングステンまたはモリブデンなどの金属材料を用いた導電膜105a上に、電気陰性度が低い金属、金属化合物または合金を用いた導電膜105bを形成する。導電膜105aと導電膜105bに用いられる材料の種類、構造、その膜厚の範囲については、実施の形態1に既に記載してあるので、ここでは説明を省略する。本実施の形態では、導電膜105aとして、スパッタ法で形成された膜厚100nmのチタン膜を用い、導電膜105bとして、スパッタ法で形成された膜厚200nmのアルミニウム膜を用いる。
30

【0099】

導電膜105aと導電膜105bを形成した後、導電膜105bが露出した状態で、減圧雰囲気下、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性ガス雰囲気下において加熱処理を行っても良い。加熱処理の温度範囲は、実施の形態1と同様に、200乃至450とする。
40

【0100】

次いで、図5(B)に示すように、導電膜105bをエッティングなどにより除去する。上記エッティングには、導電膜105aがエッティングされるのを防ぐために、ウェットエッティングを用いるのが望ましい。具体的に本実施の形態では、導電膜105bにアルミニウム膜を用いているので、磷酸を含む溶液、例えば和光純薬工業株式会社製の混酸アルミ液（2.0重量%の硝酸と、9.8重量%の酢酸と、72.3重量%のリン酸と、を含有する水溶液）を用いたウェットエッティングにより、導電膜105bを除去する。なお、ドライエッティングを用いて導電膜105bを除去する場合、塩素（Cl₂）、塩化硼素（BCl₃）などを含むガスを用いると良い。ただし、ドライエッティングの場合、チタン膜である
50

導電膜 105a と、アルミニウム膜である導電膜 105b の選択比に差が出ないため、エッティングの際に導電膜 105a が残存するようにドライエッティングの時間を制御すれば良い。

【0101】

導電膜 105b には、酸化物半導体膜 104 内、ゲート絶縁膜 102 内、或いは、酸化物半導体膜 104 と他の絶縁膜の界面とその近傍に存在する、水分、または水素などの不純物が、吸蔵或いは吸着されている。よって、導電膜 105b を除去することで、導電膜 105b に吸蔵或いは吸着されている水分、または水素などの不純物も共に除去することができる。

【0102】

次いで、図 5 (C) に示すように、導電膜 105a 上に、電気陰性度が低い金属、金属化合物または合金を用いた導電膜 105c と、導電膜 105c の酸化を防ぐことができるチタン、タンクステンまたはモリブデンなどの金属材料を用いた導電膜 105d を、新たに形成する。導電膜 105c に用いられる材料の種類と、その膜厚の範囲は、導電膜 105b と同じとする。また、導電膜 105d の膜厚は、10 nm ~ 200 nm、好ましくは 50 nm ~ 150 nm とするのが望ましい。本実施の形態では、導電膜 105c として、スパッタ法で形成された膜厚 200 nm のアルミニウム膜を用い、導電膜 105d として、スパッタ法で形成された膜厚 100 nm のチタン膜を用いる。

10

【0103】

本発明の一態様では、導電膜 105b を除去した後に、電気陰性度が低い金属、金属化合物または合金を用いて、導電膜 105c を新たに形成している。導電膜 105c は、すでに不純物が吸蔵或いは吸着している導電膜 105b よりも、水分、または水素などの不純物を吸蔵或いは吸着しやすい。よって、酸化物半導体膜 104 内、ゲート絶縁膜 102 内、或いは、酸化物半導体膜 104 と他の絶縁膜の界面とその近傍に存在する上記不純物を、実施の形態 1 の場合よりも低減させることができる。そのため、水分、水素などの不純物の脱離により、i 型（真性半導体）又は i 型に限りなく近い酸化物半導体膜 104 を得ることができ、上記不純物により閾値電圧がシフトするなどのトランジスタの特性の劣化が促進されるのを防ぎ、オフ電流を低減させることができる。

20

【0104】

導電膜 105d を形成した後、導電膜 105d が露出した状態で、減圧雰囲気下、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性ガス雰囲気下において、再び加熱処理を行っても良い。加熱処理の温度範囲は、実施の形態 1 と同様に、200 乃至 450 とする。上記加熱処理を行うことで、酸化物半導体膜 104 内、ゲート絶縁膜 102 内、或いは、酸化物半導体膜 104 と他の絶縁膜の界面とその近傍に存在する、水分、または水素などの不純物が、導電膜 105c により吸蔵或いは吸着されやすくなることができる。

30

【0105】

次いで、図 5 (D) に示すように、エッティング等により導電膜 105a、導電膜 105c 及び導電膜 105d を所望の形状に加工（パターニング）することで、ソース電極 136、ドレイン電極 137 を形成する。例えば、導電膜 105a にチタン膜、導電膜 105c にアルミニウム膜、導電膜 105d にチタン膜を用いている場合、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、導電膜 105d をウェットエッティングした後、磷酸を含む溶液を用いて導電膜 105c をウェットエッティングし、次いで、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、導電膜 105a をウェットエッティングすれば良い。具体的に、本実施の形態では、磷酸を含む溶液として、和光純薬工業株式会社製の混酸アルミ液（2.0 重量% の硝酸と、9.8 重量% の酢酸と、72.3 重量% のリン酸と、を含有する水溶液）を用いる。また、アンモニア過水は、具体的には、31 重量% の過酸化水素水と 28 重量% のアンモニア水と水とを体積比 5 : 2 : 2 で混合した水溶液を用いる。或いは、塩素（Cl₂）、塩化硼素（BCl₃）などを含むガスを用いて、導電膜 105a、導電膜 105c 及び導電膜 105d をドライエッティングして

40

50

も良い。

【0106】

上記パターニングによりソース電極136とドレイン電極137を形成する際に、島状の酸化物半導体膜104の露出した部分が一部エッチングされることで、溝部(凹部)が形成される場合もある。本実施の形態では、上記エッチングにより溝部(凹部)を有する島状の酸化物半導体膜138が形成される場合を例示する。ソース電極136、ドレイン電極137の一部に用いられている導電膜105aは、酸化物半導体膜138と接している。そして、なおかつ導電膜105aには、上述したとおり酸化物半導体膜との接触抵抗が低い金属材料が用いられているので、ソース電極136、ドレイン電極137と、酸化物半導体膜138との間における接触抵抗が低減される。そのため、TFTのオン電流及び電界効果移動度を高めることができる。10

【0107】

そして、ソース電極136、ドレイン電極137を形成した後は、ソース電極136、ドレイン電極137及び酸化物半導体膜138を覆うように絶縁膜139を形成する。絶縁膜139に用いられる材料の種類、構造、その膜厚の範囲については、実施の形態1に記載した絶縁膜109と同じとする。本実施の形態では、スパッタ法で形成された膜厚200nmの酸化珪素膜上に、スパッタ法で形成された膜厚100nmの窒化珪素膜を積層させた構造を有する、絶縁膜139を形成する。成膜時の基板温度は、室温以上300℃以下とすればよく、本実施の形態では100℃とする。20

【0108】

ソース電極136又はドレイン電極137の間に設けられた酸化物半導体膜138の露出領域と、絶縁膜139を構成する酸化珪素とが接して設けられることによって、絶縁膜139と接する酸化物半導体膜138の領域に酸素が供与され、高抵抗化(キャリア濃度が低まる、好ましくは $1 \times 10^{18} / \text{cm}^3$ 未満)し、高抵抗化したチャネル形成領域を有する酸化物半導体膜138を形成することができる。

【0109】

絶縁膜139を形成した後に、加熱処理を施しても良い。上記加熱処理の条件については、実施の形態1において絶縁膜109を形成した後に行われる加熱処理の条件を参照すれば良い。

【0110】

上記作製方法に従って形成された薄膜トランジスタ130は、ゲート電極101と、ゲート電極101上のゲート絶縁膜102と、ゲート絶縁膜102上の酸化物半導体膜138と、酸化物半導体膜138上のソース電極136及びドレイン電極137と、ソース電極136、ドレイン電極137及び酸化物半導体膜138上の絶縁膜139とを有する。30

【0111】

次いで、絶縁膜139上に導電膜を形成した後、該導電膜をパターニングすることで、酸化物半導体膜138と重なる位置にバックゲート電極を形成しても良い。バックゲート電極に用いられる材料の種類、構造、その膜厚の範囲については、実施の形態1に記載のバックゲート電極111と同様であるので、ここでは説明を省略する。

【0112】

バックゲート電極を形成した場合、バックゲート電極を覆うように絶縁膜を形成する。バックゲート電極を覆う絶縁膜に用いられる材料の種類、構造、その膜厚の範囲については、実施の形態1に記載の絶縁膜112と同様であるので、ここでは説明を省略する。40

【0113】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0114】

(実施の形態4)

チャネルエッチ構造のボトムゲート型の薄膜トランジスタを例に挙げ、半導体装置の作製方法について図6を用いて説明する。

【0115】

10

20

30

40

50

まず、実施の形態 1において示した作製方法に従って、図 6 (A) に示すように、島状の酸化物半導体膜 104 上に、酸化物半導体膜 104 との接触抵抗が低いチタン、タンゲステンまたはモリブデンなどの金属材料を用いた導電膜 105a 上に、電気陰性度が低い金属、金属化合物または合金を用いた導電膜 105b を形成する。導電膜 105a と導電膜 105b に用いられる材料の種類、構造、その膜厚の範囲については、実施の形態 1 に既に記載してあるので、ここでは説明を省略する。本実施の形態では、導電膜 105a として、スパッタ法で形成された膜厚 100 nm のチタン膜を用い、導電膜 105b として、スパッタ法で形成された膜厚 200 nm のアルミニウム膜を用いる。

【 0116 】

導電膜 105a と導電膜 105b を形成した後、導電膜 105b が露出した状態で、減圧 10 雰囲気下、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性ガス雰囲気下において加熱処理を行っても良い。加熱処理の温度範囲は、実施の形態 1 と同様に、200 乃至 450 とする。

【 0117 】

次いで、図 6 (B) に示すように、導電膜 105b をエッチングなどにより除去する。上記エッチングには、導電膜 105a がエッチングされるのを防ぐために、ウェットエッチングを用いるのが望ましい。具体的に本実施の形態では、導電膜 105b にアルミニウム膜を用いているので、磷酸を含む溶液、例えば和光純薬工業株式会社製の混酸アルミ液（2.0 重量% の硝酸と、9.8 重量% の酢酸と、72.3 重量% のリン酸と、を含有する水溶液）を用いたウェットエッチングにより、導電膜 105b を除去する。なお、ドライエッチングを用いて導電膜 105b を除去する場合、塩素 (Cl₂)、塩化硼素 (BCl₃) などを含むガスを用いると良い。ただし、ドライエッチングの場合、チタン膜である導電膜 105a と、アルミニウム膜である導電膜 105b の選択比に差が出ないため、エッチングの際に導電膜 105a が残存するようドライエッチングの時間を制御すれば良い。

【 0118 】

導電膜 105b には、酸化物半導体膜 104 内、ゲート絶縁膜 102 内、或いは、酸化物半導体膜 104 と他の絶縁膜の界面とその近傍に存在する、水分、または水素などの不純物が、吸蔵或いは吸着されている。よって、導電膜 105b を除去することで、導電膜 105b に吸蔵或いは吸着されている水分、または水素などの不純物も共に除去することができる。

【 0119 】

次いで、図 6 (C) に示すように、導電膜 105a 上に、酸化物半導体膜 104 との接触抵抗が低いチタン、タンゲステンまたはモリブデンなどの金属材料を用いた導電膜 105e と、電気陰性度が低い金属、金属化合物または合金を用いた導電膜 105c と、導電膜 105c の酸化を防ぐことができるチタン、タンゲステンまたはモリブデンなどの金属材料を用いた導電膜 105d を、新たに形成する。導電膜 105e または導電膜 105d の膜厚の範囲は、導電膜 105a と同じとする。導電膜 105c に用いられる材料の種類と、その膜厚の範囲は、導電膜 105b と同じとする。本実施の形態では、導電膜 105c として、スパッタ法で形成された膜厚 200 nm のアルミニウム膜を用い、導電膜 105d として、スパッタ法で形成された膜厚 100 nm のチタン膜を用い、導電膜 105e として、スパッタ法で形成された膜厚 100 nm のチタン膜を用いる。

【 0120 】

本発明の一態様では、導電膜 105b を除去した後に、電気陰性度が低い金属、金属化合物または合金を用いて、導電膜 105c を新たに形成している。導電膜 105c は、すでに不純物が吸蔵或いは吸着している導電膜 105b よりも、水分、または水素などの不純物を吸蔵或いは吸着しやすい。よって、酸化物半導体膜 104 内、ゲート絶縁膜 102 内、或いは、酸化物半導体膜 104 と他の絶縁膜の界面とその近傍に存在する上記不純物を、実施の形態 1 の場合よりも低減させることができる。そのため、水分、水素などの不純物の脱離により、i 型（真性半導体）又は i 型に限りなく近い酸化物半導体膜 104 を得

10

20

30

40

50

ることができ、上記不純物により閾値電圧がシフトするなどのトランジスタの特性の劣化が促進されるのを防ぎ、オフ電流を低減させることができる。

【0121】

導電膜105dを形成した後、導電膜105dが露出した状態で、減圧雰囲気下、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性ガス雰囲気下において、再び加熱処理を行っても良い。加熱処理の温度範囲は、実施の形態1と同様に、200乃至450とする。上記加熱処理を行うことで、酸化物半導体膜104内、ゲート絶縁膜102内、或いは、酸化物半導体膜104と他の絶縁膜の界面とその近傍に存在する、水分、または水素などの不純物が、導電膜105cにより吸収或いは吸着されやすくなることができる。

10

【0122】

次いで、図6(D)に示すように、エッチング等により導電膜105a、導電膜105c、導電膜105d及び導電膜105eを所望の形状に加工（パターニング）することで、ソース電極146、ドレイン電極147を形成する。例えば、導電膜105aにチタン膜、導電膜105cにアルミニウム膜、導電膜105dにチタン膜、導電膜105eにチタン膜を用いている場合、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、導電膜105dをウェットエッチングした後、磷酸を含む溶液を用いて導電膜105cをウェットエッチングし、次いで、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、導電膜105e及び導電膜105aをウェットエッチングすれば良い。具体的に、本実施の形態では、磷酸を含む溶液として、和光純薬工業株式会社製の混酸アルミ液（2.0重量%の硝酸と、9.8重量%の酢酸と、72.3重量%のリン酸と、を含有する水溶液）を用いる。また、アンモニア過水は、具体的には、31重量%の過酸化水素水と28重量%のアンモニア水と水とを体積比5:2:2で混合した水溶液を用いる。或いは、塩素(C1₂)、塩化硼素(BC1₃)などを含むガスを用いて、導電膜105a、導電膜105c、導電膜105d及び導電膜105eをドライエッチングしても良い。

20

【0123】

上記パターニングによりソース電極146とドレイン電極147を形成する際に、島状の酸化物半導体膜104の露出した部分が一部エッチングされることで、溝部（凹部）が形成される場合もある。本実施の形態では、上記エッチングにより溝部（凹部）を有する島状の酸化物半導体膜148が形成される場合を例示する。ソース電極146、ドレイン電極147の一部に用いられている導電膜105aは、酸化物半導体膜148と接している。そして、なおかつ導電膜105aには、上述したとおり酸化物半導体膜148との接触抵抗が低い金属材料が用いられているので、ソース電極146、ドレイン電極147と、酸化物半導体膜148との間ににおける接触抵抗が低減される。そのため、TFTのオン電流及び電界効果移動度を高めることができる。

30

【0124】

そして、ソース電極146、ドレイン電極147を形成した後は、ソース電極146、ドレイン電極147及び酸化物半導体膜148を覆うように絶縁膜149を形成する。絶縁膜149に用いられる材料の種類、構造、その膜厚の範囲については、実施の形態1に記載した絶縁膜109と同じとする。本実施の形態では、スパッタ法で形成された膜厚200nmの酸化珪素膜上に、スパッタ法で形成された膜厚100nmの窒化珪素膜を積層させた構造を有する、絶縁膜149を形成する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。

40

【0125】

ソース電極146又はドレイン電極147の間に設けられた酸化物半導体膜148の露出領域と、絶縁膜149を構成する酸化珪素とが接して設けられることによって、絶縁膜149と接する酸化物半導体膜148の領域に酸素が供与され、高抵抗化（キャリア濃度が低まる、好ましくは1×10⁻⁸/cm³未満）し、高抵抗化したチャネル形成領域を有する酸化物半導体膜148を形成することができる。

50

【 0 1 2 6 】

絶縁膜 1 4 9 を形成した後に、加熱処理を施しても良い。上記加熱処理の条件については、実施の形態 1 において絶縁膜 1 0 9 を形成した後に行われる加熱処理の条件を参照すれば良い。

【 0 1 2 7 】

上記作製方法に従って形成された薄膜トランジスタ 1 4 0 は、ゲート電極 1 0 1 と、ゲート電極 1 0 1 上のゲート絶縁膜 1 0 2 と、ゲート絶縁膜 1 0 2 上の酸化物半導体膜 1 4 8 と、酸化物半導体膜 1 4 8 上のソース電極 1 4 6 及びドレイン電極 1 4 7 と、ソース電極 1 4 6 、ドレイン電極 1 4 7 及び酸化物半導体膜 1 4 8 上の絶縁膜 1 4 9 とを有する。

【 0 1 2 8 】

次いで、絶縁膜 1 4 9 上に導電膜を形成した後、該導電膜をパターニングすることで、酸化物半導体膜 1 4 8 と重なる位置にバックゲート電極を形成しても良い。バックゲート電極に用いられる材料の種類、構造、その膜厚の範囲については、実施の形態 1 に記載のバックゲート電極 1 1 1 と同様であるので、ここでは説明を省略する。

【 0 1 2 9 】

バックゲート電極を形成した場合、バックゲート電極を覆うように絶縁膜を形成する。バックゲート電極を覆う絶縁膜に用いられる材料の種類、構造、その膜厚の範囲については、実施の形態 1 に記載の絶縁膜 1 1 2 と同様であるので、ここでは説明を省略する。

【 0 1 3 0 】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

20

【 0 1 3 1 】**(実施の形態 5)**

本実施の形態では、チャネル保護構造のボトムゲート型の薄膜トランジスタを例に挙げ、半導体装置の作製方法について図 7 、図 8 及び図 9 を用いて説明する。なお、実施の形態 1 と同一部分又は同様な機能を有する部分、及び工程は、実施の形態 1 と同様に行うことができるため、繰り返しの説明は省略する。

【 0 1 3 2 】

図 7 (A) に示すように、絶縁表面を有する基板 3 0 0 上にゲート電極 3 0 1 を形成する。下地膜となる絶縁膜を基板 3 0 0 とゲート電極 3 0 1 の間に設けても良い。ゲート電極 3 0 1 の材料、構造及び膜厚については、実施の形態 1 に示したゲート電極 3 0 1 についての記載を参照すれば良い。下地膜の材料、構造及び膜厚については、実施の形態 1 に示した下地膜についての記載を参照すれば良い。

30

【 0 1 3 3 】

次いで、ゲート電極 3 0 1 上にゲート絶縁膜 3 0 2 を形成する。ゲート絶縁膜 3 0 2 の材料、膜厚及び構造と、作製方法については、実施の形態 1 に示したゲート絶縁膜 3 0 2 についての記載を参照すれば良い。

【 0 1 3 4 】

次いで、ゲート絶縁膜 3 0 2 上に島状の酸化物半導体膜 3 0 3 を形成する。島状の酸化物半導体膜 3 0 3 の材料、膜厚及び構造と、作製方法については、実施の形態 1 に示した酸化物半導体膜 1 0 3 についての記載を参照すれば良い。

40

【 0 1 3 5 】

次いで、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア (C R D S (キャビティリングダウンレーザー分光法) 方式の露点計を用いて測定した場合の水分量が 2 0 p p m (露点換算で - 5 5) 以下、好ましくは 1 p p m 以下、好ましくは 1 0 p p b 以下の空気) 雰囲気下において、島状の酸化物半導体膜 3 0 3 に加熱処理を施す。酸化物半導体膜 3 0 3 への加熱処理については、実施の形態 1 において示した、酸化物半導体膜 1 0 3 への加熱処理についての説明を参照すれば良い。酸化物半導体膜 3 0 3 を上記雰囲気下で加熱処理することで、図 7 (B) に示すように、酸化物半導体膜 3 0 3 に含まれる水分、水素が脱離した島状の酸化物半導体膜 3 0 4 が形成される。島状の酸化物半導体膜 3 0 4 は、上記加熱処理によって水分、水素などの不純物

50

が脱離し、i型（真性半導体）又はi型に限りなく近くなるため、上記不純物により閾値電圧がシフトするなどのトランジスタの特性の劣化が促進されるのを防ぎ、オフ電流を低減させることができる。

【0136】

次に、図7(C)に示すように、酸化物半導体膜304のチャネル形成領域となる部分と重なるように、酸化物半導体膜304上にチャネル保護膜311を形成する。チャネル保護膜311を設けることによって、酸化物半導体膜304のチャネル形成領域となる部分に対する、後の工程時におけるダメージ（エッティング時のプラズマやエッティング剤による膜減りなど）を防ぐことができる。従って薄膜トランジスタの信頼性を向上させることができる。

10

【0137】

チャネル保護膜311には、酸素を含む無機材料（酸化珪素、酸化窒化珪素、窒化酸化珪素など）を用いることができる。チャネル保護膜311は、プラズマCVD法や熱CVD法などの気相成長法やスパッタリング法を用いて形成することができる。チャネル保護膜311は成膜後にエッティングにより形状を加工する。ここでは、スパッタ法により酸化珪素膜を形成し、フォトリソグラフィによるマスクを用いてエッティング加工することでチャネル保護膜311を形成する。

【0138】

また、島状の酸化物半導体膜304に接してスパッタ法またはPCVD法などにより酸化珪素、酸化窒化珪素などの絶縁膜であるチャネル保護膜311を形成すると、島状の酸化物半導体膜304において少なくともチャネル保護膜311と接する領域に酸素が供与され、キャリア濃度が好ましくは $1 \times 10^{18} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{14} / \text{cm}^3$ 以下まで低くなることにより高抵抗化し、高抵抗化酸化物半導体領域となる。チャネル保護膜311の形成により、酸化物半導体膜304は、チャネル保護膜311との界面近傍に高抵抗化酸化物半導体領域を有することができる。

20

【0139】

次いで、島状の酸化物半導体膜304上に、酸化物半導体膜304との接触抵抗が低いチタン、タンクステンまたはモリブデンなどの金属材料を用いた導電膜305aと、電気陰性度が低い金属、金属化合物または合金を用いた導電膜305bとを、順に形成する。導電膜305aと導電膜305bに用いられる材料の種類、構造、膜厚の範囲及びその作製方法については、実施の形態1に示した導電膜105a、導電膜105bについての記載を参照すれば良い。本実施の形態では、導電膜305aとして、スパッタ法で形成された膜厚100nmのチタン膜を用い、導電膜305bとして、スパッタ法で形成された膜厚200nmのアルミニウム膜を用いる。

30

【0140】

本発明の一態様では、導電膜305bとして電気陰性度が低い金属、金属化合物または合金を用いているので、酸化物半導体膜304内、ゲート絶縁膜302内、或いは、酸化物半導体膜304と他の絶縁膜の界面とその近傍に存在する、水分、または水素などの不純物が、導電膜305bに吸着或いは吸着される。そのため、水分、水素などの不純物の脱離により、i型（真性半導体）又はi型に限りなく近い酸化物半導体膜304を得ることができ、上記不純物により閾値電圧がシフトするなどのトランジスタの特性の劣化が促進されるのを防ぎ、オフ電流を低減させることができる。

40

【0141】

導電膜305aと導電膜305bを形成した後、導電膜305bが露出した状態で、減圧雰囲気下、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性ガス雰囲気下において加熱処理を行っても良い。加熱処理の温度範囲は、実施の形態1と同様に、200乃至450とする。

【0142】

次いで、図7(D)に示すように、エッティング等により導電膜305a及び導電膜305bを所望の形状に加工（パターニング）することで、ソース電極306、ドレイン電極3

50

07を形成する。例えば、導電膜305aにチタン膜、導電膜305bにアルミニウム膜を用いている場合、磷酸を含む溶液を用いて導電膜305bをウェットエッチングした後、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、導電膜305aをウェットエッチングすれば良い。具体的に、本実施の形態では、磷酸を含む溶液として、和光純薬工業株式会社製の混酸アルミ液（2.0重量%の硝酸と、9.8重量%の酢酸と、72.3重量%のリン酸と、を含有する水溶液）を用いる。また、アンモニア過水は、具体的には、31重量%の過酸化水素水と28重量%のアンモニア水と水とを体積比5:2:2で混合した水溶液を用いる。或いは、塩素（Cl₂）、塩化硼素（BCl₃）などを含むガスを用いて、導電膜305aと導電膜305bをドライエッチングしても良い。

【0143】

10

ソース電極306、ドレイン電極307の一部に用いられている導電膜305aは、酸化物半導体膜304と接している。そして、なおかつ導電膜305aには、上述したとおり酸化物半導体膜との接触抵抗が低い金属材料が用いられているので、ソース電極306、ドレイン電極307と、酸化物半導体膜304との間ににおける接触抵抗が低減される。そのため、TFTのオン電流及び電界効果移動度を高めることができる。

【0144】

そして、図7（E）に示すように、ソース電極306、ドレイン電極307を形成した後は、酸化物半導体膜304、ソース電極306、ドレイン電極307及びチャネル保護膜311を覆うように絶縁膜309を形成する。絶縁膜309に用いられる材料の種類、構造、その膜厚の範囲については、実施の形態1に記載した絶縁膜109と同じとする。本実施の形態では、スパッタ法で形成された膜厚200nmの酸化珪素膜上に、スパッタ法で形成された膜厚100nmの窒化珪素膜を積層させた構造を有する、絶縁膜309を形成する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。

20

【0145】

絶縁膜309を形成した後に、加熱処理を施しても良い。上記加熱処理の条件については、実施の形態1において絶縁膜109を形成した後に行われる加熱処理の条件を参照すれば良い。

【0146】

図8に、図7（E）に示す半導体装置の上面図を示す。図7（E）は、図8の破線C1-C2における断面図に相当する。

30

【0147】

上記作製方法に従って形成された薄膜トランジスタ310は、ゲート電極301と、ゲート電極301上のゲート絶縁膜302と、ゲート絶縁膜302上の酸化物半導体膜304と、酸化物半導体膜304上のチャネル保護膜311と、酸化物半導体膜304上のソース電極306及びドレイン電極307と、酸化物半導体膜304、ソース電極306、ドレイン電極307及びチャネル保護膜311上の絶縁膜309とを有する。

【0148】

次いで、図9（A）に示すように、絶縁膜309上に導電膜を形成した後、該導電膜をパターニングすることで、酸化物半導体膜304と重なる位置にバックゲート電極312を形成しても良い。バックゲート電極312に用いられる材料の種類、構造、その膜厚の範囲については、実施の形態1に記載のバックゲート電極111と同様であるので、ここでは説明を省略する。

40

【0149】

バックゲート電極312を形成した場合、図9（B）に示すように、バックゲート電極312を覆うように絶縁膜313を形成する。絶縁膜313に用いられる材料の種類、構造、その膜厚の範囲については、実施の形態1に記載の絶縁膜112と同様であるので、ここでは説明を省略する。

【0150】

図9（C）に、図9（B）に示す半導体装置の上面図を示す。図9（B）は、図9（C）

50

の破線 C 1 - C 2 における断面図に相当する。

【 0 1 5 1 】

なお、本実施の形態では、ソース電極とドレイン電極を、実施の形態 1 に示す作製方法に従って形成している例を示しているが、本発明はこの構成に限定されない。ソース電極とドレイン電極を、実施の形態 2 乃至実施の形態 4 に示す作製方法に従って形成しても良い。

【 0 1 5 2 】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【 0 1 5 3 】

(実施の形態 6)

10

本実施の形態では、ボトムコンタクト型の薄膜トランジスタを例に挙げ、半導体装置の作製方法について図 10 及び図 11 を用いて説明する。なお、実施の形態 1 と同一部分又は同様な機能を有する部分、及び工程は、実施の形態 1 と同様に行うことができるため、繰り返しの説明は省略する。

【 0 1 5 4 】

図 10 (A) に示すように、絶縁表面を有する基板 400 上にゲート電極 401 を形成する。下地膜となる絶縁膜を基板 400 とゲート電極 401 の間に設けても良い。ゲート電極 401 の材料、構造及び膜厚については、実施の形態 1 に示したゲート電極 401 についての記載を参照すれば良い。下地膜の材料、構造及び膜厚については、実施の形態 1 に示した下地膜についての記載を参照すれば良い。

20

【 0 1 5 5 】

次いで、ゲート電極 401 上にゲート絶縁膜 402 を形成する。ゲート絶縁膜 402 の材料、膜厚及び構造と、作製方法については、実施の形態 1 に示したゲート絶縁膜 402 についての記載を参照すれば良い。

【 0 1 5 6 】

次いで、ゲート絶縁膜 402 上に、電気陰性度が低い金属、金属化合物または合金を用いた導電膜 405 a と、酸化物半導体膜 404 との接触抵抗が低いチタン、タンゲステンまたはモリブデンなどの金属材料を用いた導電膜 405 b とを、順に形成する。導電膜 405 b と導電膜 405 a に用いられる材料の種類、構造、膜厚の範囲及びその作製方法については、実施の形態 1 に示した導電膜 105 a、導電膜 105 b についての記載を参照すれば良い。本実施の形態では、導電膜 405 a として、スパッタ法で形成された膜厚 200 nm のアルミニウム膜を用い、導電膜 405 b として、スパッタ法で形成された膜厚 100 nm のチタン膜を用いる。

30

【 0 1 5 7 】

導電膜 405 a と導電膜 405 b を形成した後、導電膜 405 b が露出した状態で、減圧雰囲気下、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性ガス雰囲気下において加熱処理を行っても良い。加熱処理の温度範囲は、実施の形態 1 と同様に、200 乃至 450 とする。例えば、導電膜 405 a にアルミニウム膜、導電膜 405 b にチタン膜を用いている場合、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて導電膜 405 b をウェットエッチングした後、磷酸を含む溶液を用いて、導電膜 405 a をウェットエッチングすれば良い。具体的に、本実施の形態では、磷酸を含む溶液として、和光純薬工業株式会社製の混酸アルミ液（2.0 重量% の硝酸と、9.8 重量% の酢酸と、72.3 重量% のリン酸と、を含有する水溶液）を用いる。また、アンモニア過水は、具体的には、31 重量% の過酸化水素水と 28 重量% のアンモニア水と水とを体積比 5 : 2 : 2 で混合した水溶液を用いる。或いは、塩素（C₁₂）、塩化硼素（B_C1₃）などを含むガスを用いて、導電膜 405 a と導電膜 405 b をドライエッチングしても良い。

40

【 0 1 5 8 】

次いで、図 10 (B) に示すように、エッチング等により導電膜 405 a 及び導電膜 405 b を所望の形状に加工（パターニング）することで、ソース電極 406、ドレイン電極

50

407を形成する。

【0159】

次いで、図10(C)に示すように、ゲート絶縁膜402、ソース電極406、ドレイン電極407上に島状の酸化物半導体膜403を形成する。島状の酸化物半導体膜403の材料、膜厚及び構造と、作製方法については、実施の形態1に示した酸化物半導体膜103についての記載を参照すれば良い。

【0160】

次いで、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)雰囲気下において、島状の酸化物半導体膜403に加熱処理を施す。酸化物半導体膜403への加熱処理については、実施の形態1において示した、酸化物半導体膜103への加熱処理についての説明を参照すれば良い。酸化物半導体膜403を上記雰囲気下で加熱処理することで、図10(D)に示すように、酸化物半導体膜403に含まれる水分、水素が脱離した島状の酸化物半導体膜404が形成される。島状の酸化物半導体膜404は、上記加熱処理によって水分、水素などの不純物が脱離し、i型(真性半導体)又はi型に限りなく近くなるため、上記不純物により閾値電圧がシフトするなどのトランジスタの特性の劣化が促進されるのを防ぎ、オフ電流を低減させることができる。

【0161】

本発明の一態様では、導電膜405aとして電気陰性度が低い金属、金属化合物または合金を用いているので、酸化物半導体膜404内、ゲート絶縁膜402内、或いは、酸化物半導体膜404と他の絶縁膜の界面とその近傍に存在する、水分、または水素などの不純物が、導電膜405aに吸着或いは吸着される。そのため、水分、水素などの不純物の脱離により、i型(真性半導体)又はi型に限りなく近い酸化物半導体膜404を得ることができ、上記不純物により閾値電圧がシフトするなどのトランジスタの特性の劣化が促進されるのを防ぎ、オフ電流を低減させることができる。

【0162】

また、ソース電極406、ドレイン電極407の一部に用いられている導電膜405bは、酸化物半導体膜404と接している。そして、なおかつ導電膜405bには、上述したとおり酸化物半導体膜との接触抵抗が低い金属材料が用いられているので、ソース電極406、ドレイン電極407と、酸化物半導体膜404との間ににおける接触抵抗が低減される。そのため、TFTのオン電流及び電界効果移動度を高めることができる。

【0163】

次いで、図10(E)に示すように、ソース電極406、ドレイン電極407を形成した後は、酸化物半導体膜404、ソース電極406、ドレイン電極407を覆うように絶縁膜409を形成する。絶縁膜409に用いられる材料の種類、構造、その膜厚の範囲については、実施の形態1に記載した絶縁膜109と同じとする。本実施の形態では、スパッタ法で形成された膜厚200nmの酸化珪素膜上に、スパッタ法で形成された膜厚100nmの窒化珪素膜を積層させた構造を有する、絶縁膜409を形成する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。

【0164】

絶縁膜409を形成した後に、加熱処理を施しても良い。上記加熱処理の条件については、実施の形態1において絶縁膜109を形成した後に行われる加熱処理の条件を参照すれば良い。

【0165】

図11に、図10(E)に示す半導体装置の上面図を示す。図10(E)は、図11の破線B1-B2における断面図に相当する。

【0166】

上記作製方法に従って形成された薄膜トランジスタ410は、ゲート電極401と、ゲー

10

20

30

40

50

ト電極 401 上のゲート絶縁膜 402 と、ゲート絶縁膜 402 上のソース電極 406 及びドレイン電極 407 と、ゲート絶縁膜 402、ソース電極 406 及びドレイン電極 407 上の酸化物半導体膜 404 と、酸化物半導体膜 404、ソース電極 406 及びドレイン電極 407 上の絶縁膜 409 とを有する。

【0167】

次いで、絶縁膜 409 上に導電膜を形成した後、該導電膜をパターニングすることで、酸化物半導体膜 404 と重なる位置にバックゲート電極を形成しても良い。バックゲート電極に用いられる材料の種類、構造、その膜厚の範囲については、実施の形態 1 に記載のバックゲート電極 111 と同様であるので、ここでは説明を省略する。

【0168】

バックゲート電極を形成した場合、バックゲート電極を覆うように絶縁膜を形成する。上記絶縁膜に用いられる材料の種類、構造、その膜厚の範囲については、実施の形態 1 に記載の絶縁膜 112 と同様であるので、ここでは説明を省略する。

【0169】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0170】

(実施の形態 7)

本実施の形態では、本発明の一態様に係る半導体表示装置の作製方法について、図 12 乃至図 17 を用いて説明する。

【0171】

なお、本明細書中で連続成膜とは、スパッタ法で行う第 1 の成膜工程からスパッタ法で行う第 2 の成膜工程までの一連のプロセス中、被処理基板の置かれている雰囲気が大気等の汚染雰囲気に触れることなく、常に真空中または不活性ガス雰囲気（窒素雰囲気または希ガス雰囲気）で制御されていることを言う。連続成膜を行うことにより、清浄化された被処理基板の水分等の再付着を回避して成膜を行うことができる。

【0172】

同一チャンバー内で第 1 の成膜工程から第 2 の成膜工程までの一連のプロセスを行うことは本明細書における連続成膜の範囲にあるとする。

【0173】

また、異なるチャンバーで第 1 の成膜工程から第 2 の成膜工程までの一連のプロセスを行う場合、第 1 の成膜工程を終えた後、大気にふれることなくチャンバー間を基板搬送して第 2 の成膜を施すことも本明細書における連続成膜の範囲にあるとする。

【0174】

なお、第 1 の成膜工程と第 2 の成膜工程の間に、基板搬送工程、アライメント工程、徐冷工程、または第 2 の工程に必要な温度とするため基板を加熱または冷却する工程等を有しても、本明細書における連続成膜の範囲にあるとする。

【0175】

ただし、洗浄工程、ウェットエッティング、レジスト形成といった液体を用いる工程が第 1 の成膜工程と第 2 の成膜工程の間にある場合、本明細書でいう連続成膜の範囲には当てはまらないとする。

【0176】

図 12 (A)において、透光性を有する基板 800 には、フュージョン法やフロート法で作製されるガラス基板の他、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。また、プラスチック等の可撓性を有する合成樹脂からなる基板は、耐熱温度が一般的に低い傾向にあるが、後の作製工程における処理温度に耐え得るのであれば、基板 800 として用いることが可能である。プラスチック基板として、ポリエチレンテレフタレート (PET) に代表されるポリエチル、ポリエーテルスルホン (PES)、ポリエチレンナフタレート (PEN)、ポリカーボネート (PC)、ポリエーテルエーテルケトン (PEEK)、ポリスルホン (PSF)、ポリエーテルイミド (PEI)、ポリアリレート (PAR)、ポリブチレンテレフタレート (PBT)、ポリイミド、アクリ

10

20

30

40

50

ロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

【0177】

なお、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上の中ものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。ホウ酸と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。

【0178】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体でなる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。10

【0179】

次いで、導電膜を基板800全面に形成した後、第1のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極(ゲート電極801を含むゲート配線、容量配線822、及び第1の端子821)を形成する。このとき少なくともゲート電極801の端部にテーパー形状が形成されるようにエッチングする。

【0180】

上記導電膜の材料として、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等の金属材料、これら金属材料を主成分とする合金材料、或いはこれら金属の窒化物を、単層又は積層で用いることができる。なお、後の工程において行われる加熱処理の温度に耐えうるのであれば、上記金属材料としてアルミニウム、銅を用いることも出来る。20

【0181】

例えば、二層の積層構造を有する導電膜として、アルミニウム上にモリブデンが積層された二層の積層構造、または銅層上にモリブデンを積層した二層構造、または銅上に窒化チタン若しくは窒化タンタルを積層した二層構造、窒化チタンとモリブデンとを積層した二層構造とすることが好ましい。3層の積層構造としては、アルミニウム、アルミニウムとシリコンの合金、アルミニウムとチタンの合金またはアルミニウムとネオジムの合金を中心層とし、タングステン、窒化タングステン、窒化チタンまたはチタンを上下層として積層した構造とすることが好ましい。30

【0182】

また、一部の電極や配線に透光性を有する酸化物導電膜を用いて開口率を向上させることもできる。例えば、酸化物導電膜には酸化インジウム、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等を用いることができる。

【0183】

ゲート電極801、容量配線822及び第1の端子821の膜厚は、10nm~400nm、好ましくは100nm~200nmとする。本実施の形態では、タングステンターメットを用いたスパッタ法により100nmのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工(パターニング)することで、ゲート電極801、容量配線822及び第1の端子821を形成する。40

【0184】

なお、下地膜となる絶縁膜を基板800と、ゲート電極801、容量配線822及び第1の端子821の間に設けても良い。下地膜として、例えば、酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜のいずれか1つを単層で、或いは複数を積層させて用いることができる。特に、下地膜に、バリア性の高い絶縁膜、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることで、水分、または水素などの雰囲気中の不純物、或いは基板800内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体50

膜内、ゲート絶縁膜内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。

【0185】

次いで、図12(B)に示すように、ゲート電極801、容量配線822、第1の端子821上にゲート絶縁膜802を形成する。ゲート絶縁膜802は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウムまたは酸化タンタルを単層で又は積層させて形成することができる。ゲート絶縁膜802は、水分や、水素などの不純物を極力含まないことが望ましい。バリア性の高い材料を用いた絶縁膜と、含まれる窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜とを積層させた構造を有するゲート絶縁膜802を形成しても良い。この場合、酸化珪素膜、酸化窒化珪素膜などの絶縁膜は、バリア性を有する絶縁膜と酸化物半導体膜の間に形成する。バリア性の高い絶縁膜として、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などが挙げられる。バリア性を有する絶縁膜を用いることで、水分、または水素などの雰囲気中不純物、或いは基板内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体膜内、ゲート絶縁膜802内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。また、酸化物半導体膜に接するよう窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体膜に接するのを防ぐことができる。

【0186】

本実施の形態では、スパッタ法で形成された膜厚50nmの窒化珪素膜上に、スパッタ法で形成された膜厚100nmの酸化珪素膜を積層させた構造を有する、ゲート絶縁膜802を形成する。

【0187】

次に、ゲート絶縁膜802上に、酸化物半導体膜を形成した後、エッチング等により所望の形状に上記酸化物半導体膜を加工することで、島状の酸化物半導体膜803を形成する。酸化物半導体膜は、酸化物半導体をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体膜は、希ガス(例えばアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(例えばアルゴン)及び酸素雰囲気下においてスパッタ法により形成することができる。

【0188】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁膜802の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【0189】

チャネル形成領域を形成するための酸化物半導体膜には、上述したような、半導体特性を有する酸化物材料を用いればよい。

【0190】

酸化物半導体膜の膜厚は、10nm~300nm、好ましくは20nm~100nmとする。本実施の形態では、ここでは、In、Ga、及びZnを含む酸化物半導体ターゲット(モル数比が $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ 、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$)を用いて、基板とターゲットとの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。本実施の形態では、酸化物半導体膜として、In-Ga-Zn-O系酸化物半導体ターゲットを用い、スパッタ装置により膜厚30nmのIn-Ga-Zn-O

10

20

30

40

50

系非単結晶膜を成膜する。

【0191】

なお、プラズマ処理後、大気に曝すことなく酸化物半導体膜を形成することで、ゲート絶縁膜802と酸化物半導体膜の界面にゴミや水分が付着するのを防ぐことが出来る。また、パルス直流(DC)電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。

【0192】

また、酸化物半導体ターゲットの相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上とするのが好ましい。相対密度の高いターゲットを用いると、形成される酸化物半導体膜中の不純物濃度を低減することができ、電気特性または信頼性の高い薄膜トランジスタを得ることができる。10

【0193】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0194】

また、チャンバー内部に磁石機構を備えたマグнетロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

【0195】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。20

【0196】

また、スパッタ法による成膜中に光やヒータによって基板を400以上700以下に加熱してもよい。成膜中に加熱することで、成膜と同時にスパッタによる損傷を修復させる。

【0197】

また、酸化物半導体膜の成膜を行う前に、スパッタ装置内壁や、ターゲット表面やターゲット材料中に残存している水分または水素を除去するためにプレヒート処理を行うと良い。プレヒート処理としては成膜チャンバー内を減圧下で200~600に加熱する方法や、加熱しながら窒素や不活性ガスの導入と排気を繰り返す方法等がある。プレヒート処理を終えたら、基板またはスパッタ装置を冷却した後大気にふれることなく酸化物半導体膜の成膜を行う。この場合のターゲット冷却液は、水ではなく油脂等を用いるとよい。加熱せずに窒素の導入と排気を繰り返しても一定の効果が得られるが、加熱しながら行うとなお良い。30

【0198】

また、酸化物半導体膜の成膜を行う前、または成膜中、または成膜後に、スパッタ装置内を、クライオポンプを用いて中に残存している水分などを除去することが好ましい。

【0199】

第2のフォトリソグラフィ工程において、例えば磷酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチングにより、酸化物半導体膜を所望の形状に加工して、島状の酸化物半導体膜803を形成することができる。島状の酸化物半導体膜803は、ゲート電極801と重なるように形成する。また、酸化物半導体膜のエッチングには、クエン酸やシュウ酸などの有機酸をエッチングとして用いることができる。本実施の形態では、ITO07N(関東化学社製)を用いたウェットエッチングにより、不要な部分を除去して島状の酸化物半導体膜803を形成する。また、ここでのエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0200】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例え50

ば塩素（Cl₂）、塩化硼素（BCl₃）、塩化珪素（SiCl₄）、四塩化炭素（CCl₄）など）が好ましい。

【0201】

また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（CF₄）、弗化硫黄（SF₆）、弗化窒素（NF₃）、トリフルオロメタン（CHF₃）など）、臭化水素（HBr）、酸素（O₂）、これらのガスにヘリウム（He）やアルゴン（Ar）などの希ガスを添加したガス、などを用いることができる。

【0202】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。
10

【0203】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体膜に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。
20

【0204】

所望の形状に加工できるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

【0205】

次に、図12（C）に示すように、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20 ppm（露点換算で-55）以下、好ましくは1 ppm以下、好ましくは10 ppb以下の空気）雰囲気下において、酸化物半導体膜803に加熱処理を施しても良い。酸化物半導体膜803に加熱処理を施することで、酸化物半導体膜804が形成される。具体的には、不活性ガス雰囲気（窒素、またはヘリウム、ネオン、アルゴン等）下において、500以上750以下（若しくはガラス基板の歪点以下の温度）で1分間以上10分間以下程度、好ましくは650、3分間以上6分間以下程度のRTA（Rapid Thermal Anneal）処理で行うことができる。RTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。なお、上記加熱処理は、島状の酸化物半導体膜803形成後のタイミングに限らず、エッチングを行う前の酸化物半導体膜に対して行っても良い。また、上記加熱処理を、島状の酸化物半導体膜803形成後に複数回行っても良い。
30

【0206】

本実施の形態では、窒素雰囲気下において、600、基板温度が上記設定温度に達した状態で6分間、加熱処理を行う。加熱処理は、電気炉を用いた加熱方法、加熱した気体を用いるGRTA（Gas Rapid Thermal Anneal）法またはランプ光を用いるLRTA（Lamp Rapid Thermal Anneal）法などの瞬間加熱方法などを用いることができる。例えば、電気炉を用いて加熱処理を行う場合、昇温特性を0.1 / min以上20 / min以下、降温特性を0.1 / min以上15 / min以下とすることが好ましい。
40

【0207】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水分、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1 ppm以下、好ましく
50

は 0 . 1 p p m 以下) とすることが好ましい。

【 0 2 0 8 】

なお、図 1 2 (C) の破線 D 1 - D 2 の範囲内の断面図と、破線 E 1 - E 2 の範囲内の断面図は、図 1 5 に示す平面図の、破線 D 1 - D 2 における断面図と、破線 E 1 - E 2 における断面図に相当する。

【 0 2 0 9 】

次に、図 1 3 (A) に示すように、酸化物半導体膜 8 0 4 上に、ソース電極またはドレイン電極として用いる導電膜 8 0 6 を、スパッタ法や真空蒸着法で形成する。本実施の形態では、酸化物半導体膜 8 0 4 との接触抵抗が低いチタン、タンゲステンまたはモリブデンなどの金属材料を用いた導電膜 8 0 6 a 上に、電気陰性度が低い金属、金属化合物または合金を用いた導電膜 8 0 6 b が積層された、導電膜 8 0 6 を用いる。10

【 0 2 1 0 】

電気陰性度が低い金属として、アルミニウム、マグネシウムを用いることもできる。上記金属のいずれか一つまたは複数を含む混合物、金属化合物または合金を、導電膜 8 0 6 b として用いることができる。また、アルミニウムなどの耐熱性の低い材料を用いる場合、アルミニウムに、チタン、タンタル、タンゲステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、または上記元素を 1 つまたは複数成分として含む合金、または上記元素を成分として含む窒化物などの耐熱性導電性材料を組み合わせることで、導電膜 8 0 6 b の耐熱性を高めるようにしても良い。

【 0 2 1 1 】

導電膜 8 0 6 a の膜厚は、 1 0 n m ~ 2 0 0 n m 、好ましくは 5 0 n m ~ 1 5 0 n m とするのが望ましい。また、導電膜 8 0 6 b の膜厚は、 1 0 0 n m ~ 3 0 0 n m 、好ましくは 1 5 0 n m ~ 2 5 0 n m とするのが望ましい。本実施の形態では、導電膜 8 0 6 a として、スパッタ法で形成された膜厚 1 0 0 n m のチタン膜を用い、導電膜 8 0 6 b として、スパッタ法で形成された膜厚 2 0 0 n m のアルミニウム膜を用いる。20

【 0 2 1 2 】

本発明の一態様では、導電膜 8 0 6 b として電気陰性度が低い金属、金属化合物または合金を用いているので、酸化物半導体膜 8 0 4 内、ゲート絶縁膜 8 0 2 内、或いは、酸化物半導体膜 8 0 4 と他の絶縁膜の界面とその近傍に存在する、水分、または水素などの不純物が、導電膜 8 0 6 b に吸蔵或いは吸着される。そのため、水分、水素などの不純物の脱離により、 i 型 (真性半導体) 又は i 型に限りなく近い酸化物半導体膜 8 0 4 を得ることができ、上記不純物により閾値電圧がシフトするなどのトランジスタの特性の劣化が促進されるのを防ぎ、オフ電流を低減させることができる。30

【 0 2 1 3 】

なお、上記構成に加えて、導電膜 8 0 6 b が露出した状態で、減圧雰囲気下、窒素、または希ガス (アルゴン、ヘリウムなど) の不活性ガス雰囲気下において加熱処理を行い、導電膜 8 0 6 b の表面や内部に吸着されている水分や酸素などを取り除くようにしても良い。加熱処理の温度範囲は、 2 0 0 乃至 4 5 0 とする。上記加熱処理を行うことで、酸化物半導体膜 8 0 4 内、ゲート絶縁膜 8 0 2 内、或いは、酸化物半導体膜 8 0 4 と他の絶縁膜の界面とその近傍に存在する、水分、または水素などの不純物が、導電膜 8 0 6 b に、より吸蔵或いは吸着されやすくなることができる。40

【 0 2 1 4 】

次いで、図 1 3 (B) に示すように、第 3 のフォトリソグラフィ工程を行い、エッチング等により導電膜 8 0 6 a 及び導電膜 8 0 6 b を所望の形状に加工 (パターニング) することで、ソース電極 8 0 7 、ドレイン電極 8 0 8 を形成する。例えば、導電膜 8 0 6 a にチタン膜、導電膜 8 0 6 b にアルミニウム膜を用いている場合、磷酸を含む溶液を用いて導電膜 8 0 6 b をウェットエッチングした後、アンモニアと過酸化水素水を含む溶液 (アンモニア過水) を用いて、導電膜 8 0 6 a をウェットエッチングすれば良い。具体的に、本実施の形態では、磷酸を含む溶液として、和光純薬工業株式会社製の混酸アルミ液 (2 . 0 重量 % の硝酸と、 9 . 8 重量 % の酢酸と、 7 2 . 3 重量 % のリン酸と、を含有する水溶50

液)を用いる。また、アンモニア過水は、具体的には、31重量%の過酸化水素水と28重量%のアンモニア水と水とを体積比5:2:2で混合した水溶液を用いる。或いは、塩素(Cl₂)、塩化硼素(BCl₃)などを含むガスを用いて、導電膜806aと導電膜806bをドライエッチングしても良い。

【0215】

上記パターニングによりソース電極807とドレイン電極808を形成する際に、島状の酸化物半導体膜804の露出した部分が一部エッチングされることで、溝部(凹部)が形成される場合もある。本実施の形態では、上記エッチングにより溝部(凹部)を有する島状の酸化物半導体膜805が形成される場合を例示する。ソース電極807、ドレイン電極808の一部に用いられている導電膜806aは、酸化物半導体膜805と接している。
10 そして、なおかつ導電膜806aには、上述したとおり酸化物半導体膜との接触抵抗が低い金属材料が用いられているので、ソース電極807、ドレイン電極808と、酸化物半導体膜805との間における接触抵抗が低減される。そのため、TFTのオン電流及び電界効果移動度を高めることができる。

【0216】

また、この第3のフォトリソグラフィ工程において、ソース電極807又はドレイン電極808と同じ材料である第2の端子820を端子部に残す。なお、第2の端子820はソース配線(ソース電極807又はドレイン電極808を含むソース配線)と電気的に接続されている。

【0217】

また、多階調マスクにより形成した複数(例えば二種類)の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が図れる。

【0218】

なお、図13(B)の破線D1-D2の範囲内の断面図と、破線E1-E2の範囲内の断面図は、図16に示す平面図の、破線D1-D2における断面図と、破線E1-E2における断面図に相当する。

【0219】

なお、本実施の形態では、ソース電極とドレイン電極を、実施の形態1に示す作製方法に従って形成している例を示しているが、実施の形態2乃至実施の形態4に示す作製方法に従って形成しても良い。

【0220】

図14(A)に示すように、ソース電極807、ドレイン電極808を形成した後は、ソース電極807、ドレイン電極808及び酸化物半導体膜805を覆うように絶縁膜809を形成する。絶縁膜809は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。上記絶縁膜809には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、上記バリア性の高い絶縁膜よりも、窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、酸化物半導体膜805に近い側に形成する。そして、窒素の比率が低い絶縁膜を間に挟んで、ソース電極807、ドレイン電極808及び酸化物半導体膜805と重なるように、バリア性を有する絶縁膜を形成する。バリア性を有する絶縁膜を用いることで、ソース電極807、ドレイン電極808の表面や内部に水分や酸素が吸着するのを防ぐことができる。また、酸化物半導体膜805内、ゲート絶縁膜802内、或いは、酸化物半導体膜805と他の絶縁膜の界面とその近傍に、水分、または水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体膜805に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体膜805に接するのを防ぐことができる。

【0221】

10

20

30

40

50

本実施の形態では、スパッタ法で形成された膜厚200nmの酸化珪素膜上に、スパッタ法で形成された膜厚100nmの窒化珪素膜を積層させた構造を有する、絶縁膜809を形成する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。

【0222】

ソース電極807又はドレイン電極808の間に設けられた酸化物半導体膜805の露出領域と、絶縁膜809を構成する酸化珪素とが接して設けられることによって、絶縁膜809と接する酸化物半導体膜805の領域に酸素が供与され、高抵抗化（キャリア濃度が低まる、好ましくは $1 \times 10^{18} / \text{cm}^3$ 未満）し、高抵抗化したチャネル形成領域を有する酸化物半導体膜805を形成することができる。

10

【0223】

次いで、絶縁膜809を形成した後、加熱処理を行ってもよい。加熱処理は減圧雰囲気下、大気雰囲気下、又は不活性ガス雰囲気（窒素、またはヘリウム、ネオン、アルゴン等）下において、好ましくは200以上400以下、例えば250以上350以下）を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。または、先の加熱処理と同様に高温短時間のRTA処理を行っても良い。該加熱処理を行うと、酸化物半導体膜805が絶縁膜809を構成する酸化珪素に接した状態で加熱されることになり、さらに酸化物半導体膜805を高抵抗化させてトランジスタの電気特性の向上および、電気特性のばらつきを軽減することができる。この加熱処理は、絶縁膜809の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく行うことができる。

20

【0224】

以上の工程で薄膜トランジスタ813が作製できる。

【0225】

次に、第4のフォトリソグラフィ工程を行い、レジストマスクを形成し、絶縁膜809及びゲート絶縁膜802のエッチングによりコンタクトホールを形成し、ドレイン電極808の一部、第1の端子821の一部、第2の端子820の一部を露出させる。次いで、レジストマスクを除去した後、透明導電膜を成膜する。透明導電膜の材料としては、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する)などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3 - \text{ZnO}$)を用いても良い。また、透明導電膜を低抵抗化させるための加熱処理を行う場合、酸化物半導体膜805を高抵抗化させてトランジスタの電気特性の向上および、電気特性のばらつきを軽減する熱処理と兼ねることができる。

30

【0226】

次に、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去してドレイン電極808に接続された画素電極814と、第1の端子821に接続された透明導電膜815と、第2の端子820に接続された透明導電膜816とを形成する。

40

【0227】

透明導電膜815、透明導電膜816はFPCとの接続に用いられる電極または配線となる。第1の端子821上に形成された透明導電膜815は、ゲート配線の入力端子として機能する接続用の端子電極となる。第2の端子820上に形成された透明導電膜816は、ソース配線の入力端子として機能する接続用の端子電極である。

【0228】

この第6のフォトリソグラフィ工程において、ゲート絶縁膜802及び絶縁膜809を誘電体として、容量配線822と画素電極814とで保持容量819が形成される。

【0229】

50

レジストマスクを除去した段階での断面図を図14(B)に示す。なお、図14(B)の破線D1-D2の範囲内の断面図と、破線E1-E2の範囲内の断面図は、図17に示す平面図の、破線D1-D2における断面図と、破線E1-E2における断面図に相当する。

【0230】

こうして6回のフォトリソグラフィ工程により、6枚のフォトマスクを使用して、ボトムゲート型の逆スタガ構造の薄膜トランジスタである薄膜トランジスタ813を有する画素薄膜トランジスタ部、保持容量819を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができます。本明細書では便宜上10このような基板をアクティブマトリクス基板と呼ぶ。

【0231】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。

【0232】

また、容量配線を設けず、画素電極を隣り合う画素のゲート配線と絶縁膜及びゲート絶縁膜を介して重ねて保持容量を形成してもよい。

【0233】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。20

【0234】

発光表示装置を作製する場合は、各有機発光素子の間に有機樹脂膜を用いた隔壁を設ける場合がある。その場合には、有機樹脂膜を加熱処理するため、酸化物半導体膜805を高抵抗化させてトランジスタの電気特性の向上および、電気特性のばらつきを軽減する熱処理と兼ねることができる。

【0235】

酸化物半導体を用いた薄膜トランジスタで形成することにより、製造コストを低減することができる。特に、加熱処理による水分、水素、OHなどの不純物の低減によって酸化物半導体膜の純度を高めるため、成膜チャンバー内の露点を下げた特殊なスパッタ装置や超高純度の酸化物半導体ターゲットを用いなくとも、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体表示装置を作製することができる。30

【0236】

チャネル形成領域の半導体膜は高抵抗化領域であるので、薄膜トランジスタの電気特性は安定化し、オフ電流の増加などを防止することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体表示装置とすることが可能となる。

【0237】

本実施の形態は、上記実施の形態と組み合わせて実施することが可能である。40

【0238】

(実施の形態8)

本実施の形態では、本発明の作製方法を用いて形成される半導体表示装置の一つである、電子ペーパー或いはデジタルペーパーと呼ばれる半導体表示装置の構成について説明する。

【0239】

電子ペーパーは、電圧の印加により階調を制御することができ、なおかつメモリ性を有する表示素子を用いる。具体的に、電子ペーパーに用いられる表示素子には、非水系電気泳動型の表示素子、2つの電極間の高分子材料中に液晶のドロップレットを分散させたPD50

L C (p o l y m e r d i s p e r s e d l i q u i d c r y s t a l) 方式の表示素子、2つの電極間にカイラルネマチック液晶またはコレステリック液晶を有する表示素子、2つの電極間に帯電した微粒子を有し、該微粒子を電界により粉体中で移動させる粉体移動方式の表示素子などを用いることができる。また非水系電気泳動型の表示素子には、2つの電極間に帯電した微粒子を分散させた分散液を挟み込んだ表示素子、帯電した微粒子を分散させた分散液を、絶縁膜を間に挟んだ2つの電極上に有する表示素子、それぞれ異なる電荷に帯電する二色の半球を有するツイスティングポールを、2つの電極において溶媒中に分散させた表示素子、溶液中に帯電した微粒子が複数分散されているマイクロカプセルを2つの電極間に有する表示素子などが含まれる。

【 0 2 4 0 】

10

図18(A)に、電子ペーパーの画素部700と、信号線駆動回路701と、走査線駆動回路702の上面図を示す。

【 0 2 4 1 】

画素部700は複数の画素703を有している。また、信号線駆動回路701から複数の信号線707が、画素部700内まで引き回されている。走査線駆動回路702から複数の走査線708が、画素部700内まで引き回されている。

【 0 2 4 2 】

各画素703はトランジスタ704と、表示素子705と、保持容量706とを有している。トランジスタ704のゲート電極は、走査線708の一つに接続されている。またトランジスタ704のソース電極とドレイン電極は、一方が信号線707の一つに、他方が表示素子705の画素電極に接続されている。

20

【 0 2 4 3 】

なお図18(A)では、表示素子705の画素電極と対向電極の間に印加された電圧を保持するために、表示素子705と並列に保持容量706が接続されているが、表示素子705のメモリ性の高さが表示を維持するのに十分な程度に高いのであれば、保持容量706を必ずしも設ける必要はない。

【 0 2 4 4 】

なお、図18(A)では、各画素にスイッチング素子として機能するトランジスタを一つ設けたアクティブマトリクス型の画素部の構成について説明したが、本発明の一態様に係る電子ペーパーは、この構成に限定されない。画素に設けるトランジスタの数は複数であっても良いし、トランジスタ以外に容量、抵抗、コイルなどの素子が接続されていても良い。

30

【 0 2 4 5 】

図18(B)に、マイクロカプセルを有する電気泳動型の電子ペーパーを例に挙げ、各画素703に設けられた表示素子705の断面図を示す。

【 0 2 4 6 】

表示素子705は、画素電極710と、対向電極711と、画素電極710及び対向電極711によって電圧が印加されるマイクロカプセル712とを有する。トランジスタ704のソース電極またはドレイン電極713の一方は、画素電極710に接続されている。

【 0 2 4 7 】

40

マイクロカプセル712内には、酸化チタンなどのプラスに帯電した白色顔料と、カーボンブラックなどのマイナスに帯電した黒色顔料とが、オイルなどの分散媒と共に封入されている。画素電極710に印加されるビデオ信号の電圧に従って、画素電極と対向電極の間に電圧を印加し、正の電極側に黒色顔料を、負の電極側に白色顔料を引き寄せることで、階調の表示を行うことができる。

【 0 2 4 8 】

また、図18(B)では、マイクロカプセル712が、画素電極710と対向電極711の間に透光性を有する樹脂714により固定されている。しかし、本発明はこの構成に限定されず、マイクロカプセル712、画素電極710、対向電極711によって形成される空間には、空気、不活性ガスなどの気体が充填されていても良い。ただし、この

50

場合、マイクロカプセル 712 は、接着剤などにより画素電極 710 と対向電極 711 の両方、或いはいずれか一方に、固定しておくことが望ましい。

【0249】

また、表示素子 705 が有するマイクロカプセル 712 の数は、図 18 (B) に示すように複数であるとは限らない。1つの表示素子 705 が複数のマイクロカプセル 712 を有していても良いし、複数の表示素子 705 が1つのマイクロカプセル 712 を有していても良い。例えば2つの表示素子 705 が1つのマイクロカプセル 712 を共有し、一方の表示素子 705 が有する画素電極 710 にプラスの電圧が、他方の表示素子 705 が有する画素電極 710 にマイナスの電圧が印加されていたとする。この場合、プラスの電圧が印加された画素電極 710 と重なる領域において、マイクロカプセル 712 内では黒色顔料が画素電極 710 側に引き寄せられ、白色顔料が対向電極 711 側に引き寄せられる。
逆に、マイナスの電圧が印加された画素電極 710 と重なる領域において、マイクロカプセル 712 内では白色顔料が画素電極 710 側に引き寄せられ、黒色顔料が対向電極 711 側に引き寄せられる。

【0250】

次に、電子ペーパーの具体的な駆動方法について、上述した電気泳動型の電子ペーパーを例に挙げて説明する。

【0251】

電子ペーパーの動作は、初期化期間と、書き込み期間と、保持期間とに分けて説明することが出来る。

20

【0252】

表示する画像を切り替える前に、まず初期化期間において画素部内の各画素の階調を一旦統一することで、表示素子を初期化する。表示素子を初期化することで、残像が残るのを防ぐことが出来る。具体的に、電気泳動型では、各画素の表示が白または黒となるよう、表示素子 705 が有するマイクロカプセル 712 によって表示される階調を調整する。

【0253】

本実施の形態では、黒を表示するような初期化用ビデオ信号を画素に入力した後、白を表示するような初期化用ビデオ信号を画素に入力する場合の、初期化の動作について説明する。例えば、画像の表示を対向電極 711 側に向かって行う電気泳動型の電子ペーパーの場合、まず、マイクロカプセル 712 内の黒色顔料が対向電極 711 側に、白色顔料が画素電極 710 側に向くように、表示素子 705 に電圧を印加する。次いで、マイクロカプセル 712 内の白色顔料が対向電極 711 側に、黒色顔料が画素電極 710 側に向くように、表示素子 705 に電圧を印加する。

30

【0254】

また、画素への初期化用ビデオ信号の入力が1回のみだと、初期化期間の前に表示されていた階調によっては、マイクロカプセル 712 内の白色顔料と黒色顔料の移動が中途半端に終わってしまい、初期化期間が終了した後においても画素間において表示される階調に差が生じてしまう可能性もある。そのため、共通電圧 Vcom に対してマイナスの電圧 -Vp を、複数回、画素電極 710 に印加することで黒を表示し、共通電圧 Vcom に対してプラスの電圧 Vp を、複数回、画素電極 710 に印加することで白を表示することが望ましい。

40

【0255】

なお、初期化期間前に各画素の表示素子によって表示されていた階調が異なると、初期化用ビデオ信号を入力する必要最低限の回数も異なってくる。よって、初期化期間前に表示されていた階調に合わせて、画素間で、初期化用ビデオ信号を入力する回数を変えるようにしても良い。この場合、初期化用ビデオ信号を入力する必要がなくなった画素には、共通電圧 Vcom を入力しておくと良い。

【0256】

なお、画素電極 710 に初期化用ビデオ信号の電圧 Vp または電圧 -Vp を複数回印加するためには、選択信号のパルスが各走査線に与えられている期間において、当該走査線を

50

有するラインの画素に、初期化用ビデオ信号を入力するという一連の動作を、複数回行う。初期化用ビデオ信号の電圧 V_p または電圧 - V_p を画素電極 710 に複数回印加することで、マイクロカプセル 712 内における白色顔料と黒色顔料の移動を収束させて画素間に階調の差が生じるのを防ぎ、画素部の画素を初期化することができる。

【0257】

なお、初期化期間では、各画素において黒を表示した後に白を表示するのではなく、白を表示した後に黒を表示するようにしても良い。或いは、初期化期間では、各画素において白を表示した後に黒を表示し、更にその後、白を表示しするようにしても良い。

【0258】

また、初期化期間の開始されるタイミングは、画素部内の全ての画素において同じである必要はない。例えば、画素ごと、或いは同じラインに属する画素ごと、といったように、初期化期間の開始されるタイミングを異ならせるようにしても良い。10

【0259】

次に、書込期間では、画素に画像情報を有するビデオ信号を入力する。

【0260】

画素部全体で画像の表示を行う場合は、1フレーム期間において、全ての走査線に順に電圧のパルスがシフトしている選択信号が入力される。そして、選択信号にパルスが出現している1ライン期間内において、全ての信号線に画像情報を有するビデオ信号が入力される。

【0261】

画素電極 710 に印加されるビデオ信号の電圧に従って、マイクロカプセル 712 内の白色顔料と黒色顔料が画素電極 710 側または対向電極 711 側に移動することで、表示素子 705 は階調を表示する。20

【0262】

なお、書込期間でも、初期化期間と同様に、画素電極 710 にビデオ信号の電圧を複数回印加することが望ましい。よって、選択信号のパルスが各走査線に与えられている期間において、当該走査線を有するラインの画素にビデオ信号を入力するという一連の動作を、複数回行う。

【0263】

次に、保持期間では、全ての画素に信号線を介して共通電圧 V_{com} を入力した後、走査線への選択信号の入力または信号線へのビデオ信号の入力は行わない。よって、表示素子 705 が有するマイクロカプセル 712 内の白色顔料と黒色顔料は、画素電極 710 と対向電極 711 の間にプラスまたはマイナスの電圧が印加されない限りその配置は保持されるので、表示素子 705 の表示する階調は保たれる。よって、書込期間において書き込まれた画像は、保持期間においても表示が維持される。30

【0264】

なお、電子ペーパーに用いられる表示素子は、階調を変化させるのに必要な電圧が、液晶表示装置に用いられる液晶素子や、発光装置に用いられる有機発光素子などの発光素子に比べて高い傾向にある。そのため、スイッチング素子として用いられる画素のトランジスタ 704 は、書込期間において、そのソース電極とドレイン電極間の電位差が大きくなるため、オフ電流が高くなり、そのために画素電極 710 の電位が変動して表示に乱れが生じやすい。トランジスタ 704 のオフ電流により画素電極 710 の電位が変動するのを防ぐためには、保持容量 706 の容量を大きくすることが有効である。また、画素電極 710 と対向電極 711 の間の電圧だけではなく、信号線 707 と対向電極 711 の間に生じる電圧が、マイクロカプセル 712 に印加されることで、表示素子 705 の表示にノイズが生じることがある。このノイズの発生を防ぐためには、画素電極 710 の面積を広く確保し、信号線 707 と対向電極 711 の間に生じる電圧がマイクロカプセル 712 に印加されるのを防ぐことが有効である。しかし、上述したように、画素電極 710 の電位が変動するのを防ぐために保持容量 706 の容量を大きくする、または表示にノイズが生じるのを防ぐために画素電極 710 の面積を広くすると、書込期間において画素に供給するベ4050

き電流値が高くなってしまい、ビデオ信号の入力に時間がかかるてしまう。本発明の一態様に係る電子ペーパーでは、スイッチング素子として画素に用いられているトランジスタ704が、高い電界効果移動度を有しているため、高いオン電流を得ることができる。よって、保持容量706の容量を大きくしても、または画素電極710の面積を広くとっても、画素へのビデオ信号の入力を迅速に行うことができる。したがって、書込期間の長さを抑えることができ、表示する画像に切り替えをスムーズに行うことができる。また、スイッチング素子として用いられる画素のトランジスタ704は、書込期間において、そのソース電極とドレイン電極間の電位差が大きくなるため、劣化しやすい。しかし、本発明の一態様では、トランジスタ704の経時劣化による閾値電圧のばらつきを小さく抑えることができる所以、電子ペーパーの信頼性を高めることができる。

10

【0265】

本実施の形態は、上記実施の形態と組み合わせて実施することが可能である。

【0266】

(実施の形態9)

アクティブマトリクス型の半導体表示装置のブロック図の一例を図19(A)に示す。表示装置の基板5300上には、画素部5301、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304を有する。画素部5301には、複数の信号線が信号線駆動回路5304から延伸して配置され、複数の走査線が第1の走査線駆動回路5302、及び第2の走査線駆動回路5303から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板5300はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路5305(コントローラ、制御ICともいう)に接続されている。

20

【0267】

図19(A)では、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304は、画素部5301と共に一つの基板5300上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、表示装置の小型化のみならず、組立工程や検査工程の削減によるコストダウンを図ることができる。また、基板5300外部に駆動回路を設けた場合の配線を延伸させることによる接続部での接続数を減らすことができる。よって、駆動回路と画素部の接続不良に起因する歩留まり低下を防ぎ、接続箇所における機械的強度の低さにより信頼性が低下するのを防ぐことができる。

30

【0268】

なお、タイミング制御回路5305は、第1の走査線駆動回路5302に対し、一例として、第1の走査線駆動回路用スタート信号(GSP1)、走査線駆動回路用クロック信号(GCK1)を供給する。また、タイミング制御回路5305は、第2の走査線駆動回路5303に対し、一例として、第2の走査線駆動回路用スタート信号(GSP2)(スタートパルスともいう)、走査線駆動回路用クロック信号(GCK2)を供給する。信号線駆動回路5304に、信号線駆動回路用スタート信号(SSP)、信号線駆動回路用クロック信号(SCK)、ビデオ信号用データ(DATA)(単にビデオ信号ともいう)、ラッピング信号(LAT)を供給するものとする。なお、第1の走査線駆動回路5302と第2の走査線駆動回路5303のいずれか一方を省略することが可能である。

40

【0269】

図19(B)では、駆動周波数が低い回路(例えば、第1の走査線駆動回路5302、第2の走査線駆動回路5303)を、画素部5301と共に一つの基板5300上に形成し、信号線駆動回路5304を画素部5301とは別の基板上に形成する構成について示している。また、信号線駆動回路5304のうち、サンプリング回路に用いられているアナログスイッチなどの駆動周波数の低い回路を、部分的に、画素部5301と共に一つの基板5300上に形成することも可能である。このように、部分的にシステムオンパネルを採用することで、上述した接続不良に起因する歩留まり低下、接続箇所における機械的強度の低さなどを回避する、組立工程や検査工程の削減によるコストダウン、といったシス

50

テムオンパネルのメリットをある程度享受できる。さらに、画素部 5301、走査線駆動回路 5302、走査線駆動回路 5303 及び信号線駆動回路 5304 を全て一基板上に形成するシステムオンパネルに比べて、駆動周波数が高い回路の性能をより高めることができ、なおかつ、単結晶半導体を用いた場合は実現することが難しい、面積の広い画素部を形成することができる。

【0270】

次に、n チャネル型トランジスタを用いた信号線駆動回路の構成について説明する。

【0271】

図 20 (A) に示す信号線駆動回路は、シフトレジスタ 5601、及びサンプリング回路 5602 を有する。サンプリング回路 5602 は、複数のスイッチング回路 5602_1 ~ 5602_N (N は自然数) を有する。スイッチング回路 5602_1 ~ 5602_N は、各々、複数の n チャネル型トランジスタ 5603_1 ~ 5603_k (k は自然数) を有する。

10

【0272】

信号線駆動回路の接続関係について、スイッチング回路 5602_1 を例に挙げて説明する。なお、トランジスタが有するソース電極とドレイン電極のうち、いずれか一方を第 1 端子、他方を第 2 端子として、以下、記述する。

【0273】

トランジスタ 5603_1 ~ 5603_k の第 1 端子は、各々、配線 5604_1 ~ 5604_k と接続されている。配線 5604_1 ~ 5604_k には、各々、ビデオ信号が入力される。トランジスタ 5603_1 ~ 5603_k の第 2 端子は、各々、信号線 S1 ~ Sk と接続されている。トランジスタ 5603_1 ~ 5603_k のゲート電極は、シフトレジスタ 5601 と接続される。

20

【0274】

シフトレジスタ 5601 は、配線 5605_1 ~ 5605_N の順番に高いレベルの電圧 (H レベル) を有するタイミング信号を出力し、スイッチング回路 5602_1 ~ 5602_N を順番に選択する機能を有する。

【0275】

スイッチング回路 5602_1 は、トランジスタ 5603_1 ~ 5603_k のスイッチングにより、配線 5604_1 ~ 5604_k と信号線 S1 ~ Sk との導通状態 (第 1 端子と第 2 端子との間の導通) を制御する機能、即ち配線 5604_1 ~ 5604_k の電位を信号線 S1 ~ Sk に供給するか否かを制御する機能を有する。

30

【0276】

次に、図 20 (A) の信号線駆動回路の動作について、図 20 (B) のタイミングチャートを参照して説明する。図 20 (B) には、シフトレジスタ 5601 から配線 5605_1 ~ 5605_N にそれぞれ入力されるタイミング信号 Sout_1 ~ Sout_N と、配線 5604_1 ~ 5604_k にそれぞれ入力されるビデオ信号 Vdata_1 ~ Vdata_k のタイミングチャートを一例として示す。

【0277】

なお、信号線駆動回路の 1 動作期間は、表示装置における 1 ライン期間に相当する。図 20 (B) では、1 ライン期間を期間 T1 ~ 期間 TN に分割する場合を例示している。期間 T1 ~ TN は、各々、選択された行に属する一画素に、ビデオ信号を書き込むための期間である。

40

【0278】

期間 T1 ~ 期間 TN において、シフトレジスタ 5601 は、H レベルのタイミング信号を配線 5605_1 ~ 5605_N に順番に出力する。例えば、期間 T1 において、シフトレジスタ 5601 は、H レベルの信号を配線 5605_1 に出力する。すると、スイッチング回路 5602_1 が有するトランジスタ 5603_1 ~ 5603_k はオンになるので、配線 5604_1 ~ 5604_k と、信号線 S1 ~ Sk とが導通状態になる。このとき、配線 5604_1 ~ 5604_k には、Data (S1) ~ Data (Sk) が入力

50

される。Data(S1)～Data(Sk)は、各々、トランジスタ5603_1～5603_kを介して、選択される行に属する画素のうち、1列目～k列目の画素に書き込まれる。こうして、期間T1～TNにおいて、選択された行に属する画素に、k列ずつ順番にビデオ信号が書き込まれる。

【0279】

以上のように、ビデオ信号が複数の列ずつ画素に書き込まれることによって、ビデオ信号の数、又は配線の数を減らすことができる。よって、コントローラなどの外部回路との接続数を減らすことができる。また、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができ、ビデオ信号の書き込み不足を防止することができる。

10

【0280】

次に、信号線駆動回路または走査線駆動回路に用いるシフトレジスタの一形態について図21及び図22を用いて説明する。

【0281】

シフトレジスタは、第1のパルス出力回路10_1乃至第Nのパルス出力回路10_N(Nは3以上の自然数)を有している(図21(A)参照)。第1のパルス出力回路10_1乃至第Nのパルス出力回路10_Nには、第1の配線11より第1のクロック信号CK1、第2の配線12より第2のクロック信号CK2、第3の配線13より第3のクロック信号CK3、第4の配線14より第4のクロック信号CK4が供給される。また第1のパルス出力回路10_1では、第5の配線15からのスタートパルスSP1(第1のスタートパルス)が入力される。また2段目以降の第nのパルス出力回路10_n(nは、2以上N以下の自然数)では、一段前段のパルス出力回路10_{n-1}からの信号(前段信号OUT(n-1))という)が入力される。また第1のパルス出力回路10_1では、2段後段の第3のパルス出力回路10_3からの信号が入力される。同様に、2段目以降の第nのパルス出力回路10_nでは、2段後段の第(n+2)のパルス出力回路10_{n+2}からの信号(後段信号OUT(n+2))という)が入力される。従って、各段のパルス出力回路からは、後段及び二つ前段のパルス出力回路に入力するための第1の出力信号OUT(1)(SR)～OUT(N)(SR)、及び別の回路等に入力される第2の出力信号(OUT(1)～OUT(N))が出力される。なお、図21(A)に示すように、シフトレジスタの最終段の2つの段には、後段信号OUT(n+2)が入力されないため、一例としては、別途第2のスタートパルスSP2、第3のスタートパルスSP3をそれぞれ入力する構成とすればよい。

20

【0282】

なお、クロック信号(CK)は、一定の間隔でHレベルとLレベル(低いレベルの電圧)を繰り返す信号である。ここで、第1のクロック信号(CK1)～第4のクロック信号(CK4)は、順に1/4周期分遅延している。本実施の形態では、第1のクロック信号(CK1)～第4のクロック信号(CK4)を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号は、入力される駆動回路に応じて、GCK、SCKということもあるが、ここではCKとして説明を行う。

30

【0283】

第1の入力端子21、第2の入力端子22及び第3の入力端子23は、第1の配線11～第4の配線14のいずれかと電気的に接続されている。例えば、図21(A)において、第1のパルス出力回路10_1は、第1の入力端子21が第1の配線11と電気的に接続され、第2の入力端子22が第2の配線12と電気的に接続され、第3の入力端子23が第3の配線13と電気的に接続されている。また、第2のパルス出力回路10_2は、第1の入力端子21が第2の配線12と電気的に接続され、第2の入力端子22が第3の配線13と電気的に接続され、第3の入力端子23が第4の配線14と電気的に接続されている。

40

【0284】

第1のパルス出力回路10_1～第Nのパルス出力回路10_Nの各々は、第1の入力端

50

子 2 1、第 2 の入力端子 2 2、第 3 の入力端子 2 3、第 4 の入力端子 2 4、第 5 の入力端子 2 5、第 1 の出力端子 2 6、第 2 の出力端子 2 7 を有しているとする(図 2 1 (B) 参照)。第 1 のパルス出力回路 1 0 _ 1において、第 1 の入力端子 2 1 に第 1 のクロック信号 C K 1 が入力され、第 2 の入力端子 2 2 に第 2 のクロック信号 C K 2 が入力され、第 3 の入力端子 2 3 に第 3 のクロック信号 C K 3 が入力され、第 4 の入力端子 2 4 にスタートパルスが入力され、第 5 の入力端子 2 5 に後段信号 O U T (3) が入力され、第 1 の出力端子 2 6 より第 1 の出力信号 O U T (1) (S R) が出力され、第 2 の出力端子 2 7 より第 2 の出力信号 O U T (1) が出力されていることとなる。

【0285】

次に、パルス出力回路の具体的な回路構成の一例を、図 2 2 (A) に示す。

10

【0286】

各パルス出力回路は、第 1 のトランジスタ 3 1 ~ 第 1 3 のトランジスタ 4 3 を有している(図 2 2 (A) 参照)。また、上述した第 1 の入力端子 2 1 ~ 第 5 の入力端子 2 5、及び第 1 の出力端子 2 6、第 2 の出力端子 2 7 に加え、第 1 の高電源電位 V D D が供給される電源線 5 1、第 2 の高電源電位 V C C が供給される電源線 5 2、低電源電位 V S S が供給される電源線 5 3 から、第 1 のトランジスタ 3 1 ~ 第 1 3 のトランジスタ 4 3 に信号、または電源電位が供給される。ここで図 2 2 (A) の各電源線の電源電位の高さの関係は、第 1 の電源電位 V D D は第 2 の電源電位 V C C 以上の電位とし、第 2 の電源電位 V C C は第 3 の電源電位 V S S より高い電位とする。なお、第 1 のクロック信号 (C K 1) ~ 第 4 のクロック信号 (C K 4) は、一定の間隔で H レベルと L レベルを繰り返す信号であるが、H レベルのとき V D D、L レベルのとき V S S であるとする。なお電源線 5 1 の電位 V D D を、電源線 5 2 の電位 V C C より高くすることにより、動作に影響を与えることなく、トランジスタのゲート電極に印加される電位を低く抑えることができ、トランジスタのしきい値電圧のシフトを低減し、劣化を抑制することができる。

20

【0287】

図 2 2 (A) において第 1 のトランジスタ 3 1 は、第 1 端子が電源線 5 1 に電気的に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に電気的に接続され、ゲート電極が第 4 の入力端子 2 4 に電気的に接続されている。第 2 のトランジスタ 3 2 は、第 1 端子が電源線 5 3 に電気的に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に電気的に接続され、ゲート電極が第 4 のトランジスタ 3 4 のゲート電極に電気的に接続されている。第 3 のトランジスタ 3 3 は、第 1 端子が第 1 の入力端子 2 1 に電気的に接続され、第 2 端子が第 1 の出力端子 2 6 に電気的に接続されている。第 4 のトランジスタ 3 4 は、第 1 端子が電源線 5 3 に電気的に接続され、第 2 端子が第 1 の出力端子 2 6 に電気的に接続されている。第 5 のトランジスタ 3 5 は、第 1 端子が電源線 5 3 に電気的に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電気的に接続され、ゲート電極が第 4 の入力端子 2 4 に電気的に接続されている。第 6 のトランジスタ 3 6 は、第 1 端子が電源線 5 2 に電気的に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電気的に接続され、ゲート電極が第 5 の入力端子 2 5 に電気的に接続されている。第 7 のトランジスタ 3 7 は、第 1 端子が電源線 5 2 に電気的に接続され、第 2 端子が第 8 のトランジスタ 3 8 の第 2 端子に電気的に接続され、ゲート電極が第 3 の入力端子 2 3 に電気的に接続されている。第 8 のトランジスタ 3 8 は、第 1 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電気的に接続され、ゲート電極が第 2 の入力端子 2 2 に電気的に接続されている。第 9 のトランジスタ 3 9 は、第 1 端子が第 1 のトランジスタ 3 1 の第 2 端子及び第 2 のトランジスタ 3 2 の第 2 端子に電気的に接続され、第 2 端子が第 3 のトランジスタ 3 3 のゲート電極及び第 1 0 のトランジスタ 4 0 のゲート電極に電気的に接続され、ゲート電極が電源線 5 2 に電気的に接続されている。第 1 0 のトランジスタ 4 0 は、第 1 端子が第 1 の入力端子 2 1 に電気的に接続され、第 2 端子が第 2 の出力端子 2 7 に電気的に接続され、ゲート電極が第 9 のトランジスタ 3 9 の第 2 端子に電気的に接続されている。第 1 1 のトランジスタ 4 1 は、第 1 端子が電源線 5 3 に電気的に接続

30

40

50

され、第2端子が第2の出力端子27に電気的に接続され、ゲート電極が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電気的に接続されている。第12のトランジスタ42は、第1端子が電源線53に電気的に接続され、第2端子が第2の出力端子27に電気的に接続され、ゲート電極が第7のトランジスタ37のゲート電極に電気的に接続されている。第13のトランジスタ43は、第1端子が電源線53に電気的に接続され、第2端子が第1の出力端子26に電気的に接続され、ゲート電極が第7のトランジスタ37のゲート電極に電気的に接続されている。

【0288】

図22(A)において、第3のトランジスタ33のゲート電極、第10のトランジスタ40のゲート電極、及び第9のトランジスタ39の第2端子の接続箇所をノードAとする。
また、第2のトランジスタ32のゲート電極、第4のトランジスタ34のゲート電極、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41の接続箇所をノードBとする(図22(A)参照)。

10

【0289】

図22(A)に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて、図22(B)に示す。

【0290】

なお、図22(A)に示すように、ゲート電極に第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作の前後において、以下のようないい處がある。

20

【0291】

ゲート電極に第2の電位VCCが印加される第9のトランジスタ39がない場合、ブートストラップ動作によりノードAの電位が上昇すると、第1のトランジスタ31の第2端子であるソース電極の電位が上昇していき、第1の電源電位VDDより高くなる。そして、第1のトランジスタ31のソース電極が第1端子側、即ち電源線51側に切り替わる。そのため、第1のトランジスタ31においては、ゲート電極とソース電極の間、ゲート電極とドレイン電極の間ともに、大きなバイアス電圧が印加されるために大きなストレスがかかり、トランジスタの劣化の要因となりうる。そこで、ゲート電極に第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作によりノードAの電位は上昇するものの、第1のトランジスタ31の第2端子の電位の上昇を生じないようにすることができる。つまり、第9のトランジスタ39を設けることにより、第1のトランジスタ31のゲート電極とソース電極の間に印加される負のバイアス電圧の値を小さくすることができる。よって、本実施の形態の回路構成とすることにより、第1のトランジスタ31のゲート電極とソース電極の間に印加される負のバイアス電圧も小さくできるため、ストレスによる第1のトランジスタ31の劣化を抑制することができる。

30

【0292】

なお、第9のトランジスタ39を設ける箇所については、第1のトランジスタ31の第2端子と第3のトランジスタ33のゲート電極との間に第1端子と第2端子を介して接続されるように設ける構成であればよい。なお、本実施形態でのパルス出力回路を複数具備するシフトレジスタの場合、走査線駆動回路より段数の多い信号線駆動回路では、第9のトランジスタ39を省略してもよく、トランジスタ数を削減できるという利点がある。

40

【0293】

なお第1のトランジスタ31乃至第13のトランジスタ43の活性層として、酸化物半導体を用いることにより、トランジスタのオフ電流を低減すると共に、オン電流及び電界効果移動度を高めることができ、さらに劣化の度合いを低減することができるため、回路内の誤動作を低減することができる。また酸化物半導体を用いたトランジスタは、アモルファスシリコンを用いたトランジスタに比べ、ゲート電極に高電位が印加されることによるトランジスタの劣化の程度が小さい。そのため、第2の電源電位VCCを供給する電源線

50

に、第1の電源電位VDDを供給しても同様の動作が得られ、且つ回路間を引き回す電源線の数を低減することができるため、回路の小型化を図ることが出来る。

【0294】

なお、第7のトランジスタ37のゲート電極に第3の入力端子23によって供給されるクロック信号、第8のトランジスタ38のゲート電極に第2の入力端子22によって供給されるクロック信号は、第7のトランジスタのゲート電極に第2の入力端子22によって供給されるクロック信号、第8のゲート電極に第3の入力端子23によって供給されるクロック信号となるように、結線関係を入れ替えても同様の作用を奏する。このとき、図22(A)に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオフ、第8のトランジスタ38がオンの状態、次いで第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じる、ノードBの電位の低下が第7のトランジスタ37のゲート電極の電位の低下、及び第8のトランジスタ38のゲート電極の電位の低下に起因して2回生じることとなる。一方、図22(A)に示すシフトレジスタを図22(B)の期間のように、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態、次いで、第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じるノードBの電位の低下を、第8のトランジスタ38のゲート電極の電位の低下による一回に低減することができる。そのため、第7のトランジスタ37のゲート電極(下方のゲート電極及び上方のゲート電極)に第3の入力端子23からクロック信号が供給され、第8のトランジスタ38のゲート電極(下方のゲート電極及び上方のゲート電極)に第2の入力端子22からクロック信号が供給される結線関係とすることが好適である。なぜなら、ノードBの電位の変動回数が低減され、またノイズを低減することが出来るからである。

【0295】

このように、第1の出力端子26及び第2の出力端子27の電位をLレベルに保持する間に、ノードBに定期的にHレベルの信号が供給されることにより、パルス出力回路の誤動作を抑制することができる。

【0296】

本実施の形態は、上記実施の形態と組み合わせて実施することが可能である。

【0297】

(実施の形態10)

本発明の一態様に係る液晶表示装置は、移動度及びオン電流が高く、なおかつ信頼性の高い薄膜トランジスタを用いているため、コントラスト及び視認性が高い。本実施の形態では、本発明の一態様に係る液晶表示装置の構成について説明する。

【0298】

図23に、本発明の一態様に係る液晶表示装置の、画素の断面図を一例として示す。図23に示す薄膜トランジスタ1401は、絶縁表面上に形成されたゲート電極1402と、ゲート電極上のゲート絶縁膜1403と、ゲート絶縁膜1403上においてゲート電極1402と重なっている酸化物半導体膜1404と、酸化物半導体膜1404上に順に積層するように形成され、ソース電極またはドレイン電極として機能する一対の導電膜1406a及び導電膜1406bとを有する。さらに、薄膜トランジスタ1401は、酸化物半導体膜1404上に形成された絶縁膜1407を、その構成要素に含めても良い。絶縁膜1407は、ゲート電極1402と、ゲート絶縁膜1403と、酸化物半導体膜1404と、導電膜1406a及び導電膜1406bとを覆うように形成されている。

【0299】

なお、本実施の形態では、実施の形態1に示す作製方法に従って形成されたソース電極とドレイン電極を例に挙げているが、実施の形態2乃至実施の形態4に示す作製方法に従つて形成されたソース電極とドレイン電極を用いていても良い。

10

20

30

40

50

【0300】

絶縁膜1407上には絶縁膜1408が形成されている。絶縁膜1407、絶縁膜1408の一部には開口部が設けられており、該開口部において導電膜1406bの一つと接するように、画素電極1410が形成されている。

【0301】

また、絶縁膜1408上には、液晶素子のセルギャップを制御するためのスペーサ1417が形成されている。スペーサ1417は絶縁膜を所望の形状にエッチングすることで形成することが可能であるが、フィラーを絶縁膜1408上に分散させることでセルギャップを制御するようにしても良い。

【0302】

そして、画素電極1410上には、配向膜1411が形成されている。また画素電極1410と対峙する位置には、対向電極1413が設けられており、対向電極1413の画素電極1410に近い側には配向膜1414が形成されている。配向膜1411、配向膜1414は、ポリイミド、ポリビニルアルコールなどの有機樹脂を用いて形成することができ、その表面には、ラビングなどの、液晶分子を一定方向に配列させるための配向処理が施されている。ラビングは、配向膜に圧力をかけながら、ナイロンなどの布を巻いたローラーを回転させて、上記配向膜の表面を一定方向に擦ることで、行うことが出来る。なお、酸化珪素などの無機材料を用い、配向処理を施すことなく、蒸着法で配向特性を有する配向膜1411、配向膜1414を直接形成することも可能である。

【0303】

そして、画素電極1410と、対向電極1413の間においてシール材1416に囲まれた領域には、液晶1415が設けられている。液晶1415の注入は、ディスペンサ式（滴下式）を用いても良いし、ディップ式（汲み上げ式）を用いていても良い。なお、シール材1416にはフィラーが混入されていても良い。

【0304】

また、画素電極1410と、対向電極1413と、液晶1415とで形成される液晶素子は、特定の波長領域の光を通すことができるカラーフィルタと重なっていても良い。カラーフィルタは、対向電極1413が形成されている基板（対向基板）1420上に形成すれば良い。カラーフィルタは、顔料を分散させたアクリル系樹脂などの有機樹脂を基板1420上に塗布した後、フォトリソグラフィを用いて選択的に形成することができる。また、顔料を分散させたポリイミド系樹脂を基板1420上に塗布した後、エッチングを用いて選択的に形成することもできる。或いは、インクジェットなどの液滴吐出法を用いることで、選択的にカラーフィルタを形成することもできる。

【0305】

また、画素間に於ける液晶1415の配向の乱れに起因するディスクリネーションが視認されるのを防ぐために、画素間に、光を遮蔽することができる遮蔽膜を形成しても良い。遮蔽膜には、カーボンブラック、低次酸化チタンなどの黒色顔料を含む有機樹脂を用いることができる。または、クロムを用いた膜で、遮蔽膜を形成することも可能である。

【0306】

画素電極1410と対向電極1413は、例えば酸化インジウムスズ（ITO）、酸化インジウムスズ（ITSO）、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）などの透明導電材料を用いることができる。なお、本実施の形態では、画素電極1410及び対向電極1413に光を透過する導電膜を用い、透過型の液晶素子を作製する例を示すが、本発明はこの構成に限定されない。本発明の一態様に係る液晶表示装置は、半透過型または反射型であっても良い。

【0307】

なお、本実施の形態では、液晶表示装置として、TN（Twisted Nematic）型を示したが、VA（Vertical Alignment）型、OCB（optically compensated Birefringence）型、IPS（In-Plane Switching）型等の、その他の液晶表示装置にも、本発明の薄膜

10

20

30

40

50

トランジスタを用いることができる。

【0308】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶1415に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が10μsec.以上100μsec.以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0309】

図24は、本発明の液晶表示装置の構造を示す斜視図の一例である。図24に示す液晶表示装置は、一対の基板間に液晶素子が形成された液晶パネル1601と、第1の拡散板1602と、プリズムシート1603と、第2の拡散板1604と、導光板1605と、反射板1606と、光源1607と、回路基板1608とを有している。

【0310】

液晶パネル1601と、第1の拡散板1602と、プリズムシート1603と、第2の拡散板1604と、導光板1605と、反射板1606とは、順に積層されている。光源1607は導光板1605の端部に設けられており、導光板1605内部に拡散された光源1607からの光は、第1の拡散板1602、プリズムシート1603及び第2の拡散板1604によって、均一に液晶パネル1601に照射される。

【0311】

なお、本実施の形態では、第1の拡散板1602と第2の拡散板1604とを用いているが、拡散板の数はこれに限定されず、単数であっても3以上であっても良い。そして、拡散板は導光板1605と液晶パネル1601の間に設けられていれば良い。よって、プリズムシート1603よりも液晶パネル1601に近い側にのみ拡散板が設けられていても良いし、プリズムシート1603よりも導光板1605に近い側にのみ拡散板が設けられていても良い。

【0312】

またプリズムシート1603は、図24に示した断面が鋸歯状の形状に限定されず、導光板1605からの光を液晶パネル1601側に集光できる形状を有していれば良い。

【0313】

回路基板1608には、液晶パネル1601に入力される各種信号を生成する回路、またはこれら信号に処理を施す回路などが設けられている。そして図24では、回路基板1608と液晶パネル1601とが、FPC(Flexible Printed Circuit)1609を介して接続されている。なお、上記回路は、COG(Chip On Glass)法を用いて液晶パネル1601に接続されても良いし、上記回路の一部がFPC1609にCOF(Chip On Film)法を用いて接続されても良い。

【0314】

図24では、光源1607の駆動を制御する制御系の回路が回路基板1608に設けられており、該制御系の回路と光源1607とがFPC1610を介して接続されている例を示している。ただし、上記制御系の回路は液晶パネル1601に形成されていても良く、この場合は液晶パネル1601と光源1607とがFPCなどにより接続されるようにする。

【0315】

なお、図24は、液晶パネル1601の端に光源1607を配置するエッジライト型の光源を例示しているが、本発明の液晶表示装置は光源1607が液晶パネル1601の直下に配置される直下型であっても良い。

【0316】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することができる。

10

20

30

40

50

【0317】

(実施の形態11)

本実施の形態では、本発明の一態様に係る薄膜トランジスタを画素に用いた、発光装置の構成について説明する。本実施の形態では、発光素子を駆動させるためのトランジスタがn型の場合における、画素の断面構造について、図25を用いて説明する。なお図25では、第1の電極が陰極、第2の電極が陽極の場合について説明するが、第1の電極が陽極、第2の電極が陰極であっても良い。

【0318】

図25(A)に、トランジスタ6031がn型で、発光素子6033から発せられる光を第1の電極6034側から取り出す場合の、画素の断面図を示す。トランジスタ6031は絶縁膜6037で覆われており、絶縁膜6037上には開口部を有する隔壁6038が形成されている。隔壁6038の開口部において第1の電極6034が一部露出しており、該開口部において第1の電極6034、電界発光層6035、第2の電極6036が順に積層されている。

【0319】

第1の電極6034は、光を透過する材料または膜厚で形成し、なおかつ仕事関数の小さい金属、合金、電気伝導性化合物、およびこれらの混合物などで形成することができる。具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、これらを含む合金(Mg:Ag、Al:Li、Mg:Inなど)、およびこれらの化合物(フッ化カルシウム、窒化カルシウム)の他、YbやEr等の希土類金属を用いることができる。また電子注入層を設ける場合、アルミニウムなどの他の導電層を用いることも可能である。そして第1の電極6034を、光が透過する程度の膜厚(好ましくは、5nm~30nm程度)で形成する。さらに、光が透過する程度の膜厚を有する上記導電層の上または下に接するように、透光性酸化物導電材料を用いて透光性を有する導電層を形成し、第1の電極6034のシート抵抗を抑えるようにして良い。なお、インジウム錫酸化物(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、ガリウムを添加した酸化亜鉛(GZO)などその他の透光性酸化物導電材料を用いた導電層だけを用いることも可能である。またITO及び酸化珪素を含むインジウム錫酸化物(以下、ITSOとする)や、酸化珪素を含んだ酸化インジウムに、さらに2~20%の酸化亜鉛(ZnO)を混合したものを用いても良い。透光性酸化物導電材料を用いる場合、電界発光層6035に電子注入層を設けるのが望ましい。

【0320】

また第2の電極6036は、光を反射もしくは遮蔽する材料及び膜厚で形成し、なおかつ陽極として用いるのに適する材料で形成する。例えば、窒化チタン、窒化ジルコニウム、チタン、タングステン、ニッケル、白金、クロム、銀、アルミニウム等の1つまたは複数からなる単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との三層構造等を第2の電極6036に用いることができる。

【0321】

電界発光層6035は、単数または複数の層で構成されている。複数の層で構成されている場合、これらの層は、キャリア輸送特性の観点から正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層などに分類することができる。電界発光層6035が発光層の他に、正孔注入層、正孔輸送層、電子輸送層、電子注入層のいずれかを有している場合、第1の電極6034から、電子注入層、電子輸送層、発光層、正孔輸送層、正孔注入層の順に積層する。なお各層の境目は必ずしも明確である必要はなく、互いの層を構成している材料が一部混合し、界面が不明瞭になっている場合もある。各層には、有機系の材料、無機系の材料を用いることが可能である。有機系の材料として、高分子系、中分子系、低分子系のいずれの材料も用いることが可能である。なお中分子系の材料とは、構造単位の繰返しの数(重合度)が2から20程度の低重合体に相当する。正孔注入層と正孔輸送層との区別は必ずしも厳密なものではなく、これらは正孔輸送性(正孔移動度)が特に重要な

10

20

30

40

50

特性である意味において同じである。便宜上正孔注入層は陽極に接する側の層であり、正孔注入層に接する層を正孔輸送層と呼んで区別する。電子輸送層、電子注入層についても同様であり、陰極に接する層を電子注入層と呼び、電子注入層に接する層を電子輸送層と呼んでいる。発光層は電子輸送層を兼ねる場合もあり、発光性電子輸送層とも呼ばれる。

【0322】

図25(A)に示した画素の場合、発光素子6033から発せられる光を、白抜きの矢印で示すように第1の電極6034側から取り出すことができる。

【0323】

次に図25(B)に、トランジスタ6041がn型で、発光素子6043から発せられる光を第2の電極6046側から取り出す場合の、画素の断面図を示す。トランジスタ6041は絶縁膜6047で覆われており、絶縁膜6047上には開口部を有する隔壁6048が形成されている。隔壁6048の開口部において第1の電極6044が一部露出しており、該開口部において第1の電極6044、電界発光層6045、第2の電極6046が順に積層されている。

10

【0324】

第1の電極6044は、光を反射もしくは遮蔽する材料及び膜厚で形成し、なおかつ仕事関数の小さい金属、合金、電気伝導性化合物、およびこれらの混合物などで形成することができる。具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、これらを含む合金(Mg:Ag、Al:Li、Mg:Inなど)、およびこれらの化合物(フッ化カルシウム、窒化カルシウム)の他、YbやEr等の希土類金属を用いることができる。また電子注入層を設ける場合、アルミニウムなどの他の導電層を用いることも可能である。

20

【0325】

また第2の電極6046は、光を透過する材料または膜厚で形成し、なおかつ陽極として用いるのに適する材料で形成する。例えば、インジウム錫酸化物(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、ガリウムを添加した酸化亜鉛(GZO)などその他の透光性酸化物導電材料を第2の電極6046に用いることが可能である。またITO及び酸化珪素を含むインジウム錫酸化物(以下、ITSOとする)や、酸化珪素を含んだ酸化インジウムに、さらに2~20%の酸化亜鉛(ZnO)を混合したものを第2の電極6046に用いても良い。また上記透光性酸化物導電材料の他に、例えば窒化チタン、窒化ジルコニア、チタン、タングステン、ニッケル、白金、クロム、銀、アルミニウム等の1つまたは複数からなる単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との三層構造等を第2の電極6046に用いることもできる。ただし透光性酸化物導電材料以外の材料を用いる場合、光が透過する程度の膜厚(好ましくは、5nm~30nm程度)で第2の電極6046を形成する。

30

【0326】

電界発光層6045は、図25(A)の電界発光層6035と同様に形成することができる。

40

【0327】

図25(B)に示した画素の場合、発光素子6043から発せられる光を、白抜きの矢印で示すように第2の電極6046側から取り出すことができる。

【0328】

次に図25(C)に、トランジスタ6051がn型で、発光素子6053から発せられる光を第1の電極6054側及び第2の電極6056側から取り出す場合の、画素の断面図を示す。トランジスタ6051は絶縁膜6057で覆われており、絶縁膜6057上には開口部を有する隔壁6058が形成されている。隔壁6058の開口部において第1の電極6054が一部露出しており、該開口部において第1の電極6054、電界発光層6055、第2の電極6056が順に積層されている。

【0329】

50

第1の電極6054は、図25(A)の第1の電極6034と同様に形成することができる。また第2の電極6056は、図25(B)の第2の電極6046と同様に形成することができる。電界発光層6055は、図25(A)の電界発光層6035と同様に形成することができる。

【0330】

図25(C)に示した画素の場合、発光素子6053から発せられる光を、白抜きの矢印で示すように第1の電極6054側及び第2の電極6056側から取り出すことができる。

【0331】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

10

【実施例1】

【0332】

本発明の一態様に係る半導体装置を用いることで、信頼性が高く、高速駆動の電子機器を提供することが可能である。また、本発明の一態様に係る半導体表示装置を用いることで、信頼性が高く、コントラスト及び視認性が高い表示が可能な電子機器を提供することが可能である。

【0333】

また、本発明の半導体装置では、作製工程における加熱処理の温度を抑えることができるので、ガラスよりも耐熱性の劣る、プラスチック等の可撓性を有する合成樹脂からなる基板上においても、特性が優れており、信頼性が高い薄膜トランジスタを作製することができる。従って、本発明の一態様に係る作製方法を用いることで、信頼性が高く、軽量かつフレキシブルな半導体装置を提供することが可能である。プラスチック基板として、ポリエチレンテレフタレート(PET)に代表されるポリエステル、ポリエーテルスルホン(PES)、ポリエチレンナフタレート(PEN)、ポリカーボネート(PC)、ポリエーテルエーテルケトン(PEEK)、ポリスルホン(PSF)、ポリエーテルイミド(PEI)、ポリアリレート(PAR)、ポリブチレンテレフタレート(PBT)、ポリイミド、アクリロニトリルバジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

20

【0334】

本発明の一態様に係る半導体装置は、表示装置、ノート型パソコンコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD:Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型ゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図26に示す。

30

【0335】

図26(A)は電子書籍であり、筐体7001、表示部7002等を有する。本発明の一態様に係る半導体表示装置は、表示部7002に用いることができる。表示部7002に本発明の一態様に係る半導体表示装置を用いることで、信頼性が高く、コントラスト及び視認性が高い表示が可能な電子書籍を提供することができる。また、本発明の一態様に係る半導体装置は、電子書籍の駆動を制御するための集積回路に用いることができる。電子書籍の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高く、高速駆動が可能な電子書籍を提供することができる。また、可撓性を有する基板を用いることで、半導体装置、半導体表示装置に可撓性を持たせることができるので、フレキシブルかつ軽くて使い勝手の良い電子書籍を提供することができる。

40

【0336】

図26(B)は表示装置であり、筐体7011、表示部7012、支持台7013等を有

50

する。本発明の一態様に係る半導体表示装置は、表示部 7012 に用いることができる。表示部 7012 に本発明の一態様に係る半導体表示装置を用いることで、信頼性が高く、コントラスト及び視認性が高い表示が可能な表示装置を提供することができる。また、本発明の一態様に係る半導体装置は、表示装置の駆動を制御するための集積回路に用いることができる。表示装置の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高く、高速駆動が可能な表示装置を提供することができる。なお、表示装置には、パーソナルコンピュータ用、TV 放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0337】

図 26 (C) は表示装置であり、筐体 7021、表示部 7022 等を有する。本発明の一態様に係る半導体表示装置は、表示部 7022 に用いることができる。表示部 7022 に本発明の一態様に係る半導体表示装置を用いることで、信頼性が高く、コントラスト及び視認性が高い表示が可能な表示装置を提供することができる。また、本発明の一態様に係る半導体装置は、表示装置の駆動を制御するための集積回路に用いることができる。表示装置の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高く、高速駆動が可能な表示装置を提供することができる。また、可撓性を有する基板を用いることで、半導体装置、半導体表示装置に可撓性を持たせることができるので、フレキシブルかつ軽くて使い勝手の良い表示装置を提供することができる。よって、図 26 (C) に示すように、布地などに固定させて表示装置を使用することができ、表示装置の応用の幅が格段に広がる。

10

20

【0338】

図 26 (D) は携帯型ゲーム機であり、筐体 7031、筐体 7032、表示部 7033、表示部 7034、マイクロホン 7035、スピーカー 7036、操作キー 7037、スタイルス 7038 等を有する。本発明の一態様に係る半導体表示装置は、表示部 7033、表示部 7034 に用いることができる。表示部 7033、表示部 7034 に本発明の一態様に係る半導体表示装置を用いることで、信頼性が高く、コントラスト及び視認性が高い表示が可能な携帯型ゲーム機を提供することができる。また、本発明の一態様に係る半導体装置は、携帯型ゲーム機の駆動を制御するための集積回路に用いることができる。携帯型ゲーム機の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高く、高速駆動が可能な携帯型ゲーム機を提供することができる。なお、図 26 (D) に示した携帯型ゲーム機は、2 つの表示部 7033 と表示部 7034 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

30

【0339】

図 26 (E) は携帯電話であり、筐体 7041、表示部 7042、音声入力部 7043、音声出力部 7044、操作キー 7045、受光部 7046 等を有する。受光部 7046 において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。本発明の一態様に係る半導体表示装置は、表示部 7042 に用いることができる。表示部 7042 に本発明の一態様に係る半導体表示装置を用いることで、信頼性が高く、コントラスト及び視認性が高い表示が可能な携帯電話を提供することができる。また、本発明の一態様に係る半導体装置は、携帯電話の駆動を制御するための集積回路に用いることができる。携帯電話の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高く、高速駆動が可能な携帯電話を提供することができる。

40

【0340】

本実施例は、上記実施の形態と適宜組み合わせて実施することができる。

【符号の説明】

【0341】

- 10 パルス出力回路
- 11 配線
- 12 配線
- 13 配線

50

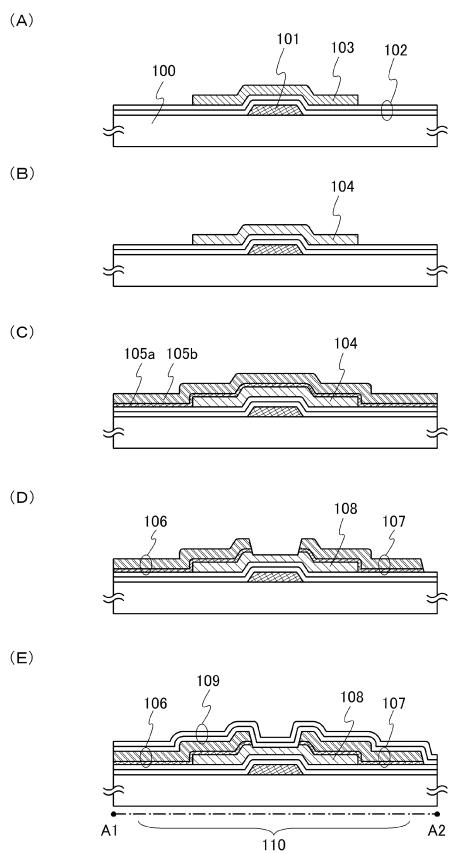
1 4	配線	
1 5	配線	
2 1	入力端子	
2 2	入力端子	
2 3	入力端子	
2 4	入力端子	
2 5	入力端子	
2 6	出力端子	
2 7	出力端子	
3 1	トランジスタ	10
3 2	トランジスタ	
3 3	トランジスタ	
3 4	トランジスタ	
3 5	トランジスタ	
3 6	トランジスタ	
3 7	トランジスタ	
3 8	トランジスタ	
3 9	トランジスタ	
4 0	トランジスタ	
4 1	トランジスタ	20
4 2	トランジスタ	
4 3	トランジスタ	
5 1	電源線	
5 2	電源線	
5 3	電源線	
1 0 0	基板	
1 0 1	ゲート電極	
1 0 2	ゲート絶縁膜	
1 0 3	酸化物半導体膜	
1 0 4	酸化物半導体膜	30
1 0 5 a	導電膜	
1 0 5 b	導電膜	
1 0 5 c	導電膜	
1 0 5 d	導電膜	
1 0 5 e	導電膜	
1 0 6	ソース電極	
1 0 7	ドレイン電極	
1 0 8	酸化物半導体膜	
1 0 9	絶縁膜	
1 1 0	トランジスタ	40
1 1 1	バックゲート電極	
1 1 2	絶縁膜	
1 2 0	薄膜トランジスタ	
1 2 6	ソース電極	
1 2 7	ドレイン電極	
1 2 8	酸化物半導体膜	
1 2 9	絶縁膜	
1 3 0	薄膜トランジスタ	
1 3 6	ソース電極	
1 3 7	ドレイン電極	50

1 3 8	酸化物半導体膜	
1 3 9	絶縁膜	
1 4 0	薄膜トランジスタ	
1 4 6	ソース電極	
1 4 7	ドレイン電極	
1 4 8	酸化物半導体膜	
1 4 9	絶縁膜	
3 0 0	基板	
3 0 1	ゲート電極	10
3 0 2	ゲート絶縁膜	
3 0 3	酸化物半導体膜	
3 0 4	酸化物半導体膜	
3 0 5 a	導電膜	
3 0 5 b	導電膜	
3 0 6	ソース電極	
3 0 7	ドレイン電極	
3 0 9	絶縁膜	
3 1 0	薄膜トランジスタ	
3 1 1	チャネル保護膜	
3 1 2	バックゲート電極	20
3 1 3	絶縁膜	
4 0 0	基板	
4 0 1	ゲート電極	
4 0 2	ゲート絶縁膜	
4 0 3	酸化物半導体膜	
4 0 4	酸化物半導体膜	
4 0 5 a	導電膜	
4 0 5 b	導電膜	
4 0 6	ソース電極	
4 0 7	ドレイン電極	30
4 0 9	絶縁膜	
4 1 0	薄膜トランジスタ	
7 0 0	画素部	
7 0 1	信号線駆動回路	
7 0 2	走査線駆動回路	
7 0 3	画素	
7 0 4	トランジスタ	
7 0 5	表示素子	
7 0 6	保持容量	
7 0 7	信号線	40
7 0 8	走査線	
7 1 0	画素電極	
7 1 1	対向電極	
7 1 2	マイクロカプセル	
7 1 3	ドレイン電極	
7 1 4	樹脂	
8 0 0	基板	
8 0 1	ゲート電極	
8 0 2	ゲート絶縁膜	
8 0 3	酸化物半導体膜	50

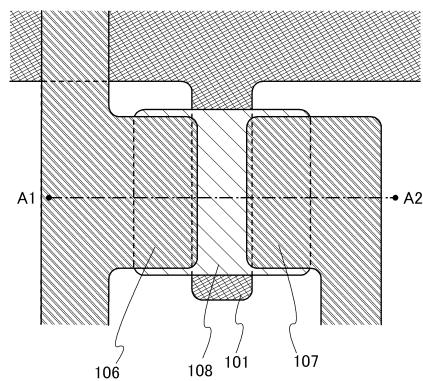
8 0 4	酸化物半導体膜	
8 0 5	酸化物半導体膜	
8 0 6	導電膜	
8 0 6 a	導電膜	
8 0 6 b	導電膜	
8 0 7	ソース電極	
8 0 8	ドレイン電極	
8 0 9	絶縁膜	
8 1 3	薄膜トランジスタ	
8 1 4	画素電極	10
8 1 5	透明導電膜	
8 1 6	透明導電膜	
8 1 9	保持容量	
8 2 0	端子	
8 2 1	端子	
8 2 2	容量配線	
1 4 0 1	薄膜トランジスタ	
1 4 0 2	ゲート電極	
1 4 0 3	ゲート絶縁膜	
1 4 0 4	酸化物半導体膜	20
1 4 0 6 a	導電膜	
1 4 0 6 b	導電膜	
1 4 0 7	絶縁膜	
1 4 0 8	絶縁膜	
1 4 1 0	画素電極	
1 4 1 1	配向膜	
1 4 1 3	対向電極	
1 4 1 4	配向膜	
1 4 1 5	液晶	
1 4 1 6	シール材	30
1 4 1 7	スペーサ	
1 4 2 0	基板	
1 6 0 1	液晶パネル	
1 6 0 2	拡散板	
1 6 0 3	プリズムシート	
1 6 0 4	拡散板	
1 6 0 5	導光板	
1 6 0 6	反射板	
1 6 0 7	光源	
1 6 0 8	回路基板	40
1 6 0 9	F P C	
1 6 1 0	F P C	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	走査線駆動回路	
5 3 0 4	信号線駆動回路	
5 3 0 5	タイミング制御回路	
5 6 0 1	シフトレジスタ	
5 6 0 2	サンプリング回路	50

5 6 0 3	トランジスタ	
5 6 0 4	配線	
5 6 0 5	配線	
6 0 3 1	トランジスタ	
6 0 3 3	発光素子	
6 0 3 4	電極	
6 0 3 5	電界発光層	
6 0 3 6	電極	
6 0 3 7	絶縁膜	
6 0 3 8	隔壁	10
6 0 4 1	トランジスタ	
6 0 4 3	発光素子	
6 0 4 4	電極	
6 0 4 5	電界発光層	
6 0 4 6	電極	
6 0 4 7	絶縁膜	
6 0 4 8	隔壁	
6 0 5 1	トランジスタ	
6 0 5 3	発光素子	
6 0 5 4	電極	20
6 0 5 5	電界発光層	
6 0 5 6	電極	
6 0 5 7	絶縁膜	
6 0 5 8	隔壁	
7 0 0 1	筐体	
7 0 0 2	表示部	
7 0 1 1	筐体	
7 0 1 2	表示部	
7 0 1 3	支持台	
7 0 2 1	筐体	30
7 0 2 2	表示部	
7 0 3 1	筐体	
7 0 3 2	筐体	
7 0 3 3	表示部	
7 0 3 4	表示部	
7 0 3 5	マイクロホン	
7 0 3 6	スピーカー	
7 0 3 7	操作キー	
7 0 3 8	スタイラス	
7 0 4 1	筐体	40
7 0 4 2	表示部	
7 0 4 3	音声入力部	
7 0 4 4	音声出力部	
7 0 4 5	操作キー	
7 0 4 6	受光部	

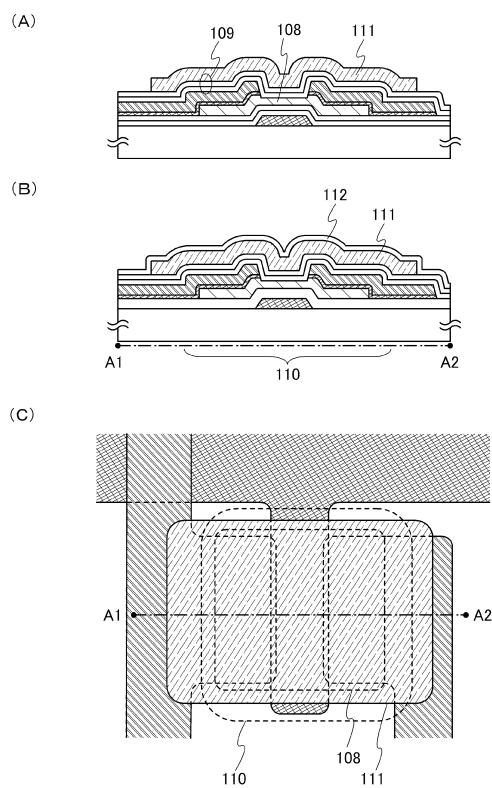
【図1】



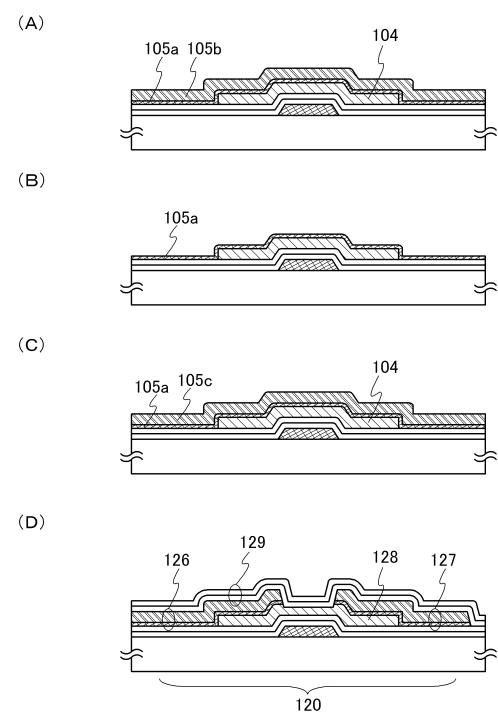
【図2】



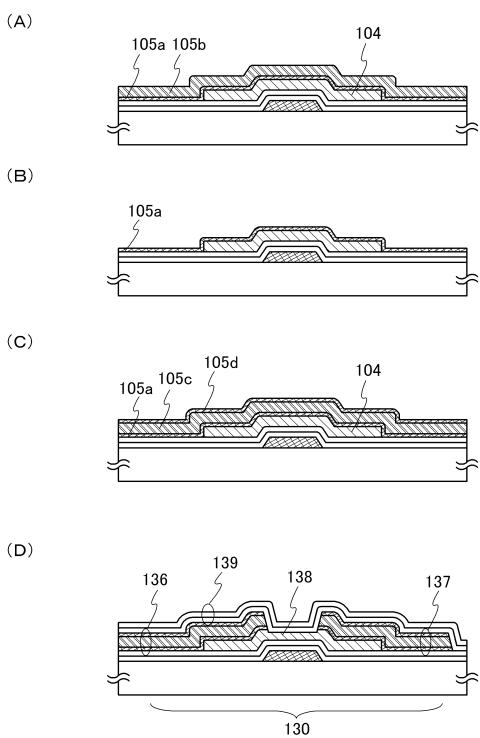
【図3】



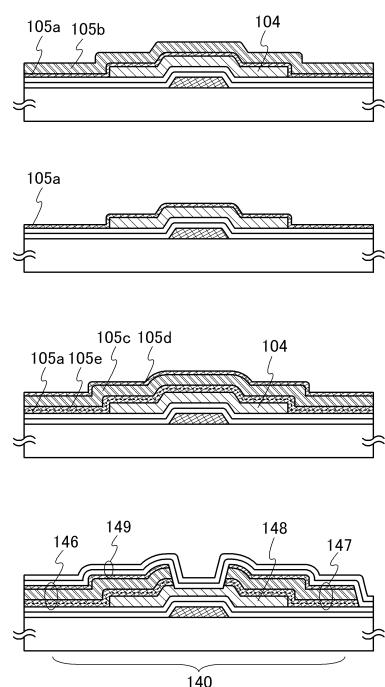
【図4】



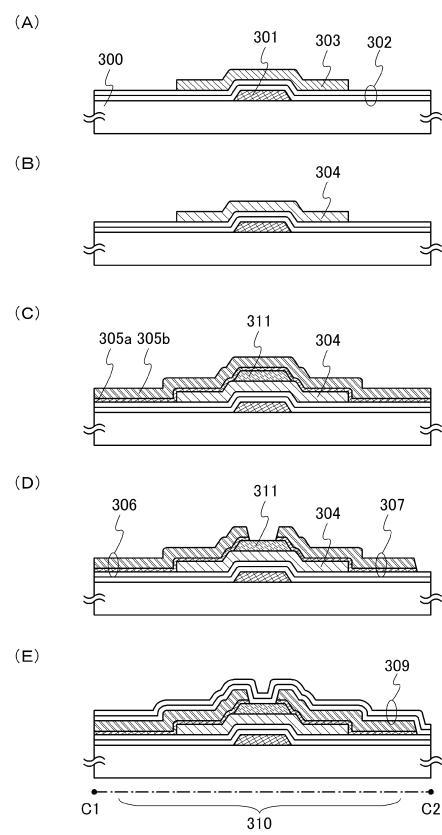
【図5】



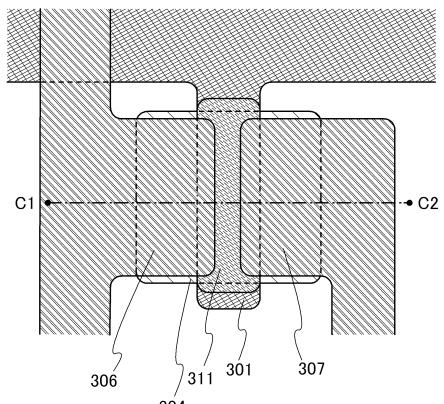
【図6】



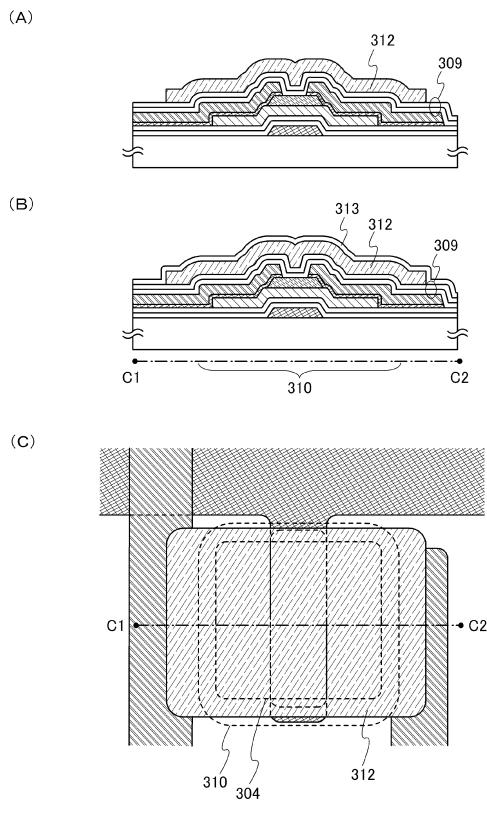
【図7】



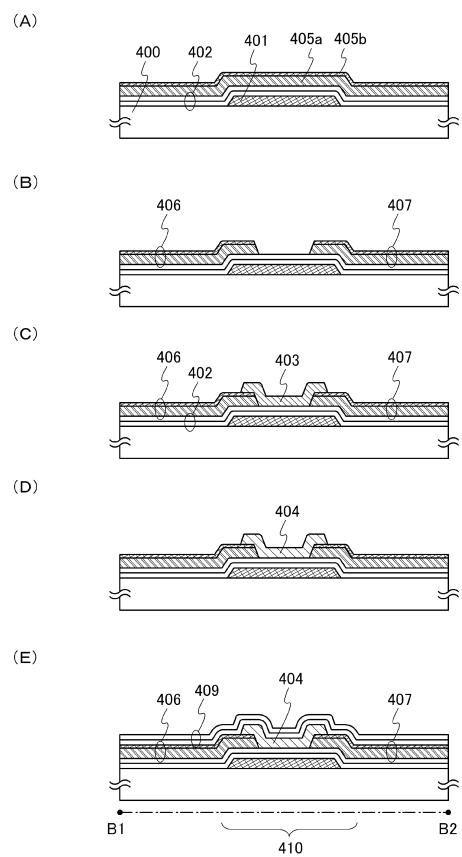
【図8】



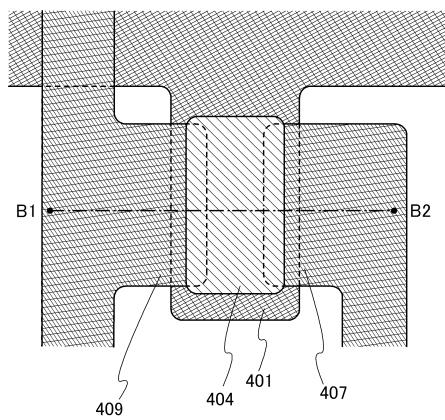
【図9】



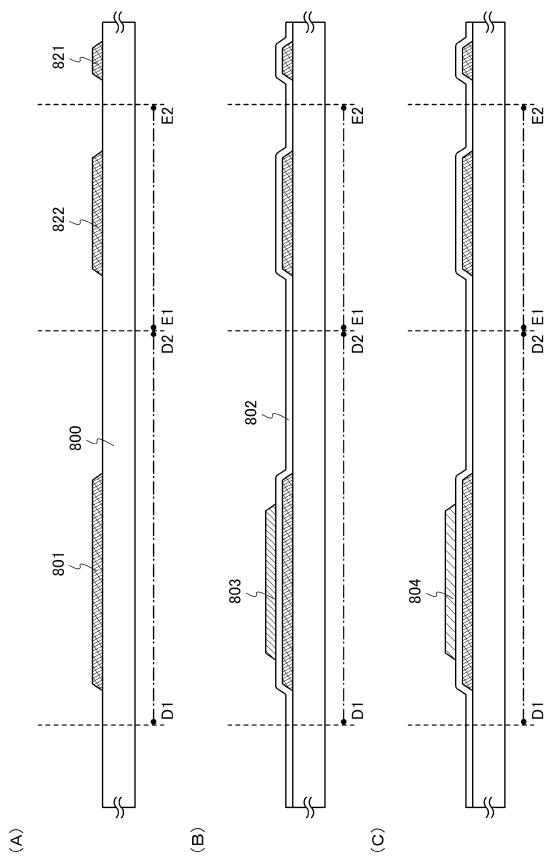
【図10】



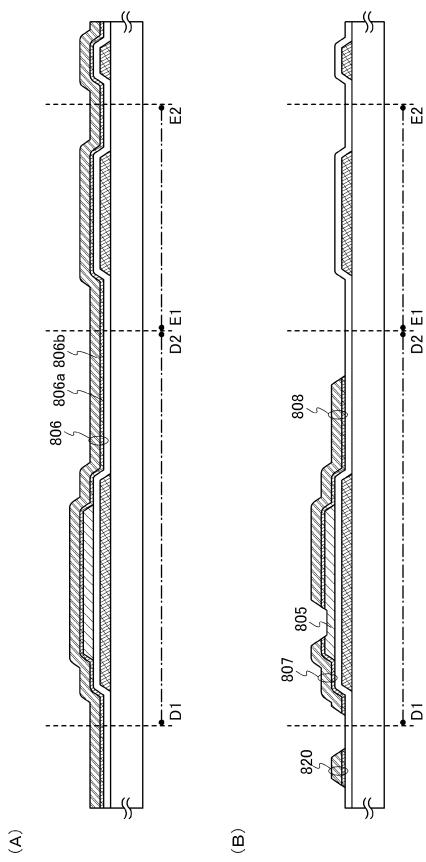
【図11】



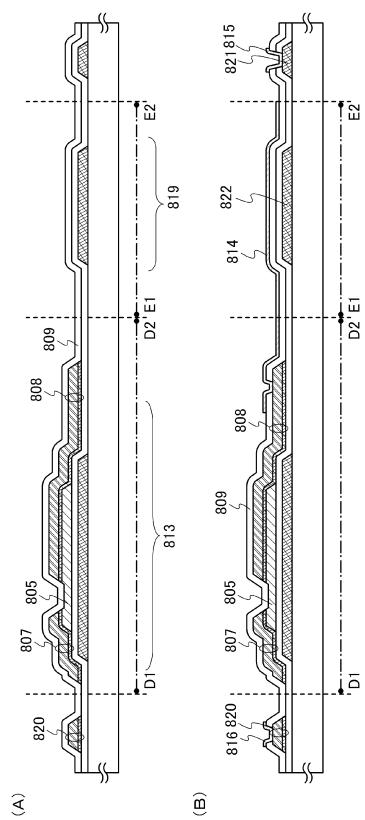
【図12】



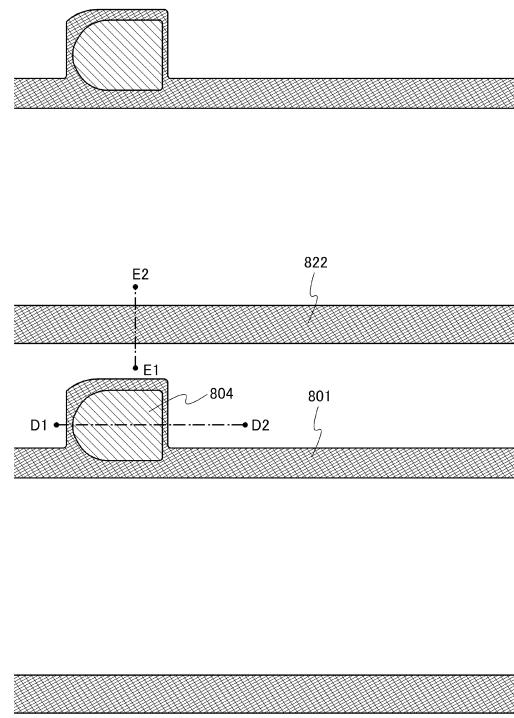
【図13】



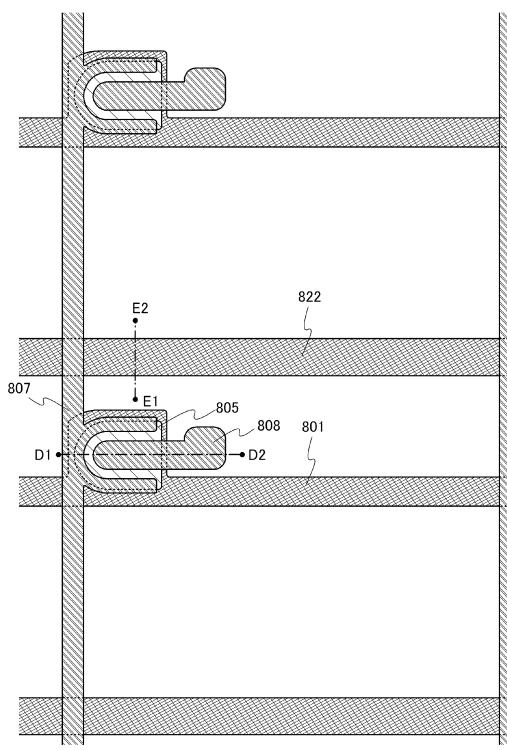
【図14】



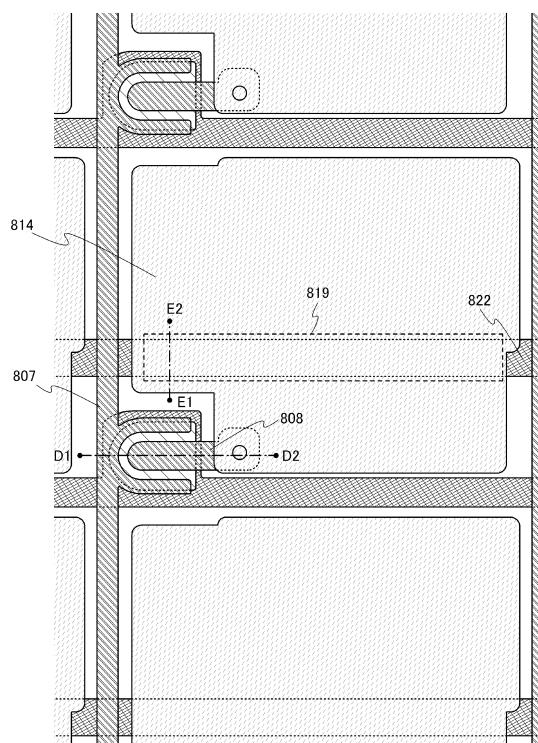
【図15】



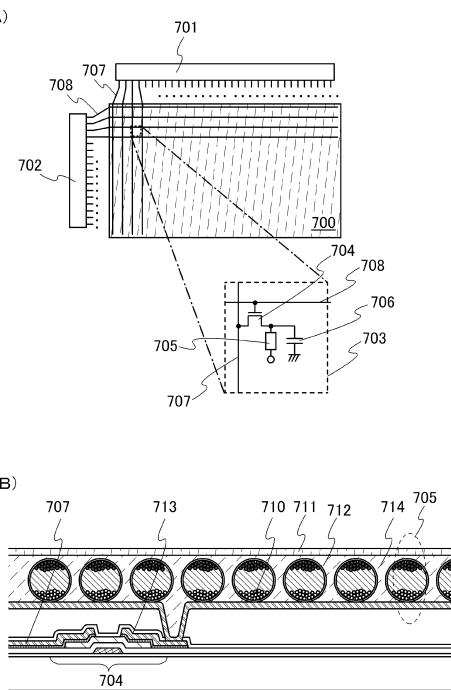
【図16】



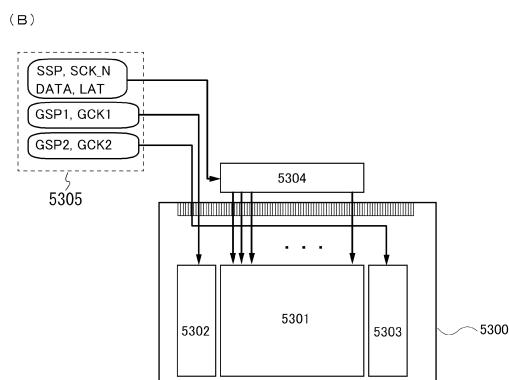
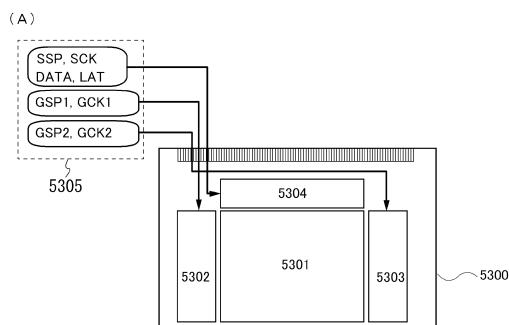
【図17】



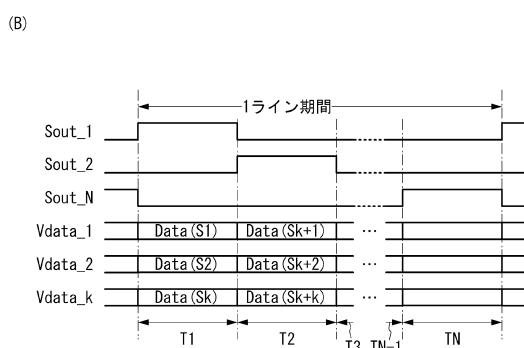
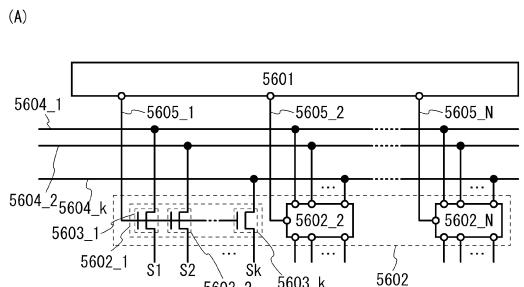
【図18】



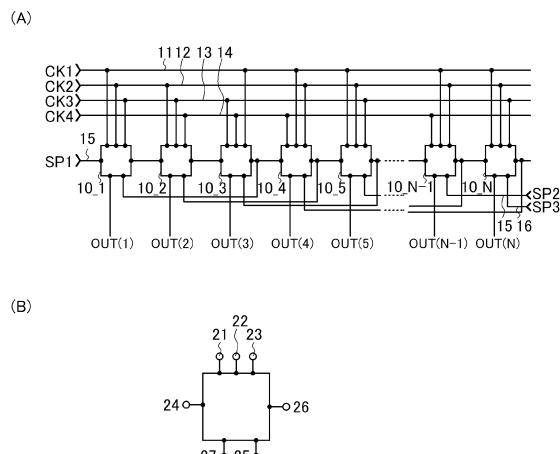
【図19】



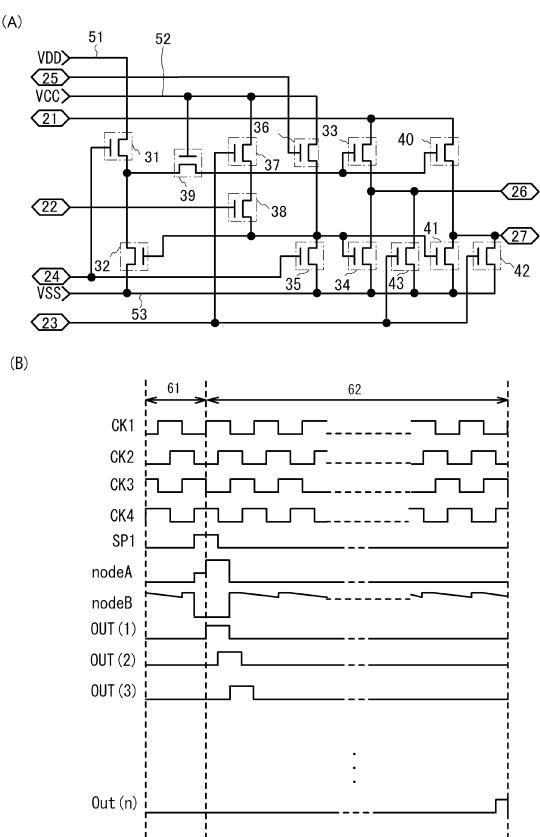
【図20】



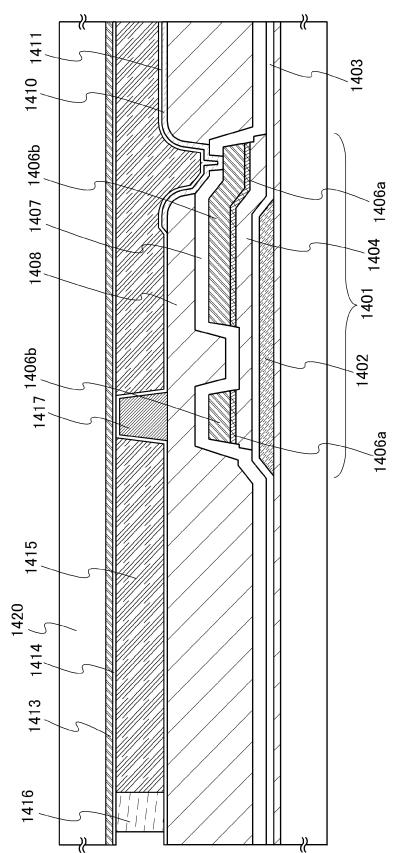
【図21】



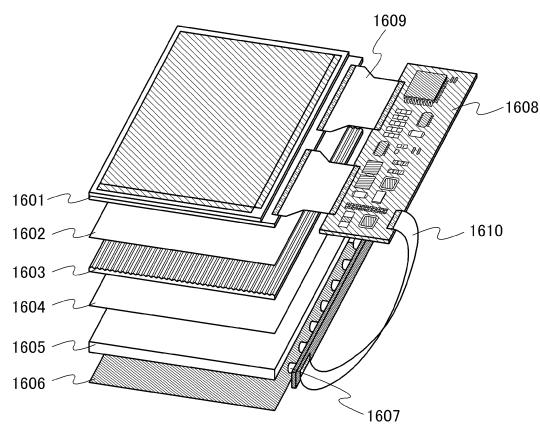
【図22】



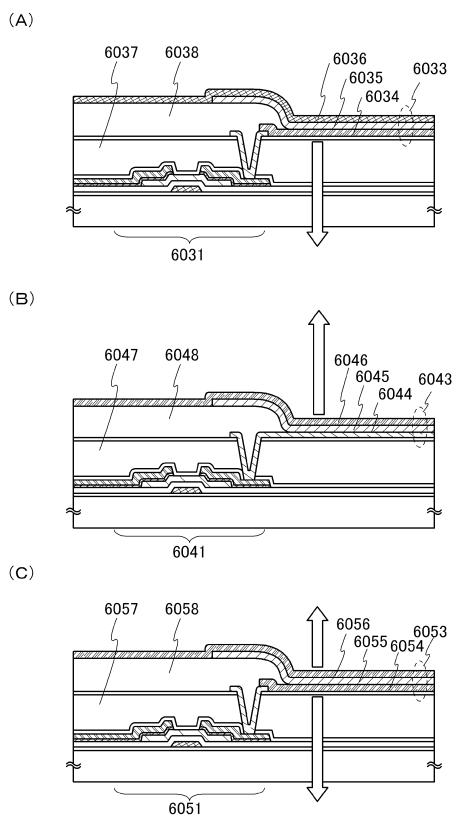
【図23】



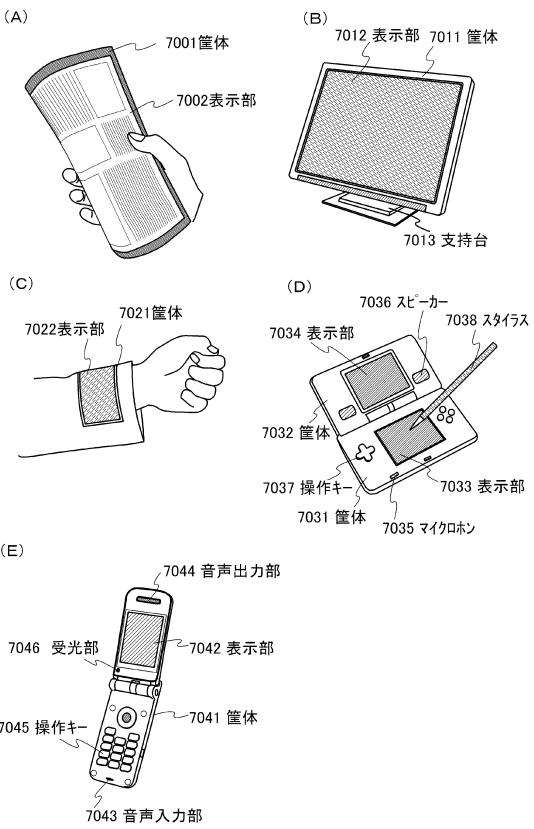
【図24】



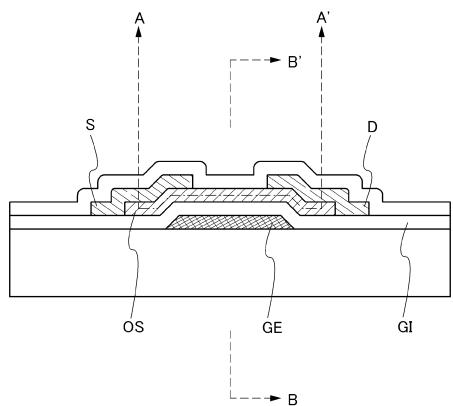
【図25】



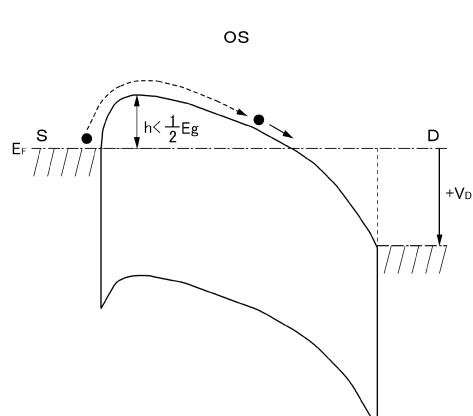
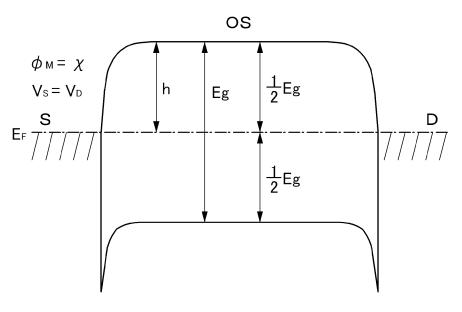
【図26】



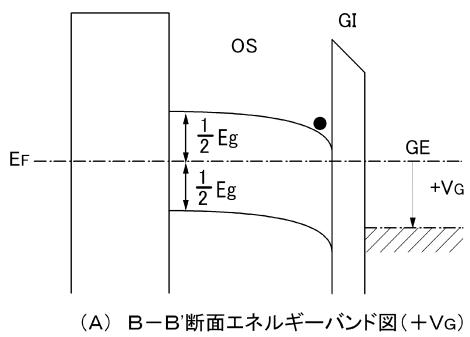
【図27】



【図28】

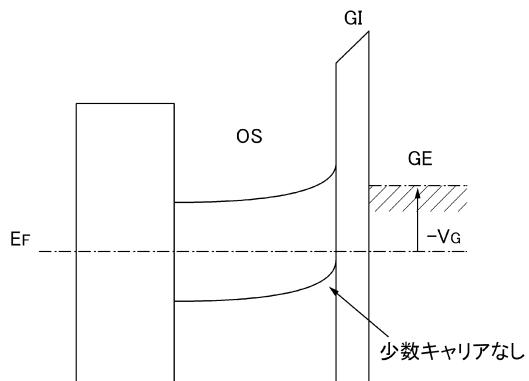
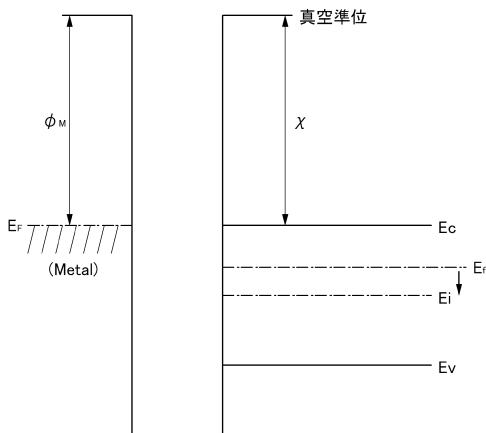


【図29】



(A) B-B'断面エネルギー-band図(+VG)

【図30】



(B) B-B'断面エネルギー-band図(-VG)

フロントページの続き

(51)Int.Cl.

F I		
H 0 1 L	29/78	6 1 6 U
H 0 1 L	21/28	3 0 1 B
H 0 1 L	21/28	3 0 1 R
H 0 1 L	29/50	M
G 0 2 F	1/1368	

(56)参考文献 特開2009-141002(JP,A)

特開2006-080494(JP,A)

特開2008-198643(JP,A)

特開2007-123861(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6、2 9 / 7 8 6