

拾壹、圖式：

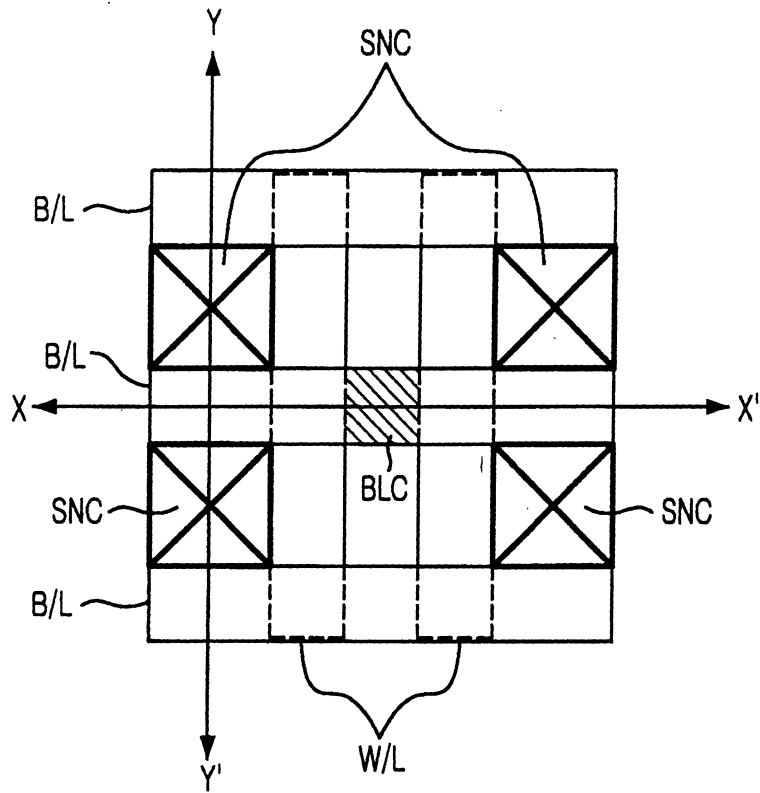


圖 1

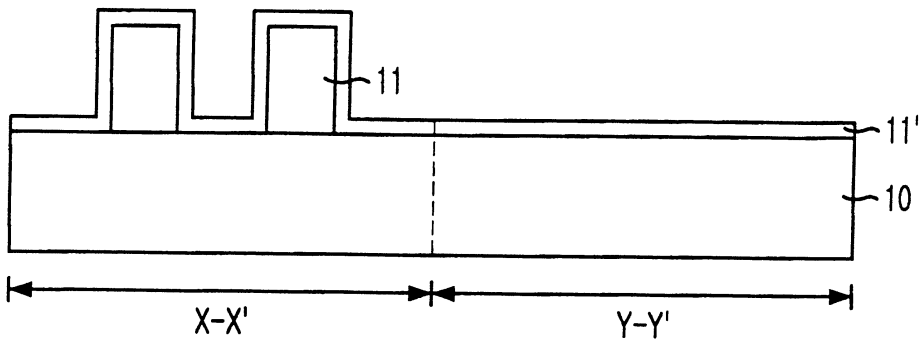


圖 2A

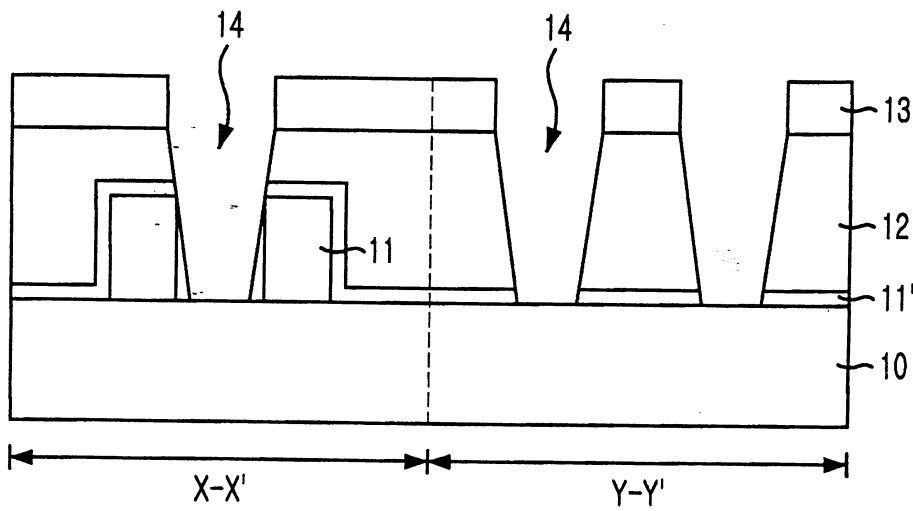


圖 2B

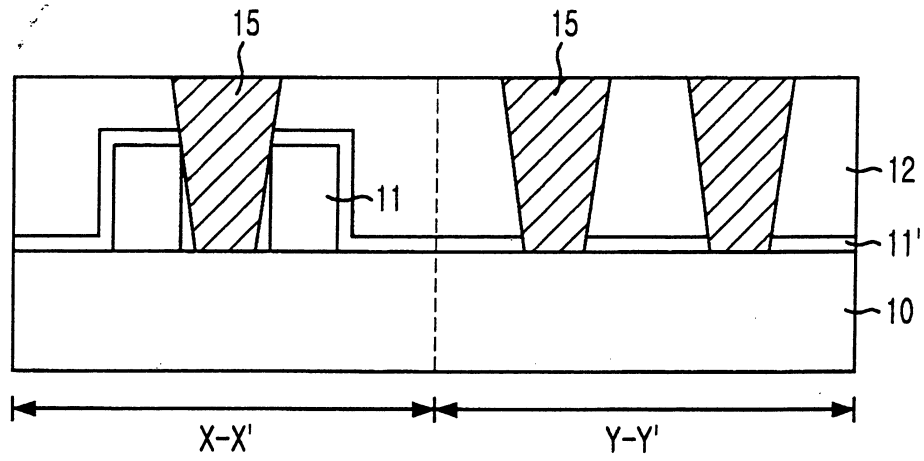


圖 2C

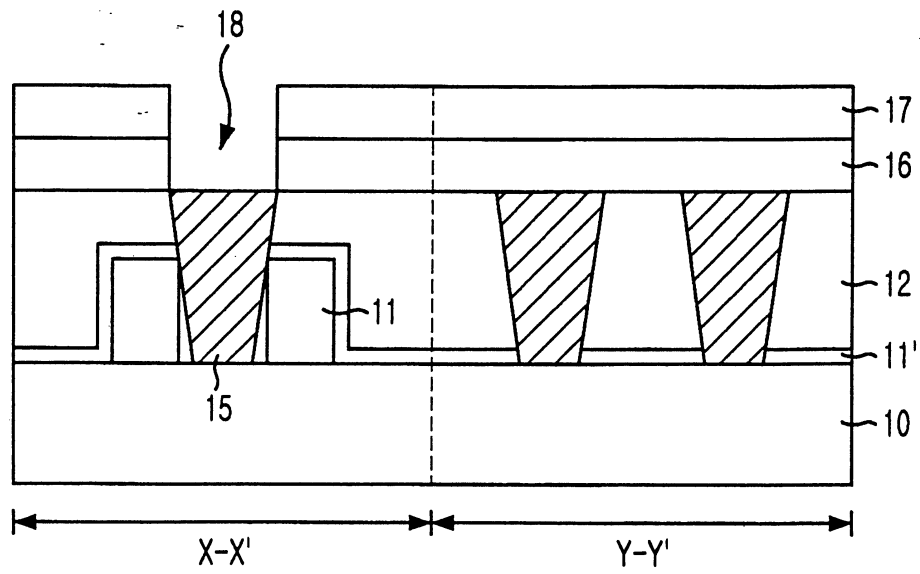


圖 2D

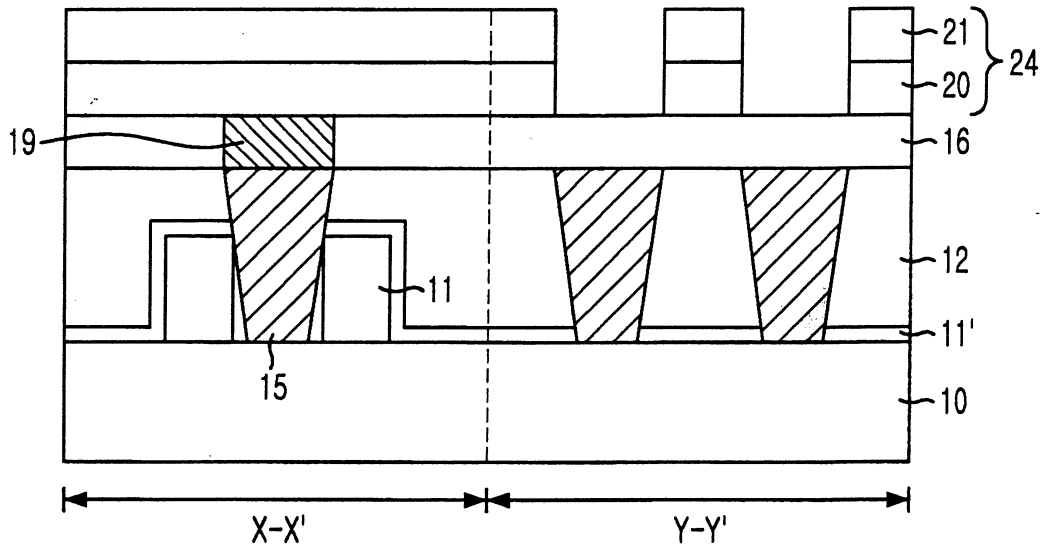


圖 2E

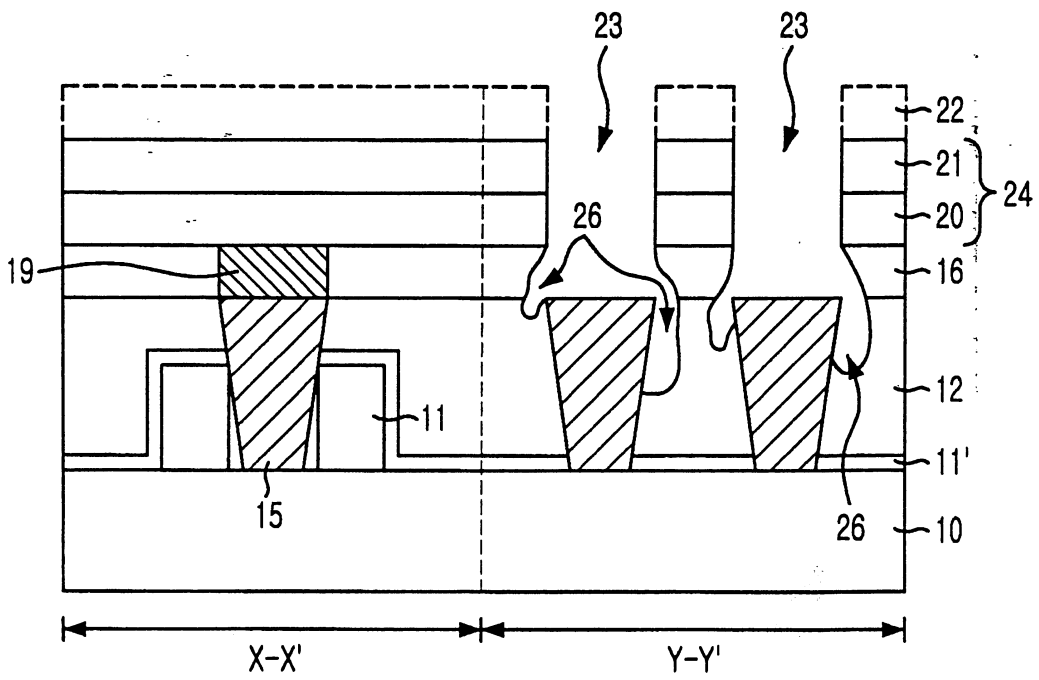


圖 2F

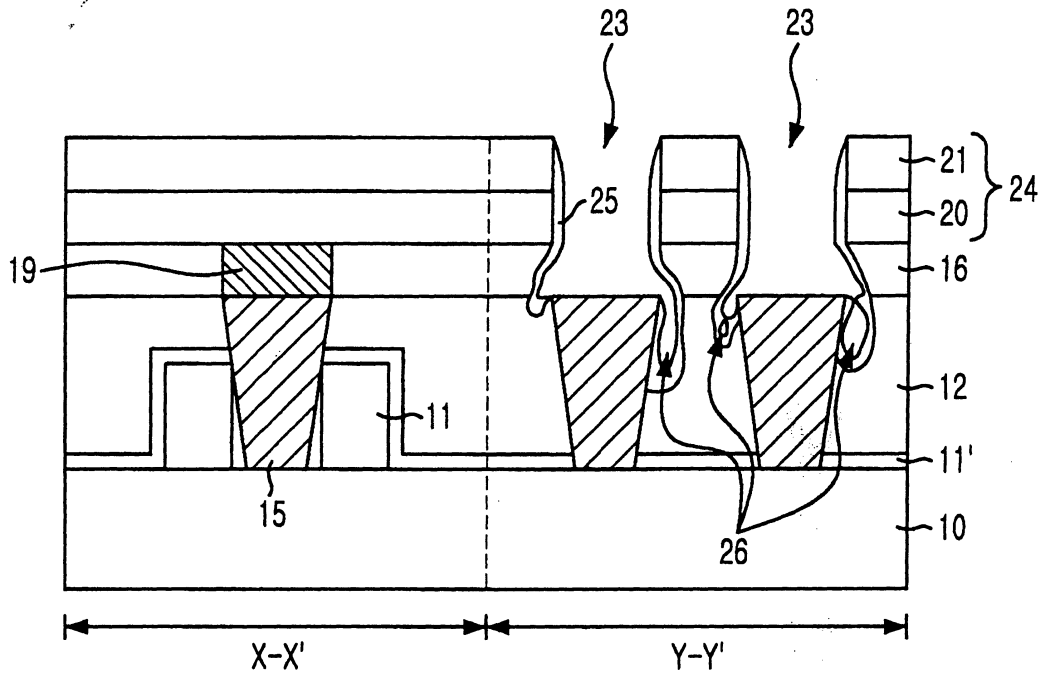


圖 3

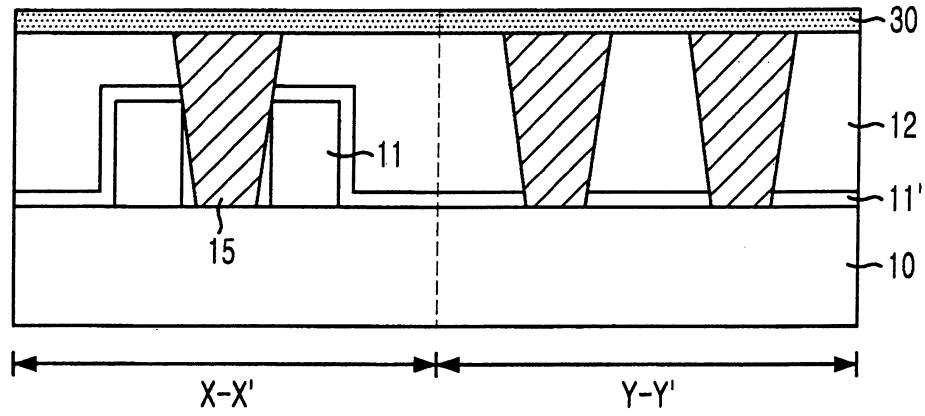


圖 4A

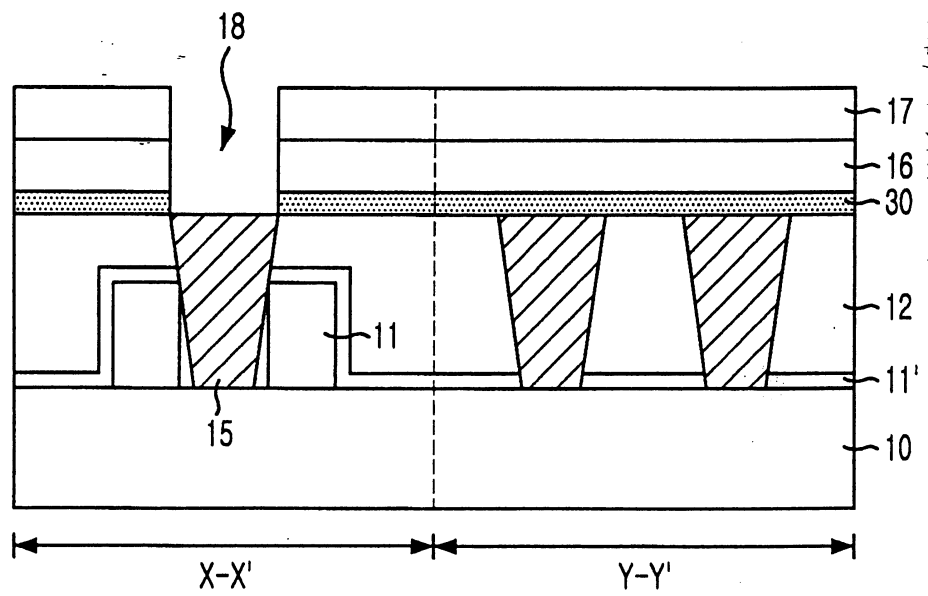


圖 4B

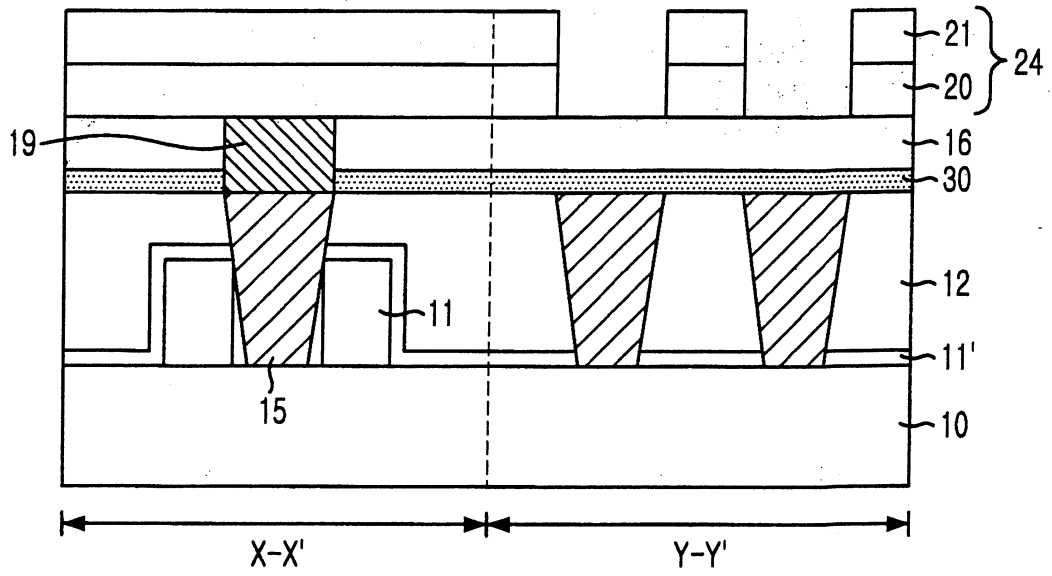


圖 4C

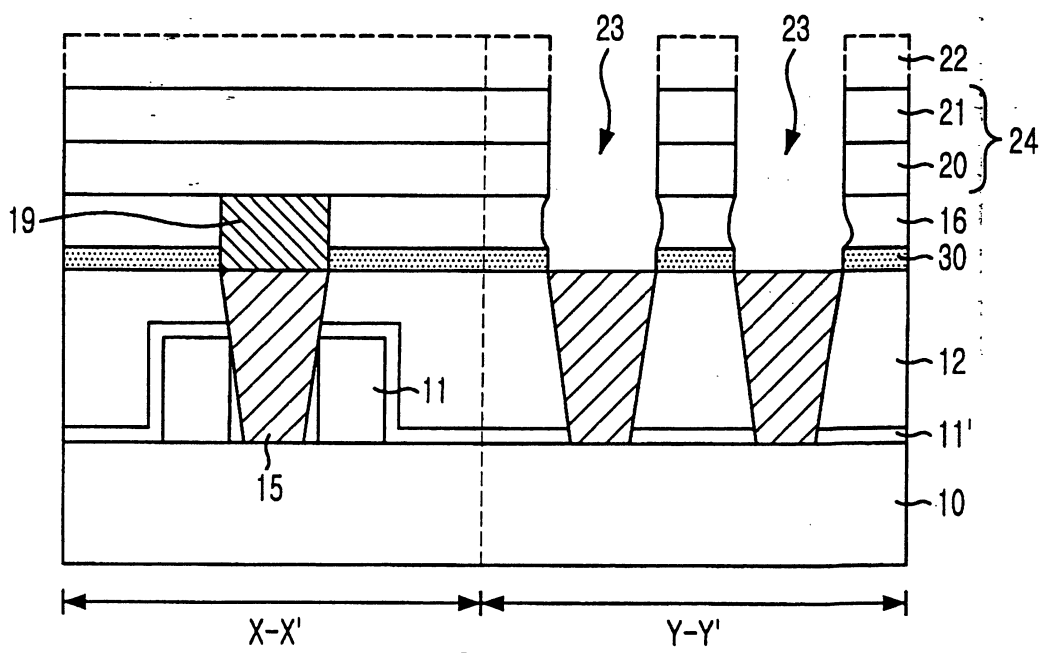


圖 4D

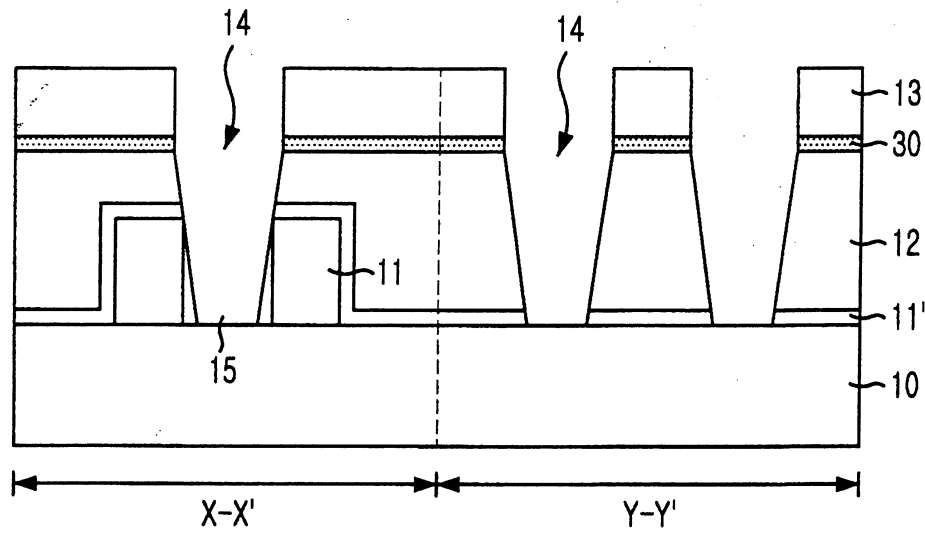


圖 5A

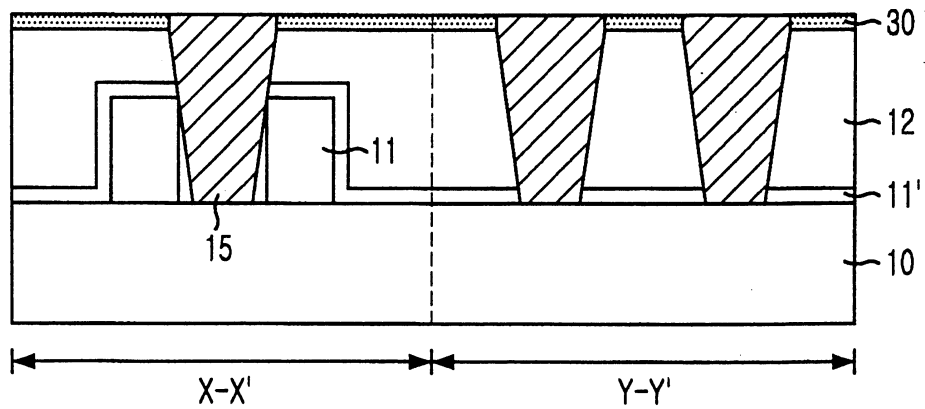


圖 5B

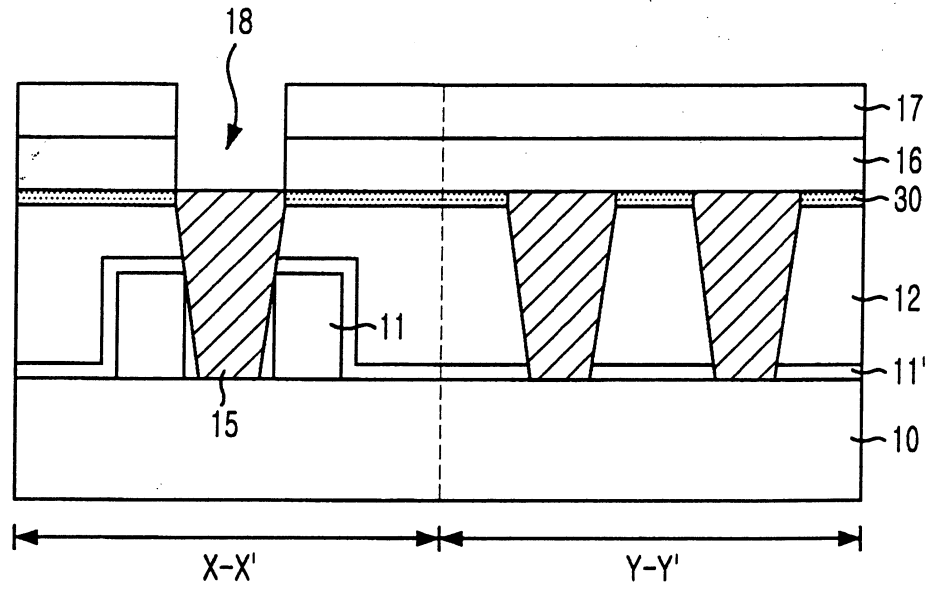


圖 5C

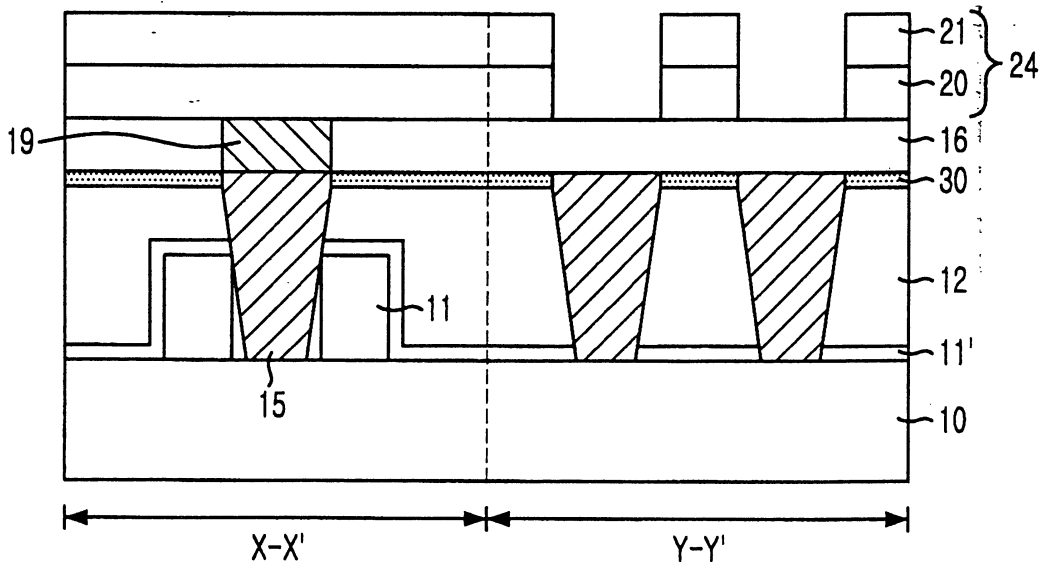


圖 5D

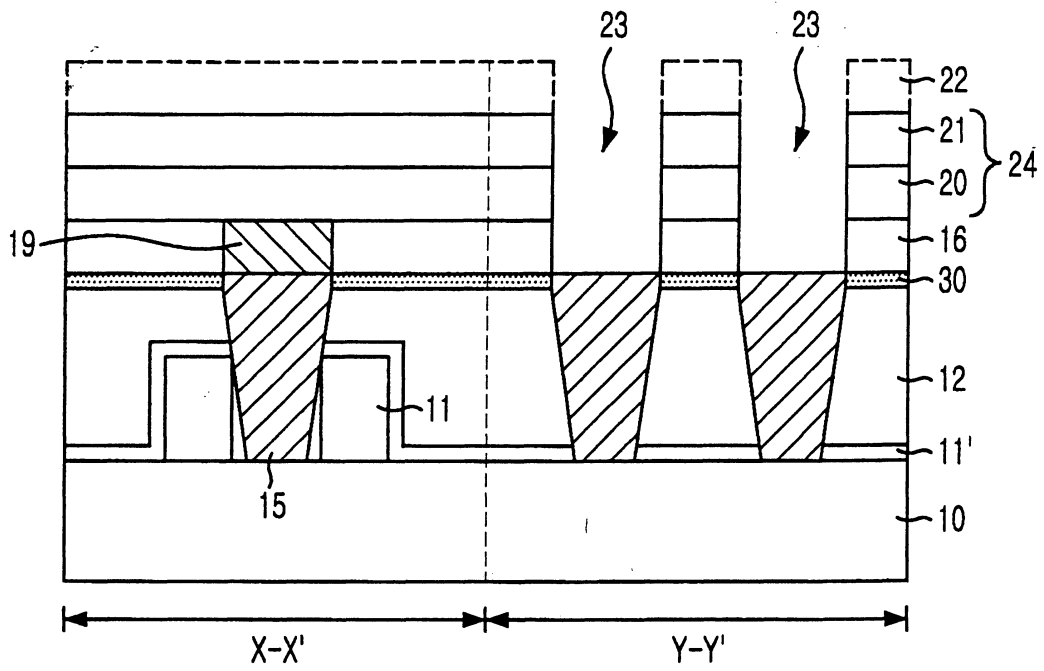


圖 5E

85年9月5日修(更)正本

公告本

I278958

發明專利說明書

中文說明書替換本(95年9月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：092114919

※ 申請日期：92-6-2

※IPC 分類：H01L21/71

壹、發明名稱：(中文/英文)

製造半導體裝置之方法

METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

韓商海力士半導體股份有限公司

HYNIX SEMICONDUCTOR INC.

代表人：(中文/英文)

鄭東洙

DONG-SOO CHUNG

住居所或營業所地址：(中文/英文)

大韓民國京畿道利川市夫鉢邑牙美里山 136-1

SAN 136-1, AMI-RI, BUBAL-EUB ICHON-SHI, KYOUNGKI-DO

467-860, KOREA

國 籍：(中文/英文)

南韓 KOREA

參、發明人：(共 3 人)

姓 名：(中文/英文)

1.李聖權

SUNG-KWON LEE

2.李敏碩

MIN-SUK LEE

3.金相益

SANG-IK KIM

住居所地址：(中文/英文)

1.大韓民國京畿道利川市夫鉢邑牙美里山 136-1

SAN 136-1, AMI-RI, BUBAL-EUB, ICHON-SHI,
KYOUNGKI-DO 467-860, KOREA

2.大韓民國京畿道利川市夫鉢邑牙美里山 136-1

SAN 136-1, AMI-RI, BUBAL-EUB, ICHON-SHI,
KYOUNGKI-DO 467-860, KOREA

3.大韓民國京畿道利川市夫鉢邑牙美里山 136-1

SAN 136-1, AMI-RI, BUBAL-EUB, ICHON-SHI,
KYOUNGKI-DO 467-860, KOREA

國 籍：(中文/英文)

1.韓國 KOREA

2.韓國 KOREA

3.韓國 KOREA

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家（地區）申請專利：

- 1.南韓；2002年06月03日；2002-30996
- 2.南韓；2002年06月29日；2002-37226
- 3.
- 4.
- 5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- 1.南韓；2002年06月03日；2002-30996
- 2.南韓；2002年06月29日；2002-37226
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於一種製造半導體裝置之方法；且更特定言之，本發明係關於一種製造半導體裝置之方法，該半導體裝置能夠於形成一儲存節點接觸之一開口之製程期間，防止由於一絕緣層損壞而導致的半導體特性降級。

【先前技術】

已有眾多嘗試以尋求達到高積體與高性能半導體裝置。尤其，對於高積體而言，需要開發用於獲取一接觸區域以及用於增強一間隙填充性質之一技術。

圖1為示意性顯示一導電圖案之平面圖，該導電圖案包括一用於形成一位元線之字線以及該位元線。

參照圖1，以一個方向排列複數個閘電極，例如，字線W/L，並以與該字線W/L交叉之方向排列複數個位元線B/L。藉由一LPC1製程首先形成複數個縱向插塞接觸(LPC)。透過一縱向插塞接觸(LPC)與一位元線接觸(BLC)之一，使一位元線B/L接觸至一基板之主動區域(未圖示)。將該部分LPC耦合至儲存節點接觸(SNC)從而形成儲存節點電容器。

圖2A至2F為以圖1所示之各線X-X'與Y-Y'方向之截面圖。參照圖2A至2F，其提供了一種根據先前技術的製造半導體裝置之方法。

參照圖2A，於一包含該半導體裝置各種元件之基板10上形成一閘電極11。更具體而言，該閘電極11係由鎢或多晶矽之單層或堆疊層形成。於閘電極11與基板10之間之一介

面上形成一閘極絕緣層(未圖示)。於該閘電極11頂部，形成一基於氮化物之硬式光罩(未圖示)，其具有一與一基於氧化物之層間絕緣層不同之蝕刻選擇率，以於一自對位接觸(SAC)製程期間保護該閘電極11，並於該SAC製程期間獲取一適當蝕刻剖面。

其後，執行一諸如離子植入技術等技術，以於介於該閘電極11之間的該基板10部分上形成一雜質黏著層，如一流/汲極黏著，意即，該主動區域(未圖示)。以該方法形成一間隔片之基於氮化物之絕緣層11' (下文稱為間隔片絕緣層)以包圍該閘電極11之橫側面。

參照圖2B，使用一基於典型氧化物之材料或一易流動氧化物材料來形成一頂部平坦化之第一層間絕緣層12。將一抗反射層(未圖示)，尤其為一有機抗反射層塗佈於該第一層間絕緣層12之頂部。其後，將一光阻材料塗佈於該被塗佈之抗反射層上，並使用一KrF或ArF光源執行一微影蝕刻製程從而形成一用於形成LPC之第一光阻圖案13。

更具體而言，將該光阻材料以一預定厚度塗佈於該抗反射層上。其後，藉由使用一諸如ArF之光源(未圖示)與一預定標線(未圖示)來選擇性曝光該光阻材料之預定部分，並隨後執行一顯影製程以保留該曝光或未曝光部分。經由一清潔製程以去除在執行後續蝕刻製程後所產生之殘留物，藉此形成該第一光阻圖案13。

於塗佈該光阻材料之後，執行一附加製程，如一電子束掃描或一Ar之離子植入以加強該第一光阻圖案13對後續蝕

刻製程的耐受性。

其後，使用該第一光阻圖案13作為一蝕刻光罩來選擇性蝕刻該第一層間絕緣層12，且隨後，執行一用於曝露基板10表面之LPC1製程以形成接觸孔14。

經由一光阻帶製程來移除該第一光阻圖案13，且藉由一清潔製程以去除該接觸孔14內所存在之蝕刻殘留物。其後，藉由使用一多晶矽沈積或一選擇性磊晶矽增長技術，使一接觸材料與該接觸孔14接觸。其後，執行一化學機械研磨法(CMP)製程或一毯覆式蝕刻製程以形成隔離插塞15。

圖2C顯示藉由形成複數個隔離插塞15之製程而完成之半導體之截面圖。

參照圖2D，於包括該等插塞15之前述結構上形成一第二層間絕緣層16，且形成一用於限定一位元線接觸之第二光阻圖案17。藉由將該第二光阻圖案17當做一蝕刻光罩來選擇性蝕刻該第二層間絕緣層16，從而形成一打開該插塞15之表面之位元線接觸孔18。

其後，形成一與該打開插塞15之表面相接觸之位元線接觸插塞19，且其後，藉由將一基於氮化物之硬式光罩21堆疊在一由鎢、氮化鎢或多晶矽製成之層20上，從而形成一位元線24。

圖2E為顯示一包括該位元線24之半導體裝置之截面圖。

參照圖2F，形成一用於打開一SNC之插塞15表面之第三光阻圖案22。其後，當選擇性蝕刻該第二層間絕緣層16時，將該光阻圖案22當做一蝕刻光罩。從選擇性蝕刻該第二

層間絕緣層 16，而形成儲存節點接觸孔 23。

同時，於形成 SNC 之 LPC2 製程之情況下，使用了典型 SAC 製程。因此，該儲存節點接觸孔 23 之一蝕刻剖面取得傾斜角，而形成一通向該蝕刻剖面底部之較窄孔。因此，除該典型 SAC 製程之外，於該 LPC2 製程期間同時執行一濕式蝕刻製程，從而避免接觸電阻之增加。因此，可保證一接觸區域，即，一臨界尺寸 (CD)。

然而，該第一與該第二層間絕緣層 12 與 16 一般使用氧化物層材料，例如，硼磷矽玻璃 (BPSG)，並且對於該濕式蝕刻製程期間所使用之緩衝氧化物蝕刻劑 (BOE) 或 HF 而言，該等材料具有較高蝕刻率。由於此所示之高蝕刻率，該第一層間絕緣層 12 易於受到攻擊 26。

該攻擊 26 可導致該儲存節點、位元線或其他導線短路，因而降低該半導體裝置之性能。

圖 3 為一顯示由先前技術帶來之問題的圖表。

如圖所示，於形成用於產生該位元線 24 之間隔片 (下文稱為位元線間隔片) 之氮化物層 25 之過程中，在對該第一層間絕緣層 12 產生攻擊 26 之部份出現一空隙 26。該空隙效應成為造成該電極間短路並降低該等半導體裝置成品率之關鍵因素。

避免發生攻擊 26，一種方法為於 LPC1 製程期間降低該第一層間絕緣層 12 之 CD。然而，由於難以獲取足夠空間以使各裝置隔離並應用該 SAC 製程，通常不可能達到該預期結果。

進而，由於在儲存節點接觸之製程期間獲得該接觸之底面CD之困難及該間隙填充性能之降低，因此難以將一用於增加位元線寬度之方法應用至實際操作。

因而，需要開發一種技術，其能夠避免由於儲存節點接觸製程期間所執行的濕式蝕刻而導致底層受到攻擊。

【發明內容】

因而，本發明之一目的在於提供一種製造半導體裝置之方法，該方法能夠避免由儲存節點接觸製程期間所執行的濕式蝕刻而導致底層受到攻擊。

根據本發明之一態樣，提供一種製造半導體裝置之方法，其包括下列步驟：形成複數個第一插塞，該等複數個第一插塞藉由穿過一第一層間絕緣層而得以與一基板相接觸；於該等第一插塞上形成一第二層間絕緣層；藉由選擇性蝕刻該第二層間絕緣層，從而形成一與該等第一插塞中一組插塞相接觸之導電圖案；以及藉由使用一乾式或濕式蝕刻製程，選擇性蝕刻該第二絕緣層以形成一接觸孔，而得以曝露出該第一插塞中未與該導電圖案接觸之表面，其中於該第一層間絕緣層與該第二層間絕緣層之間形成一攻擊障壁層從而在形成該接觸孔之濕式蝕刻製程期間，避免與該第一插塞接觸之第一層間絕緣層受到攻擊。

根據本發明之另一態樣，亦提供一種製造半導體裝置之方法，其包括下列步驟：形成複數個第一插塞，該等複數個第一插塞藉由穿過一第一層間絕緣層而得以與一基板相接觸；於該等複數個第一插塞上形成一攻擊障壁層，以於

一濕式蝕刻製程期間避免該第一層間絕緣層受到攻擊；於該攻擊障壁層上形成一第二層間絕緣層；形成一導電圖案，該導電圖案藉由穿過該第二層間絕緣層而得以與該等複數個第一插塞中一組插塞相接觸；以及藉由使用一乾式與濕式蝕刻製程，選擇性蝕刻該第二層間絕緣層與該攻擊障壁層以形成一接觸孔，而得以曝露出該第一插塞未與該導電圖案接觸之表面。

根據本發明之另一態樣，亦提供一種製造一半導體裝置之方法，其包括下列步驟：於一基板上相繼形成一第一層間絕緣層與一攻擊障壁層，於一濕式蝕刻製程期間，該攻擊障壁層用於避免該第一層間絕緣層受到攻擊；形成複數個插塞，將該等複數個插塞的頂部與該攻擊障壁層一起平坦化，該插塞藉由穿過該攻擊障壁層與該第一層間絕緣層而得以與該基板相接觸；於包括該插塞之前述整個結構上形成一第二層間絕緣層；形成一導電圖案，該導電圖案藉由穿過該第二層間絕緣層而得以與該等複數個插塞之一部分相接觸；以及藉由使用一乾式或濕式蝕刻製程，選擇性蝕刻該第二層間絕緣層以形成一接觸孔，而得以曝露出該插塞中未與該導電圖案接觸之表面。

【實施方式】

下文提供對一製造半導體裝置之方法之詳細說明，該半導體裝置能夠於儲存節點接觸製程期間所執行的濕式蝕刻過程中防止底層受到攻擊。

簡化圖示，在接下來的本發明說明中也會使用圖1、2A

與 2B，並且在接下來的本發明說明中會使用相同的參考數字來表示先前技術之相同構成元件。

圖 1 為一示意性顯示一包括一位元線與一字線之導電圖案之平面圖。

如圖所示，以一個方向排列複數個閘電極，例如字線 W/L，並以與該字線 W/L 交叉之方向排列複數個位元線 B/L。藉由一 LPC1 製程首先形成複數個縱向插塞接觸 (LPC)。透過一縱向插塞接觸 (LPC) 與一位元線接觸 (BLC) 之一，使一位元線 B/L 接觸至一基板之主動區域 (未圖示)。將該 LPC 之部分耦合至儲存節點接觸 (SNC) 從而形成儲存節點電容器。

參照圖 2A 至 2B 與圖 4A 至 4D，其提供一種根據本發明第一較佳實施例之製造半導體裝置之方法。圖 2A 至 2B 為於圖 1 所示之各線 X-X' 與 Y-Y' 之方向的截面圖。

參照圖 2A，於一包含該半導體裝置之各種元件之基板 10 上形成一閘電極 11。更具體而言，該閘電極 11 係由鎢或多晶矽之單層或堆疊層形成。於一該閘電極 11 與該基板 10 之間之介面上形成一閘極絕緣層 (未圖示)。於該閘電極 11 頂部，形成一基於氮化物之硬式光罩 (未圖示)，其具有一與一基於氧化物之層間絕緣層不同之蝕刻選擇率，以於一自對位接觸 (SAC) 製程期間保護該閘電極 11，並於該 SAC 製程期間獲取一適當蝕刻剖面。

此時，於 0.1 微米或 0.1 微米以下之技術中，該閘電極之總厚度範圍為約 1000Å 至約 5000Å，且該硬式光罩之總厚度範圍為約 1000Å 至約 4000Å。

其後，執行諸如一離子植入技術等技術從而於介於該閘電極11之間的該基板10部分上形成一雜質黏著層，如一流/汲極黏著，即主動層(未圖示)。

以該方式形成一用於一間隔片之基於氮化物之絕緣層11'(下文稱為間隔片絕緣層)，以包圍該閘電極11之側面。然而，為方便起見，圖2A中未顯示此步驟。

參照圖2B，形成一第一層間絕緣層12，使其頂部平坦化。此時，該第一層間絕緣層會使用具有一進階平坦化特性之材料，如高密度電漿(HDP)、進階平坦化層(APL)、旋塗式介電質(SOD)、硼磷矽玻璃(BPSG)、磷矽玻璃(PSG)或硼矽玻璃(BSG)。通常，沈積該第一層間絕緣層12直至其達到一約1000Å至約10000Å之厚度範圍。

繼續形成該第一層間絕緣層12，將一抗反射層(未圖示)，尤其為一有機抗反射層塗佈於該第一層間絕緣層12之頂部。其後，將一光阻材料塗佈於該被塗佈之抗反射層上，並使用一KrF或ArF光源執行一微影蝕刻製程，從而形成一用於形成LPC之第一光阻圖案13。

更具體而言，將該光阻材料以一預定厚度塗佈於該抗反射層上。其後，藉由使用一諸如ArF之光源(未圖示)與一預定標線(未圖示)來選擇性曝光該光阻材料之一預定部分，並隨後執行一顯影製程以保留該曝光或未曝光部分。經由一清潔製程以去除在執行後續蝕刻製程後所產生之殘留物，藉此形成該第一光阻圖案13。

於塗佈該光阻材料之後，執行一附加製程，如電子束掃

描或Ar離子植入以加強該第一光阻圖案13對隨後之蝕刻製程之耐受性。

其後，執行一LPC1製程。意即，將該第一光阻圖案13當做一蝕刻光罩，選擇性蝕刻該第一層間絕緣層12，且隨後，形成若干接觸孔14，而得以曝露出該基板10之表面。

參照圖4A，經由一光阻帶製程將該第一光阻圖案13移除，且藉由一清潔製程以去除該接觸孔14內所存在的蝕刻殘留物。其後，藉由使用一多晶矽沈積或一選擇性磊晶矽增長技術從而使一接觸材料與該接觸孔14接觸。其後，執行一化學機械研磨法(CMP)製程或一毯覆式蝕刻製程以形成隔離插塞15。

其後，於包括該隔離插塞15之前述整個結構上形成一攻擊障壁層30。此處，該攻擊障壁層30係用於在一LPC2製程期間所執行一濕式蝕刻之過程中，防止該第一層間絕緣層12受到攻擊。因此，在形成該攻擊障壁層30期間，會單獨應用氮化矽層或氧氮化矽層，或組合使用該等兩層。與基於氧化物之層面相比，該等氮化矽與氧氮化矽層對HF具有更高蝕刻耐受性。較佳情況為，形成該攻擊障壁層30之厚度範圍為約50Å至約1000Å。

參照圖4B，於前述結構上形成一第二層間絕緣層16。該層間絕緣層16使用硼磷矽玻璃(BPSG)、低壓矽酸四乙酯(LPTEOS)、硼矽玻璃(BSG)、磷矽玻璃(PSG)、電漿增強矽酸四乙酯(PETEOS)、高密度電漿(HDP)、進階平坦化層(APL)或旋塗式玻璃(SOG)，且具有一厚度範圍為約1000Å

至約10000Å。其後形成一限定一字線接觸之第二光阻圖案17。藉由使用該第二光阻圖案17作為一蝕刻光罩來選擇性蝕刻該第二層間絕緣層16，從而形成一打開該插塞15之表面的字線接觸孔18。

其後，形成一與該打開插塞15之表面相接觸之位元線接觸插塞19。其後，相繼沈積一由鎢、氮化鎢、多晶金屬矽化或多晶矽製成之一層20及一基於氮化物之硬式光罩21，從而形成一位元線24。此處，該位元線24係由該閘電極11所使用之相同材料製造，且該位元線24之厚度與該閘電極11之厚度大體相同。

圖4C為一顯示一包括該位元線24之半導體裝置之截面圖。

參照圖4D，形成一用於打開一儲存節點接觸之插塞15(下文稱為儲存節點接觸插塞)之表面的第三光阻圖案22。其後，當選擇性蝕刻該第二層間絕緣層16與該攻擊障壁層30時，將該光阻圖案22當做一蝕刻光罩。從選擇性蝕刻該第二層間絕緣層16與該攻擊障壁層30，而得以形成一儲存節點接觸孔23。此製程稱為一LPC2製程。

同時，於形成一儲存節點接觸之LPC2製程之情況下，使用了典型SAC製程。因此，該儲存節點接觸孔23之一蝕刻剖面取得傾斜角，以形成通向該蝕刻剖面底部之一較窄孔。因此，除該典型SAC製程之外，於該LPC2製程期間同時執行一濕式蝕刻製程，從而避免接觸電阻增加。因此，可能保證一接觸區域，即，一臨界尺寸(CD)。

同時，該攻擊障壁層30係當作一蝕刻障壁，用於在該濕式蝕刻製程期間避免該第一絕緣層12受到攻擊。於實行該濕式蝕刻製程之時，較佳應使用一緩衝氧化物蝕刻劑(BOE)或稀釋之HF。尤其，該BOE應包括氨水與HF，其比率為約50：1至約1000：1。藉由將H₂O與HF以一約50：1至約1000：1之比率混合而獲得該稀釋之HF。

以上濕式蝕刻製程為一應用該典型SAC製程之方法之蝕刻製程。使用一包括一高碳比並誘導大量聚合體(如C₃F₈、C₄F₈、C₅F₈、C₄F₆、C₃F₃或C₂F₄)之一第一蝕刻氣體，以形成該基於氧化物之第二層間絕緣層16與基於氮化物之層面，其二者均具有一高蝕刻選擇值。

同樣，將該氣體(如CHF₃、C₂HF₅、CH₂F₂、或CH₃F)當做一第二蝕刻氣體，以藉由增加一蝕刻製程範圍與高蝕刻選擇率從而確保可靠蝕刻製程。

同樣，用於藉由穩定電漿並增強一噴濺效果以改進蝕刻停止功能之第三蝕刻氣體為惰性氣體，諸如He、Ne、Ar、Kr或Xe。

同時，可將該第一蝕刻氣體至該第三蝕刻氣體混合以當做一蝕刻氣體，且亦可將C_xH_yF_z添加至該第一蝕刻氣體從而確保該製程範圍，其中，x、y、z大於或等於2。

於第一較佳實施例中，於執行該濕式蝕刻製程過程中，在LPC1製程之後所形成的攻擊障壁層30防止該底部絕緣層受到攻擊。

圖5A至5E為根據本發明第二較佳實施例之半導體裝置

之截面圖。

簡化圖示，本發明第二較佳實施例之圖式中也使用先前技術之圖1與2A，且本發明第二較佳實施例中與先前技術中相同的構成元件表示為相同的參考數字。

參照圖2A，於一包含一半導體裝置各種元件之基板10上形成一閘電極11。其後藉由針對介於該閘電極11之間的該基板10部分執行一離子植入技術，從而形成一主動區域(未圖示)。

參照圖5A，形成一頂部平坦化之第一層間絕緣層12。繼續形成該第一層間絕緣層12，於其上形成一攻擊障壁層30。在一LPC2製程期間執行濕式蝕刻以獲得一接觸CD過程中，該攻擊障壁層30係用於避免沿一插塞15之橫側而使該第一層間絕緣層12受到攻擊。

因此，藉由單獨使用氮化矽層或氧氮化矽層或藉由結合該等兩層從而形成該攻擊障壁層。此處，與基於氧化物之層面相比，該等兩層面具有一對HF較高之蝕刻耐受性。較佳情況為，該攻擊障壁層30具有一約50Å至約1000Å之厚度範圍。

繼續形成該第一層間絕緣層12，將一抗反射層(未圖示)，尤其為一有機抗反射防護層塗佈於該第一層間絕緣層12之頂部。其後，將一光阻劑塗佈於該塗佈的抗反射層，並使用一KrF或ArF光源執行一微影蝕刻製程，從而形成一用於形成一縱向插塞接觸(LPC)之第一光阻圖案13。

該第一光阻圖案13形成製程之進展與該第一較佳實施例

中所述之製程相同。因此，將省略對該第一光阻圖案13形成之詳細敘述。

其後，執行一LPC1製程。意即，將該第一光阻圖案13當做一蝕刻光罩，選擇性蝕刻該第一層間絕緣層12與該攻擊障壁層30以形成一接觸孔14，而得以曝露出該基板10之表面。

參照圖5B，經由一光阻帶製程將該第一光阻圖案13移除，並經由一清潔製程以去除該接觸孔14內所存在的蝕刻殘留物。其後，藉由使用一多晶矽沈積或一選擇性磊晶矽增長技術從而使一接觸材料與該接觸孔14接觸。其後，執行一化學機械研磨法(CMP)製程或一毯覆式蝕刻製程以形成隔離插塞15。此時，較佳應使該插塞15與該攻擊障壁層30一起平坦化。

參照圖5C，藉由使用硼磷矽玻璃(BPSG)、低壓矽酸四乙酯(LPTEOS)、硼矽玻璃(BSG)、磷矽玻璃(PSG)、電漿增強矽酸四乙酯(PETEOS)、高密度電漿(HDP)、進階平坦化層(APL)或旋塗式玻璃(SOG)，於包括該插塞15之前述整個結構上形成一第二層間絕緣層16。此時，該第二層間絕緣層16具有一約為1000Å至約10000Å之厚度範圍。其後形成一用於限定一字線接觸之第二光阻圖案17。藉由使用該第二光阻圖案17作為一蝕刻光罩來選擇性蝕刻該第二層間絕緣層16以形成一字線接觸孔18，而得以曝露出該插塞15之表面。

參照圖5D，形成一與該打開插塞15之表面相接觸之位元

線接觸插塞19。其後，相繼沈積一由鎢、氮化鎢、多晶金屬矽化或多晶矽製成之層面20及一基於氮化物之硬式光罩21，從而形成一位元線24。於此，該位元線24係由該閘電極11所使用之相同材料製造，且該位元線24之厚度與該閘電極11之厚度大體相同。

如圖所示，形成該字線24之後，執行一LPC2製程。意即，形成一用於打開一儲存節點接觸之該插塞15(下文稱為儲存節點接觸插塞)之表面的第三光阻圖案22。其後當選擇性蝕刻該第二層間絕緣層16時，將該光阻圖案22當做一蝕刻光罩。從選擇性蝕刻該第二層間絕緣層16，而得以形成一儲存節點接觸孔23。

同時，於形成一SNC之LPC2製程之情況下，使用了典型SAC製程。因此，該儲存節點接觸孔23之一蝕刻剖面取得一傾斜角，以形成通向該蝕刻剖面底部之一較窄孔。因此，除該典型SAC製程之外，於該LPC2製程期間同時執行一濕式蝕刻製程，從而避免接觸電阻增加。因此，可能保證一接觸區域，即，一臨界尺寸(CD)。

同時，該攻擊障壁層30係當作一蝕刻障壁，用於在該濕式蝕刻製程期間避免該第一絕緣層12受到攻擊。於實行該濕式蝕刻製程之時，較佳應使用一緩衝氧化物蝕刻劑(BOE)或稀釋之HF。尤其，該BOE應包括氨水與HF，其比率為約50：1至約1000：1。藉由將H₂O與HF以一約50：1至約1000：1之比率混合而獲得該稀釋之HF。

以上濕式蝕刻製程為一應用該典型SAC製程之方法之蝕

刻製程。使用一包括一高碳比並導致大量聚合體(如 C_3F_8 、 C_4F_8 、 C_5F_8 、 C_4F_6 或 C_3F_3)之第一蝕刻氣體，以形成該基於氧化物之第二層間絕緣層16及基於氮化物之層面，其二者均具有一高蝕刻選擇值。

同樣，將該諸如 CHF_3 、 C_2HF_5 、 CH_2F_2 、或 CH_3F 之氣體當做一第二蝕刻氣體，以藉由增加一蝕刻製程範圍與高蝕刻選擇值從而確保可靠蝕刻製程。

同樣，用於藉由穩定電漿並增強一噴濺效應以改進蝕刻停止功能之第三蝕刻氣體為惰性氣體，諸如He、Ne、Ar、Kr或Xe。

同時，可將該第一至該第三蝕刻氣體混合以當做一蝕刻氣體，且亦可將 $C_xH_yF_z$ 添加至該第一蝕刻氣體從而確保該製程範圍，其中， x 、 y 、 z 大於或等於2。

於第二較佳實施例中，由於會將在LPC1製程之後所形成的攻擊障壁層30與該插塞15一起平坦化，因而能夠於執行該濕式蝕刻製程之過程中避免該底部絕緣層受到攻擊。

該第一與該第二較佳實施例顯示於插塞之形成後，形成一另外之基於氮化物之攻擊障壁層，以於執行該增加與該插塞底面之一接觸區之濕式蝕刻製程之進程中避免對該較低絕緣層之攻擊。自此效應，可確保一開口部分，從而以一有效方式增加半導體裝置之良率。

儘管已就特定較佳實施例說明了本發明，而熟悉此項技術者可對該等實施例進行多種變化與修改，而不背離由以下申請專利範圍所定義的本發明範圍。

【圖式簡單說明】

經由以下結合附圖對較佳實施例之說明，吾人將瞭解本發明之上述及其他目的與特性，其中：

圖1為一平面圖，其示意性顯示一根據先前技術包括一字線及一位元線之半導體裝置的導電圖案；

圖2A至2F為於圖1所示之各線X-X'與Y-Y'之方向之該半導體裝置的截面圖；

圖3為一顯示由先前技術所帶來之問題的圖表；

圖4A至4D為顯示一種根據本發明第一較佳實施例之製造半導體裝置之方法的截面圖；以及

圖5A至5E為顯示一種根據本發明第二較佳實施例之製造半導體裝置之方法的截面圖。

【圖式代表符號說明】

10	基板
11	閘電極
11'	絕緣層
12	第一間層絕緣層
13	第一光阻圖案
14	接觸孔
15	隔離插塞
16	第二間層絕緣層
17	第二光阻圖案
18	字線接觸孔
19	位元線接觸插塞

20	層
21	硬式光罩
22	第三光阻圖案
23	儲存節點接觸孔
24	位元線
25	氮化物層
26	攻擊
30	攻擊障壁層

伍、中文發明摘要：

本發明揭示一種製造半導體裝置之方法，其包括下列步驟：形成複數個第一插塞，該等複數個第一插塞藉由穿過一第一層間絕緣層而得以與一基板相接觸；於該等第一插塞上形成一第二層間絕緣層；藉由選擇性蝕刻該第二層間絕緣層，從而形成與該等第一插塞中一組插塞相接觸之一導電圖案；以及藉由使用一乾式或濕式蝕刻製程，選擇性蝕刻該第二絕緣層以形成一接觸孔，而得以曝露出該第一插塞中未與該導電圖案接觸之表面，其中於該第一層間絕緣層與該第二層間絕緣層之間形成一攻擊障壁層，藉此於形成該接觸孔之濕式蝕刻製程期間，防止與該第一插塞接觸之該第一層間絕緣層受到攻擊。

I278958

陸、英文發明摘要：

拾、申請專利範圍：

1. 一種製造半導體裝置之方法，其包括下列步驟：

形成複數個第一插塞，該等複數個第一插塞藉由穿過一第一層間絕緣層從而得以形成複數個與一基板相接觸之第一插塞；

於該等第一插塞上形成一第二層間絕緣層；

藉由選擇性蝕刻該第二層間絕緣層，從而形成一與該等第一插塞中一組插塞之導電圖案；及

藉由使用一乾式或濕式蝕刻製程，選擇性蝕刻該第二絕緣層以形成一接觸孔，而得以曝露出該第一插塞中未與該導電圖案接觸之表面，

其中於該第一層間絕緣層與該第二層間絕緣層之間形成一攻擊障壁層，藉此於形成該接觸孔之濕式蝕刻製程期間避免與該第一插塞接觸的該第一層間絕緣層受到攻擊。

2. 如申請專利範圍第1項之方法，其中形成該等複數個第一插塞之步驟還包括下列步驟：

將該第一層間絕緣層沈積於基板上；

於該第一層間絕緣層上形成該攻擊障壁層；

選擇性蝕刻該攻擊障壁層與該第一層間絕緣層，而得以曝露出將該基板之一部分；

沈積一材料，用於形成與該基板曝露部分相接觸之該第一插塞；

去除該第一插塞之部分材料，直至曝露該攻擊障壁層

以形成隔離的第一插塞。

3. 如申請專利範圍第1項之方法，其中於形成該第一插塞之步驟後形成該攻擊障壁層，並於形成該接觸孔之步驟中蝕刻該第二層間絕緣層與該攻擊障壁層。
4. 如申請專利範圍第1項之方法，其中於形成該接觸孔之步驟中，執行該乾式蝕刻製程以提供一傾斜蝕刻剖面，且其後執行一濕式蝕刻製程以獲得一垂直蝕刻剖面。
5. 如申請專利範圍第1項之方法，其中該攻擊障壁層包括選自一氮化矽層與一氧氮化矽層之至少任一層。
6. 如申請專利範圍第1項之方法，其中該攻擊障壁層的厚度範圍為約50Å至約1000Å。
7. 如申請專利範圍第1項之方法，其中該濕式蝕刻製程使用了一緩衝氧化物蝕刻劑，其包括比率為約50:1至約1000:1之氨水與HF，或以一約50:1至約1000:1之比率用H₂O稀釋之HF。
8. 如申請專利範圍第1項之方法，其還包括形成複數個第二插塞之步驟，每一第二插塞都與藉由該接觸孔所曝露之每一第一插塞相接觸。
9. 如申請專利範圍第8項之方法，其中該第二插塞還包括一儲存節點接觸插塞。
10. 一種製造半導體裝置之方法，其包括下列步驟：

形成複數個第一插塞，該等複數個第一插塞藉由穿過一第一層間絕緣層從而得以形成複數個與一基板相接觸之第一插塞；

於該等複數個第一插塞上形成一攻擊障壁層，以於一濕式蝕刻製程期間避免該第一層間絕緣層受到攻擊；

於該攻擊障壁層上形成一第二層間絕緣層；

形成一導電圖案，該導電圖案藉由穿過該第二層間絕緣層而得以與該等複數個第一插塞中一組插塞相接觸；以及

藉由使用一乾式與濕式蝕刻製程，選擇性蝕刻該第二層間絕緣層以形成一接觸孔，而得以曝露出該第一插塞中未與該導電圖案接觸之表面。

11. 如申請專利範圍第10項之方法，其中於形成該接觸孔之步驟中，該乾式蝕刻製程提供一傾斜蝕刻剖面，且其後執行一濕式蝕刻製程以獲得一垂直蝕刻剖面。
12. 如申請專利範圍第10項之方法，其中實際上該等複數個第一插塞與該第一層間絕緣層係一起平坦化。
13. 如申請專利範圍第10項之方法，其中該攻擊障壁層包括選自一氮化矽層與一氧氮化矽層之至少任一層。
14. 一種製造半導體裝置之方法，其包括下列步驟：

於一基板上相繼形成一第一層間絕緣層與一攻擊障壁層，於一濕式蝕刻製程期間，該攻擊障壁層用於避免該第一層間絕緣層受到攻擊；

形成複數個插塞，將該等複數個插塞的頂部與該攻擊障壁層一起平坦化，該插塞藉由穿過該攻擊障壁層與該第一層間絕緣層而得以與該基板相接觸；

於包括該插塞之前述整個結構上形成一第二層間絕

緣層；

形成一導電圖案，該導電圖案藉由穿過該第二層間絕緣層而得以與該等複數個插塞之一部分相接觸；及

藉由使用一乾式或濕式蝕刻製程來選擇性蝕刻該第二層間絕緣層以形成一接觸孔，而得以曝露出該插塞中未與該導電圖案接觸之表面。

15. 如申請專利範圍第14項之方法，其中於形成該接觸孔之步驟中，根據一自對位接觸(SAC)製程之該乾式蝕刻製程來提供一傾斜蝕刻剖面，且其後執行一濕式蝕刻製程以曝露該插塞之一表面。
16. 如申請專利範圍第14項之方法，其中該攻擊障壁層包括選自一氮化矽層與一氧氮化矽層之至少任一層。
17. 如申請專利範圍第1項之方法，其中該第一層間絕緣層及該第二層間絕緣層為基於氧化物之層面。
18. 如申請專利範圍第17項之方法，其中該第一層間絕緣層使用了硼磷矽玻璃(BPSG)、磷矽玻璃(PSG)、硼矽玻璃(BSG)、高密度電漿(HDP)、進階平坦化層(APL)或旋塗式介電質(SOD)，且該第二層間絕緣層使用了硼磷矽玻璃(BPSG)、低壓矽酸四乙酯(LPTEOS)、硼矽玻璃(BSG)、磷矽玻璃(PSG)、電漿增強矽酸四乙酯(PETEOS)、高密度電漿(HDP)、進階平坦化層(APL)或旋塗式玻璃(SOG)。

柒、指定代表圖：

(一)本案指定代表圖為：第 (4D) 圖。

(二)本代表圖之元件代表符號簡單說明：

10	基板
11	閘電極
11'	絕緣層
12	第一間層絕緣層
15	隔離插塞
16	第二間層絕緣層
19	位元線接觸插塞
20	層
21	硬式光罩
22	第三光阻圖案
23	儲存節點接觸孔
24	位元線
30	攻擊障壁層

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：