

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93113984

※申請日期：93 年 05 月 18 日

※IPC 分類：H01L 21/00, 21/306

壹、發明名稱：

(中) 基底製造方法以及基底處理裝置

(外) Substrate manufacturing method and substrate processing apparatus

貳、申請人：(共 1 人)

1. 姓 名：(中) 佳能股份有限公司

(英) CANON KABUSHIKI KAISHA

代表人：(中) 1. 御手洗富士夫

(英)

地 址：(中) 日本國東京都大田區下丸子三丁目三〇番二號

(英)

國籍：(中英) 日本

JAPAN

參、發明人：(共 7 人)

1. 姓 名：(中) 伊藤正孝

(英) ITO, MASATAKA

地 址：(中) 日本國東京都大田區下丸子三-三〇-二

(英) 日本国東京都大田区下丸子 3-30-2

佳能股份有限公司內
キヤノン株式会社內

2. 姓 名：(中) 山方憲二

(英) YAMAGATA, KENJI

地 址：(中) 日本國東京都大田區下丸子三-三〇-二

(英) 日本国東京都大田区下丸子 3-30-2

佳能股份有限公司內
キヤノン株式会社內

3. 姓 名：(中) 柿崎惠男

(英) KAKIZAKI, YASUO

地 址：(中) 日本國東京都大田區下丸子三-三〇-二

(英) 日本国東京都大田区下丸子 3-30-2

佳能股份有限公司內
キヤノン株式会社內

4. 姓 名：(中) 高梨一仁

(英) TAKANASHI, KAZUHITO

地 址：(中) 日本國東京都大田區下丸子三-三〇-二

佳能股份有限公司內

(英) 日本国東京都大田区下丸子 3-30-2

キヤノン株式会社内

5. 姓 名: (中) 宮林寛

(英) MIYABAYASHI, HIROSHI

地 址: (中) 日本国東京都大田区下丸子三-三〇-二

(英) 日本国東京都大田区下丸子 3-30-2

佳能股份有限公司内

キヤノン株式会社内

6. 姓 名: (中) 森脇隆治

(英) MORIWAKI, RYUJI

地 址: (中) 日本国東京都大田区下丸子三-三〇-二

(英) 日本国東京都大田区下丸子 3-30-2

佳能股份有限公司内

キヤノン株式会社内

7. 姓 名: (中) 坪井隆志

(英) TSUBOI, TAKASHI

地 址: (中) 日本国東京都大田区下丸子三-三〇-二

(英) 日本国東京都大田区下丸子 3-30-2

佳能股份有限公司内

キヤノン株式会社内

肆、聲明事項:◎本案申請前已向下列國家(地區)申請專利 ☐主張國際優先權:

【格式請依: 受理國家(地區); 申請日; 申請案號數 順序註記】

- | | | |
|-------|----------------------------|--|
| 1. 日本 | ; 2003/05/21 ; 2003-143492 | ☒ 有主張優先權 |
| 2. 日本 | ; 2003/05/27 ; 2003-149569 | ☒ 有主張優先權 |
| 3. 日本 | ; 2004/03/08 ; 2004-064495 | ☒ 有主張優先權 |

(英) 日本国東京都大田区下丸子 3-30-2

キヤノン株式会社内

5. 姓 名: (中) 宮林寛

(英) MIYABAYASHI, HIROSHI

地 址: (中) 日本国東京都大田区下丸子三-三〇-二

(英) 日本国東京都大田区下丸子 3-30-2

佳能股份有限公司内

キヤノン株式会社内

6. 姓 名: (中) 森脇隆治

(英) MORIWAKI, RYUJI

地 址: (中) 日本国東京都大田区下丸子三-三〇-二

(英) 日本国東京都大田区下丸子 3-30-2

佳能股份有限公司内

キヤノン株式会社内

7. 姓 名: (中) 坪井隆志

(英) TSUBOI, TAKASHI

地 址: (中) 日本国東京都大田区下丸子三-三〇-二

(英) 日本国東京都大田区下丸子 3-30-2

佳能股份有限公司内

キヤノン株式会社内

肆、聲明事項:◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權:

【格式請依: 受理國家(地區); 申請日; 申請案號數 順序註記】

- | | | |
|-------|----------------------------|--|
| 1. 日本 | ; 2003/05/21 ; 2003-143492 | ☒ 有主張優先權 |
| 2. 日本 | ; 2003/05/27 ; 2003-149569 | ☒ 有主張優先權 |
| 3. 日本 | ; 2004/03/08 ; 2004-064495 | ☒ 有主張優先權 |

(1)

玖、發明說明**【發明所屬之技術領域】**

本發明係相關於一種基底製造方法與基底處理裝置，特別是，相關於適合於製造具有於絕緣層上之精密調整厚度之矽層之基底，以及基底處理裝置。

【先前技術】

具有在絕緣層上之矽層的基底一般係稱為 SOI（絕緣體上之矽）基底。SIO 基底製造方法、SIMOX（以氧氣植入而分離）、鍵結等係為已知。

SIMOX 係為在基底中與預設深度而植入氧氣離子，之後經高溫對於該基底退火而形成經埋置之氧化矽層之技術。

鍵結法係為將具有於分離層上有單晶矽層且在矽層上具有絕緣層以形成經鍵結之基底堆疊之第一基底且之後將堆疊在分離層上之鍵結基底分離。形成多孔之矽層作為分離層之以及在多孔矽層上晶膜生長單晶矽層之方法係稱為 ELTRAN（ELTRAN 係為註冊商標）。使用離子植入層作為分離層以藉由退火而分開鍵結基底係稱為 SmartCut（SmartCut 係為註冊商標）。

一般而言，ELTRAN（註冊商標）在將鍵結基底堆疊分開之後而將存在於 SOI 層之表面上之多孔矽予以選擇性蝕刻。在某些情況中，SOI 層之表面在選擇性蝕刻之後係粗糙。日本專利公開號 5-217821 係揭示藉由對於 SOI 基

(2)

底執行氫氣退火而使 SOI 層之表面極度平滑之技術。

近來，SOI 層被快速的薄化。相關於 SOI 層之薄化的技術係揭示在日本專利公開號第 2001-168308。該日本專利公開號第 2001-168308 係揭示在薄矽膜之製造中，設置在絕緣表面之薄矽膜受到濕清潔並減少厚度至 100nm 或更小。該日本專利公開號第 2001-168308 亦揭示以 SC-1 (NH_4OH ， H_2O_2 以及 H_2O 之溶液混合) 為清潔溶液，且可使用有機鹼性溶液或是氟化氫酸以及硝酸。此外，日本專利公開號第 2001-168308 揭示用以減少薄矽膜之厚度至 100nm 或更小。

現在，在 SIO 基底之 SIO 層具有足以接受膜厚度均勻性。該基底之間的膜厚度均勻性具有 $\pm 1\text{nm}$ 之容忍誤差。在使用離子植入之方法中，在植入離子之深度之基底之間的變異會造成 SOI 層在厚度上之變異。在使用晶膜增長之方法中，以經膜增長所形成之單晶矽層之厚度變異會造成 SOI 層在厚度上之變異。

為了減少基底厚度在 SOI 層之變異，可採用拋光步驟或是蝕刻步驟。因為拋光法係由機器執行，因此很難對於標的膜厚度維持 $\pm 1\text{nm}$ 或更小的高精確性。對於使用 SC-1 清潔溶液、有機鹼性溶液、氟化氫酸與硝酸之混合之矽蝕刻速率對於化學溶液之溫度以及濃度為敏感。為了以高精度（例如 $\pm 1\text{nm}$ ）而控制薄矽膜之厚度，必須以極高精度控制三個條件。

在 SIO 層之薄化中，像是穿孔（針孔）等之瑕疵會隨

(3)

著 SOI 層厚度之減少而增加。特別是，可採用 SOI 基底之製造步驟，即，可以機械壓力施加至一層中以作為 SOI 層且 / 或拋光步驟之分割方法。由此些步驟所產生之壓力將造成隨著膜厚度之減少下產生瑕疵而作為 SOI 層。

在此環境下，為了薄化 SOI 層，有一種方法，其形成足夠後之 Si 層以避免瑕疵且之後將 SOI 層薄化至一理想厚度（在最終步驟）。為了實施薄化，可使用拋光、犧牲氧化（對於熱氧化膜予以熱氧化以及蝕刻）、使用 SC-1 清潔溶液蝕刻等。然而，在拋光中，SOI 層被機械的損害而造成瑕疵。在犧牲氧化方法中，例如，熱氧化速率係相關於摻雜在矽層雜質之摻雜量以及類型，且因此將會在氧化量（經氧化部分之厚度）上發生變異。且，摻雜量可由於熱擴散而改變。在犧牲氧化以及使用 SC-1 清潔溶液之蝕刻中，SOI 層之表面粗糙度變差。

且，需要考慮對於各種類型之支援。在許多情形中，對於 SOI 層厚度之規格值係由裝置製造者作為使用者之應用規格需求而決定。因此，為了符合大量的需求，必須建立對於所要膜厚度具有彈性之製造步驟。例如，為了製造厚度為 10、20、30、40、50、60、70、80、90、100nm（使用離子植入之 SIMOX 步驟）等十種之 SOI 基底，必須建立十種對應於該厚度以及管理之離子植入之處理條件。

習知蝕刻處理主要係由處理時間而控制。假如由於化學溶液等之濃度改變而使處理條件變化時，很難精密控制

(4)

蝕刻量或是膜厚度。

於是，在重複蝕刻處理以及膜厚度處理直到得到所要之膜厚度下，以下步驟將重複。特別是，被處理之基底自清潔單元之支持物移開，該膜厚度係由膜厚度量測單元所量測，而被處理之基底再次被接附於清潔單元之支持物上。此對該工作係缺乏效率。

【發明內容】

本發明係在考慮上述問題下而其目的在於，有效控制 SOI 層且 / 或免除在 SOI 層之瑕疵之主要因素且 / 或確保高表面平坦度且或增加對於 SOI 層各種需求之彈性度。

本發明之另一目的在於精確以及有效控制蝕刻處理。

根據本發明，上述目的係藉由提供以下基底製造方法，包含：

製備步驟，用以製備具有矽層於一絕緣層之上之基底；以及

一薄化步驟，用以將該絕緣層上之矽層薄化至一理想厚度，

其中在該薄化步驟中，一單元薄化步驟不執行超過二次，該單元薄化步驟包括對於矽層之表面氧化一預設厚度，以及一移除步驟以選擇性的移除在該氧化步驟中形成之氧化矽。

根據本發明之一觀點，上述目的係藉由提供一基底製造方法而達成，包含：

(5)

製備步驟，用以製備具有一矽層於一絕緣層上之基底；以及

一薄化步驟，以將絕緣層上之矽層薄化至一理想厚度，

其中在該薄化步驟中，一單元薄化步驟被執行至少一次，該單元薄化步驟包括一氧化步驟以對於矽層之表面上不超過實質單一晶格厚度之預設厚度予以氧化之氧化步驟，以及一移除步驟用以對於在氧化步驟形成之氧化矽予以移除。

根據本發明之一另一觀點，上述目的係提供一種適合於處理具有一矽層於絕緣層之基底之基底處理裝置，包含：

一氧化試劑供應機構，其提供一氧化試劑至該基底以氧化矽層之表面；

一蝕刻供應機構，其對於該基底送入蝕刻劑以選擇性蝕刻氧化矽以選擇性移除形成在矽層表面上之氧化矽；以及

一控制器，其控制該氧化試劑供應機構以及蝕刻劑供應機構以重複藉由氧化矽層表面之矽層薄化之單元薄化步驟以形成氧化矽以及選擇性移除氧化矽。

根據本發明之一觀點，上述目的係藉由提供一基底處理裝置而達成，包含：

一蝕刻裝置，其藉由提供一化學物至該半導體層而蝕刻半導體基底之半導體層；

(6)

一膜厚度量測裝置，其量測半導體層之夠度；以及
一控制單元，其根據該膜夠度量測裝置所得之量測結果而結束對於半導體層化學蝕刻之處理。

根據本發明之另一觀點，上述目的係藉由提供一基底處理裝置而達成，包含：

一支持物，其支持一半導體基底；

一化學溶液供應裝置，其具有一位在該支持物上方之噴嘴並自該噴嘴而提供一化學溶液以化學蝕刻由該支持物所支持之半導體基底之半導體層，當時該半導體層之整個表面係為暴露；

膜厚度量測裝置，其量測該半導體裝置之膜厚度；以及

一控制單元，其根據該膜厚度量測裝置之量測結果而結束對於該半導體層之化學蝕刻處理。

根據本發明之另一觀點，上述目的係藉由提供一基底製造方法而達成，包含：

形成一半導體基底；

藉由供應一化學溶液至該半導體層而化學蝕刻該半導體基底之半導體層；

量測該半導體層之膜厚度；以及

當在量測步驟所量測之膜厚度為一預設值時節數對於該半導體層之化學蝕刻。

本發明之其他特徵以及優點在經由以下解釋以及圖式說明之後將變得更加清楚，其中圖式中相同之標號係表示

(7)

相同或近似之元件。

【實施方式】

本發明之較佳實施例參考附圖而描述。

圖 1 係展示本發明之較佳實施例之 SOI 基底製造方法之流程圖。在該製造方法中，原始 SOI 基底首先在製備步驟 S10 中製備。原始 SOI 基底在 SOI 層（矽層）之厚度於薄化步驟 S30 調整之後稱為 SOI 基底。原始 SOI 基底可藉由以下各種方式而製造：ELTRAN（註冊商標）、SmartCut（註冊商標）、SIMOX 等。

注意，支持在 SOI 基底中埋置絕緣層之支持構件可以是任何形式。該支持構件一般係為像是矽基底之基底，但可以是像是塑膠或是玻璃。特別是，該 SOI 基底可以是具有矽層於絕緣層上並在平面方向延伸之結構。

之後，在退火步驟 20 中，原始 SOI 基底係在氫氣、氫氣與稀有氣體之混合等之氫化環境而退火。

藉由此操作，SOI 層之表面背平面化。

在薄化步驟 S30，至少執行使用預設厚度實質不超過一晶格（一個至數個原子層之厚度）之單元薄化步驟，藉此而使原始 SOI 基底之 SOI 層被薄化至一理想膜厚度（目標膜厚度）。該單元薄化步驟包括一氧化步驟，以氧化該 SOI 基底之 SOI 層之表面至一不超過一個晶格之預設厚度，以及一移除步驟以選擇性的移除形成在該氧化步驟中之氧化矽。在薄化步驟 S30 中，該單元薄化步驟一般

(8)

係重複多次直到 SOI 層經調整為具有理想之膜厚度。假如 SOI 層可只由單元薄化步驟而調整為理想厚度，該單元薄化步驟只執行一次。在每個單元薄化步驟之薄化量最佳地係對應於實質一個矽晶格之厚度。然而，該 SOI 層可被調整為具有較一個晶格之厚度為小。

原始 SOI 基底之製備步驟（S10）、退火步驟（S20）以及薄化步驟（S30）將於以下描述。

首先描述該有機 SOI 基底製備步驟（S10）。為了製備、形成、或製造一有機 SOI 基底，可採用 ELTRAN（註冊商標）、Smart Cut（註冊商標）、SIMOX 等。使用 ELTRAN（註冊商標）以及 SmartCut（註冊商標）之例子描述於後。

使用 ELTRAN 形成有機 SOI 基底之方法將參考圖 2A 至 2C 而描述。

在圖 2A 所示之步驟中，p 型單晶矽基底（例如，0.01 至 0.02 $\Omega \text{ cm}$ ）201 被製備。該基底 201 有時稱為種子基底或是種子晶圓。具有單晶矽結構或是多層結構之多孔矽層 202（202a 以及 202b）係藉由陽極化而形成於基底 201 之上表面。陽極化係為矽之蝕刻反應。此反應發生於當基底被浸染於電極之間而在氫氟酸（HF）下面對一對基底之負電極之矽表面，且一直流電流送入至該基底。該蝕刻經發生以形成蜂窩狀結構，並產生一多孔結構。例如，在陽極化反應時改變電流將可形成具有不同結構（如，多孔性）之多孔矽層 202a 以及 202b。外延

(9)

(epitaxial) 矽層 203 係在多孔矽層 (絕緣膜) 202a 之表面上增長，且外延矽層 (單晶矽層) 203 之表面層經氧化而形成外延氧化層 204。在此方式中，而得到將單晶矽層以及絕緣層 204 形成於多孔矽層 202 上之第一基底 210。該單晶矽層 203 係作為 SOI 層。

該第一基底 210 以及第二基底 205 被分別清洗，且其表面係相互鍵結以形成經鍵結之基底堆疊。該第二基底 205 有時稱為處理基底或是處理晶圓。關於第二基底 205，例如可採用係基底。在形成經鍵結基底堆疊，一般而言，第一基底 210 以及第二基底 205 係鍵結一起，且在 900 至 1000°C 係執行退火以增加鍵結表面之鍵結強度。

在圖 2B 所示之步驟中，該種子基底 201 係自鍵結基底堆疊處移除。藉由此步驟，形成在種子基底 201 上之單晶矽層 203 以及絕緣層 204 被傳送至處理基底 205 上。為了自鍵結基底堆疊處移除種子基底 201 最好採用分割多孔矽層 202 之鍵結基底堆疊之方法。此分割可藉由例如將楔 (wedge) 插入至多孔矽層 202 或其鄰近處、注入流體至多孔矽層 202 或其鄰近處等而實施。此對於多孔矽層 202 或其鄰近處之外力之應用造成在鄰近於介於第一多孔矽層 202a 以及第二多孔矽層 202b 之間處之裂縫分離，如圖 2B 所示。

一般而言，所有或是部分多孔矽層 202a 殘存在第二基底 205 表面上，具有之間之分離或是分割，因此需要選擇性的移除。該剩餘多孔矽層 202a 可使用例如包含氫氟

(10)

酸之溶液以及過氧化物之溶液之蝕刻而移除。

藉由此步驟，可得到圖 2C 之有機 SOI 基底。該有機 SOI 基底在絕緣層 204（作為埋置絕緣層）上具有單晶矽層 203（作為 SOI 層）。注意，該 SOI 層在表面上具有粗糙度。

圖 3A 至 3C 展示使用 SmartCut（註冊商標）之有機 SOI 基底之形成方法。

圖 A 所示之步驟，製備出有氧化膜 304 於單晶矽基底 301 之表面上。氫離子 306 經由表面而植入至基底 301。假如離子之加速能量在此時被大約的控制，微洞層（離子植入層）302 形成在矽基底 301 之標的深度。在此步驟中，該矽基底 301 之表面層變成單晶矽層 303 依此，而得到具有單晶矽層 303 以及絕緣層 304 於微洞層 302 之第一基底 310。在此方法中，單晶矽層 303 係作為 SOI 層。

在圖 3B 所示之步驟中，第一基底 310 以及第二基底被分開清洗，且其表面被鍵結一起以形成鍵結基底堆疊。該第二基底 305 有時稱為處理基底或是處理晶圓。可採用矽基底為第二基底 305。

該鍵結基底堆疊在 450 至 550℃ 下而退火以使微洞層 302 裂開分離。藉由此操作，第二基底 305 之側邊具有 SOI 結構，如圖 3C 所示。注意，微洞層 302 之軌跡在表面上係為粗糙。

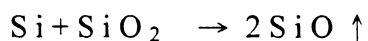
由上述製造方法所得之有機 SOI 基底在表面上具有大的粗糙度。此粗糙度之出現造成以下問題，即，在多孔矽

(11)

層上形成單晶矽層之階段或是在形成微洞層（離子植入層）之階段時，決定具有約數十 nm 厚度之薄 SOI 層。

此問題參考圖 4 以及 5 而描述。在 ELTRAN（註冊商標）以及 SmartCut（註冊商標）中，假如具有數十 nm 或更小之 SOI 層具有於其厚度一樣深之表面粗糙度，該粗糙度本身會造成像是孔之瑕疵。圖 4 係為當絕緣層 402 上之 SOI 層 403 夠厚（例如 100nm 或更多）。此時，SOI 層 403 可藉由將 SOI 基底在氫化環境下退火而無瑕疵之平面化。

圖 5 係在絕緣層 412 上之 SOI 層 413 之粗糙度幾乎於圖 4 所示大小一樣，且 SOI 層 413 之厚度係非常小（如，數十 nm）。此時，當 SOI 基底在氫化環境下退火時，可能產生孔（洞）。圖 5 中，係以箭頭表示孔。假如 SOI 層為厚（如，100nm 或更多），在對應箭頭所示之區域中無瑕疵出現。另一方面，假如 SOI 層為薄（如，數十 nm），可能出現瑕疵。當在氫化環境中執行退火，矽（413）與氧化矽膜（412）產生以下反應：



且不出現而形成孔（洞），在 SOI 層 413 厚度區域為小之區域（箭頭表示區域）。

在此環境下，本發明人發現形成 SOI 層具有厚度較標的膜厚度（S10）為大之有機 SOI 基底之形成、在氫化環境（S20）退火該有機 SOI 基底、以及之後薄化該有機 SOI 基底之 SOI 層至標的膜厚度（S30）之方法。在薄化

(12)

SOI 層之前在氫化環境中退火有機 SOI 基底並非基本步驟。然而，藉由此退火而使 SOI 層之表面平面化造成可能得到具有高平面度之最終 SOI 基底。此因為 SOI 層之表面平面度在薄化之前幾乎被維護，該 SOI 層在薄化步驟（S30）（後述）中被薄化。

在有機 SOI 基底形成步驟（10）形成之 SOI 層之厚度可決定為夠大以避免前述任何在退火步驟（S20）以及薄化步驟（S30）中所述像是孔之瑕疵。例如，該厚度可訂為較原始 SOI 基底之表面粗糙度之幅度（峰/谷）。在原始 SOI 基底製備步驟（S10）中形成之 SOI 層之厚度之增加將增加在薄化步驟（S30）中所要薄化之量。因此，在製備步驟（S10）中形成之 SOI 層之厚度將降低為在不造成像是孔之瑕疵之範圍內。

在氫化環境將原始 SOI 基底退火（S20）與使用不超過單晶格厚度之單元預設厚度之接續薄化步驟（S30）組合將產生優異之效果。該薄化步驟使用不超過單一晶格厚度之預設厚度為一單元，而忠實維持原始 SOI 基底之表面平坦度。假如原始 SOI 基底之表面平坦度不佳，該不佳的平坦度將在薄化步驟（S30）中維持。在薄化進行至某個程度時，像是孔等之瑕疵為出現在 SOI 層。在步驟以退火而增加表面平坦性的原始 SOI 基底中，SOI 層係在維持高表面平坦度下而薄化。於是，可減少在薄化步驟中出現瑕疵之可能性。

對於退火之氫化環境（S20），如，可使用 a）100%

(13)

之氫氣，b) 氫氣與稀有氣體之混合氣體等。退火 (20) 之溫度最好係在 900℃ 或更多。當溫度在此範圍之內時，發生 SOI 層之平坦化。在氫化環境平坦化之矽表面係具有原子層水準之平滑度。

假如最終 SOI 層之標的膜厚度被設定在 20nm 時，將處於退火步驟 (S20) 之原始 SOI 基底之 SOI 層之厚度最好係在 20nm 或是更多，且最好係 30nm 或是更多。

圖 6 係展示在氫化環境中之退火步驟 (S20) 之後關於退火步驟 (S20) 之前原始 SOI 基底之 SOI 層 (矽層) 之膜厚度之膜瑕疵 (孔) 密度。根據此圖，在退火步驟 (20) 之前 SOI 層之膜厚度在小於 30nm 時，退火步驟之後之瑕疵數目快速增加。當膜厚度小於 20nm 時，膜瑕疵密度超過容忍度。因此，具有 30nm 或更多膜厚度之 SOI 層之原始 SOI 基底較佳。在退火之後在 SOI 層之孔密度係相關於退火之前原始 SOI 基底之表面粗糙度。為考慮處理之穩定性，原始 SOI 基底之 SOI 層必須為 40nm 或是更多。具有 50nm 或是更多厚度之 SOI 層之原始 SOI 基底增加在薄化步驟 (S30) 中為了得到特別薄 (如，20nm 或是更小) 最終 SOI 層之薄化步驟中之負擔。因此，為了大量生產其係不佳的。

以下描述薄化步驟 (S30)。此薄化步驟係薄化在退火後表面被平坦化之原始 SOI 基底之矽層，以預設厚度為單元 (如，一至數個原子層之厚度)。以預設厚度為單元之薄化可藉由重複將 SOI 層薄化為不超過單一晶格之厚

(14)

度之單元薄化步驟直到該 SOI 層減少至一理想膜厚度而實施。

圖係展示該薄化步驟 (S30) 之細節的流程圖。該薄化步驟 (S30) 重複該單元薄化步驟，其包括在 SOI 層之表面上之矽以不超過單一晶格之厚度之預設厚度而氧化之氧化步驟，以及選擇性移除形成在氧化步驟中之氧化矽 (蝕刻) 直到該 SOI 層被減少至理想厚度 (在步驟 S33 中為 YES)。

為保證得到具有目標膜厚度之 SOI 層，最好使用以下方法。特別是，SOI 層之膜厚度係在薄化步驟之前或是之中而量測。之後，單元薄化步驟之重複 (如，所需要重複之次數、剩餘重複次數、或是重複結束) 係根據量測值以及標的膜厚度以及以一單元薄化步驟而減少膜厚度之差異而控制。

在不超過單一晶格之預設厚度之單元中之薄化步驟之比較例，可考慮當退火後 SOI 基底之 SOI 層藉由犧牲氧化 (熱氧化以及接續之熱氧化矽蝕刻) 或氫氟酸或是鹼而薄化一次。此方法可使 SOI 基底之表面在氫化環境下以退火 (S20) 而只被平面化一次而更加粗糙化。

例如，在氫化環境下退火之後的 SOI 層之表面粗糙度以原子力微透鏡 (AFM) 而量測。在 1 微米乘以 1 微米之量測區域中之 rms 值係約為 0.09nm。該 SOI 層在 80℃ 下以阿摩尼亞混合試劑 (稱為 SC-1 試劑)、過氧化氫試劑以及水而沖洗。矽膜以約 0.4nm/min 之速率而蝕刻 (該速

(15)

率係相關於阿摩尼亞之濃度)。十分鐘沖洗將蝕刻矽膜約 4m，且 SOI 層之表面粗糙度可被量測。在 1 微米乘以 1 微米區域之 rms 值下降至約 0.15nm。此值係大約等於拋光表面之值。此時，平坦度並無問題，但是係較以在氫化環境下退火所得之平坦度為差。

以不超過單一晶格厚度之預設厚度而對矽氧化，並移除所產生之氧化矽而作為單一週期（一單元薄化步驟）並重複該週期（如圖 7 所示）之方法將在薄化之前而幾乎完全維持 SOI 層之表面平坦度。此與上述比較例而比較。藉由以不超過單一晶格之預設厚度單元之薄化步驟，假如在薄化之前之 rms 值係為 0.09nm，在薄化之後之 rms 值將變成 0.09 至 0.10nm。該平坦度幾乎不變差。

為了對一個至數個原子層實施預設厚度之氧號（S31），可採用例如：酸性液體（液體氧化試劑）而滴落於該 SOI 基底（或其表面）之方法以及將該 SOI 基底（或其表面）予以暴露於酸性液體流（氣體氧化試劑）之方法。以液體而滴落於 SOI 基底之方法最好係在室溫下執行。因為經加熱之酸性液體可能改變 SOI 層氧化之厚度，最好不要使用。在包含氧氣之環境中之熱氧化無法控制該氧化在不超過單一晶格之預設厚度下，且因此無法應用於單元薄化步驟。關於酸性液體（液體氧化試劑），可使用像是臭氧之中性液體、像是過氧化氫溶液之微酸液體，像是硝酸、鹽酸或是硫酸等之強酸劑體。強酸液體流在室溫下可以不超過單一晶格之預設厚度而執行氧化。以不超過

(16)

單一晶格之預設厚度而氧化可藉由在使供應氧氣量經調整為 SOI 層表面以不超過單一晶格之預設厚度下之環境而氧化該 SOI 層。該不超過單一晶格之預設厚度之氧化亦可藉由將 SOI 層暴露於包含氧氣或是臭氧（氣體氧化試劑）之環境並以紫外光線照射 SOI 層表面而實施。

爲了選擇性移除氧化膜（S32），可使用氫氟酸（HF）溶液而蝕刻。此外，可採用電漿蝕刻或是反應離子蝕刻。

在氧化步驟 S31 中，當形成在 SOI 層表面上之氧化膜使用 HF 溶液而蝕刻時，該氧化膜最好可被完全移除。此係因爲假如該氧化膜之部分仍有未被蝕刻，SOI 層層之表面粗糙度將增加。特別是，在重複單元薄化步驟中，SOI 層之表面粗糙度在每個重複的單元薄化步驟終將增加。

當形成在 SOI 層層之表面形成之氧化膜在氧化步驟 S31 中使用 HF 溶液而蝕刻時，使用在氧化步驟 S31 中之氧化試劑（如，液體氧化試劑或是氣體氧化試劑）最好係自備處理之 SOI 基底中完全移除。因爲使用在氧化步驟 S31 中之氧化試劑以及 HF 溶液與被處理之 SOI 基底同時存在，且其混合比率在被處理 SOI 基底表面上不均勻，而使被處理之 SOI 基底之平面均勻度減少。在重複單元薄化步驟中，SOI 層之表面粗糙度在每次單元薄化步驟終將增加。

因爲被處理之 SOI 基底之大小係爲 300nm 或是更多

(17)

將發生由於剩餘氧化膜以及氧化試劑而在平面均勻度之劣化將發生。因此，氧化試劑應在每個週期蝕刻氧化膜之前而被完全移除，且藉由接續之蝕刻而完全移除氧化膜。

單晶矽平面（100）之晶格間隔係為 0.543 nm ，且介於原子層之距離係為 $0.543/4 = \text{約 } 0.135 \text{ nm}$ 。實際上，SOI 層之厚度係以橢圓器而量測，並執行薄化步驟（S 30）以調整而使用單一晶格之厚度為一單元。其係確認該一單元薄化步驟將減少該膜之厚度 0.60 nm 。如例所示，以極高精準度以及高可靠度而執行以實質四個原子層之厚度為單元（即，單一晶格）而蝕刻。即，在以實質單一晶格之厚度為單元之薄化中，薄化量係不相關於像是溫度、化學溶液濃度等之參數。

在上述以單一晶格單元而薄化 SOI 層係在得到標的膜之 SOI 層層極為有用。上述例子可精確調整 SOI 層之膜厚度，即，每個為 0.60 nm 。且，在不小於單一晶格之厚度為單元之薄化中，薄化單元進一步變小，且 SOI 層層之厚度可被進一步精確的控制。

以下描述製造上述特薄 SOI 基底之方法的例子、以及可用於該製造方法之裝置。

圖 8 係展示本發明第一實施例之超薄 SOI 基底製造方法之流程圖。將描述具有厚度為 $55 \pm 1 \text{ nm}$ 厚度之 SOI 基底之例子。

在製備步驟 S 71 中，係製備原始 SOI 基底。該原始 SOI 基底可以是在圖 1 所述 S 10 步驟中形成者（在氫化

(18)

環境中非退火者)。該原始 SOI 基底可以是形成在圖 1 步驟 S 10 以及 S 20 者(在氫化環境中退火)。

對於以 E L T R A N (註冊商標)、S m a r t C u t (註冊商標)、S I M O X 等而製造之原始 SOI 基底，在外延增長步驟以及離子植入步驟之間之處理差異會造成在基底之間對於 SOI 層膜厚度之變異(該變異範圍係約在正負載功率 5 n m 之範圍)。

舉一例子，其標的最終(薄化之後)得到具有 55 n m (正負載功率 1 n m) 之 SOI 層。SOI 層之厚度之標的值被決定以避免 SOI 層之厚度落於 54 n m 之下，儘管 SOI 層之厚度由於處理變異而有差異。例如，假如處理變異範圍係在正負載功率 5 n m，原始被製備之 SOI 基底之 SOI 層之標的膜厚度應該係在 59 n m 或是更大。此時，該原始 SOI 基底之 SOI 層經製造而具有至少 54 n m 之厚度。

此例只作為瞭解之用。在本發明中，原始 SOI 基底之 SOI 層之厚度以及在薄化之後之 SOI 層可被任意決定。例如，可製造具有約 100 n m 厚度之 SOI 層之原始 SOI 基底，且 SOI 層可被薄化至約 55 n m。或者，可製備出具有厚度為 55 n m 厚度之 SOI 層之原始 SOI 基底，且該 SOI 層可被薄化至 20 n m。

在膜薄化量測步驟 S 72 中，係量測 SOI 層之厚度。此量測可使用如非破壞性以及非接觸性之光學干涉式厚度量測器。

在決定步驟 S 73 中，在膜厚度量測步驟 S 72 中所得到之量測值係與決定參考值（在此例中係為 $55 + 1 = 56$ ）比較。假如決定出該量測值等於或是大於該決定參考值時，至少需要執行一次單元薄化步驟 S 74。另一方面，假如量測單元係小於該參考值時，SOI 層之厚度係在最終標的膜厚度之容忍範圍（在此例中係為 $55 \pm 1 \text{ nm}$ ）內。

決定步驟 S 73 可藉由具有預設之參考值之決定單元而手動或是自動執行。

單元薄化步驟 S 74 係為以不超過單一晶格之預設厚度而薄化之步驟，並包括氧化步驟 S 31 以及氧化矽移除步驟 S 32（參考圖 7 而描述），其兩者皆使用不超過單一晶格厚度之單元預設厚度。圖 9 係展示適合於單元薄化步驟 S 74 之單晶圓處理裝置（單晶圓膜厚度調整裝置）之鍵構圖。為了分開調整原始 SOI 基底之 SOI 層，最好係使用單晶圓處理裝置。批次類型之處理裝置亦可使用。此時，需要執行以下操作。特別是，量測多數個原始 SOI 基底之 SOI 層之厚度，該原始 SOI 基底根據量測結果而被分類，且對於每個分類而執行處理。

單一晶圓處理裝置 800（圖 9）之結構以及使用該裝置之單元薄化步驟係如後述。該處理裝置 800 包含一支持部（晶圓夾盤）850（其支撐 SOI 基底 W 以及旋轉該支持部並可旋轉 SOI 基底 W 之旋轉機構 840）。該處理裝置 800 亦包含一第一噴嘴 811、第二噴嘴 821、以及第三噴嘴 831（其分別使用臭氧水、氫氟酸溶液、以及純水至由

支持部 850 所知持著之 SOI 基底 W。臭氧水供應單元 810 係連接至第一噴嘴 811；氫氟酸供應單元 820、第二噴嘴 821；以及純水供應單元 830、第三噴嘴 831。該旋轉機構 840 以及供應單元 810、820 以及 830 係由控制器 860 所控制。該控制器 860 藉由旋轉機構 840、供應單元 810、820 以及 830（根據預設程式（處理調制器））而控制單元薄化步驟 S 74 之執行。

該 SOI 基底 W 係藉由傳送機構（未顯示）而放置於該支持物 850 上。當 SOI 基底 W 係設置於該支持部 850 上時，該旋轉機構 840 在由箭頭 A 所表示根據由控制器來之指令而旋轉 SOI 基底 W。該旋轉速度一般係約為 800 至 1000 r p m。

臭氧水係自臭氧水供應單元 810 經由第一噴嘴 811 而送入至 SOI 基底 W 之表面（在控制器 860 之控制下），以執行 SOI 層表面之單元層之氧化步驟（單元層氧化步驟 S 31）。該臭氧水之臭氧濃度最好係為 10 p p m。供應時間約為 20 秒。藉由此處理，SOI 基底 W 之表面上之矽以不超過單一晶格之預設厚度而被氧化。在所設定之供應時間到的時候，臭氧水供應單元 810 停止供應臭氧水（在控制器 860 之控制之下）。

該氫氟酸供應單元 820 經由第二噴嘴 821 而將氫氟酸溶液送入至 SOI 基底 W 之表面（經由控制器 860 之控制），以執行移除由於臭氧水所形成之氧化矽層（氧化矽層移除步驟 S 32）。該氫氟酸之濃度最好係如 15%，且

(21)

供應時間最好係為約 15 秒。藉由此處理，在 SOI 基底 W 表面上之氧化矽層被蝕刻。特別是，該 SOI 層以不超過單一晶格之預設厚度經由矽氧化並蝕刻殘存氧化矽而薄化。在所設定之供應時間到了之後，該氫氟酸供應單元 820 停止供應氫氟酸溶液（在控制器 860 之控制下）。

純水供應單元 830 係經由第三噴嘴 831 而在控制器 860 之控制下而將純水供應至 SOI 基底，以移除在 SOI 基底上之化學溶液。該純水供應單元 830 之後在控制器 860 之控制下而停止供應純水。該旋轉機構 840 增加 SOI 基底 W 之旋轉速率至約 1200rpm 並轉乾（spin-dry）該 SOI 基底。

在上述程序中，該 SOI 基底在使用氫氟酸處理之後而被清洗以及乾化。為了得到親水表面以避免如外在物質之附著，該 SOI 基底可再次使用臭氧水而在處理之後而清洗以及乾化。

假如使用在決定步驟 S73 中之決定參考值被適當改變，可得到厚度不同於上述之各種厚度之 SOI 層。例如，假如在決定步驟 S73 中之決定參考值係為 51 時，可得到 SOI 層之厚度為 $50 \pm 1 \text{ nm}$ ，而假如決定參考值為 6nm，則可得到 SOI 層之厚度為 $5 \pm 1 \text{ nm}$ 。

圖 10 係為本發明第二實施例之超薄 SOI 基底製造方法之流程圖。此處係描述具有厚度為 $55 \pm 1 \text{ nm}$ 之 SOI 層之 SOI 基底。

在製備步驟 S91 中，具有厚度為 54nm 或是更多之

(22)

SOI 層之原始 SOI 基底被製備（如第一實施例之製備步驟 71）。

在膜厚度量測步驟 S92 中，係量測 SOI 層之厚度。此量測可使用像是非破壞性以及非接觸性之光學干涉厚度量測器而執行。

在數次重複之計算步驟 S93 中，單元薄化不炷之重複計數（執行次數）係根據在量測步驟以及 SOI 層之預設最終標的膜厚度（在薄化步驟後所得到之 SOI 層之膜厚度，在此例中係為 55nm）所得到之量測值而計算。該單元薄化步驟經調整使得 SOI 層之厚度在單一單元薄化步驟中以 0.60nm（晶格之厚度）而減少。此數，重複計數 N 可以等式（1）而計算：

$$N = (t - 55) / 0.6 \quad \dots(1)$$

其中等式（1）中之“55”（nm）係為最終標的膜厚度。假設最終標膜厚度可任意設定。使 t_{final} 為最終標的膜厚度，該重複計數 N 可以等式（2）而計算：

$$N = (t - t_{final}) / 0.6 \quad \dots(2)$$

在薄化步驟 S94 中，係重複執行單元薄化步驟 N 次，藉此而將 SOI 層薄化至最終標的膜厚度（此例中為 $55 \pm 1 \text{ nm}$ ）。

在此實施例中，圖所示之處理裝置 800 可使用為重複該單元薄化步驟。此時，以下操作為有效。特別是，包含使用臭氧水而氧化單一晶格之厚度並使用氫氟酸溶液而蝕刻氧化矽之處理係假定為單一週期（單元薄化步驟）。此

(23)

週期重複 N 次，且之後執行清洗以及乾化步驟。

單元薄化步驟之重複計數 N 之計算並非只限定於等式 (1) 或 (2)。考慮混亂因素之校正項次可考慮加入至等式 (1) 或是 (2)。除了該些等式之外，可根據事先由實驗所得之表格（描述單元薄化步驟之重複計數 N 以及薄化數量間之關係的表格）而計算。

將本發明第二實施例以及第一實施例之方法之組合亦為有效。例如，在第二實施例，薄化 SOI 層厚度 t ($= 61$) 而為最終標的膜厚度之單元薄化步驟重複計數 N 可根據等式 (1) 而計算為 10。假如重複計數 N 增加，最終得到之 SOI 層之膜厚度可能與最終標的膜厚度有所差異。以單一步驟薄化步驟之薄化量可估算為預設值（如 0.6nm ），且很可能累積每個單元薄化步驟中之失誤。在此環境下，在重複單元薄化步驟 M ($M < N$) 次之後，而執行第一實施例之程序（其實施高精確膜厚度調整）。此時，膜厚度量測次數值將低於根據開始時第一實施例之程序中所執行之膜厚度調整之值。

參考圖 11 而描述本發明之另一晶圓處理裝置（單晶圓膜厚度調整裝置）。在圖 9 以及 11 中，相同之標號係表示相同之部位，且圖 9 中相同之描述相在圖 11 中刪除或是簡化。

處理裝置 1000 係結合量測 SOI 層之膜厚度之量測單元。該量測單元具有可追蹤感應頭 871 以及膜厚度感應器主體 870。該頭 871 係經由光纖 872 而連接至主體 870。該

(24)

頭 871 係耦合至經由支撐臂 873 而以驅動機構（未顯示）而旋轉驅動之轉動軸 874。

該膜厚度感應主體 870 結合有一光源。自該光源射出之光線經由官鉛 872 而被導引至感應頭 871，並進入至 SOI 基底 W。由 SOI 基底反射之光線通過光頭 871 以及光纖 872，並回送至膜厚度感應主體 870 來自 SOI 基底 W 之光線乾含由薄矽膜（SOI 層）所產生之干涉信號。該膜厚度感應主體 870 將該干涉信號轉為 SOI 層之膜厚度。

該感應頭 871 係在膜厚度量測時而建構在 SOI 基底 W 之表面周邊處（如圖 11 所示）該感應頭 871 在傳送 SOI 基底 W 或是薄化步驟時（在氧化、蝕刻、清洗、以及乾燥時），將被拉回至一拉回位置。在此實施例中，該感應器頭 871 係藉由以旋轉機構（未顯示）而旋轉該轉動軸 874 而移動。然而，該感應頭 871 可例如在垂直方向或是水平方向而被線性驅動。

在傳送 SOI 基底 W 或是薄化步驟時（在氧化、蝕刻、清洗、以及乾燥時）之感應器頭 871 之拉回，可避免在輸送 SOI 基底 W 時在 SOI 基底 W 以及以及感應器頭 871 之間之任何接觸以及在氧化或是蝕刻時對於感應器頭 871 之任何化學溶液黏附。

在膜厚度量測單元（膜厚度量測主體 870）中所得之膜厚度量測值將被送入至控制器 860。該控制器 860 具有一控制順序（一般而言，係為控制程式）以自動執行如圖 8 所示之步驟 S72 至 S74 以及圖 10 之 S92 至 S94 之程序。

(25)

特別是，該控制器 860 經組構為根據 SOI 層厚度之量測結構而控制薄化步驟之裝置或是根據 SOI 層厚度之量測結果而控制單元薄化步驟之重複之裝置。該控制器 860 包含接收像是 SOI 層之最終標的膜厚度等之資訊之單元（如，經由通訊現、操作面板等而自外部裝置接收資訊之單元）。

該控制器 860 一般可藉由裝設一用以控制如圖之 S72 至 S74 或是圖 10 之 S92 至 S94 之程序的程式至包含 CPU、記憶體（RAM、硬碟機等）、輸入與輸出裝置（如，鍵盤、滑鼠、顯示器、以及網路介面）等之電腦中。

該控制器 860 以及膜厚度感應主體 870 可具有容納旋轉機構 840、臭氧水供應單元 810、820 以及 830 等之外殼 900。或者，控制器 870 以及膜厚度感應主體 870 可與外殼 900 分開，並經由通訊纜線而連接至外殼之機構。

如上述，本發明之較佳實施例可例如有現控制 SOI 層之厚度且 / 或刪除 SOI 層之瑕疵源且 / 或確保高表面平坦度且 / 或增加可靠度而得到所要之 SOI 層規格。

[第一例]

此例提供藉由比較本發明之厚度較單一晶格為厚之預設厚度為單元之薄化步驟以及其他方法。圖 12 係為比較在薄化步驟（即，當根據本發明而執行薄化步驟（圖 12），當在熱氧化之後執行氧化膜蝕刻（圖 12 之“熱氧化 / 氧化膜蝕刻之後”），以及當執行使用 SC-1 之蝕刻（圖

(26)

12 中“SC-1 蝕刻之後”)) 而得到之 SOI 基底表面之 rms 值 (1 微米、2 微米、5 微米、10 微米以及 20 微米) 之表格。

藉由本發明不超過單一晶格之預設厚度為單元之薄化步驟，薄膜之微型粗糙度將略化的極為輕微。

[例 2]

此例提供根據本發明以不超過單一晶格之厚度為單元之薄化步驟之前以及之後之 SOI 層膜厚度分佈。

圖 13 展示在使用本發明不超過單一晶格厚度之預設厚度而薄化 SOI 基底 40nm 之前以及之後在量測 SOI 基底之 17 個平面上點 (位置為 1 至 17) 之 SOI 層膜厚度分佈之結果。藉由本發明之薄化步驟，SOI 基底之平面上膜厚度之變異範圍儘管在薄化之後仍保持極為小。

[例 3]

此例係提供 ELTRAN (註冊商標) 之本發明之應用。

如圖 2C 之原始 SOI 基底係使用 ELTRAN (註冊商標) 而形成 (S10) 。該原始 SOI 基底經形成而使 SOI 層 203 具有 45nm 之厚度以及 50nm 厚度之埋置氧化膜 204 。該原始 SOI 基底之表面粗糙度係以 AFM 而在微米乘以 1 微米之範圍下量測。該結果之 rms 值係為 10.5nm 。

該原始 SOI 基底係在 1050℃ 下以 100% 氫環境而予以退火 (平面化) 。在平面化之後之 SOI 層之表面粗糙度係

(27)

以 AFM 而在微米乘以 1 微米之範圍下量測。經確認該表面粗糙度被改進，即，所得之 rms 值減少至 0.09nm。在以橢圓量測器而量測平面化之後之 SOI 層膜厚度，且其值為 44nm。

在平面化之後之原始 SOI 基底係設定在圖 9 之單晶圓處理裝置中。之後，連續重複 40 次之循環（單元薄化步驟），如下：提供 10 秒之 10ppm 之臭氧水並以 500rpm 而旋轉原始 SOI 基底（以不超過單一個晶格之預設厚度為單元之氧化步驟）並提供 1.0% 之氫氟酸溶液約 10 秒（氧化矽層移除步驟）。結果，SOI 層之膜厚度變成 20nm。該 rms 值係以 AFM 而在 1 微米乘以 1 微米之區域中量測，而發現剩下 0.09nm。整個 SOI 基底之膜厚度分佈範圍（最大值減去最小值）未改變。

在薄化之後之 SOI 基底以濃縮之氫氟酸滴入 15 分鐘以放大瑕疵。該瑕疵密度以微透鏡觀察並量測。形成在 SOI 層之矽孔的瑕疵之密度係為 0.05 瑕疵/平方公分。經確認，該 SOI 基底具有極低之瑕疵密度以及良好之表面平坦度。

[例 4]

此例提供本發明對於 Smart Cut（註冊商標）之應用。

如圖 3C 所示結構之原始 SO 基底係使用 Smart Cut（註冊商標）而形成（S10）。該原始 SOI 基底經形成具

(28)

有厚度為 145nm 厚度之 SOI 層 303 以及具有 200nm 厚度之埋置氧化膜 304.該原始 SOI 基底之表面粗糙度係以 AFM 而量測 1 微米乘以 1 微米之區域。

爲了減少該原始 SOI 基底之 SOI 層之厚度至 20nm，在第一階段處理中執行對於所得熱氧化矽膜之熱氧化以及蝕刻（所謂犧牲氧化）。該 SOI 層之厚度減少至 50nm。以犧牲氧化而蝕刻之後之表面粗糙度係爲 13.5nm。該原始 SOI 在 80% 之氬氣以及 20% 之氫氣之氣體混合下在 1000℃ 下 3 小時而退火（即，平面化）（S20）。結果，平面化得到改進，即，rms 值減少至 0.01nm。在平面化之後之 SOI 層之膜厚度係爲 50nm 且不改變。

平面化之後之原始 SOI 基底係在如圖 9 所示之單晶圓處理裝置中設定。即，連續重複 50 次如下週期（單元薄化步驟）（S30）：供應 5% 硝酸溶液 7 秒（以不超過單一晶格預設厚度爲單元之氧化步驟）並以 5004rpm 旋轉該原始 SOI 基底，供應純水秒、並提供 10% 氫氟酸溶液 10 秒（氧化矽層移除步驟）。結果，SOI 層之膜厚度變爲 20nm。該 rms 值可好到 0.11nm。

薄化之後之 SOI 基底以濃縮之氫氟酸溶液滴入 15 分鐘以放大瑕疵。該瑕疵密度以微透鏡觀察並量測。形成在 SOI 層之矽孔的瑕疵之密度係爲 0.07 瑕疵/平方公分。經確認，該 SOI 基底具有極低之瑕疵密度以及良好之表面平坦度。

[例 5]

此例提供本發明對於 ELTRAN（註冊商標）之應用。

如圖 2C 所示結構之 $300\text{mm}\phi$ 之原始 SOI 基底係使用 ELTRAN（註冊商標）而製備（S10）。該原始 SOI 基底係使用在與圖 3 相同之條件下以氫環境而退火（S20）。

在退火之後之 SOI 基底，SOI 層之膜厚度係以商用光學干涉式厚度量測器而量測。關於 SOI 基底之中心 X 軸上 30 個點而量測膜厚度。該平均膜厚度係為 67.2nm 。

該 SOI 基底之 SOI 層係使用濕清潔裝置而薄化，如圖 9 所示之單晶圓處理裝置 800（S30）。

在薄化步驟中，係連續重複 96 次之循環（單元步驟步驟），如下：提供 10ppm 之臭氧水 40 秒（以不超過單一晶格之預設厚度為單元之氧化步驟）並以 500rpm 旋轉如圖 9 所示之單晶圓處理裝置並提供 0.7% 氫氟酸溶液 15 秒。結果，SOI 層之厚度變成 21.7nm 。整個 SOI 基底之膜厚度分佈之犯為（最大值減去最小值）變成較薄化步驟之前之厚度為大 1.2nm 。

[例 6]

此例提供本發明對於 ELTRAN（註冊商標）之應用。

如圖 2C 所示結構之 $300\text{mm}\phi$ 之原始 SOI 基底係使用 ELTRAN（註冊商標）而製備（S10）。該原始 SOI 基底係使用在與圖 3 相同之條件下以氫環境而退火（S20）。

在退火之後之 SOI 基底，SOI 層之膜厚度係以商用光

(30)

學干涉式厚度量測器而量測。關於 SOI 基底之中心 X 軸上 30 個點而量測膜厚度。該平均膜厚度係為 60.5nm。

該 SOI 基底之 SOI 層係使用濕清潔裝置而薄化，如圖 9 所示之單晶圓處理裝置 800 (S30)。

在薄化步驟之單元薄化步驟中，係施加 12ppm 之臭氧水 60 秒，並以 250rpm 而旋轉如圖所示之單晶圓處理裝置 800 (以不超過單一晶格之預設厚度為單元之氧化步驟)。純水送入 40 秒以完全移除被處理之 SOI 基底上之臭氧水。0.7% 氫氟酸溶液送入 50 秒 (氧化矽層移除步驟) 以完全移除在臭氧水處理中形成之被處理 SOI 基底之表面上之氧化矽。純水送入 40 秒以完全移除被處理 SOI 基底上之氫氟酸溶液。

此週期步驟 (單元薄化步驟) 連續重複 64 次 (S30)。結果，SOI 層之膜厚度變成 32.7nm。整個 SOI 基底之膜厚度分佈範圍 (最大值減去最小值) 成為較薄化步驟之前者小 3nm。不同於例 5，由於 SOI 層薄化步驟而增加範圍，即，不會有被處理 SOI 基底之平面膜厚度均勻度之劣化。

[例 7]

此例提供對於 ELTRAN (註冊商標) 之本發明之應用。

首先，如圖 2C 所示結構之 225 原始基底使用 ELTRAN (註冊商標) 而製備 (S10)。

(31)

該 225 原始 SOI 基底之 SOI 層係根據如圖 8 所示使用商用單晶圓濕清潔裝置（作為如圖所示之單晶處理裝置 800）而薄化（S30）。為量測每個 SOI 層之膜厚度，可使用商用光學式厚度量測器。

如薄化步驟中之處理條件，係採用單晶圓處理裝置 800（圖 9）中之描述。使用在薄化步驟中之化學溶液係根據一般程序使用包括在單晶圓濕清潔裝置裝之機構而製備。該化學溶液之溫度不被控制但是係為室溫（23℃）。

圖 14 係為展示在薄化之前以及之後量測 SOI 層厚度之結果的表格。在此例中，而得到膜厚度變異範圍在 11.5nm 至 1.8nm，以及具有高膜厚度均勻性在 $55 \pm 1\text{nm}$ 之 225SOI 基底。每個 SOI 基底之平面膜均勻度之劣化平均小於 0.1nm（相對於原始 SOI 基底）。即，平面均勻度劣化非常輕微。

如上述，經確認，商用單晶圓濕清潔裝置可使用以得到在不使用任何特殊濃度/溫度控制下具有高膜厚度均勻性之 SOI 層。

[例 8]

此例提供對於 ELTRAN（註冊商標）之應用。在此例中，每個 SOI 基底係根據如圖 15 所示製程而製造。

在步驟 S1301 中（對應於 S10），如圖 C 所示之原始 SOI 基底係使用 ELTRAN（註冊商標）而製備。每個原始 SOI 基底之大小係為 8 英吋，且單一 SOI 層之膜厚度係約

為 60nm。

在步驟 S1302 中，單元薄化步驟在使用如圖所示之單晶圓處理裝置 800 之商用單晶圓濕蝕刻裝置下而位於每個原始 SOI 基底而重複 91 次。此時，容納有多數個原始 SOI 基底之卡匣在處理裝置 1000 中濕化，且多數個原始 SOI 基底之 SOI 層藉由本發明之原子操作而被連續薄化。在此連續處理中，對於每個多數個 SOI 基底重複：自該卡匣取出以及傳送每個原始 SOI 基底、薄化該原始基底、以及將薄化後之 SOI 基底儲存於卡匣中。為了移除每個 SOI 基底，可使用原子輸送機構。

臭氧水之臭氧濃度係為 10ppm，且臭氧水的一次供應時間係為 10 秒。關於氫氟酸溶液，係使用 0.7% 稀釋之氫氟酸，且氫氟酸的一次供應時間係為 8 秒。在單元薄化步驟時每個 SOI 基底之旋轉速度係為 500rpm。該 SOI 基底以及化學溶液之溫度並不特別控制並保持在室溫。在單元薄化步驟重複 91 次之後，每個 SOI 基底係以純水濕潤並乾糙，並以高速旋轉（1500rpm）。

依此，單元薄化步驟對於每個容納於卡匣內之原始 SOI 基底重複 91 次。

在步驟 S1303 中，卡匣移送至膜厚度量測單元以量測每個 SOI 基底之 SOI 層之厚度。具有晶圓輸送機構之自動橢圓測量器被使用在此膜厚度量測中。多數個卡匣在橢圓測量器中被設定。根據預設程式，輸送機構藉由自動操作而自卡匣一個接著一個的取出 SOI 基底以執行量測。每

(33)

個 SOI 基底係在 17 個平面上點而量測。被執行量測之 SOI 基底被送回至卡匣，且下一 SOI 基底係自卡匣取出以量測。

對於收納於卡匣端部之所有 SOI 基底而對於膜厚度量測之嘔，在步驟 S1304 中，電腦進行量測結果。電腦計算對於每個 SOI 基底計算（（最大加最小）/2）並界定計算結果為決定標的膜厚度。決定參考值係設定為 21nm。在此例中，決定等於或是大於預設參考值之決定標的膜厚度被決定為 NG，且小於決定參考值者被決定而為 OK。

注意，每個 SOI 基底之平面量測點之數目、決定出決定標的膜厚度之方法、決定參考值等可根據被製造之 SOI 基底之規格而適當的改變。

例如，決定標的膜厚度可以是藉由量測在多數個平面點上之膜厚度而得之值之平均值。

在此例中，在步驟 S1304 中，膜厚度決定係對於每個收納在卡匣中之所有 SOI 基底而執行。之後，卡匣被送入至自動自動單晶圓傳送裝置。該自動傳送裝置一個接著一個的自卡匣取出經決定為 OK 之 SOI 基底（此後稱為 OK 晶圓），並將之收納於另一卡匣（此後稱為 OK 卡匣）。

在所有 OK 晶圓被傳送至“OK 卡匣”之後，具有剩餘 SOI 基底之原始卡匣（經決定為 NG）被送入單晶圓濕蝕刻裝置，以執行最終調整單元薄化步驟 S1305。在最終調整單元薄化步驟 S1305 中，單元薄化步驟只執行一次，且流程進入至膜薄化量測步驟 S1303。於是，步驟 S1305 係

(34)

與重複單元薄化步驟 91 次之連續單元薄化步驟 S1302 不同。對於處理條件、處理程序等，最終調整單元薄化步驟 S1305 係與連續單元薄化步驟 S1302 者不同。

對於每個 SOI 基底，單元薄化步驟係重複直到在決定步驟 S1304 中決定為出 SOI 基底為 OK 晶圓，即，SOI 層之厚度被減少為小於 21nm。

依此，當所有 SOI 基底係容納於“OK 卡匣”，對於多數個原始 SOI 基底之薄化步驟結束。

每個根據上述處理而薄化之 38 個 SOI 基底之膜厚度係在 49 個平面點上量測。對於總數為 1862 之量測點，平均膜厚度係為 20.1nm；最大值為 21.0nm；最小值為 19.1nm；且平均變異為 0.3nm。

經進行上述程序之每個 SOI 層之表面粗糙度係以原子力顯微鏡而量測。該所得均方粗糙度 (Rms) 係為 0.11nm(1 微米²)，0.11nm(2 微米²)，以及 0.14nm(10 微米²) (在每組括號內之值係為原子力顯微鏡之掃描區域)。

經上述處理後之三個 SOI 基底之整個 SOI 層之瑕疵密度係以 HF 瑕疵估算方法而估算。該 HF 瑕疵密度範圍係在 0.23 至 0.30cm²。

如上述，根據本發明，可形成具有優異膜厚度均勻杜、表面粗糙杜、以及瑕疵密度之超薄 SOI 基底。

在此例中之製造程序可藉由稍微之改變而製造具有相對於任意膜厚度規格值之 $\pm 1\text{nm}$ 精密度以及膜厚度範圍在

(35)

55nm 或更小之 SOI 層。特別是，只藉由改變在連續單元薄化步驟 S1302 之重複計數以及在膜薄化決定步驟 S1303 之決定參考值，可在不改變原始 SOI 基底製造程序之製程條件下而製造 55nm 或更小之任意膜厚度之 SOI 層之 SOI 基底。

圖 16A 以及 16B 係展示本發明另一較佳實施例之基底製造裝置之結構圖之切面圖。

支持桌 1604 係為支撐被處理半導體基底 1603 之支持物。該基底處理裝置最好採用具有一半導體層（如，像是矽之半導體物質）於其表面之基底，而作為半導體基底 1603。特別是，該基底處理裝置最好採用 SOI（矽於絕緣體或是半導體於絕緣體）基底，其中半導體層係形成在絕緣體之上。該支持桌 1604 最好係以抵抗施加於半導體基底 1603 之半導體層之化學溶液之物質所製。例如，當包含 HF（此後稱為氫氟酸溶液）之蝕刻劑以化學溶液而使用於半導體基底之半導體層時，與支持桌 1604 之半導體基底 1603 接觸之整個或是部分最好係以 HF 抵抗塑膠等而製。

基底旋轉機構 1616 係位於支持桌 1604 之下以旋轉半導體基底 1603。該基底旋轉機構 1616 可有許多形式。例如，在圖 16A 之基底處理裝置採用將基底轉軸 1617 耦合於支持桌 1604 之下部、基底轉動齒輪 1618 接附於基底轉動齒輪 1617、基底轉動馬達齒輪 1619 與基底轉動齒輪 1618 咬合、以及基底轉動軸齒輪 1619 以基底轉動馬達

(36)

1620 轉動之機構。

化學供應噴嘴 1607 係位於支持桌 1604 之上以供應化學溶液至半導體基底 1603 之半導體層中。該化學供應噴嘴 1607 係由在例如水平方向以噴嘴驅動機構 1621 之噴嘴驅動機構 1621 所驅動。該噴嘴驅動機構 1621 有許多形式。例如，如圖 16A 所示之機構可考慮。特別是，耦合至化學供應噴嘴 1607 之噴嘴可移動軸 1622 係建構在噴嘴可移動軌道 1626 之上。噴嘴可移動齒輪 1623 接附在噴嘴可移動軸 1622 以與噴嘴可動馬達齒輪 1624 咬合。該噴嘴可移動軸 1622 可藉由噴嘴可移動馬達 1625 而轉動。爲了載入以及傳送半導體基底 1603，化學供應噴嘴 1607 可移至支持桌 1604 之外側（如圖 16B 所示）（藉由對於噴嘴可移動軸 1622 而如圖 16A 箭頭 D 所示之方向而旋轉化學供應噴嘴 1607，並如圖 16A 箭頭 E 所示方向而滑動噴嘴可移動軸 1622（圖 16B）。

該噴嘴可移動軸 1622 係耦合於化學溶液供應現以供應化學溶液至半導體基底 1603 之半導體層。每個化學溶液供應現可由許多形式。圖 16A 展示供應臭氧水之臭氧水供應線 1610、供應像是氫氟酸溶液之蝕刻劑之蝕刻劑供應線 1613、以及供應沖洗液（rinse）（即，純水）之沖洗液供應線 1615。此些化學供應線係耦合於像是槽（儲存化學溶液）之化學溶液供應單元。例如，臭氧水供應線 1610 係耦合至儲存臭氧水之臭氧水供應線 1609；蝕刻劑供應線 1613、儲存氫氟酸溶液之蝕刻劑供應單元

(37)

1612、以及沖洗液供應線 1615、沖洗液供應單元（未顯示）（儲存沖洗液）。臭氧水供應閥 1608、蝕刻劑供應閥 1611、以及沖洗液供應閥 1614 係個別位在臭氧水供應線 1610、蝕刻劑供應線 1613、以及沖洗液供應線 1615。此些閥 1608、1611 以及 1614 係藉由控制器 1639 而自動開啓或是關閉，且可開始以及結束化學蝕刻半導體基底 1603 之半導體層之程序。

爲了執行本發明之蝕刻，可根據在半導體基底表面上被蝕刻之半導體層之物質而選用各種清潔溶液。在此實施例中，在半導體基底表面上之半導體層（矽）係以臭氧水而氧化，且該氧化矽必使用氫氟酸溶液（包括 HF 以及至少一 H_2O ， HNO_3 ，以及 CH_3COOH 之混合溶液）而蝕刻。然而本發明並不限於此，而可採用各種酸性或是鹼性化學溶液。例如，可使用由混合 NH_4OH ， H_2O_2 ，以及 H_2O 而得之清潔試劑（APM）而執行。在此情形中，APM 稍微蝕刻經氧化之矽表面，而形成一氧化膜於矽表面。因此，具有臭氧水之氧化不需要執行。使用有機鹼性強化溶液（像是 TMAH（氫氧化三甲基銨））而蝕刻。因此，關於上述化學供應線以及化學供應單元，可採用對應於化學溶液者。

當化學溶液係供應至半導體基底 1603 之半導體層，且半導體基底 1603 係藉由旋轉基底旋轉機構 1616 而旋轉時，在半導體基底 1603 之半導體層上之化學溶液可能潑灑而附著在基底旋轉機構 1616 周圍之機構上。此圍繞於

(38)

基底旋轉機構 1616 周圍之機構會因為該化學溶液之潑灑而被侵蝕。因此，最好每個在基底旋轉機構 1616 周圍之機構係以阻止該化學溶液之材質所製，或是建構一作為覆蓋構件之化學反潑灑杯 1605（如圖 16A 所示），以圍繞建構有半導體基底 1603 之區域。該化學反潑灑杯 1605 最好包含一杯舉起機構 1606，其相對於半導體基底 1603 之表面而垂直驅動該化學反潑灑杯 1605。該杯舉起機構 1606 可放下該化學反潑灑杯 1605 以負載或是輸送該半導體基底 1603，而其可舉起該化學反潑灑杯 1605 以供應化學溶液至該半導體基底 1603 之半導體層。且，該化學反潑灑杯 1605 可包含一射出線，其射出該供應至該半導體基底 1603 之半導體層之化學溶液。

膜厚度量測單元 1628 係為在基底處理裝置之上部分以量測該半導體基底之半導體層之膜厚度。該膜厚度量測單元 1628 有許多形式。一般而言，該膜厚度量測單元 1628 包含射出光線、射線或是紫外光波（反射在半導體基底 1603 之半導體層之表面上）於半導體基底 1603 之半導體層之源 1629、固定該源 1629 以及偵測器 1630 之源 / 偵測底座（mount），以及膜厚度改變單元 1635（其將來自於偵測器 1630 之量測結果轉換為半導體基底 1603 之半導體層之膜厚度（如圖 16A 所示）。該源 1629 係經由像是射出光線光纖 1633 之連接纜線而連接至膜厚度改變單元 1635。例似的，該偵測器 1630 係經由像是反射光光纖 1634 之連接纜線而連接至膜厚度改變單元 1635。該膜厚度

(39)

量測單元 1628 最好包含一膜厚度量測舉起機構 1632，其在垂直於半導體幾底表面之方向上而驅動該膜厚度量測單元 1628。爲了量測半半層之表面，該膜厚度量測單元舉起機構 1632 在膜厚度量測單元儲存門 1627 開啓之後而放下該源偵測器底座 1631（圖 16B）。該具有經量測之半導體基底 1603 之半導體層表面之膜厚度量測單元 1628 係裝設於膜厚度量測單元儲存門 1627。該膜厚度改變單元 1635 係經由連接膜厚度改變單元 1635 以及控制器 1639 之連接纜線 1636 而連接至該控制器 1639。該控制器 1639 可根據由膜厚度改變單元 1635 所轉換之資料而執行蝕刻。該控制器 1639 係經由連接基底轉動馬達 1620 以及控制器之連接電纜 1637 而連接至基底轉動馬達 1620。該控制器 1639 亦連接至噴嘴可移動馬達 1625 以及噴嘴可移動軌跡 1626（經由連接噴嘴可移動馬達 1625 以及噴嘴可移動軌跡 1626 至該控制器）而。此些連接只是例子，而控制器 1639 可連接至其他單元。

一（半導體）基底傳送機器人 1602 包含一機器人手（hand），其經組構以夾住以及握住該半導體基底之下表面，且可經由一半導體基底傳送埠 1601 而輸送該半導體基底 1603。此機器人手可避免該半導體基底 1603 之表面於受到污染或是損害。基底處理裝置 1600 係耦合至排出管道（duct）且係經組構以外部在基底處理裝置 1600 中之大氣環境。

以下描述圖 16A 以及 16B 之實施例之基底處理裝置

之操作。

該半導體基底傳輸埠 1601 被開啓，且半導體基底傳送機器人 1602 輸送該半導體基底 1603 至該基底處理裝置 1600 並將之放置在支持桌 1604。此時，該化學反潑灑杯 1605 可藉由該杯舉起機構 1606 而放下至不妨礙半導體基底 1603 之輸送之位置。當半導體基底 1603 係放置在支持桌 1604 上時，該杯舉起機構 1606 舉起該化學反潑灑杯 1605 並將之停只在預設位置（圖 16A）。

該半導體基底 1603 自基底旋轉機構 1616 而接收能量（由於箭頭 A 所示之方向之旋轉）以在箭頭 B 所示方向而旋轉。此時，該化學供應噴嘴 1607 可自噴嘴驅動機構 1621 而接收能量（圖 16A 之箭頭 C）以在箭頭 D 方向而掃描半導體基底 1603 之半導體層。

臭氧水係自化學供應噴嘴 1607 供應，並掃描該半導體基底 1603 之半導體層。該供應在預設時間段停止之後而停止。該臭氧水供應閥 1608 被開啓，且臭自該臭氧水供應單元 1609 經由臭氧水供應線 1610 而流出。該臭氧水係自化學供應噴嘴 1607 而供應至半導體基底 1603 之半導體層。將臭氧水供應至該半導體基底 1603 之半導體層將氧化半導體之表面。

氫氟酸溶液係自化學供應噴嘴 1607 供應，並掃描該半導體基底 1603 之半導體層。該供應在當預設之時間段之後而停止。類似於該臭氧水，該蝕刻劑供應閥 1611 被開啓，且氫氟酸溶液經由蝕刻劑供應線 1613 而自蝕刻劑

(41)

供應線 1612 而流出。該氫氟酸溶液自化學供應噴嘴 1607 而送入至半半層。將氫氟酸溶液送入至半導體基底 1603 之半導體層將蝕刻該半導體層之表面。

沖洗液係自化學供應噴嘴 1607 供應，並掃描該半導體基底 1603 之半導體層。該供應在預設時間段到了時而停止。該沖洗液供應閥 1614 被開啓，且該沖洗液經由沖洗液供應線 1615 而自沖洗液供應單元（未顯示）而流出。該沖洗液係自化學供應噴嘴 1607 而送入至該半導體基底 1603 之半導體層。

該半導體基底 1603 係藉由基底旋轉機構 1616 而高速旋轉並被轉乾。注意，該像是臭氧水、蝕刻劑、以及沖洗液之化學溶液在化學溶液處理之後而自為在化學反潑灑杯 1605 之釋出線 1641 而釋出。

該化學供應噴嘴 1607 藉由噴嘴驅動機構 1621（箭頭 C）之操作以及噴嘴可移動軌道 1626（箭頭 E）（圖 16B）之操作而移動至不妨礙膜厚度量測之位置。該膜厚度量測單元儲存門 1627 在箭頭 F 所示之方向開啓，且膜厚度量測單元舉起機構 1632 延伸。該膜厚度量測單元 1628 下移至預設位置並停止。該膜厚度量測單元 1628 包含該源 1629、偵測器 1630、以及源/偵測器基座 1631（其將該些固定）。其係經由照射光纖 1633 以及反射光光纖而連接至膜厚度改變單元 1635。

該膜厚度量測開始。該膜厚度量測之原理如下。特別是，光線係自包括光源之膜厚度改變單元 1635 而射出並

通過射出光線光纖 1633。該光線自該源 1629 匯合並在半導體基底 1603 之半導體層上反射。該光線係由偵測器 1630 接收而作為包含干涉信號之反射光線。該由偵測器 1630 接收之光線回送至膜厚度改變單元 1635（經由該反射光光纖 1634）。該膜厚度改變單元 1635 將此反射光資料轉換為膜厚度。該膜厚度量測資料（其係藉由膜厚度改變單元 1635 而轉換為膜厚度）係傳送至該控制器 1639，且其決定下一蝕刻是否要執行。該膜厚度量測單元 1628 係在膜厚度量測之後而容納於膜厚度量測單元儲存門 1624 之內側。該化學供應噴嘴（被移動至不妨礙膜厚度量測之位置）回到原始位置（圖 16A）。

假如控制器 1639 根據膜厚度量測資料（其係藉由膜厚度改變單元而轉換）而決定該膜厚度達到一預設值，並決定為“停止蝕刻”，該杯取起機構 1606 下移該化學反潑灑杯 1605 至不妨礙半導體基底 1603 之傳送的位置。該半導體基底輸送埠 1601 開啓，且該半導體基底輸送機器人 1602 自基底處理裝置 1600 中卸下該半導體基底 1603。

另一方面，假如控制器 1639 根據膜厚度量測資料（其係藉由膜厚度改變單元 1635 而轉換為膜厚度）而決定為“繼續蝕刻”，在掃描半導體基底 1603 之半導體層下供應臭氧水之上述處理開始。之後，該蝕刻以及膜厚度量測自動繼續直到控制器 1639 根據膜厚度量測資料（其係藉由膜厚度改變單元而轉換為膜厚度）而決定出該膜厚度到達預設值並決定為“停止蝕刻”。之後，即，假如控制器

(43)

1639 決定為“停止蝕刻”，該化學反應灑杯 1605 下移至不妨礙半導體基底 1603 輸送之位置。該半導體基底輸送埠 1601 開啓，且該半導體基底輸送機器人 1602 自該半導體處理裝置 1600 而卸下該半導體基底 1603。該蝕刻結束。

如上述，根據此實施例，該半導體基底之半導體層可被蝕刻且精確而有效的薄化。為了薄化該半導體基底之半導體層，化學機械拋光（CMP）亦可使用。因為 CMP 藉由機械拋光而切光（shave）該半導體層，壓力（stress）施加於該半導體基底之半導體層，且其很難精確薄化該半導體層。另一方面，根據此實施例，除了機械拋光，可施加化學物質以化學蝕刻該半導體基底之半導體層。於是，沒有壓力施加於該半導體基底之半導體層，且該半導體層可被精確的薄化。

且，根據此實施例，在使用濕清潔之清潔試劑之蝕刻中，該被處理基底之膜厚度可被自動量測，並保持在支持桌上（對準）。因此，可大大減少過蝕刻之風險，且可增加濕蝕刻之效率。

以下描述根據本發明另一實施例之基底處理裝置。如圖 17A 以及 17B 所示，在粗線條中，本發明之此實施例之基底處理裝置 1700 可藉由改變上述實施例之基底處理裝置 1600 之部分建構而得到。特別是，該基底處理裝置 1700 包含一化學釋出/恢復閥 1742、HF 回復容器 1743、HF 恢復線 1744、化學取樣管 1745、Si 濃度分析器 1746、HF 釋出閥 1747、以及 HF 釋出線 1748（如圖 17A

(44)

以及 17B 所示)，除了圖 16A 與 16B 所示之膜厚度量測單元 1628。該矽濃度分析器 1746 係經由連接管線 1755 而連接至一控制器 1639。

該化學釋出/恢復閥 1742 係建構於化學反潑灑杯 1605 之 HF 恢復線 1744 以及釋出線 1641 之間。當化學釋出/恢復閥 1742 被開啓，經由釋出線 1641 而將化學溶液釋出（如圖 17A 之箭頭 G 所示）。另一方面，當化學釋出/恢復閥 1742 被關閉時，化學溶液經由 HF 恢復線 1744 而恢復至 HF 恢復容器 1743（如圖 17B 之箭頭 H 所示）。該矽濃度分析器 1746 係耦合至化學取樣管 1745 並可量測包含在恢復於 HF 恢復容器 1743 中之化學溶液之矽濃度。該 HF 恢復容器 1743 係耦合至 HF 釋出線 1748。當 HF 釋出閥 1747 被開啓，該化學溶液經由 HF 釋出線 1748 而釋出。

以下描述圖 17 以及 17B 所示此實施例之基底處理裝置之操作。

半導體基底輸送埠 1601 開啓，且半導體基底輸送機器人 1602 將半導體基底 1603 書送至基底處理裝置 1700 並將之設置在支持桌 1604 上。此時，化學反潑灑杯 1605 藉由杯舉起機構 1606 而下移至不妨礙半導體基底 1603 輸送之位置處。當半導體基底 1603 被放置在支持桌 1604 上時，該杯舉起機構 1606 拉起該化學反潑灑杯 1605 並將至停止在預設位置處（圖 17A）。

該半導體基底 1603 自基底旋轉機構 1616 接收電力

(45)

(由於圖 17 箭頭 A 所指方向之旋轉)而在圖 17A 之箭頭 B 所指方向而旋轉。此時，化學供應噴嘴 1607 可自噴嘴驅動機構 1621 而接收電力(圖 17A 之箭頭 C)以在箭頭 D 之方向上而掃描半導體基底 1603 之半導體層。

臭氧水供應閥 1608 開啓，且臭氧水自臭氧水供應單元 1609 經由臭氧水供應線 1610 而流出。該臭氧水係自化學供應噴嘴 1607 而送入至半導體基底 1603 之半導體層。該來自化學供應噴嘴 1607 之臭氧水供應係在掃描半導體基底 1603 之半導體層之同時執行。該供應在當預設時間段到的時候而停止。該臭氧水藉由開啓該化學釋出/恢復閥 1742 而釋出，如箭頭 G 所示。在釋出該臭氧水之後，該化學釋出/恢復閥 1742 被關閉，以恢復一稀釋氫氟酸處理溶液。該稀釋氫氟酸處理溶液藉由關閉該化學釋出/恢復閥 1742 (圖 17B 之箭頭 H)而經由 HF 恢復線 1744 而揮複製 HF 恢復容器 1743。在恢復該稀釋氫氟酸處理溶液之後，該化學釋出/恢復閥 1742 被重新開啓以製備下一沖洗處理。以經藉由使用氫氟酸而蝕刻而移除之部分半導體基底 (Si) 1603 係包含在被恢復於 HF 恢復容器 1743 中之 HF 處理溶液。

該經恢復之稀釋氫氟酸處理溶液經由化學取樣管 1745 而導入至 Si 濃度分析器 1746 以量測該 Si 濃度(圖 17B 之箭頭 I)。矽濃度之分析資料被傳送至控制器，其自分析資料而自動計算蝕刻量、殘餘膜厚度等。該控制器 1639 決定出是否進行下一蝕刻。當矽濃度分析結束，HF

(46)

釋出閥 1747 被開啓而釋出稀釋氫氟酸處理溶液（自 HF 釋出線 1738 處恢復）（圖 17B 之箭頭 J）。該基底處理裝置 1700 接續於稀釋氫氟酸處理溶液而並行於矽濃度分析而執行沖洗處理以及乾化。

特別是，接續於稀釋氫氟酸處理溶液，沖洗液在掃描半導體基底 1603 之半導體層之同時而自化學供應噴嘴供應。該供應在當預設時間段到的時候而停止。該半導體基底 1603 藉由基底旋轉機構 1616 而以高速旋轉並被轉乾。

之後，沖洗液供應閥 1614 開啓，且沖洗液經由沖洗液供應線 1615 而自沖洗液供應單元（未顯示）而流出。該沖洗液係自化學供應噴嘴 1607 而送入至半導體基底 1603 之半導體層。該沖洗液係自開啓之化學釋出/恢復閥 1742（如圖 17A 箭頭 G 所示）而釋出。

類似於上述處理，該控制器 1639 決定出是否在沖洗處理以及乾糙的時候進行至接續蝕刻。假如控制器 1639 根據矽濃度之分析資料之自動計算而決定出該膜厚度達到預設值，並決定出為“停止蝕刻”，則化學反潑灑杯 1605 下移至不妨礙半導體基底輸送之位置。該半導體基底輸送埠 1601 開啓，且該半導體基底輸送機器人 1602 自基底處理裝置 1700 卸下該半導體基底 1603。該蝕刻結束。

另一方面，假如控制器根據矽濃度之分析資料而自動計算決定出到“繼續蝕刻”，在執行掃描而開始供應臭氧水之程序。之後，該蝕刻與矽濃度分析被自動重複直到該控制器 1639 根據矽濃度分析資料而自動計算決定出該膜厚

(47)

度以達預設厚度並決定為“停止蝕刻”。之後，即，假如控制器 1639 決定為“停止蝕刻”，該化學反潑灑杯 1605 下移至不妨礙輸送半導體基底 1603 之半導體層之位置處。該半導體基底輸送埠 1601 開啓，且半導體基底輸送機器人 1602 自該基底處理裝置 1700 卸下該半導體基底 1603。該蝕刻結束。

如上述，根據此實施例，該膜厚度可即時量測，且因此濕蝕刻之結束位置可更精確的被控制。

以下描述本發明另一實施例之基底處理裝置。如圖 18 所示，在粗線中，根據此實施例之基底處理裝置 1800 係藉由改變上述實施例之基底處理裝置 1600 之部分建構而得。特別是，該基底處理裝置 1800 包含如圖 18 所示之電子精確重量量測機構 1849，而非圖 16A 與 16B 所示之膜厚度量測單元。

該電子精確重量量測機構 1849 有許多形式。一般而言，電子精確重量量測機構 1849 可包含半導體基底量重平台 1850、半導體基底量重平台支持彈簧 1851、半導體基底量重輸送軸 1852、以及電子精確重量量測單元 1853。

該半導體基底量重平台 1850 係經由半導體基底量重平台支持彈簧 1851 而彈性設置於支持桌 1604。該半導體基底量重輸送軸 1852 具有尖銳突起並與半導體基底量重平台 1850 之下表面之內凹部分接觸。該 1853 可經由半導體基底量重輸送軸 1852 而精密量測半導體基底 1603 之重

(48)

量。該電子精確重量量測單元 1853 經由 1854 而與控制器 1639 連接。

以下描述圖 18 之此實施例之基底處理裝置之操作。

半導體基底輸送埠 1601 開啓，且半導體基底輸送機器人 1602 將半導體基底 1603 書送至基底處理裝置 1800 並將至設置於該支持桌 1604 上。此時，化學反潑灑杯 1605 藉由杯舉起機構 1606 而下移至不妨礙輸送半導體基底 1603 之位置處。當半導體基底 1603 被設置在支持桌 1604 上時，該杯舉起機構 1606 舉起該化學反潑灑杯 1605 並將之停止在一預設位置（圖 18）。

該半導體基底 1603 自基底旋轉機構 1616 接收電力（由於圖 18 箭頭 A 所指方向之旋轉）而在圖 18 之箭頭 B 所指方向而旋轉。此時，化學供應噴嘴 1607 可自噴嘴驅動機構 1621 而接收電力（圖 18 之箭頭 C）以在箭頭 D 之方向上而掃描半導體基底 1603 之半導體層。

該來自化學供應噴嘴 1607 之臭氧水供應係在掃描半導體基底 1603 之半導體層之同時執行。該供應在當預設時間段到的時候而停止。臭氧水供應閥 1608 被開啓，且臭氧水經由臭氧水供應線 1610 而自臭氧水供應線 1609 流出。該臭氧水係自化學供應噴嘴 1607 而送入至半導體基底 1603 之半導體層。氫氟酸係在掃描半導體基底 1603 之半導體層之同時而自化學供應噴嘴 1607 而供應。該供應在預設時間段到的時候而停止。類似於該臭氧水，蝕刻劑供應閥 1611 被開啓，且氫氟酸經由蝕刻劑供應線 1613 而

自蝕刻劑供應單元 1612 而流出。該氫氟酸溶液係自化學供應噴嘴 1607 而送入至半導體基底 1603 之半導體層。對於半導體基底 1603 之半導體層供應氫氟酸溶液將對於已經以臭氧水氧化之半導體基底化學蝕刻。

沖洗液在掃描半導體基底 1603 之半導體層時而自化學供應噴嘴 1607 供應。該供應在預設時間段到的時候而停止。沖洗液供應閥 1614 被開啓，且沖洗液經由沖洗液供應單元（未顯示）而流出。該沖洗液係自化學供應噴嘴 1607 而送入至半導體基底 1603 之半導體層。

該半導體基底 1603 藉由基底旋轉機構 1615 而以高速旋轉並被轉乾。注意，在化學溶液處理之後之沖洗液係供應給化學反潑灑杯 1605 之釋出線 1641 而釋出。

該電子精確重量量測機構 1849 係具有可精密量測在支持桌 1604 中之半導體基底 1603 以及基底轉動軸 1617。該 1603 在上述連續的臭氧水處理、蝕刻以及沖洗液處理時而被連續量測。該藉由電子精確重量量測單元 1853 所得之 1603 之重量之量測資料被傳送至控制器 1639。該控制器 1639 自量測資料而自動計算蝕刻量、殘餘膜厚度等並決定是否進行至下一蝕刻。

假如控制器根據由電子精確重量量測單元 1853 所得之量測資料而決定出該膜厚度到達預測厚度並決定進入“停止蝕刻”，該杯舉起機構 1606 將該化學反潑灑杯 1605 下移至不妨礙輸送半導體基底之位置處。該半導體基底輸送埠 1601 開啓，且該半導體基底輸送埠 1602 自基底處理

裝置 1800 卸下該半導體基底 1603.該蝕刻結束。

另一方面，假如控制器 1639 根據由電子精確重量量測單元 1853 所得之量測資料而決定“繼續蝕刻”，該上述在掃描半導體基底 1603 之半導體層時自化學供應噴嘴 1607 而供應臭氧水之處理開始。之後，蝕刻與膜厚度量測被自動重複直到控制器 1639 根據由電子精確重量量測單元 1853 所得之量測資料決定出該膜厚度到達一預設厚度並決定為“停止蝕刻”。之後，即，假如控制器 1639 決定出該膜厚度到達該預設厚度並決定為“挺只蝕刻”，該化學反潑灑杯 1605 下移至不妨礙輸送半導體基底之位置處。該半導體基底輸送埠 1601 開啓，且該半導體基底輸送機器人 1602 自該基底處理裝置 1800 處而卸下該半導體基底 1603.該蝕刻吉數。

如上述，根據此實施例，該膜厚度可即時被量測，且因此，濕蝕刻之結束位置可以高精密度而控制。

關於本發明較佳實施例之對於基底處理裝置之應用，係展示使用 ELTRAN（註冊商標）者。圖 19A 至 19F 係解釋本實施例之 SOI 基底製造方法之結構圖。

首先，在圖 19A 所示之步驟中，係製備單晶矽基底 1901，且多孔矽層 1902 係藉由如陽極化而形成在單晶矽基底 1901 之表面上。之後，在圖 19B 之步驟中，多孔單晶矽矽層 1903 係藉由外延增生而形成在多孔矽層 1902 上。在圖 19C 所示之步驟中，該多孔單晶矽層 1903 之表面係經氧化而在其表面上形成一絕緣層（氧化矽層）。藉

(51)

由此處理，而形成第一基底。在圖 19D 所示之步驟中，而製備以單晶矽所製之第二基底 1920。該第一基底 1910 與第二基底 1920 係在室溫下而鍵結使得第二基底 1920 與 SOI 基底 1940 相互面對面，藉此而形成一鍵結基底堆疊 1950。在圖 19E 所示之步驟中，該鍵結基底 1950 係在多孔矽層 1902 處而分離為新第一基底 1910' 以及新第二基底 1930。之後，在圖 19F 所示之步驟中，多孔層 1902'' 以及多孔單晶矽層 1903 係以高選擇率而蝕刻。該多孔層 1902'' 在幾乎不需要減少多孔單晶矽層 1903 之膜厚度下而形成 SOI 基底 1940。藉由上述操作，多孔單晶矽層 1903 以及絕緣層 1904（作為轉換層）被轉換為第二基底 1930。具有極厚表面之 SOI 基底藉由在氫氣環境下對於 SOI 基底 1940 退火而形成。此時，作為 BOX 層之絕緣層 1904（矽氧化膜之部分）在第二基底（處理基底）1920 處形成。在圖 19F 所示之步驟中，本發明之較佳實施例之每個基底處理裝置 1600、1700、1800 可有效以及精確的執行時蝕刻使得多孔單晶矽層 1903 具有預設厚度。雖然此實施例係解釋 ELTRAN（註冊商標），但是亦可應用其他之基底製造方法。

如上述，根據圖 16A 至 19 所示本發明較佳實施例，例如，可精密有效的控制蝕刻。

雖然本發明係以實施例以而說明，對於熟知此技藝者可在不離開本發明之基本觀念以及範圍下而有許多之修改。

【圖式簡單說明】

附圖中，經由與其說明而展示本發明之實施例以作為解釋本發明。

圖 1 係展示本發明較佳實施例之 SOI 基底製造方法之流程圖；

圖 2A 至 2C 係展示 ELTRAN（註冊商標）而形成有機 SOI 基底之方法之圖；

圖 3A 至 3C 係展示以 SmartCut（註冊商標）而形成有機 SOI 基底之方法之圖；

圖 4 係展示在位於絕緣層上之 SOI 厚度係足夠厚時在退火之前以及之後之狀態圖；

圖 5 係展示當在絕緣層上之 SOI 層之厚度為小實在退火之前以及之後之狀態的圖；

圖 6 係為關於該退火步驟之前的有機 SOI 基底之 SOI 層（矽層）之厚度在氫化環境下之退火步驟之後之膜瑕疵（洞）密度；

圖 7 係為薄化步驟之詳細情形之流程圖；

圖 8 係展示根據本發明第一實施例之額外薄膜 SOI 基底之製造方法之流程圖；

圖 9 係展示適合於單元薄化步驟之單一晶圓處理裝置之建構之結構圖；

圖 10 係展示根據本發明第二實施例之額外薄膜 SOI 基底之製造方法之流程圖；

(53)

圖 11 係展示適合於單元薄化步驟之單一晶圓處理裝置之建構之結構圖；

圖 12 係根據本發明在薄化（即，對於原子層之薄化步驟之後、氧化膜蝕刻之後、以及在使用 SC-1 蝕刻之後）而得之 SOI 基底表面之 rms 值之表格；

圖 13 展示在每一原子層薄化 SOI 層 40nm 之前與之後藉由量測 SOI 基底 17 平面上點之膜厚度分佈之圖；

圖 14 係展示在薄化之前與之後該側 SOI 層厚度之結果之表格；

圖 15 係為展示超薄 SOI 基底製造方法之流程圖；

圖 16A 係為根據本發明之另一實施例之基底處理裝置之結構切面圖；

圖 16B 係本發明之另一實施例之基底處理裝置之結構切面圖；

圖 17A 係本發明另一較佳實施例之基底處理裝置之結構建構切面圖；

圖 17B 係本發明另一較佳實施例之基底處理裝置之結構建構之切面圖；

圖 18 係係本發明另一較佳實施例之基底處理裝置之結構建構之切面圖；

圖 19A 至 19F 係本發明之另一較佳實施例之基底製造方法圖。

【主要元件符號說明】

(54)

1000	處理裝置
1600	基底處理裝置
1601	半導體基底輸送埠
1602	半導體基底傳送機器人
1603	半導體基底
1604	支持桌
1605	化學反潑灑杯
1606	杯舉起機構
1607	化學供應噴嘴
1608	閥
1609	臭氧水供應單元
1610	臭氧水供應線
1611	蝕刻劑供應閥
1612	蝕刻劑供應單元
1613	蝕刻劑供應線
1614	沖洗液供應閥
1615	沖洗液供應線
1616	基底旋轉機構
1617	基底轉動齒輪
1618	基底轉動齒輪
1619	基底轉動軸齒輪
1620	基底轉動馬達
1621	噴嘴驅動機構
1622	噴嘴可移動軸

(55)

1623	噴嘴可移動齒輪
1624	噴嘴可動馬達齒輪
1625	噴嘴可移動馬達
1626	噴嘴可移動軌道
1627	膜厚度量測單元儲存門
1628	膜厚度量測單元
1629	源
1630	偵測器
1631	源 / 偵測器基座
1632	膜厚度量測舉起機構
1633	射出光線光纖
1634	反射光光纖
1635	膜厚度改變單元
1636	連接纜線
1637、1638	連接纜線
1639	控制器
1641	釋出線
1700	基底處理裝置
1742	化學釋出 / 恢復閥
1743	HF 回復容器
1744	HF 恢復線
1745	化學取樣管
1746	Si 濃度分析器
1747	HF 釋出閥

(56)

1748	HF 釋出閥
1755	連接管線
1800	基底處理裝置
1849	電子精確重量量測機構
1850	半導體基底量重平台
1851	半導體基底量重平台支持彈簧
1852	半導體基底量重輸送軸
1853	電子精確重量量測單元
1901	單晶矽基底
1902	多孔層
1903	多孔單晶矽層
1904	絕緣層
1910	第一基底
1920	第二基底
1930	第二基底
1940	SOI 基底
1950	鍵結基底堆疊
201	基底
202	分割多孔矽層
202a	多孔矽層
202b	第二多孔矽層
202b	多孔矽層
203	外延矽層
205	第二基底

(57)

210	第一基底
301	基底
302	微洞層
303	單晶矽層
304	氧化膜
305	第二基底
306	氫離子
310	第一基底
403	SOI 層
412	氧化矽膜
413	SOI 層
800	處理裝置
810	供應單元
811	第一噴嘴
820	氫氟酸供應單元
821	第二噴嘴
830	純水供應單元
831	第三噴嘴
840	旋轉機構
850	支持部
860	控制器
870	膜厚度感應主體
871	感應頭
872	光纖

(58)

- 8 7 3 支 撐 臂
- 8 7 4 轉 動 軸
- 9 0 0 外 殼

伍、中文發明摘要

發明之名稱：基底製造方法以及基底處理裝置

首先製備具有厚 SOI 層之 SOI 基底。之後，使用不超過單一晶格厚度之單元預設厚度而將該 SOI 層薄化至標的膜厚度。此薄化係藉由重複一單元薄化步驟而執行，該單元薄化步驟包括將 SOI 層表面氧化一不超過單一晶格之表面的氧化步驟，以及將由該氧化所形成之氧化矽選擇性移除之移除步驟。該 SOI 之 SOI 層係藉由將化學溶液供應至 SOI 層而化學蝕刻，且量測該經蝕刻 SOI 層之膜厚度。當 SOI 層之所量測膜厚度具有預設厚度時，而結束對於該 SOI 層之化學蝕刻處理。

陸、英文發明摘要

發明之名稱：SUBSTRATE MANUFACTURING METHOD AND
SUBSTRATE PROCESSING APPARATUS

An SOI substrate which has a thick SOI layer is first prepared. Then, the SOI layer is thinned to a target film thickness using as a unit a predetermined thickness not more than that of one lattice. This thinning is performed by repeating a unit thinning step which includes an oxidation step of oxidizing the surface of the SOI layer by the predetermined thickness not more than that of one lattice and a removal step of selectively removing silicon oxide formed by the oxidation. The SOI layer of the SOI substrate is chemically etched by supplying a chemical solution to the SOI layer, and the film thickness of the etched SOI layer is measured. When the measured film thickness of the SOI layer has a predetermined value, a process of chemically etching the SOI layer ends.

柒、指定代表圖：

(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：無

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(1)

拾、申請專利範圍

1. 一種基底製造方法，包含：

製備具有矽層於絕緣層上之基底之製備步驟；以及
薄化在絕緣層上之矽層至理想厚度之薄化步驟，

其中在薄化步驟中，單元薄化步驟包括將矽層表面氧化一預設厚度之氧化步驟，以及選擇性移除在氧化步驟所形成之氧化矽之移除步驟，該單元薄化步驟不執行超過兩次。

2. 一種基底製造方法，包含：

製備具有矽層於絕緣層上之基底之製備步驟；以及
薄化在絕緣層上之矽層至理想厚度之薄化步驟，

其中在薄化步驟中，單元薄化步驟包括將矽層表面氧化一不超過實質單一晶格厚度之預設厚度之氧化步驟，以及選擇性移除在氧化步驟所形成之氧化矽之移除步驟，該單元薄化步驟不執行超過一次。

3. 如申請專利範圍第 1 項之方法，其中在氧化步驟中，包含臭氧水之氣體、包含臭氧水之水、過氧化氫溶液、以及硝酸中之一者被送至矽層之表面。

4. 如申請專利範圍第 1 項之方法，其中在氧化步驟中，矽層係在使氧氣量經調整以氧化該矽層表面一不超過單一晶格厚度之預設厚度之大氣環境下而氧化。

5. 如申請專利範圍第 1 項之方法，其中在氧化步驟中，該矽層係暴露於包含氧氣以及臭氧水之一之大氣環境，且該矽層之表面係以紫外光線而照射。

(2)

6. 如申請專利範圍第 1 項之方法，其中在移除步驟中，在氧化步驟中形成之氧化矽係使用氫氟酸溶液而移除。

7. 如申請專利範圍第 1 項之方法，其中在移除步驟中，形成在氧化步驟之氧化矽係被完全移除。

8. 如申請專利範圍第 1 項之方法，其中使用在氧化步驟之氧化試劑係在移除步驟之前而自氧化矽而完全移除。

9. 如申請專利範圍第 1 項之方法，進一步包含一決定步驟以決定將薄化該矽層至理想厚度所需要單元薄化步驟之重複次數，

其中該單元薄化步驟係根據在決定步驟所決定之重複次數而重複。

10. 如申請專利範圍第 1 項之方法，進一步包含：

量測步驟，以量測該矽層之厚度；以及

決定步驟，以根據在量測步驟所得之量測結果而決定薄化矽層至理想厚度所需要之單元薄化步驟之重複次數，

其中該單元薄化步驟係根據在決定步驟所決定之重複次數而重複。

11. 如申請專利範圍第 10 項之方法，其中該量測步驟係在單元薄化步驟之前而執行第一次。

12. 如申請專利範圍第 1 項之方法，進一步包含：

量測步驟，以量測矽層之厚度；以及

決定步驟，以根據在量測步驟之量測結果而決定該矽

(3)

層是否具有理想厚度，

其中該單元薄號步驟係重複直到在決定步驟決定出該矽層具有理想厚度。

13. 如申請專利範圍第 1 項之方法，進一步包含在單元薄化步驟重複預設次數之後執行以下步驟：

量測步驟，以量測矽層之厚度；以及

決定步驟，以根據在量測步驟之量測結果而決定該矽層是否具有理想厚度，

其中該單元薄化步驟係重複直到在決定步驟決定出該矽層具有理想厚度。

14. 如申請專利範圍第 1 項之方法，進包含一退火步驟，以在薄化步驟之前而在氫化環境下退火該矽層。

15. 如申請專利範圍第 14 項之方法，其中該氫化環境包含氫氣。

16. 如申請專利範圍第 14 項之方法，其中該氫化環境包含氫氣以及稀有氣體。

17. 如申請專利範圍第 1 項之方法，其中

該製備步驟包括以下步驟：

將形成在包含多孔矽之第一構件上之矽層經由一絕緣層而與第二構件鍵結以形成一經鍵結之基底堆疊，以及

藉由自經鍵結基底堆疊而移除第一構件而形成具有一矽層於絕緣層上之基底。

18. 如申請專利範圍第 1 項之方法，其中

該製備步驟包含以下步驟：

(4)

在上側形成有絕緣層之矽構件中植入離子以形成在矽構件內側有離子植入層，

將該矽構件與另一構件鍵結以形成一經鍵結之基底堆疊；以及

藉由將在離子植入層中之經鍵結基底堆疊分開而形成具有一矽層在絕緣層上之基底。

19. 一種可處理在絕緣層上具有係成之基底之基底處理裝置，包含：

氧化試劑供應機構，其將氧化試劑送入至該基底以氧化矽層之表面；

蝕刻劑供應機構，其對於基底供應一試劑以選擇性蝕刻氧化矽，以選擇性移除在矽層表面上之氧化矽；以及

一控制器，其控制該氧化供應機構以及蝕刻劑供應機構，以藉由氧化該矽層表面而重複薄化矽層之單元薄化步驟以形成氧化矽以及選擇性移除該氧化矽。

20. 如申請專利範圍第 19 項之裝置，其中該控制器經組構而控制單元薄化步驟之控制重複使得矽層被薄化至理想厚度。

21. 如申請專利範圍第 19 項之裝置，進一步包含一量測單元，其量測該矽層之厚度，

其中該控制器經組構已在當其根據該量測單元之量測結果而決定出該矽層被薄化至理想厚度時而重複該薄化步驟。

22. 如申請專利範圍第 19 項之裝置，進一步包含一

(5)

量測單元，其量測矽層之厚度，

其中該控制器經組構而根據來自於該量測單元之量測結果而決定出對於薄化該矽層至一理想厚度之薄化步驟重複次數。

23. 一種基底處理裝置，包含：

蝕刻裝置，其藉由供應一化學物質至該半導體層而化學蝕刻半導體基底之半導體層；

膜厚度量測裝置，其量測半導體層之厚度；以及

控制單元，其根據來自於膜厚度量測裝置之量測結果而結束對於該半導體層之化學蝕刻之處理。

24. 一種基底處理裝置，包含：

支持物，其支持半導體基底；

一化學溶液供應裝置，其具有一噴嘴建構在該支持物之上，並自噴嘴供應化學溶液以在當半導體層之整個表面暴露時而對於由支持物支持之半導體基底之半導體層化學蝕刻；

膜厚度量測裝置，其量測半導體層之膜厚度；以及

控制單元，其根據來自於膜厚度量測之量測結果而結束對於該半導體層之化學蝕刻處理。

25. 如申請專利範圍第 23 項之裝置，其中該控制單元具有停止對於該半導體層供應化學物質之程序之機構。

26. 如申請專利範圍第 25 項之裝置，其中該控制單元進一步具有供應沖洗液至該半導體層之機構。

27. 如申請專利範圍第 26 項之裝置，其中該控制單

(6)

元進一步具有旋轉該半導體基底之機構。

28. 如申請專利範圍第 23 項之裝置，其中

該膜厚度量測裝置包含：

射出器，其將光線、X 光線、以及紫外光線之一射至半導體層之表面，

量測單元，其量測反射於該半導體層表面之光線、X 光線、以及紫外光線之一，以及

一轉換器，其將來自於量測單元之量測結果轉換為半導體層之膜厚度。

29. 如申請專利範圍第 23 項之裝置，其中

該膜厚度量測裝置包含：

量測單元，其量測包含於使用為蝕刻該半導體層之化學溶液中之半導體層成分之濃度，以及

轉換器，其將來自於該量測單元之量測結果轉換為半導體層之膜厚度。

30. 如申請專利範圍第 23 項之裝置，其中

該膜厚度量測裝置包含：

量測單元，其量測半導體裝置之重量，以及

轉換器，其將來自於量測單元之量測結果轉換為半導體層之膜厚度。

31. 如申請專利範圍第 23 項之裝置，進一步包含一轉換構件，經建構以環繞在建構基底之區域。

32. 一種基底製造方法，包含以下步驟：

形成半導體基底；

(7)

藉由供應化學溶液至半導體層而化學蝕刻半導體基底之半導體層；

量測該半導體層之膜厚度；以及

當在量測步驟中所量測之膜厚度為一預設值時結束對於該半導體層之化學蝕刻處理。

33. 如申請專利範圍第 32 項之方法，其中

該半導體基底製造步驟包含以下步驟：

在該半導體基底中形成多孔層，並在該多孔層上形成轉換層，

將第一基底以及第二基底鍵結一起而形成一經鍵結之基底堆疊，以及

在多孔層處分離該經鍵結之基底堆疊。

圖 1

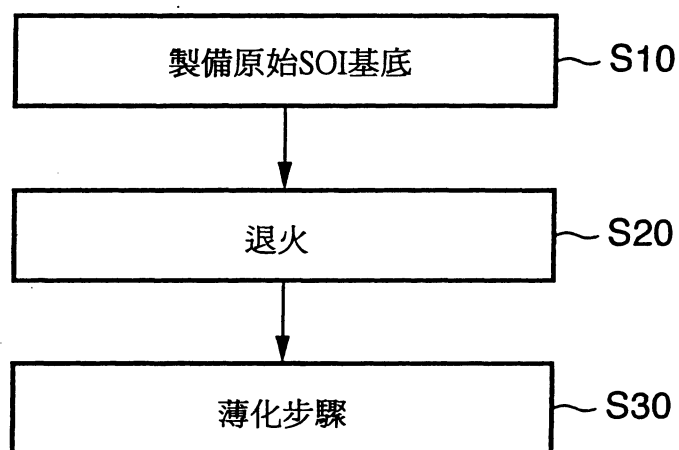


圖 2A

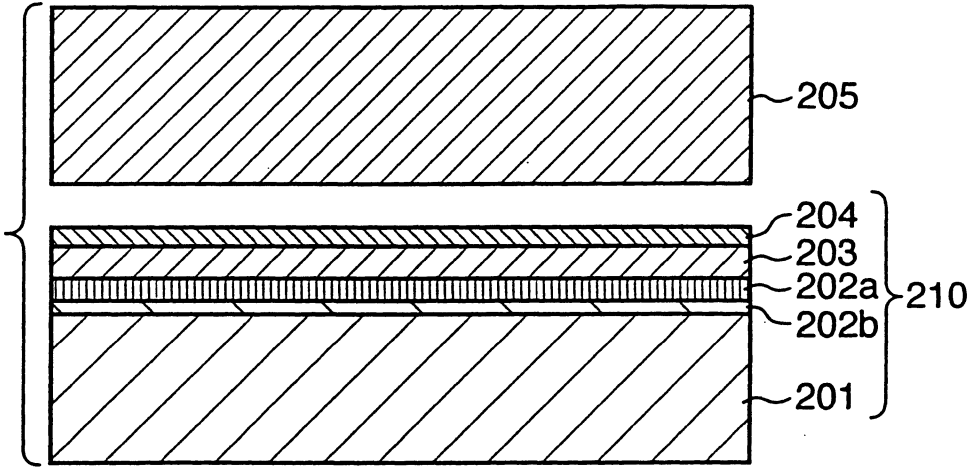


圖 2B

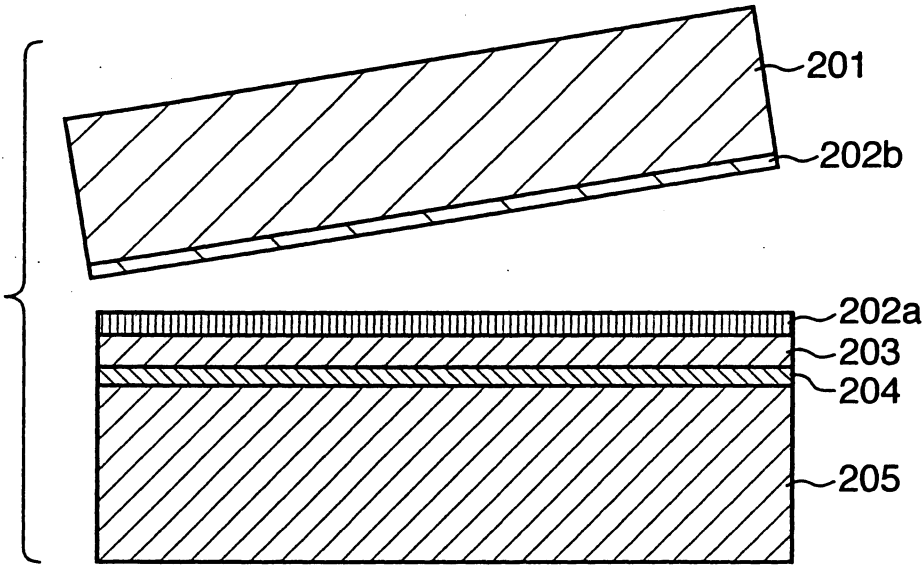


圖 2C

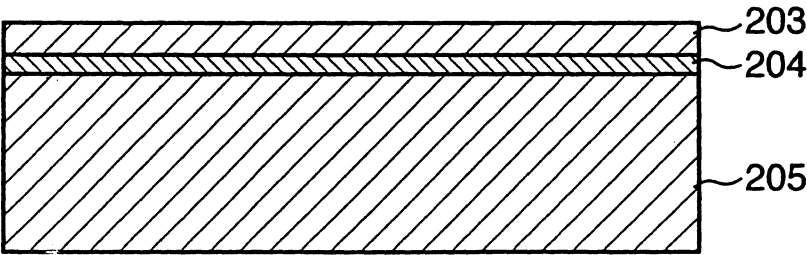


圖 3A

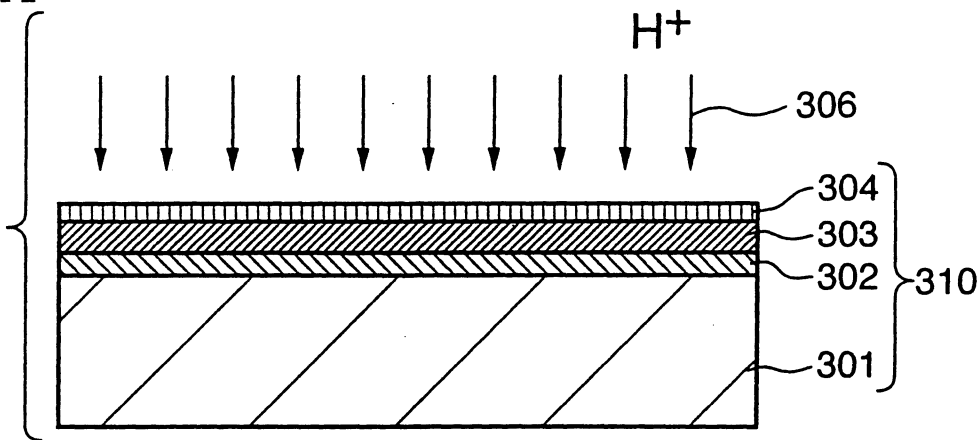


圖 3B

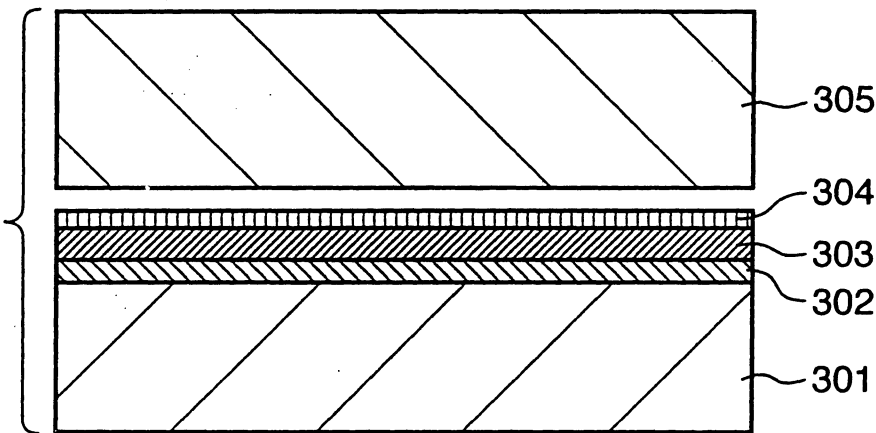


圖 3C

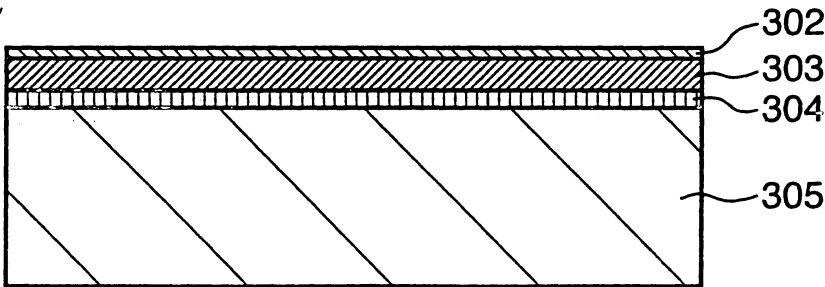


圖4

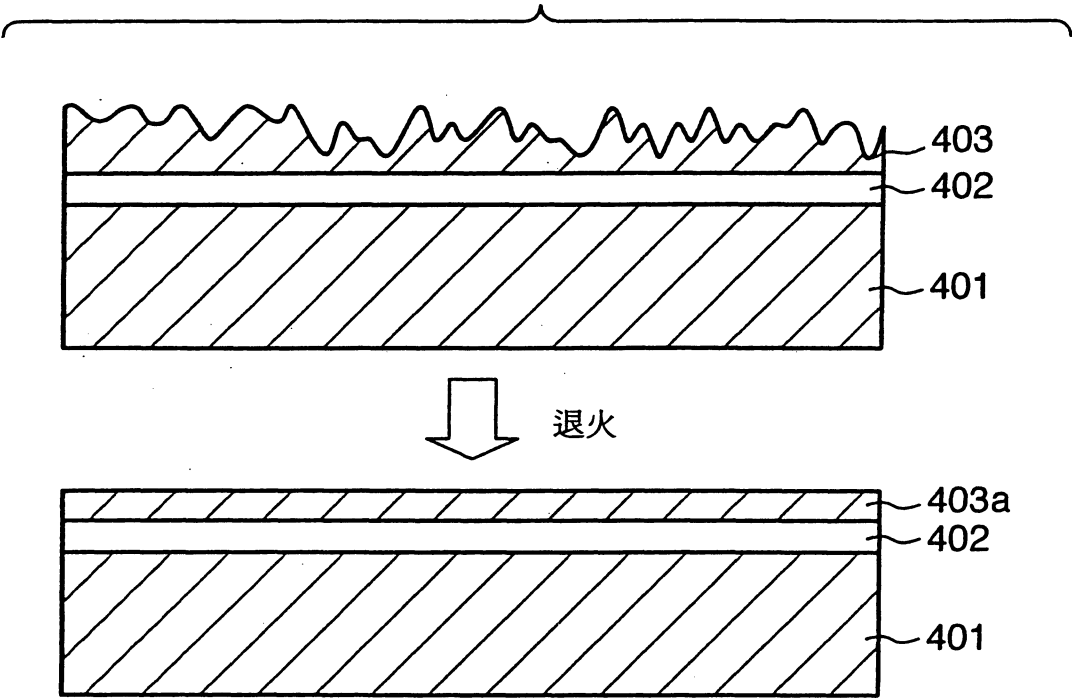


圖5

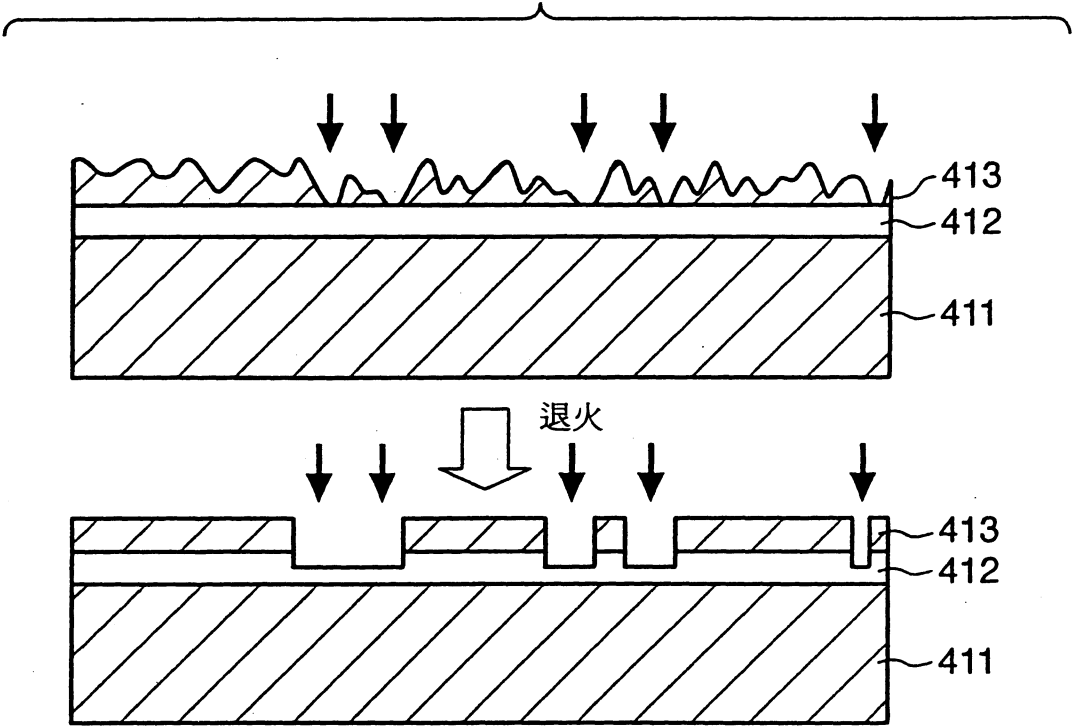


圖 6

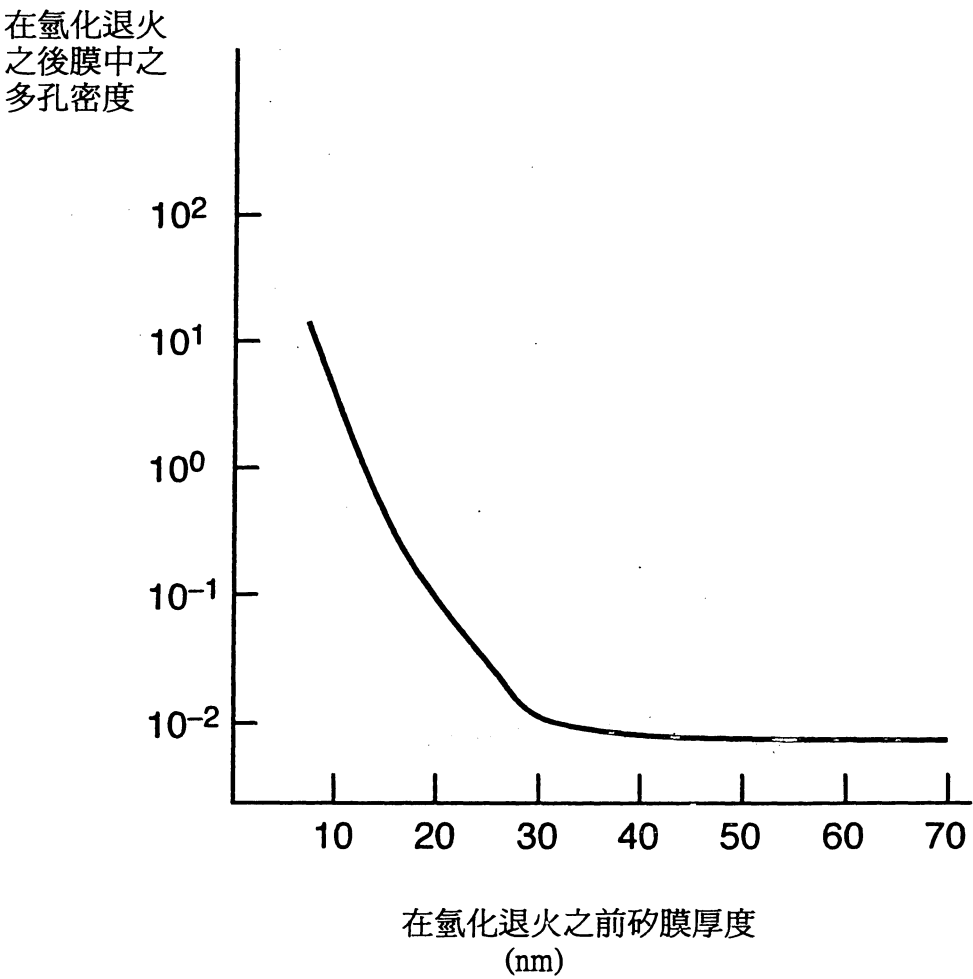


圖 7

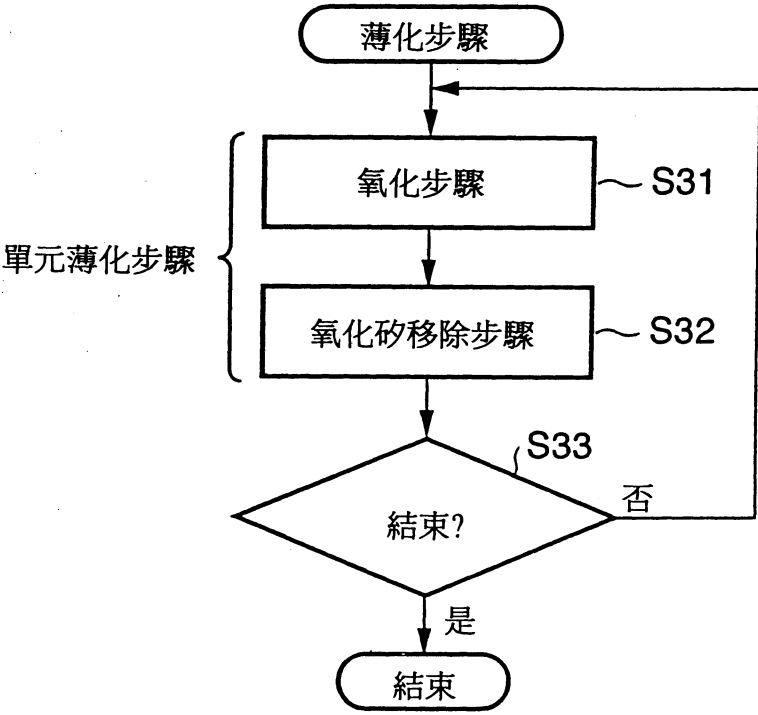


圖 8

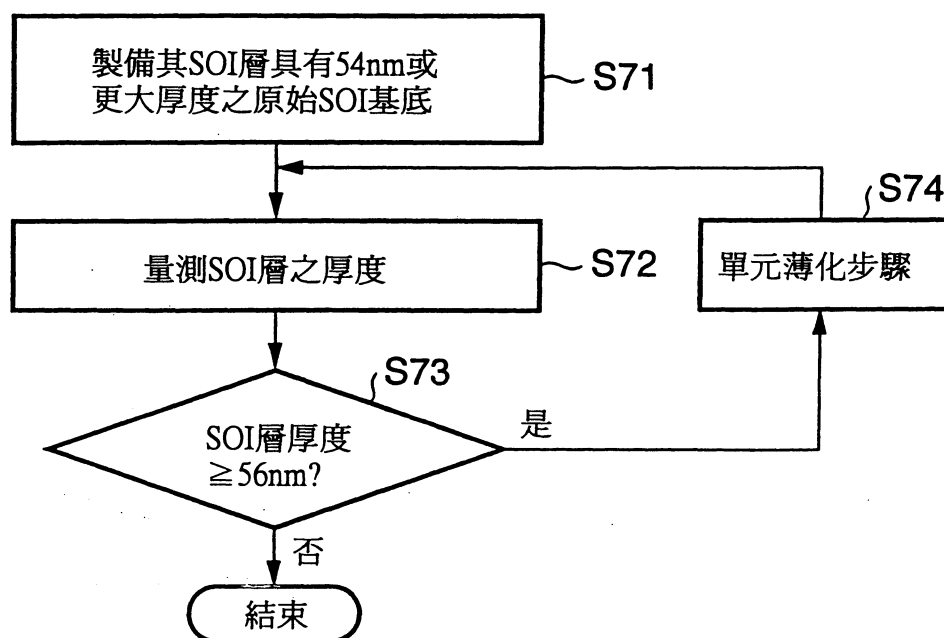


圖 9

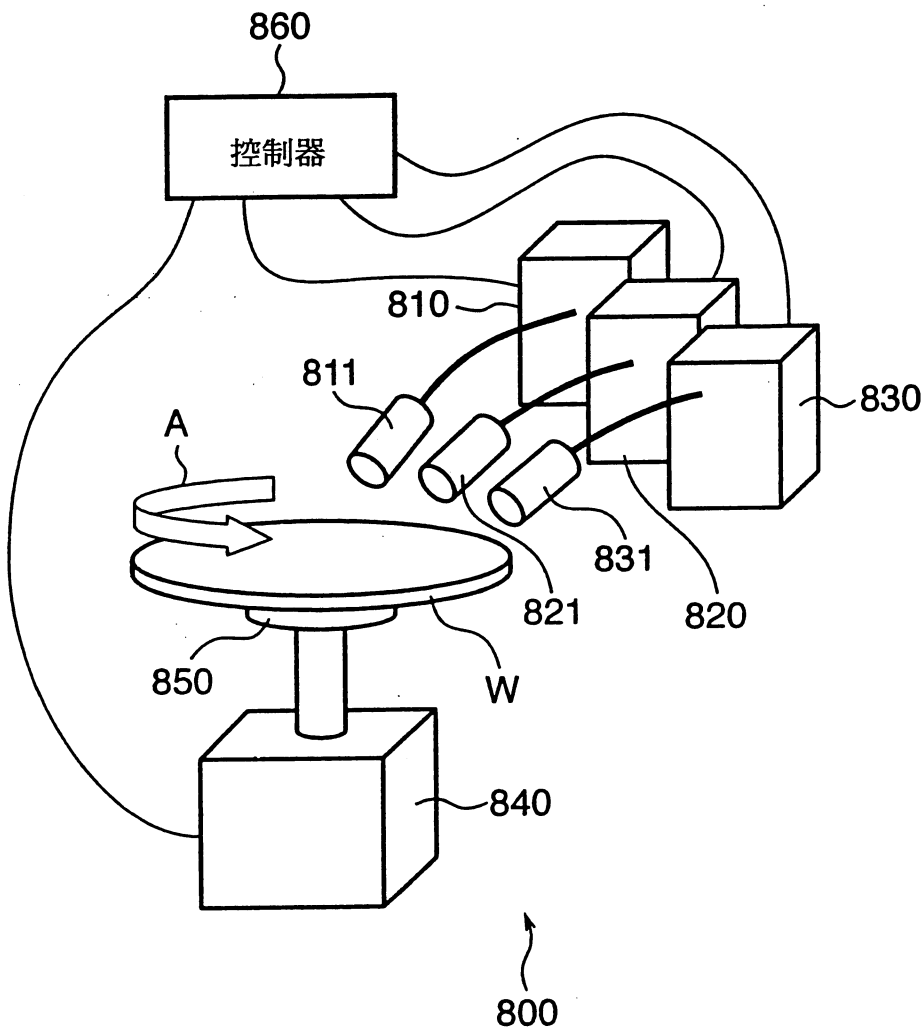


圖 10

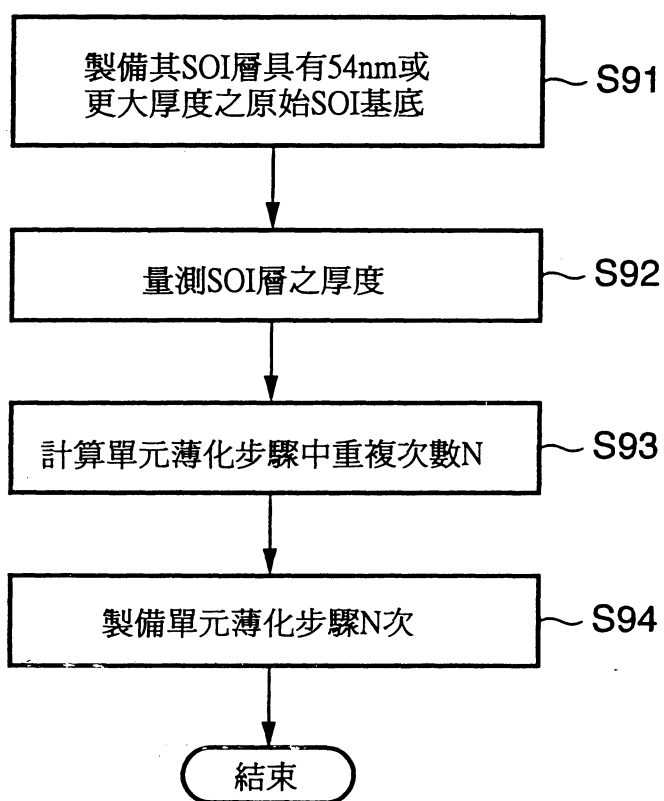


圖 11

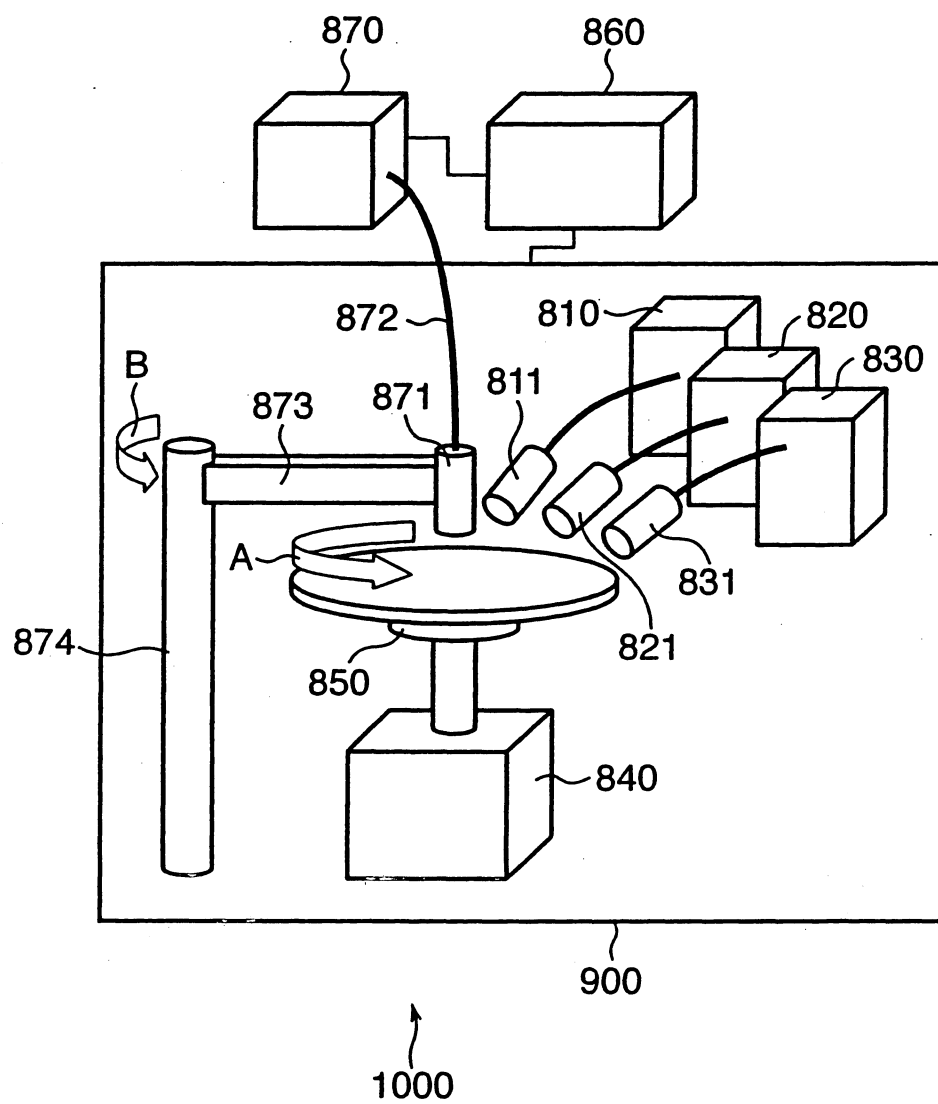


圖12

由於薄化在SOI層表面平面度之改變
(薄化量：30nm)

微粗糙度 (RMS)	1um□	2um□	5um□	10um□	20um□
薄化前	0.088	0.097	0.114	0.129	0.135
本發明	0.095	0.099	0.115	0.127	0.149
熱氧化/氧化膜蝕刻之後	0.161	0.148	0.161	0.168	0.163
SI-1蝕刻之後	0.174	0.152	0.158	0.138	0.128

單元：nm

圖13

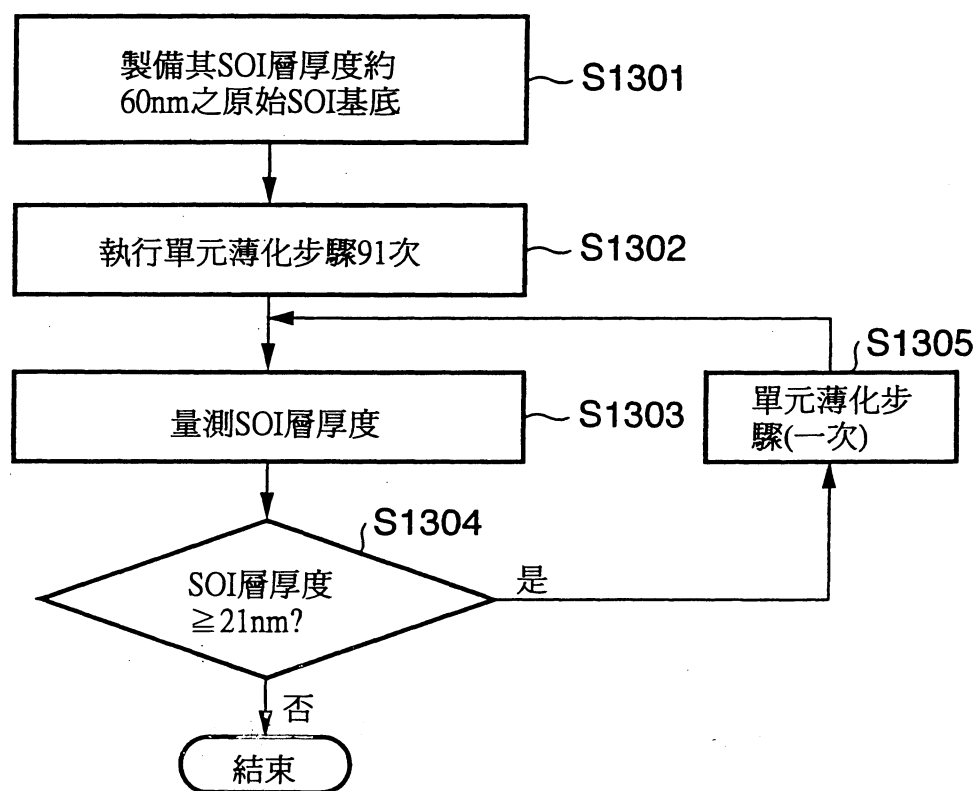
位置	平均	範圍	最大	最小	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
薄化之前	55.4	3.1	56.7	53.6	56.7	56.0	55.6	55.4	56.4	55.5	53.6	54.5	55.5	55.1	54.8	55.7	56.7	56.1	55.5	55.1	54.3
薄化之後	11.2	3.4	12.8	9.4	12.8	11.6	12.0	10.9	12.2	11.0	9.4	10.8	10.6	10.3	11.1	11.4	12.5	11.8	11.1	11.5	9.5
差異	44.2	1.3	44.9	43.6	43.9	44.4	43.6	44.5	44.2	44.5	44.2	43.7	44.9	44.8	43.7	44.3	44.2	44.3	44.4	43.6	44.8

單元: nm

圖14

SOI層膜厚度					
	晶圓數目	平均值 (nm)	最大值 (nm)	最小值 (nm)	變異 (nm)
薄化之前	225	58.4	66.6	55.1	11.5
薄化之後	225	55.1	56.0	54.2	1.8

圖 15



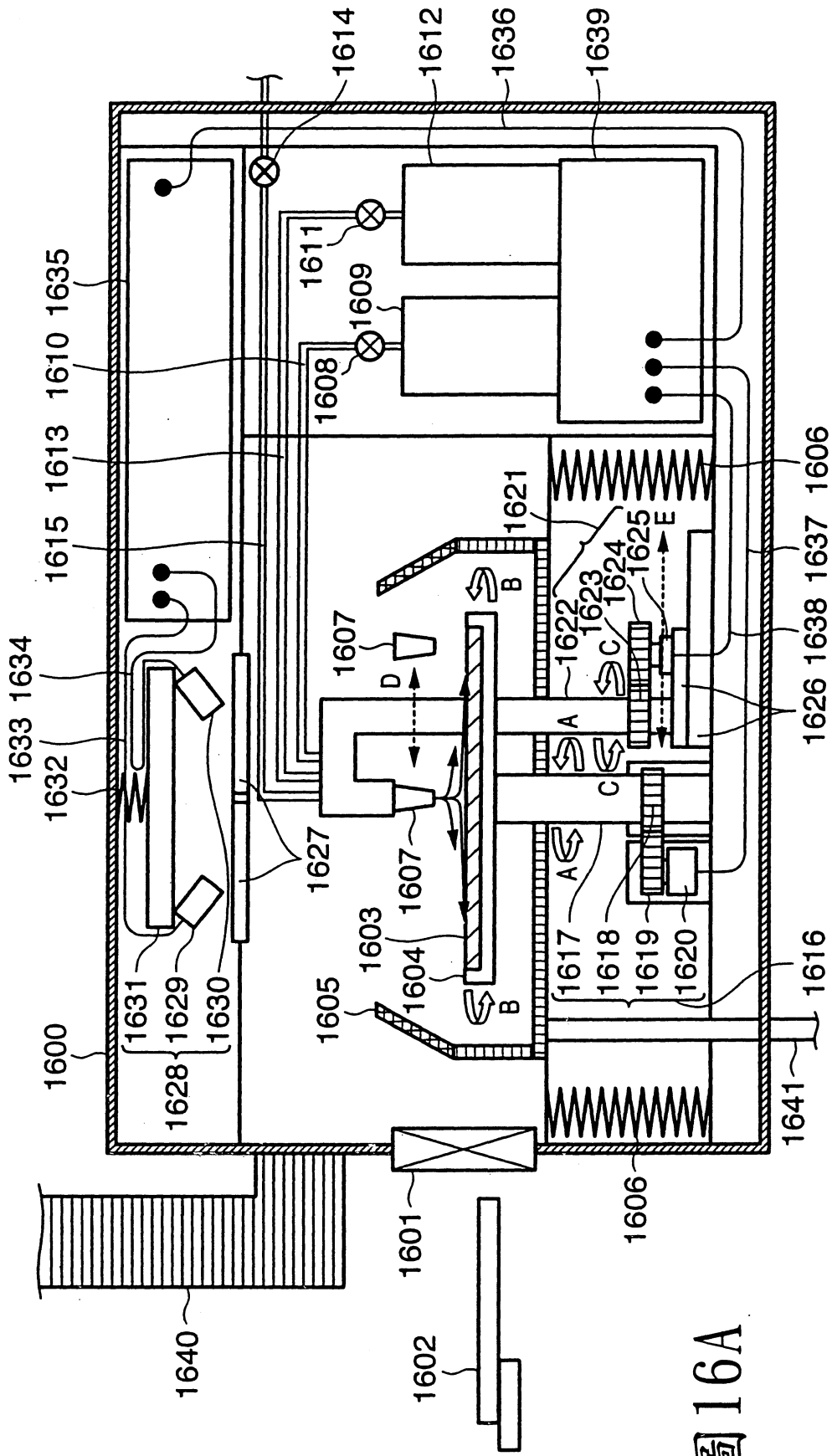
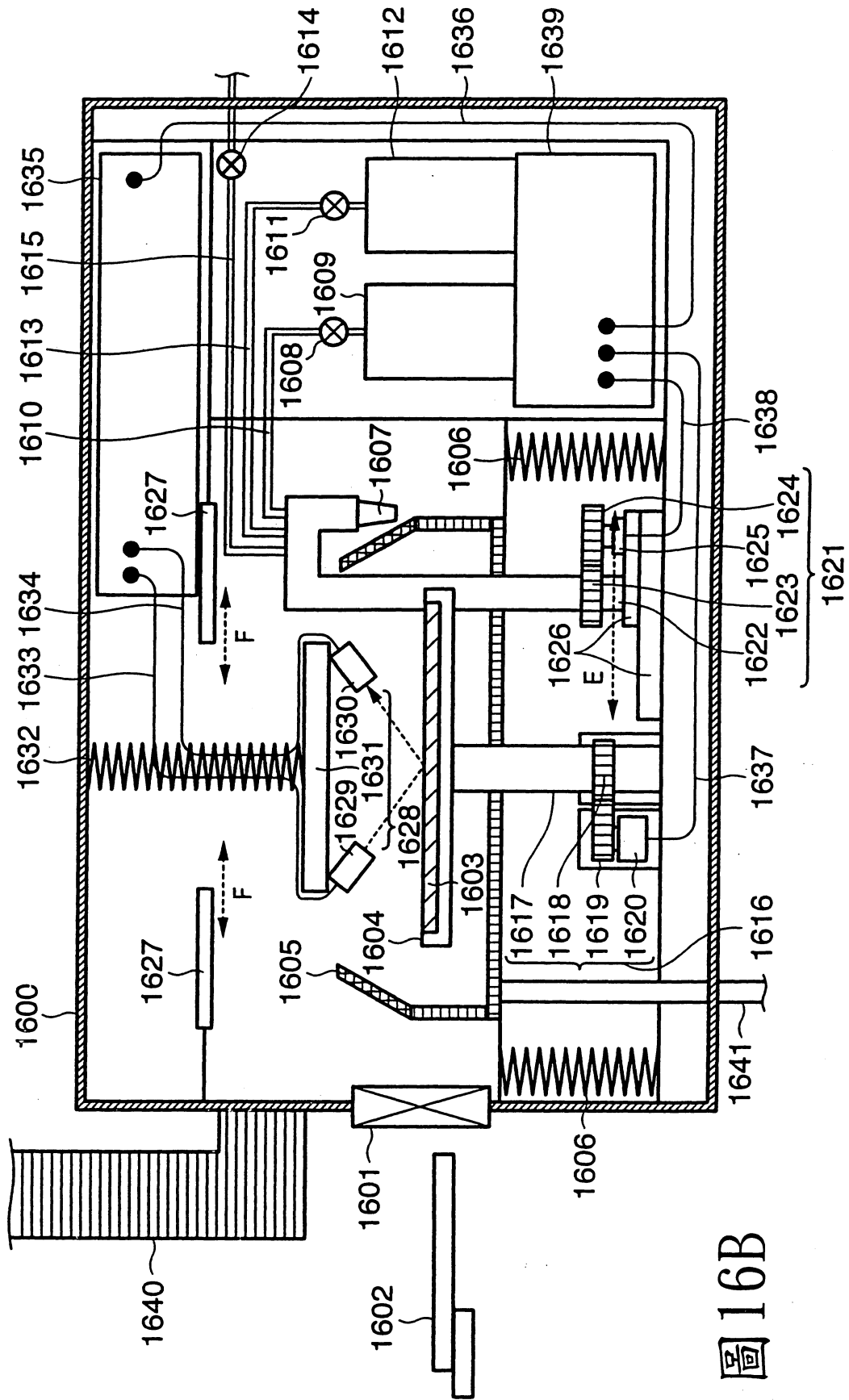
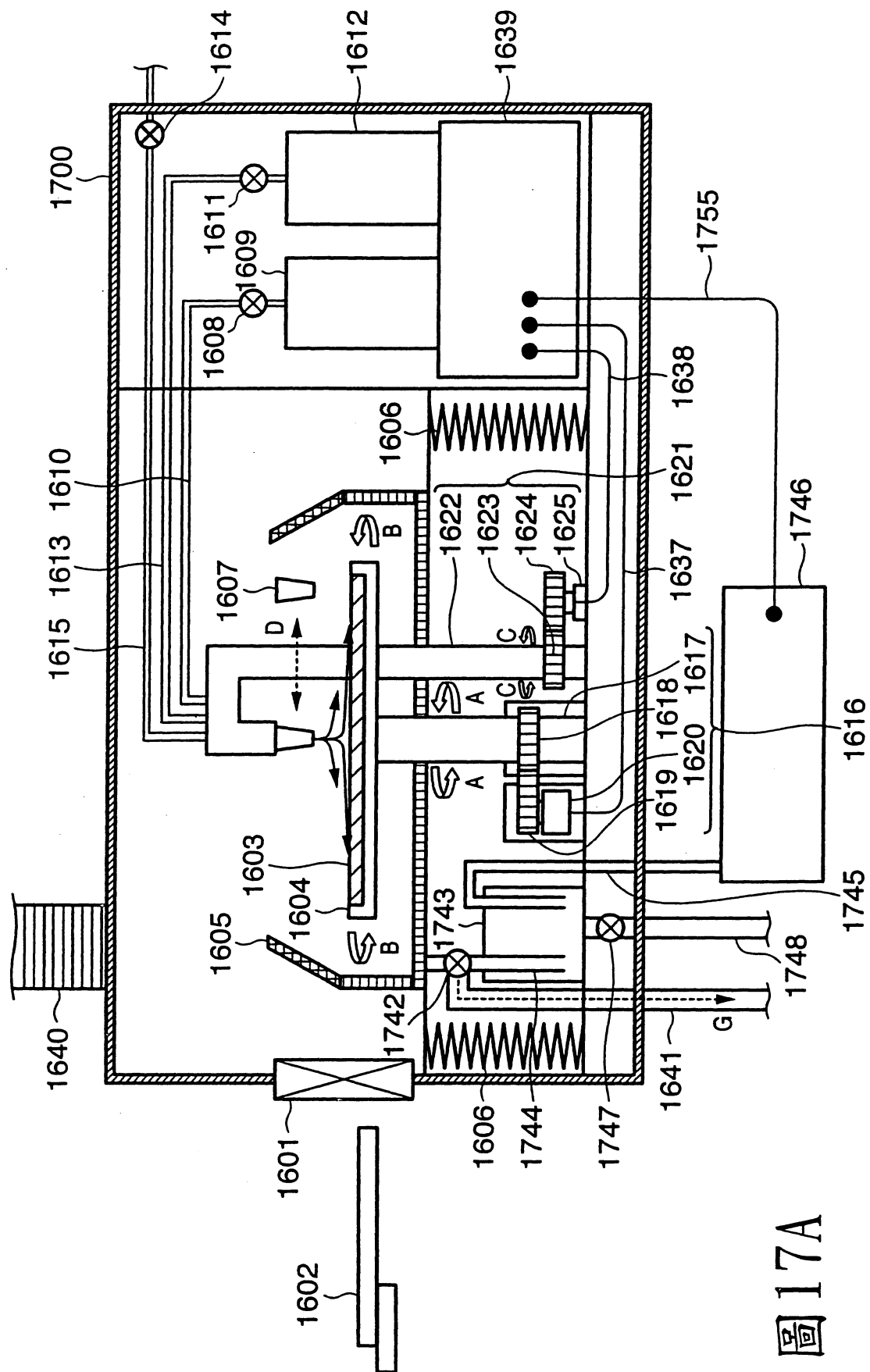
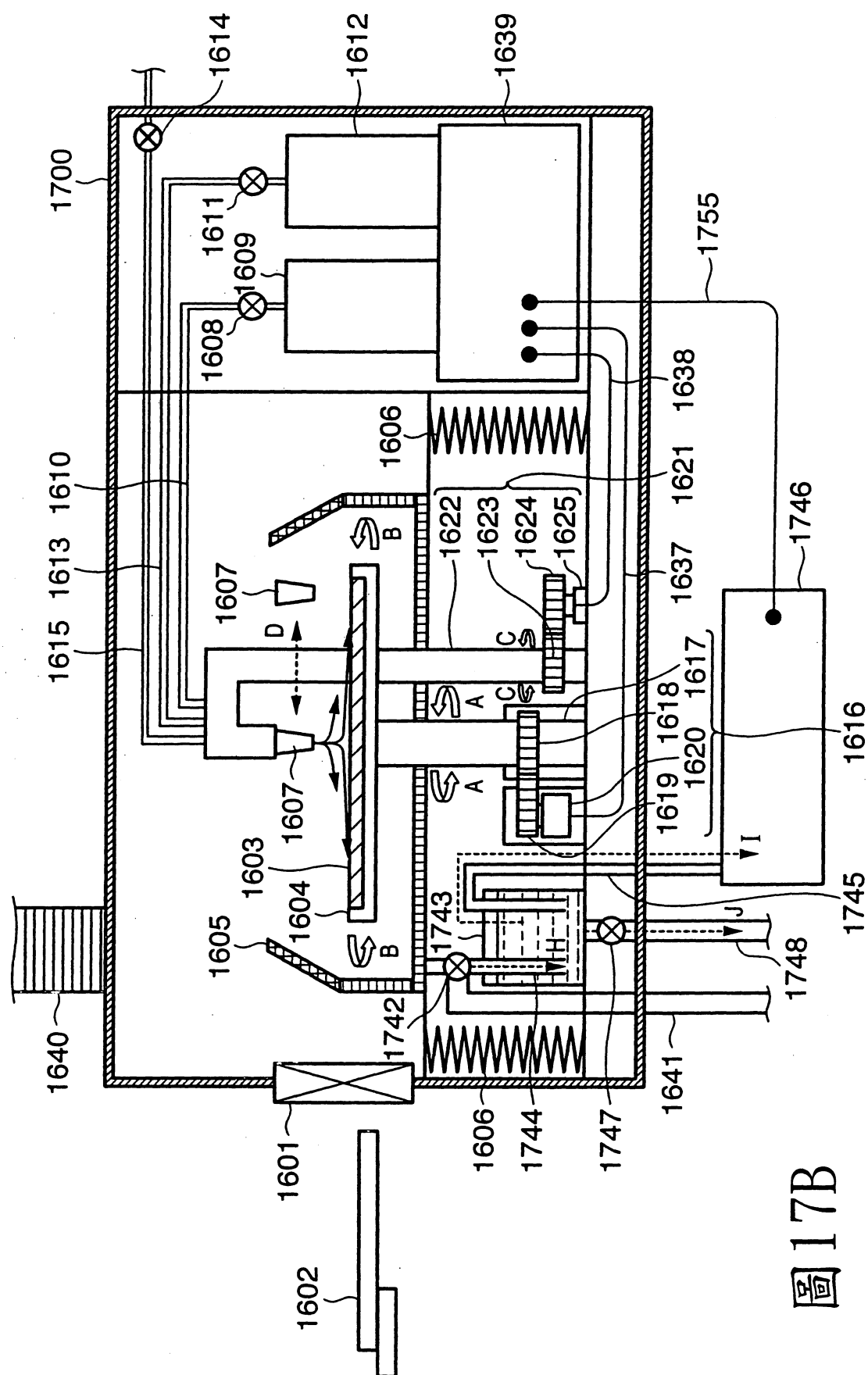


圖 16A







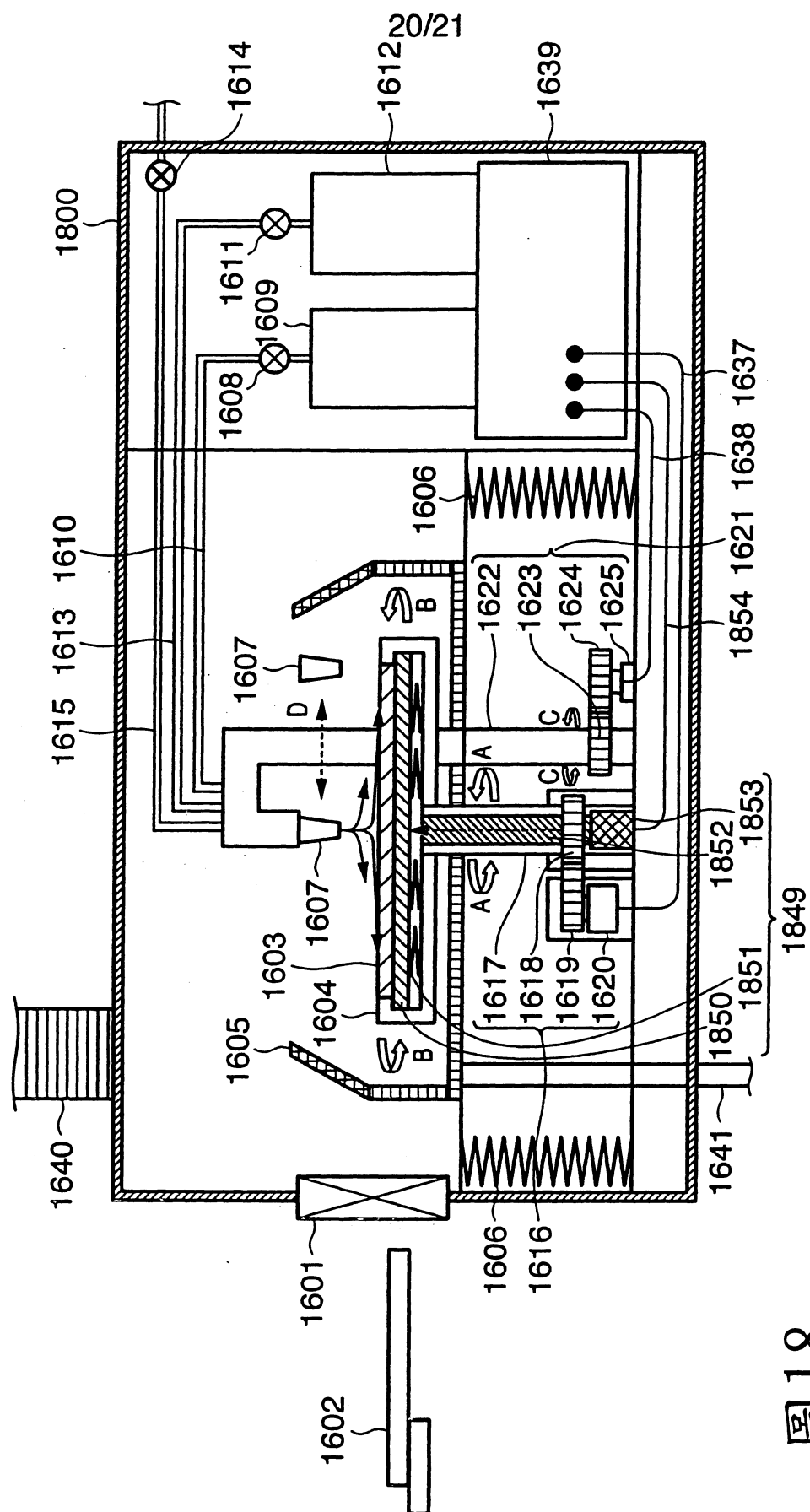


圖 19A

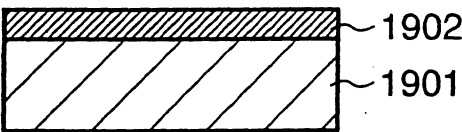


圖 19B

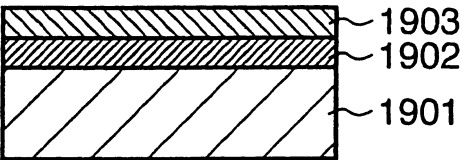


圖 19C

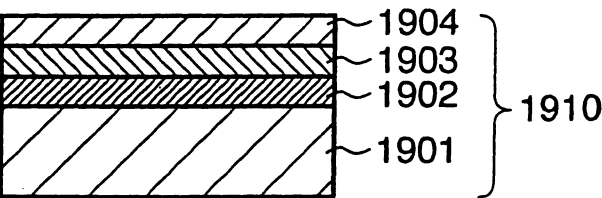


圖 19D

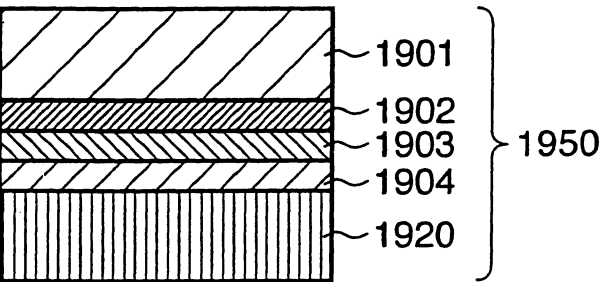


圖 19E

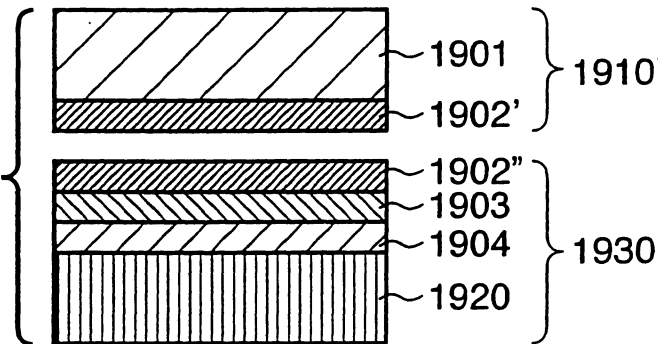


圖 19F

