



(12) 发明专利申请

(10) 申请公布号 CN 104008014 A

(43) 申请公布日 2014. 08. 27

(21) 申请号 201310134819. 2

(22) 申请日 2013. 04. 17

(30) 优先权数据

102107032 2013. 02. 27 TW

(71) 申请人 金丽科技股份有限公司

地址 中国台湾新竹市

(72) 发明人 叶常征 石铭吉

(74) 专利代理机构 隆天国际知识产权代理有限公司

公司 72003

代理人 赵根喜 吕俊清

(51) Int. Cl.

G06F 9/50 (2006. 01)

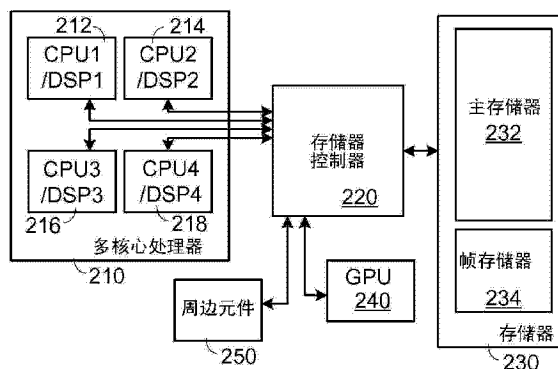
权利要求书1页 说明书5页 附图3页

(54) 发明名称

多核心处理器及其相关控制方法与电脑系统

(57) 摘要

本发明公开了一种多核心处理器及其相关控制方法与电脑系统,该多核心处理器具备M个核心,且该多核心处理器运作于一不支援多核心处理器的操作系统时,仅单一核心组态为一中央处理单元,并且N个核心组态为辅助处理单元;其中M、N为正整数,以及N大于0且N小于M。



1. 一种电脑系统,包括:

—多核心处理器,具备 M 个核心且 M 为正整数;

—周边元件;

—存储器;以及

—存储器控制器,连接至该存储器、该多核心处理器与该周边元件,使得该多核心处理器与该周边元件可以存取该存储器中的数据;

其中,当该电脑系统运作于一不支援多核心处理器的操作系统时,组态单一核心为一中央处理单元,并且组态 N 个核心为辅助处理单元且 N 为正整数,以及 N 大于 0 且 N 小于 M。

2. 如权利要求 1 所述的种电脑系统,其中,该电脑系统为一 x86 电脑系统,且该不支援多核心处理器的操作系统为一 DOS 操作系统或者一旧核心 Linux 操作系统。

3. 如权利要求 1 所述的种电脑系统,其中,当该电脑系统运作于一支援多核心处理器的操作系统时,组态 P 个核心为中央处理单元,并且组态 (M-P) 个核心为辅助处理单元且 P 为正整数, P 大于 0 且 P 小于等于 M。

4. 如权利要求 1 所述的种电脑系统,还包括另一多核心处理器连接于该多核心处理器,该另一多核心处理器具备多个核心,其中,该另一多核心处理器之中的每一该核心可以选择性的被组态为该中央处理单元或者该辅助处理单元。

5. 一种多核心处理器,具备 M 个核心,且该多核心处理器运作于一不支援多核心处理器的操作系统时,仅单一核心组态为一中央处理单元,并且 N 个核心组态为辅助处理单元;其中 M、N 为正整数,以及 N 大于 0 且 N 小于 M。

6. 如权利要求 5 所述的多核心处理器,其中,该多核心处理器为一 x86 的相容处理器,且该不支援多核心处理器的操作系统为一 DOS 操作系统或者一旧核心 Linux 操作系统。

7. 如权利要求 5 所述的多核心处理器,其中,当该电脑系统运作于一支援多核心处理器的操作系统时, P 个核心组态为中央处理单元,并且 (M-P) 个核心组态为辅助处理单元且 P 为正整数, P 大于 0 且 P 小于等于 M。

8. 一种多核心处理器的控制方法,该多核心处理器具备 M 个核心,且 M 为正整数,该控制方法包括下列步骤:

当该多核心处理器运作于一不支援多核心处理器的操作系统时,组态单一核心为中央处理单元且组态 N 个核心为辅助处理单元;以及

进入该不支援多核心处理器的操作系统;

其中, N 为正整数,以及 N 大于 0 且 N 小于 M。

9. 如权利要求 8 所述的控制方法,其中,该多核心处理器为一 x86 的相容处理器,且该不支援多核心处理器的操作系统系为一 DOS 操作系统或者一旧核心 Linux 操作系统。

10. 如权利要求 8 所述的控制方法,还包括下列步骤:

当该多核心处理器运作于一支援多核心处理器的操作系统时,组态 P 个核心为中央处理单元且组态 (M-P) 个核心为辅助处理单元;以及

进入该支援多核心处理器的操作系统;

其中, P 为正整数, P 大于 0 且 P 小于等于 M。

多核心处理器及其相关控制方法与电脑系统

技术领域

[0001] 本发明是有关于一种处理器,且特别是有关于一种多核心处理器及其相关控制方法与电脑系统。

背景技术

[0002] 由于电脑科技的日新月异,现今的操作系统,例如Windows XP操作系统、Windows7操作系统、与Windows8操作系统皆支援多核心处理器。因此,电脑系统中单一个中央处理单元(CPU)已经为多核心处理器(multi-core CPU)所取代。多核心处理器在单一个IC芯片上,同时拥有多个中央处理单元,而每个处理单元可以分别视为一个核心(core)。多核心处理器可多工处理大运算量的数据。例如同时处理2D或者3D影像的数据,或者执行游戏软体时同时处理影像与声音的数据。在执行多工处理的程序时,具备多核心处理器的电脑系统可大幅提高其效能。

[0003] 请参照图1,其所绘示为现有电脑系统的架构示意图。电脑系统包括:一多核心处理器110、一存储器控制器120、存储器130、图形处理器(GPU)140、与周边元件170。另外,电脑系统中可以选择性地搭配其他辅助处理单元(Co-processor),例如数字信号处理器(DSP),辅助处理单元受控于多核心处理器110,用以辅助多核心处理器110来处理特定的数据,例如声音数据、或者影像数据。以图1为例,电脑系统中搭配一第一信号处理器150、与一第二信号处理器160。再者,周边元件170例如南桥芯片(south bridge chip),可连接至其他的慢速元件,例如鼠标、键盘等等。

[0004] 以四核心的多核心处理器110为例,其包括四个中央处理单元112、114、116、118。而多核心处理器110、图形处理器140、第一信号处理器150、第二信号处理器160以及周边元件170皆是透过存储器控制器120的仲裁来存取存储器130中的数据。在图1中,存储器控制器120独立于多核心处理器110之外。当然,存储器控制器120也可以设置于北桥芯片(north bridge chip)内部或者整合于多核心处理器之中。再者,存储器130被区分为主存储区132与帧存储区(frame buffer)134。帧存储区134为图形处理器(GPU)暂存显示影像(video image)的区域。而其他的装置将数据暂存于主存储器区132。

[0005] 当电脑系统开机时,经由基本输出入系统(BIOS)或者其他启动加载程序(boot loader),例如redboot,的组态设定获得多核心处理器的核心数目及相关信息,并且于开机完成进入操作系统之后,多核心处理器110中的所有中央处理单元112、114、116、118即可正常运作。而每个中央处理单元112、114、116、118皆可独立运作,并存取存储器130中的数据。

[0006] 再者,为了让图形处理器140、第一信号处理器150、与第二信号处理器160在操作系统下能够正常运作。必须在操作系统下安装上述元件的驱动程序(driver)。之后,才可以在该作业系之下正常运作。当然,如果电脑系统更换新的操作系统时,上述装置必须重新安装驱动程序才可以在新的操作系统下正常运作。

[0007] 一般来说,多核心处理器所组成的电脑系统也必须要能够在一些早期的操作系

统下运作。然而,这些早期的操作系统,例如 DOS 操作系统或者旧核心 Linux 操作系统 (old-kernel Linux),并未支援多核心处理器。因此,当具备多核心处理器的电脑系统运作于早期的操作系统时,仅会有一个中央处理单元正常运作,而其他的中央处理单元将不会运作。

[0008] 假设图 1 的电脑系统运作于 DOS 操作系统。则于开机时,即决定多核心处理器 110 中的中央处理单元 112 可以运作,而其他的中央处理单元 114、116、118 则无法运作。在此情况下,将会浪费多核心处理器 110 的资源。

[0009] 由于某些早期的电脑程序必须在早期的操作系统下才可以执行,无法运作于新的操作系统。因此,提出一种新架构的多核心处理器,并且可有效率的运作于早期的操作系统即为本发明所欲达成的目的。

发明内容

[0010] 鉴于现有技术的上述问题,本发明提供了一种多核心处理器及其相关控制方法与电脑系统。

[0011] 本发明提供了一种电脑系统,包括:一多核心处理器,具备 M 个核心且 M 为正整数;一周边元件;一存储器;以及一存储器控制器,连接至该存储器、该多核心处理器与该周边元件,使得该多核心处理器与该周边元件可以存取该存储器中的数据;其中,当该电脑系统运作于一不支援多核心处理器的操作系统时,组态单一核心为一中央处理单元,并且组态 N 个核心为辅助处理单元且 N 为正整数,以及 N 大于 0 且 N 小于等于 M。

[0012] 本发明更提出一种多核心处理器,具备 M 个核心,且该多核心处理器运作于一不支援多核心处理器的操作系统时,仅单一核心组态为一中央处理单元,并且 N 个核心组态为辅助处理单元;其中 M、N 为正整数,以及 N 大于 0 且 N 小于 M。

[0013] 本发明更提出一种多核心处理器的控制方法,该多核心处理器具备 M 个核心,且 M 为正整数,该控制方法包括下列步骤:当该多核心处理器运作于一不支援多核心处理器的操作系统时,组态单一核心为中央处理单元且组态 N 个核心为辅助处理单元;以及进入该不支援多核心处理器的操作系统;其中, N 为正整数,以及 N 大于 0 且 N 小于 M。

[0014] 为了对本发明的上述及其他方面有更佳的了解,下文特举较佳实施例,并配合所附图式,作详细说明如下:

附图说明

[0015] 图 1 所绘示为现有电脑系统的架构示意图。

[0016] 图 2 所绘示为本发明多核心处理器及其电脑系统示意图。

[0017] 图 3 所绘示为本发明多个多核心处理器架构的电脑系统。

[0018] 图 4 所绘示为本发明的多核心处理器的控制方法流程图。

[0019] 其中,附图标记说明如下:

[0020] 110:多核心处理器

[0021] 112、114、116、118:中央处理单元

[0022] 120:存储器控制器

[0023] 130:存储器

- [0024] 132 :主存储区
- [0025] 134 :帧存储区
- [0026] 140 :图形处理器
- [0027] 150 :第一数字信号处理器
- [0028] 160 :第二数字信号处理器
- [0029] 170 :周边元件
- [0030] 210 :多核心处理器
- [0031] 212、214、216、218 :核心
- [0032] 220 :存储器控制器
- [0033] 230 :存储器
- [0034] 232 :主存储区
- [0035] 234 :帧存储区
- [0036] 240 :图形处理器
- [0037] 250 :周边元件
- [0038] 410 :另一多核心处理器
- [0039] 412、414、416、418 :核心
- [0040] S302 ~ S312 :步骤流程

具体实施方式

[0041] 由于现今的核心处理器的电脑系统运作于早期的操作系统时,仅有单一中央处理单元可以运作,其他的中央处理器无法运作而浪费多核心处理器的资源。针对此问题,本发明提出一种多核心处理器的架构,其可设定多核心处理器中每个核心的运作模式。

[0042] 请参照图 2 其所绘示为本发明多核心处理器及其电脑系统示意图。电脑系统为 x86 电脑系统,多核心处理器为 x86 的相容处理器。电脑系统包括:一多核心处理器 210、一存储器控制器 220、存储器 230、图形处理器 240、与周边元件 250。其中,本发明以四个核心 212、214、216、218 的多核心处理器 210 为例来作说明,本发明并不限定多核心处理器中的核心数目。再者,图形处理器 240 可以整合于多核心处理器内,此处不再赘述。

[0043] 再者,多核心处理器 210、图形处理器 240 以及周边元件 240 皆是透过存储器控制器 220 的仲裁来存取存储器 230 中的数据。在图 2 中,存储器 230 被区分为主存储区 232 与帧存储区 234。帧存储区 234 为图形处理器 (GPU) 暂存显示影像的区域。而其他的装置将数据暂存于主存储器区 232。

[0044] 根据本发明的实施例,多核心处理器 210 中的核心可以组态 (configure) 为中央处理单元 (CPU) 或者为辅助处理单元 (Co-processor)。而辅助处理单元系作为数字信号处理器 (DSP)。当然,辅助处理单元并非仅限定为数字信号处理器之用途,也可以作为其他用途的装置。

[0045] 假设本发明的电脑系统运作于早期的操作系统,例如 DOS 操作系统或者旧核心 Linux 操作系统。此时,可经由组态设定将多核心处理器 210 的其中一个核心 212 设定为中央处理单元 (CPU),而其他的核心 214、216、218 设定为辅助处理单元。因此,当电脑系统开机之后,在早期的操作系统下,第一核心 212 即为中央处理单元 (CPU1),而其他核心 214、

216、218 则成为数字信号处理器，并且受控于中央处理单元 212。因此，四个核心 212、214、216、218 皆可正常运作。

[0046] 再者，假设本发明的电脑系统运作于支援多核心处理器的操作系统，例如 Windows XP 操作系统、Windows7 操作系统、与 Windows8 操作系统。此时，可经由设定将多核心处理器 210 的其中全部的核心 212、214、216、218 皆设定为中央处理单元。当电脑系统开机之后，在该操作系统下，四个核心 212、214、216、218 皆为中央处理单元，并且可以正常运作。

[0047] 或者，本发明的电脑系统运作于支援多核心处理器的操作系统时，也可以动态的设定部份核心作为中央处理单元，部份的核心作为辅助处理单元。举例来说，可经由设定将多核心处理器 210 的二个核心 212、214 设定为中央处理单元，将另二个核心 216、218 设定为辅助处理单元。因此，当电脑系统开机之后，在该操作系统下，二个核心 212、214 为中央处理单元，而另二个核心 216、218 作为数字信号处理器并且受控于二个中央处理单元 212、214。因此，四个核心 212、214、216、218 皆可以正常运作。

[0048] 由于现有多核心处理器架构的电脑系统在更新操作系统时，需要视情况来安装辅助处理器的驱动程序。由于本发明的多核心处理器中的多个核心皆整合在一个 IC 芯片中，在更新操作系统时，无需要再次安装辅助处理器的驱动程序，可以省去安装操作系统时的不便。

[0049] 再者，本发明图 2 的电脑系统中仅以一个存储器 230、一个存储器控制器 220、与一个周边元件 250 为例来作说明。然而，本发明并不仅限于第 2 图所示之电脑系统。其他电脑系统中，同时有多个存储器、存储器控制器、或者个周边元件也可以运用本发明之多核心处理器来架构来完成电脑系统。

[0050] 再者，本发明的电脑系统还可以连接至多个多核心以加强其运算效能。请参照图 3，其所绘示为本发明多个多核心处理器架构的电脑系统。此电脑系统由图 2 的电脑系统再扩充一个多核心处理器所完成。如图 3 所示，另一多核心处理器 410 利用一总线 420 连接至原多核心处理器 210。当然，另一多核心处理器 410 中的核心数目并不限定于 4 个。再者，本发明还可以用相同的方式扩充更多的多核心处理器。

[0051] 根据本发明的实施例，另一个多核心处理器 410 中的核心 412、414、416、418 也可以被组态为中央处理单元 (CPU) 或者为辅助处理单元 (Co-processor)。

[0052] 假设本发明的电脑系统运作于支援多核心处理器的操作系统，例如 Windows XP 操作系统、Windows7 操作系统、与 Windows8 操作系统。此时，可经由设定将原多核心处理器 210 全部的核心 212、214、216、218 皆设定为中央处理单元。而另一多核心处理器 410 全部的核心 412、414、416、418 皆设定为辅助处理单元。当电脑系统开机之后，在该操作系统下，四个核心 212、214、216、218 皆为中央处理单元，另外四个核心 412、414、416、418 皆为辅助处理单元，因此可以大幅提高运作效能。当然，二个多核心处理器 210、410 中的每个核心都可以自行组态成为中央处理单元或者辅助处理单元。

[0053] 请参照图 4，其所绘示为本发明的多核心处理器的控制方法流程图。假设多核心处理器为 M 核心处理器，M 为正整数。当多核心处理器将运作于不支援多核心处理器的操作系统 (步骤 S302) 时，组态单一核心为中央处理单元，N 个核心为辅助处理单元 (步骤 S304)。之后，进入操作系统 (步骤 S306)。根据本发明的实施例，当 M 核心处理器即将运行于不支援多核心处理器的操作系统时，组态单一核心为中央处理单元，并且可视需要组态 N 个核

心为辅助处理单元。其中，N 为正整数，N 大于 0 且 N 小于 M。而辅助处理单元可为数字信号处理器。

[0054] 再者，假设多核心处理器将运作于支援多核心处理器的操作系统（步骤 S302）时，组态 P 个核心为中央处理单元，(M-P) 个核心为辅助处理单元（步骤 S310）。之后，进入操作系统（步骤 S312）。根据本发明的实施例，当 M 核心处理器即将运行于支援多核心处理器的操作系统时，可组态一个以上的核心为中央处理单元，例如 P 个，P 为正整数。并且组态 (M-P) 个核心为辅助处理单元。其中，P 大于 0 且 P 小于等于 M。

[0055] 由以上的说明可知，本发明的多核心处理器运作于早期的操作系统时，可以组态单一核心为中央处理单元，并且组态其他核心为辅助处理单元。因此，可以解决现有多核心处理器运作于早期的操作系统时所形成的资源浪费问题。再者，运用于新的操作系统时，还可以动态地设定多核心处理器中个别核心的功能，使得多核心处理器获得最高的效能。

[0056] 综上所述，虽然本发明已以较佳实施例揭露如上，然其并非用以限定本发明。本发明所属技术领域中具有通常知识者，在不脱离本发明之精神和范围内，当可作各种之更动与润饰。因此，本发明的保护范围当视后附之申请专利范围所界定者为准。

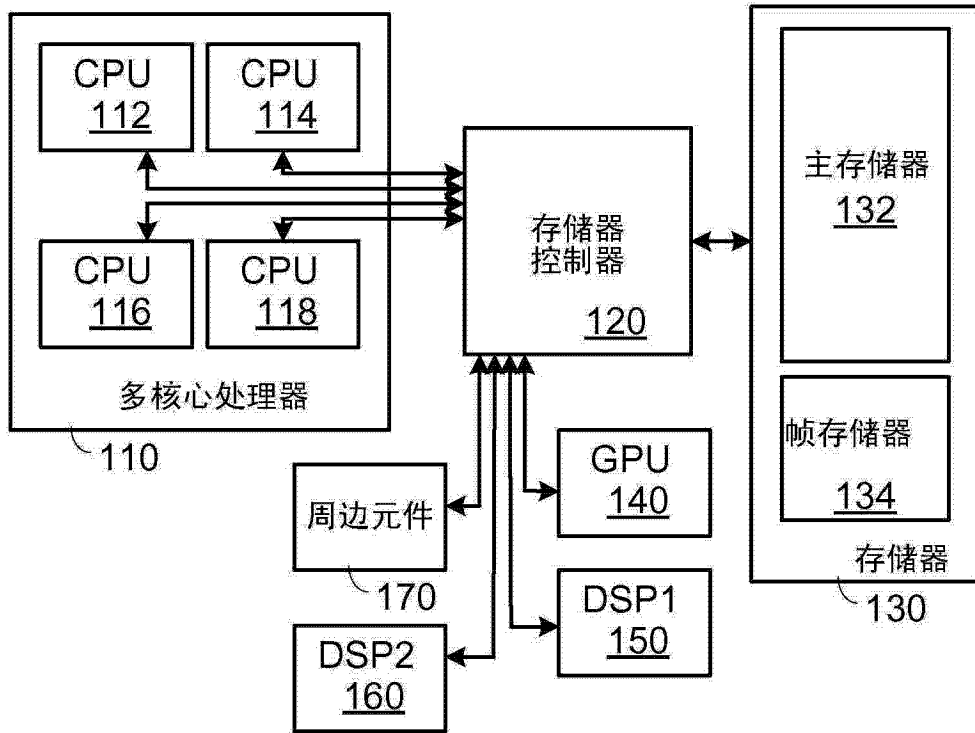


图 1

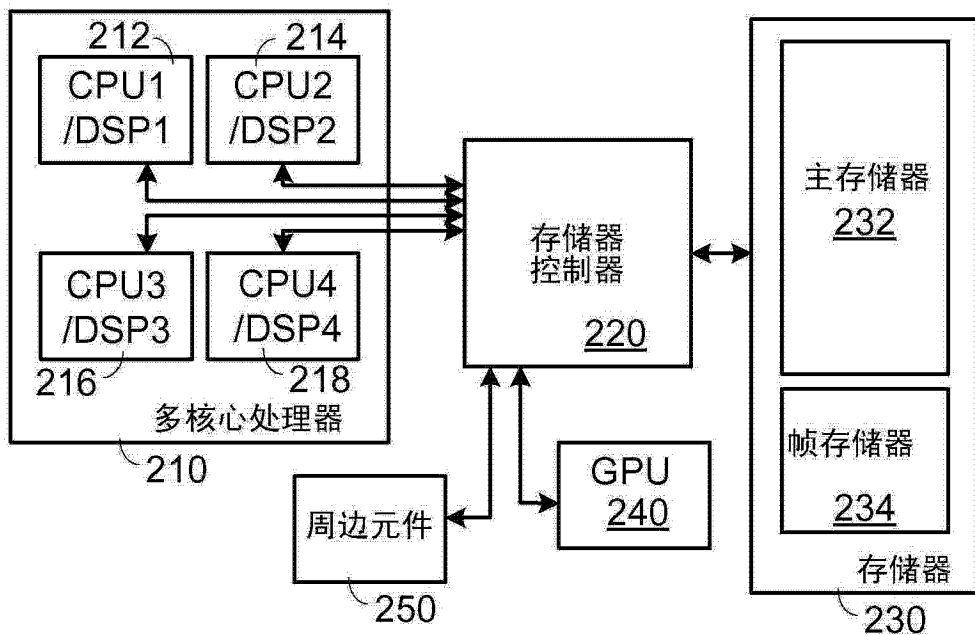


图 2

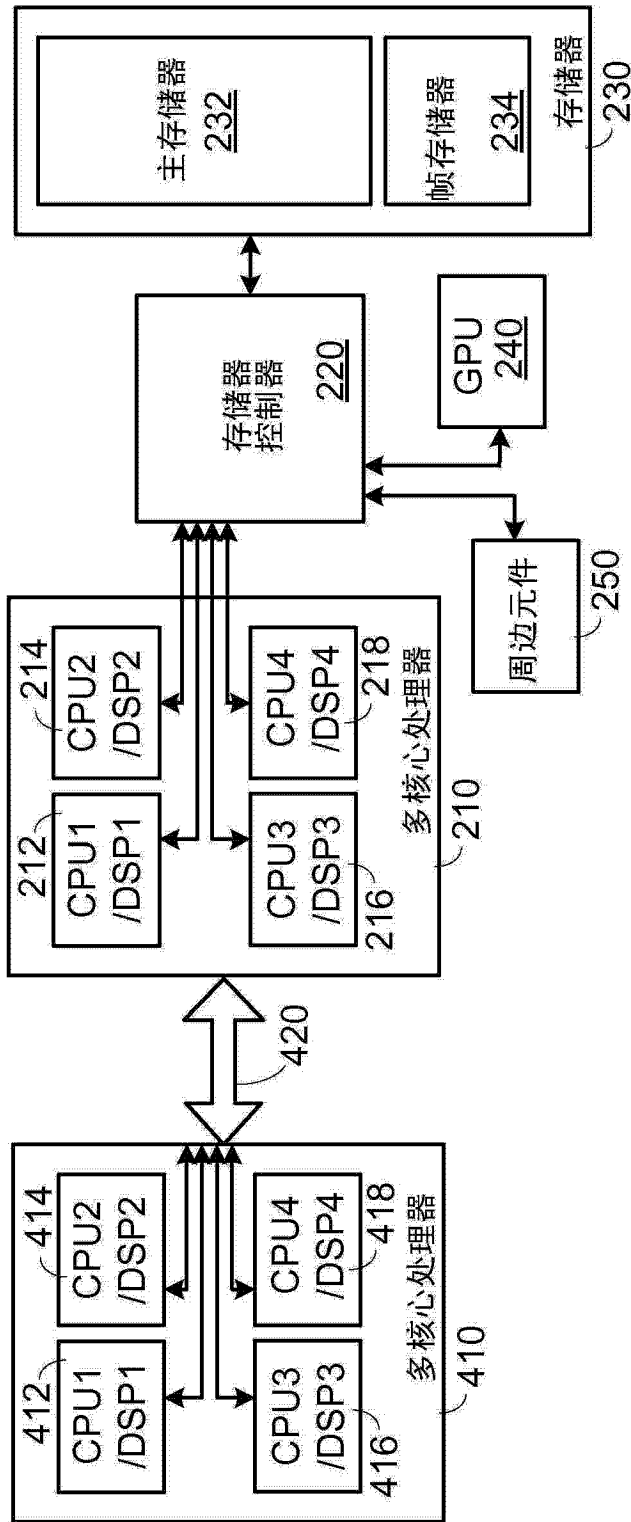


图 3

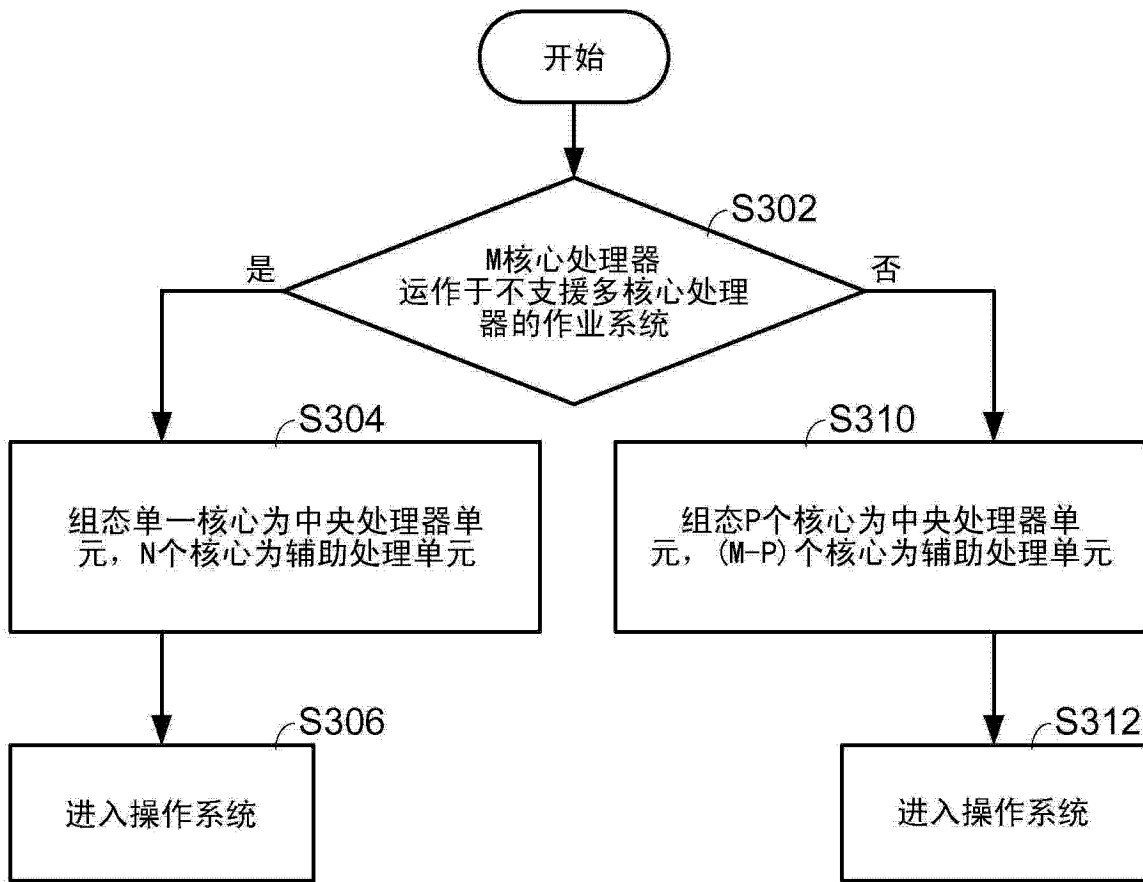


图 4