



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I437691 B

(45)公告日：中華民國 103 (2014) 年 05 月 11 日

(21)申請案號：098132926

(22)申請日：中華民國 98 (2009) 年 09 月 29 日

(51)Int. Cl. : **H01L27/082 (2006.01)****H01L29/861 (2006.01)**

(30)優先權：2008/10/01 美國

12/286,817

(71)申請人：萬國半導體有限公司 (美國) ALPHA & OMEGA SEMICONDUCTOR INC. (US)
美國

(72)發明人：博德 馬督兒 BOBDE, MADHUR (IN)

(74)代理人：蔡清福

(56)參考文獻：

TW	I295487	US	4855244
US	5156989	US	5317180
US	6153451	US	6770918B2
US	7291883B2		

審查人員：郭德豐

申請專利範圍項數：27 項 圖式數：19 共 44 頁

(54)名稱

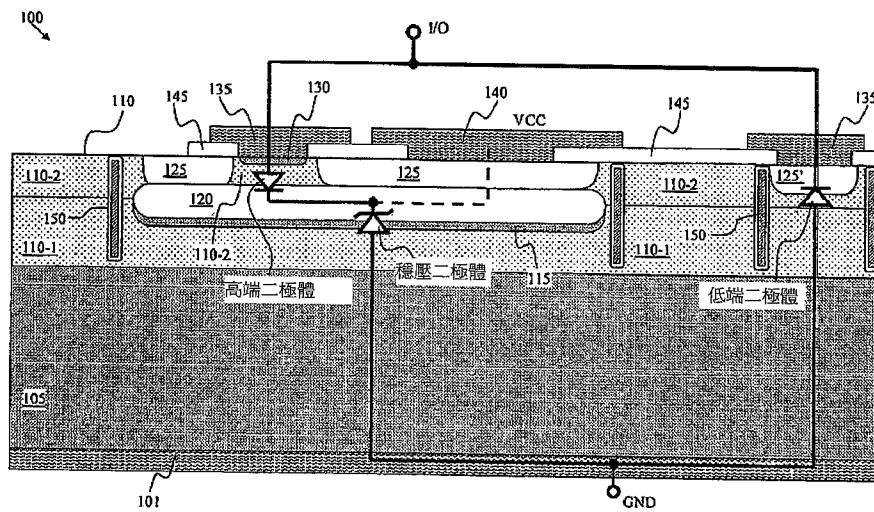
在低電容暫態電壓抑制器(TVS)內整合控向二極體的優化配置

OPTIMIZED CONFIGURATIONS TO INTEGRATE STEERING DIODES IN LOW CAPACITANCE
TRANSIENT VOLTAGE SUPPRESSOR (TVS)

(57)摘要

一種設置在半導體襯底上的暫態電壓抑制(TVS)裝置，包括一個低端控向二極體和一個高端控向二極體，與主穩壓二極體相連，以抑制暫態電壓。低端控向二極體和高端控向二極體與穩壓二極體相連，設置在半導體襯底中，每一個二極體都包含一個縱向 PN 接面，作為半導體襯底中的縱向二極體，用來減小暫態電壓抑制(TVS)裝置所占的橫向面積。在一個典型實施例中，高端控向二極體和穩壓二極體沿豎直方向互相重疊，進一步減小暫態電壓抑制(TVS)裝置所占的橫向面積。

A transient-voltage suppressing (TVS) device disposed on a semiconductor substrate including a low-side steering diode, a high-side steering diode integrated with a main Zener diode for suppressing a transient voltage. The low-side steering diode and the high-side steering diode integrated with the Zener diode are disposed in the semiconductor substrate and each constituting a vertical PN junction as vertical diodes in the semiconductor substrate whereby reducing a lateral area occupied by the TVS device. In an exemplary embodiment, the high-side steering diode and the Zener diode are vertically overlapped with each other for further reducing lateral areas occupied by the TVS device.



第2圖

- I/O . . . 輸入/輸出
 100、TVS . . . 暫態電壓抑制器
 101 . . . 背面金屬
 105 . . . 重摻雜 P + 半導體襯底
 110 . . . 雙層外延層
 110-1、110-2 . . . P-外延層
 120 . . . N-型掩埋層
 115 . . . 植入層
 125、125' . . . N + 源極區域
 130 . . . P+植入區
 135、135' . . . 金屬焊接點
 140 . . . Vcc 焊接點
 145 . . . 氧化絕緣層
 150 . . . 隔離溝道

I437691

公告本

102年10月25日修正本
102年10月25日告換頁

發明摘要

※ 申請案號：098132926

※ 申請日：98.09.29.

※IPC 分類：
H01L 27/082 (2006.01)
H01L 29/861 (2006.01)

【發明名稱】(中文/英文)

在低電容暫態電壓抑制器(TVS)內整合控向二極體的優化配置

Optimized Configurations To Integrate Steering Diodes In Low Capacitance Transient Voltage Suppressor (TVS)

【中文】

一種設置在半導體襯底上的暫態電壓抑制 (TVS) 裝置，包括一個低端控向二極體和一個高端控向二極體，與主穩壓二極體相連，以抑制暫態電壓。低端控向二極體和高端控向二極體與穩壓二極體相連，設置在半導體襯底中，每一個二極體都包含一個縱向PN接面，作為半導體襯底中的縱向二極體，用來減小暫態電壓抑制 (TVS) 裝置所占的橫向面積。在一個典型實施例中，高端控向二極體和穩壓二極體沿豎直方向互相重疊，進一步減小暫態電壓抑制 (TVS) 裝置所占的橫向面積。

【英文】

A transient-voltage suppressing (TVS) device disposed on a semiconductor substrate including a low-side steering diode, a high-side steering diode integrated with a main Zener diode for suppressing a transient voltage. The low-side steering diode and the high-side steering diode integrated with the Zener diode are disposed in the semiconductor substrate and each constituting a vertical PN junction as vertical diodes in the semiconductor substrate whereby

reducing a lateral area occupied by the TVS device. In an exemplary embodiment, the high-side steering diode and the Zener diode are vertically overlapped with each other for further reducing lateral areas occupied by the TVS device.

【代表圖】

【本案指定代表圖】：第（2）圖。

【本代表圖之符號簡單說明】：

I/O	輸入/輸出
100、TVS	暫態電壓抑制器
101	背面金屬
105	重摻雜P+半導體襯底
110	雙層外延層
110-1、110-2	P-外延層
120	N-型掩埋層
115	植入層
125、125'	N+源極區域
130	P+植入區
135、135'	金屬焊接點
140	Vcc焊接點
145	氧化絕緣層
150	隔離溝道

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

在低電容暫態電壓抑制器(TVS)內整合控向二極體的優化配置
Optimized Configurations To Integrate Steering Diodes In Low Capacitance Transient Voltage Suppressor (TVS)

【技術領域】

【0001】 本發明涉及一種暫態電壓抑制器（TVS）的電路配置和製造方法。更確切地說，本發明涉及一種優化配置整合控向二極體，以便降低暫態電壓抑制器（TVS）電容的改良電路配置和製造方法。

【先前技術】

【0002】 暫態電壓抑制器（TVS）通常用於保護積體電路免受由於大意疏忽造成積體電路過電壓帶來的損害。積體電路的設計是在電壓的正常範圍內工作。然而靜電放電（ESD）、電快速瞬變和閃電、未預見的、不可控的高壓等情況，都會對電路造成嚴重損害。暫態電壓抑制器（TVS）裝置就是為了當上述電壓問題發生時，保護積體電路的功能免受損害。由於積體電路對於過電壓的損害十分敏感，因此當與積體電路一同工作的裝置增加時，那麼更加需要暫態電壓抑制器（TVS）的保護。暫態電壓抑制器（TVS）典型應用於USB電源、資料線路保護、數位視頻界面、高速乙太網、筆記本電腦、監視器和平面顯示器等方面。

【0003】 第1A-1圖為傳統的帶有二極體陣列的暫態電壓抑制器（TVS），用於高帶寬資料匯流排的靜電放電（ESD）保護。暫態電壓抑制器（TVS）陣列包括一個主穩壓二極體，同高端控向二極體和低端控向二極

體一起工作。高端控向二極體同電壓源Vcc相連，低端控向二極體同接地端GND相連，一個輸入/輸出端連接高端和低端控向二極體。穩壓二極體尺寸較大，可作為從高壓端即Vcc端，到接地電壓端即Gnd端之間的雪崩二極體。當在一個輸入/輸出（I/O）端加上正電壓時，高端二極體提供正相偏壓，並被大的Vcc-Gnd二極體箝位，例如穩壓二極體。高端和低端控向二極體尺寸設計得很小，是為了降低輸入/輸出（I/O）電容，以此減少類似於高速乙太網應用中的高速線路上的插入損耗。

【0004】 隨著工業的發展，控向二極體與穩壓二極體整合在一起。第1A-2圖和第1A-3圖為控向二極體與穩壓二極體整合的圖示。高端和低端端子從外面不可見。第1A-2圖為高端控向二極體和低端控向二極體與一個單向的穩壓二極體整合示意圖。二極體單元在外面看起來像低電容的穩壓二極體，但在內部，高端和低端二極體與穩壓二極體整合在一起。內電路同第1A-1圖中的電路相同。輸入/輸出（I/O）端子為陰極，接地端GND為陽極，電壓源VCC端為內化的，從外面不可見。第1A-3圖為高端控向二極體和低端控向二極體同一個雙向穩壓二極體電路整合的示意圖。但是，如果用於電子裝置的現代化應用，配有這種整合方式的保護電路的應用不能超出設計面積。而且，必須精心地優化設計，在電容和控向二極體的正相偏壓之間找到最佳的平衡點，以獲得較好的整體電壓箝位元。

【0005】 第1B圖為傳統的暫態電壓抑制器（TVS）電路圖，第1B-1圖為暫態電壓抑制器（TVS）電路實際裝置的橫斷面視圖，即按照互補金屬氧化物半導體（CMOS）製作工藝，將暫態電壓抑制器（TVS）電路做出積體電路晶片。正如第1B-1圖所示，使用互補金屬氧化物半導體（CMOS）

製作工藝生產二極體、NPN和PNP電晶體，在半導體襯底上，二極體和電晶體會橫向延伸。因此，通過裝置設計和配置生成的暫態電壓抑制器（TVS）電路將在襯底上佔據較大的面積。要想縮小如第1B-1圖所示的，被暫態電壓抑制器（TVS）電路保護的電子裝置絕非易事。

【0006】 本專利的發明者將待審專利申請US 11/606,602中的暫態電壓抑制器（TVS）電路，用第1C圖所示的裝置配置做了改進，提出了一種新的暫態電壓抑制器（TVS）電路。本申請為部份接續申請案（CIP），要求聲明申請11/606,602的優先權。本專利申請特此引用專利申請11/606,602中的公開說明，以作參考。第1C圖為在一個P 襯底/N—外延層結內形成的，一個帶有主穩壓二極體的暫態電壓抑制器（TVS）電路。如第1C圖所示，由於主穩壓二極體和高端二極體是縱向延伸的，減少了所占的面積，所以暫態電壓抑制器（TVS）電路有了明顯的改進。此電路使用兩個輸入/輸出（I/O）端與兩套相應的高端和低端二極體對，但高端和低端二極體中每個區域的導電類型卻是相反的。高端控向二極體還與帶有隔離溝道絕緣溝的主穩壓二極體絕緣，這就避免了因大意疏忽而造成橫向寄生電晶體的開啓。

【0007】 儘管如此，仍然需要減小高端和低端控向二極體所占的面積。而且，還要進一步降低控向二極體的電容。因此，有必要通過新的結構佈局和製作方法，設計和改進裝置配置方法。新的裝置配置和製作方法，還必須考慮外延層的設計優化工藝，可控的摻雜濃度和外延層厚度，以便在降低電容和保持適當的齊納擊穿電壓之間找到最好的平衡點。

【0008】 因此，電路設計和裝置製造領域，必須提供新的、改良的電路配置和製作工藝方法，以解決上述難題。更確切地說，有必要改良暫態

電壓抑制器（TVS）電路，為可攜式電子裝置，提供帶有低電容和良好的電壓嵌位元的、低成本、高密度的暫態電壓抑制器（TVS）電路。

【發明內容】

【0009】因此，本發明一方面是用高端二極體、低端二極體作為控向二極體，改良暫態電壓抑制器（TVS）的結構配置。控向二極體對與主穩壓二極體配合，其中高端二極體、低端二極體和主穩壓二極體都是半導體襯底中的縱向二極體。高端二極體與主穩壓二極體重疊，因此暫態電壓抑制器（TVS）所占面積明顯較小，也就使得由本發明改良後的暫態電壓抑制器（TVS）保護的電子裝置進一步小型化。本發明所述的低成本的暫態電壓抑制器（TVS）電路能夠通過很小的矽片尺寸，獲得暫態電壓抑制器（TVS）保護，克服和解決了上述傳統儀器配置和暫態電壓抑制器（TVS）裝置製造方法的局限性與困難。

【0010】另外，本發明另一方面是用包括高端控向二極體和低端控向二極體的控向二極體對，改良暫態電壓抑制器（TVS）的結構配置。控向二極體與主穩壓二極體配合，其中高端二極體、低端二極體和主穩壓二極體都是半導體襯底中的縱向二極體。與平行結構相比，縱向二極體結構要求晶片尺寸更小，因為它們的頂面上僅有一面端子，而平行裝置結構的頂面兩面都有端子。

【0011】本發明另一方面是每一個二極體都是頂面上有一個單端子，並且底面上也有一個端子，這就避免了頂面兩面有端子帶來的不良的影響。所述的縱向二極體不同於頂面兩面都有端子的結構，這就限制了在頂面附近從一個端子到另一個端子的平行電流，從而帶來更高的串聯電

阻。相比較而言，本發明的裝置縱向電流流經頂面和底面端子之間，將電流傳到半導體裏，因此串聯電阻更低，最大電流密度更高，裝置的性能大幅提升。

【0012】 本發明的另一方面是用高端二極體、低端二極體作爲控向二極體，與半導體襯底中的主穩壓二極體連接，改良暫態電壓抑制器（TVS）的結構配置。通過輕摻雜位於N-型掩埋層（NBL）和淺P+區之間的外延層，縱向結構帶來的較好的電流擴散，本發明的高端二極體能夠顯著地降低接面電容。重摻雜N-型掩埋層（NBL），進一步提高N-型掩埋層（NBL）的擴散電流。

【0013】 本發明的另一方面是用高端二極體、低端二極體作爲控向二極體，與半導體襯底中的主穩壓二極體連接，改良暫態電壓抑制器（TVS）的結構配置。高端二極體、低端二極體和主穩壓二極體都是半導體襯底中的縱向二極體，因此沒有表面電流。如上所述，由於本發明的縱向二極體結構具有較低的串聯電阻（導致更低的功率耗散）以及更好的電流擴散，因此本發明所述的暫態電壓抑制器(TVS)裝置的耐用性得到了改善和提高。

【0014】 本發明的另一方面是用高端二極體、低端二極體作爲控向二極體，與半導體襯底中的帶有N+摻雜掩埋層（NBL）的主穩壓二極體連接，改良暫態電壓抑制器（TVS）的結構配置。按此配置，由於重摻雜的N+摻雜掩埋層（NBL）會通過寄生縱向PNP電晶體，抑制電晶體動作，因此裝置的性能得到了改善。該寄生縱向PNP電晶體爲從一個I/O端到另一個I/O端所形成寄生晶閘管（PNPN）結構的一部分。一個較弱的PNP電晶體將確保在要求Vcc和Gnd端處於浮接狀態的應用時，寄生晶閘管不開啓。

【0015】 本發明的另一方面是用高端二極體、低端二極體作為控向二極體，與半導體襯底中的帶有N+摻雜掩埋層（NBL）的主穩壓二極體連接，改良暫態電壓抑制器（TVS）的結構配置。接面電容強烈依賴於摻雜濃度，若將摻雜濃度降低一個數量級，接面電容會降低70%。

【0016】 在一個較佳實施例中，本發明介紹了一種暫態電壓抑制（TVS）裝置，配置在半導體襯底上，包括一個低端控向二極體和一個高端控向二極體，與主穩壓二極體相連，以抑制暫態電壓。與所述的穩壓二極體相連的所述的低端控向二極體和高端控向二極體置於半導體襯底中，每一個都是二極體襯底中的縱向二極體，因此減少了暫態電壓抑制（TVS）裝置所占的橫向面積。在一個典型實施例中，高端控向二極體和穩壓二極體在縱向方向上相互重疊，進一步減少了暫態電壓抑制（TVS）裝置所占的橫向面積。在另一典型實施例中，穩壓二極體還包括源極下面的一個掩埋源極-摻雜區域。在一個典型實施例中，在掩埋源極摻雜層和一較高摻雜濃度的淺襯底摻雜區之間，高端控向二極體還包括一個輕摻雜襯底摻雜的外延層以獲得高端控向二極體的低接面電容。在另一典型實施例中，高壓電極位於半導體襯底的頂面上，低壓電極位於半導體襯底的底面上，通過與作為縱向二極體的穩壓二極體相連的低端控向二極體和高端控向二極體傳導電流，這就完全消除了半導體橫向的表面電流。在另一典型實施例中，在源極下的深掩埋源極摻雜區消除了由開通半導體襯底中寄生雙極電晶體引起的鎖門。在另一典型實施例中，暫態電壓抑制（TVS）裝置的縱向二極體位於具有輕襯底摻雜濃度的外延層內，降低對應的外延層厚度的電容，以優化高端和低端控向二極體的擊穿電壓。在另一典型實施例中，可通過自

動摻雜形成具有最大源極摻雜濃度的掩埋源極摻雜區，無需擴散，並且符合縱向齊納擊穿電壓的要求。

【0017】 在另一較佳實施例中，本發明還介紹了一種用作積體電路（IC）的電子裝置，其中所述的電子裝置還包括一個暫態電壓抑制（TVS）裝置，以抑制電子裝置中的暫態電壓。暫態電壓抑制（TVS）裝置位於半導體襯底上，包括與主穩壓二極體相連的低端控向二極體和高端控向二極體，以抑制暫態電壓。與主穩壓二極體相連的低端控向二極體和高端控向二極體位於半導體襯底中，在其中構成了一個縱向PN接面，即縱向二極體，因此減少了暫態電壓抑制（TVS）裝置所占的橫向區域。在一典型實施例中，高端控向二極體和穩壓二極體在縱向方向上相互重疊，進一步減少了暫態電壓抑制（TVS）裝置所占的橫向區域。在另一典型實施例中，穩壓二極體還包括一個在源極區域下的掩埋源極-摻雜區。在另一典型實施例中，在掩埋源極摻雜層和一較高摻雜濃度的淺襯底摻雜區之間，高端控向二極體還包括一個輕摻雜襯底摻雜的外延層以獲得高端控向二極體的低接面電容。在另一典型實施例中，高壓電極位於半導體襯底的頂面上，低壓電極位於半導體襯底的底面上，通過與作為縱向二極體的穩壓二極體相連的低端控向二極體和高端控向二極體傳導電流，這就完全消除了半導體橫向的表面電流。在另一典型實施例中，在源極下的深掩埋源極摻雜區消除了由開通半導體襯底中寄生雙極電晶體引起的鎖門。在另一典型實施例中，暫態電壓抑制（TVS）裝置的縱向二極體位於具有輕襯底摻雜濃度的外延層中，降低對應的外延層厚度的電容，以優化高端和低端控向二極體的擊穿電壓。在另一典型實施例中，可通過自動摻雜形成具有最大源極摻雜濃度的掩埋

源極摻雜區，無需擴散，並且符合縱向齊納擊穿電壓的要求。

【0018】 本發明還介紹了一種帶有集成暫態電壓抑制（TVS）電路的電子裝置製造方法。該方法包括一個使用標準的DMOS製造工藝來製作縱向PN接面的工序，起到與縱向穩壓二極體相連的低端控向二極體和高端控向二極體的作用，以減小暫態電壓抑制（TVS）裝置所占的橫向區域。

【0019】 閱讀以下各種附圖和圖形所示的較佳實施例的詳細說明後，對於本領域的技術人員，本發明的這些以及其他情況和優勢將顯而易見。

【圖式簡單說明】

【0020】

第1A－1圖表示配有二極體陣列的傳統暫態電壓抑制（TVS）電路，通常用於靜電放電（ESD）保護。

第1A－2圖和第1A－3圖分別為控向二極體與穩壓二極體整合在一起，以便在單向和雙向閉鎖暫態電壓抑制（TVS）二極體獲得低電容的示意圖。

第1B圖為傳統暫態電壓抑制（TVS）電路的標準電路圖，第1B－1圖、第1B－2圖和第1B－3圖為暫態電壓抑制器（TVS）電路實際裝置的橫斷面視圖，即按照互補金屬氧化物半導體（CMOS）製作工藝，將暫態電壓抑制器（TVS）電路做出積體電路晶片。

第1C圖為配有二極體的暫態電壓抑制器（TVS）電路，作為縱向二極體，以減小暫態電壓抑制器（TVS）電路的尺寸。

第2圖至第4圖為穩壓二極體與高端和低端控向二極體集成的橫斷面試

圖，用來說明配有N+掩埋層和隔離溝道的暫態電壓抑制器（TVS）裝置的電路，以形成本發明所述的縱向暫態電壓抑制器（TVS）二極體陣列，減小二極體陣列所占的面積。

第5A圖至第5B圖為暫態電壓抑制器（TVS）裝置佈局的頂視圖，以說明實施本發明的縱向二極體陣列所要求的減小的面積。

第6圖為配有N—掩埋層（NBL）TVS齊納的暫態電壓抑制器（TVS）電路的電容部分的橫斷面示圖。

第7圖為控向二極體的低電容設計示意圖，以優化本發明中的設計參數。

第8圖為接面電容隨突變N+-P結的摻雜濃度ND的變化曲線。

第9圖為耗盡寬度WD隨突變N+-P結的摻雜濃度ND的變化曲線。

第10A圖至第10D圖為N+摻雜掩埋層（NBL）和觸發植入層的形成橫斷面示圖。

【實施方式】

【0021】 參考第2圖，本發明暫態電壓抑制器（TVS）100的等效電路的側向橫斷面示圖。暫態電壓抑制器（TVS）100形成於重摻雜P+半導體襯底105上，一個底部P—外延層110—1和一個頂部P—外延層110—2構成P雙層外延層110，位於重摻雜P+半導體襯底105上，半導體襯底105的底面上的背面金屬101，作為接地端。暫態電壓抑制器（TVS）100包括一個P+區高端控向二極體和穩壓二極體的重疊區，一個深度擊穿電壓（VBD）觸發植入層115，植入P+摻雜離子，其中植入層115位於底部外延層110—1和頂部N+源極區125下面的N+掩埋層120之間。穩壓二極體從掩埋層120延

伸至底部外延層110—1。淺P+植入區130形成在頂部P—外延層110—2的頂面附近，以增強同輸入/輸出(I/O)金屬焊接點135的電接觸。頂面大部分被氧化絕緣層145覆蓋，留有開口允許Vcc焊接點140和N+源極區域125接觸，在高端二極體和穩壓二極體重疊區中，輸入/輸出(I/O)金屬焊接點135與淺P+植入區130相接觸；在暫態電壓抑制器(TVS)100的右側，一個輸入/輸出(I/O)金屬焊接點135'與低端二極體的源極區域125'相接觸。輸入/輸出(I/O)金屬焊接點135和輸入/輸出(I/O)金屬焊接點135'可以在第三個方向上相連接。N+源極區域125具有一個缺口，高端二極體位於缺口內從頂部P—外延層110—2至N+掩埋層120的位置。低端二極體位於從源極區域125'到雙層外延層110的位置。暫態電壓抑制器(TVS)100還包括隔離溝道150將低端控向二極體隔離高端二極體及與其重疊連接在一起的穩壓二極體。從淺P+植入區以及P—外延區110—2在它下面的部分，到N+掩埋層120，然後到120下面的P—外延層110—1，有一個寄生縱向PNP電晶體。通過高度摻雜N+掩埋層120，避免了電晶體動作。寄生縱向PNP電晶體是寄生PNPN晶閘管的一部分，形成在輸入/輸出(I/O)金屬焊接點135和135'之間的半導體區域內。一個較弱的PNP電晶體將確保在要求將Vcc和Gnd端處於浮接狀態的應用時，寄生晶閘管不開啓。一般要求控向二極體不能被擊穿，因此穩壓二極體的擊穿電壓要遠小於控向二極體的擊穿電壓。VBD觸發層將穩壓二極體的擊穿電壓控制在一個符合要求的較小值上。

【0022】 第3圖為本發明另一種可用的暫態電壓抑制器(TVS)100'的橫斷面示圖。深度擊穿電壓(VBD)觸發層115'由掩膜植入在高端控向二極體下面形成缺口，以避免高摻雜層直接在高端控

向二極體下面，除此之外，暫態電壓抑制器（TVS）100' 與第2圖所示的暫態電壓抑制器（TVS）100結構相似。這樣就可以避免因疏忽大意造成P—外延層110—2在P+植入區130下面部分的摻雜濃度升高的情況。該區域的摻雜濃度應保持在較低的水準上，以獲得如下所述的低電容。第4圖為本發明的另一種可用的暫態電壓抑制器（TVS）100" 的橫斷面示圖。N+掩埋層120' 中有帶缺口，深度擊穿電壓（VBD）觸發層 115" 就在兩段N+掩埋層120' 中間，而不是在N+掩埋層 120' 下面，除此之外，暫態電壓抑制器（TVS）100" 與第2圖和第3圖分別所示的暫態電壓抑制器（TVS）100和暫態電壓抑制器（TVS）100' 結構相似。

【0023】 第5A圖和第5B圖分別為按照第1B—1圖和第1B—2圖所示的暫態電壓抑制器（TVS）結構佈局的俯視圖。如第5A圖所示，主穩壓二極體與高端二極體分別位於不同區域上。相比之下，如第5B圖所示，高端二極體與穩壓二極體重疊，因此第5B圖中的暫態電壓抑制器（TVS）100所占面積，與第5A圖中的暫態電壓抑制器（TVS）100相比要小得多。

【0024】 第6圖為電容等效電路的橫斷面示圖，用來計算穩壓二極體CZ分別與高端二極體CHS和低端二極體CLS相結合的總電容。假設CZ遠大於CHS或CLS，總電容CTotal可以表示為：

$$\text{【0025】 } \text{CTotal} = \alpha \text{PNP}^*(\text{CHS}) + \text{CLS} + \text{C(Pad)}$$

【0026】 其中 αPNP 為由P—外延層110—2、N+掩埋層120和P—外延層110—1組成的縱向PNP電晶體發射極到集電極的增益，C (Pad)為焊接點電容。根據上式，為了獲得暫態電壓抑制器（TVS）的低電容，必須降低高端控向二極體的電容CHS和低端控向二極體的電容CLS。由於CZ遠大於

CHS，並與CHS並聯，因此CZ對CTotal的影響可忽略。第7圖為突變N+/P-結的耗盡寬度WD的示意圖。對於一個縱向二極體，耗盡寬度沿豎直方向，因此P層的深度至少應該與耗盡寬度WD一樣大。但是，P層深度不應該超過WD太多，否則將引起二極體的正向電阻不必要的增加。對於突變N+和P-結，接面電容Cj和擊穿電壓VBD為：

$$【0027】 C_j = \alpha (NA)1/2$$

$$【0028】 V_{BD} = \alpha (NA)-3/4 * (NPT)$$

【0029】 其中，NA為P區的摻雜濃度，NPT為非穿通型擊穿電壓。當摻雜濃度降低時，控向二極體的電容隨擊穿電壓的升高而降低，第8圖表示接面電容Cj隨摻雜濃度的變化情況，第9圖表示外延層中的耗盡寬度WD隨摻雜濃度的變化情況。如第8圖所示，接面電容Cj隨摻雜濃度的增大而增大。因此，可以通過為P-外延層110-2選取一個較低的摻雜濃度，然後利用上述摻雜濃度，根據第9圖所示的耗盡層厚度的寬度，找到P-外延層110-2的最佳厚度，來優化暫態電壓抑制器（TVS）。對於高端二極體，P+植入區130和N-型掩埋層（NBL）120之間會形成電容，因此，它們之間的P-外延層110-2區域的垂直距離應與耗盡寬度相匹配，這樣才能獲得低電容。上述垂直距離還應該接近耗盡寬度，以避免引起二極體的正向電壓不必要的增加。對於低端二極體，從源極區域125'到襯底105直接的垂直距離應該與耗盡寬度（考慮到外延層110-1和110-2的摻雜濃度）大致匹配。第一外延層110-1的厚度也應該考慮低端二極體的耗盡寬度和它與高端二極體之間的距離；如果襯底105過於靠近高端二極體，襯底105中的部分摻雜物可能或擴散到第二外延層110-2的區域中接觸植入物130下面，並引起

第二外延層110-2中的摻雜濃度升高，導致高端二極體的電容升高。在一個較佳實施例中，P-外延層110-1和110-2的摻雜濃度將盡可能地保持在較低的水準，以確保控向二極體中獲得低電容。上述的在源極區域125下面的N+掩埋層120，被植入，最大劑量、最小擴散，通過一種自動摻雜過程，同時滿足縱向穩壓二極體的擊穿電壓要求。

【0030】 第10A圖至第10D圖展示了一種在和第3圖中的裝置100'相似的裝置中，形成N-型掩埋層（NBL）的方法。第10A圖為在重摻雜的P+襯底105上，生長一層輕摻雜的第一P-外延層110-1。第10B圖為使用一種掩膜植入（圖中沒有給出掩膜），以便形成N+植入區121。第10C圖表示一種注入物擴散N+植入區121，以形成N-型掩埋層（NBL）120。在第10C圖中，為使用另一種掩膜植入（圖中沒有給出掩膜），以便在N+植入區121下方，形成P+VBD觸發植入層115'。第10D圖為在第一P-外延層110-1上生長一層第二P-外延層110-2。N-型掩埋層（NBL）120輕微擴散到第二外延層110-2中。

【0031】 雖然本發明詳細介紹了現有的較佳實施例，但並不能以此局限本發明的範圍。例如，半導體區域的導電類型可以變換，即P型區域可以用N型區域代替，反之亦然。在這種情況下，高端二極體和低端二極體的位置應該互換；而且半導體頂端的電壓應該更低，底端的電壓應該更高。閱讀上述公開說明書之後，各種修改和變換，對於本領域的技術人員無疑顯而易見。因此，我們要求以附上的申請專利範圍，來限定屬於本發明範圍內的所有修改和變換。

【符號說明】

【0032】

I/O	輸入/輸出
101	背面金屬
105	重摻雜P+半導體襯底
110	雙層外延層
110-1、110-2	P-外延層
120、120'	N-型掩埋層
115	植入層
125、125'	N+源極區域
130	P+植入區
135、135'	金屬焊接點
140	Vcc焊接點
145	氧化絕緣層
150	隔離溝道
115'	觸發層
100、100'、100''、TVS	暫態電壓抑制器
CLS	低端二極體
CHS	高端二極體
WD	耗盡寬度
121	N+植入區

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】(請換頁單獨記載)

申請專利範圍

1. 一種位於半導體襯底上的暫態電壓抑制器（TVS）裝置，其特徵在於，包括：

與一穩壓二極體相連接的一控向二極體對，以抑制暫態電壓，其中所述控向二極體對的每一控向二極體都與該穩壓二極體相連，作為半導體襯底中的一縱向二極體構成一個PN接面，以此減小暫態電壓抑制器（TVS）裝置所占的橫向面積，並且其中所述控向二極體對包括一個高端控向二極體和一個低端控向二極體；

一第一導電類型的並生長在該第一導電類型的襯底上的包括一第一外延層、一第二外延層的一雙層外延層，及在該第一外延層和該第二外延層之間的一第二導電類型的重摻雜的一掩埋層，和一個位於該掩埋層上面的將該掩埋層連接到該第二外延層上表面的該第二導電類型的一源極區域；

其中該穩壓二極體位於從該掩埋層到該第一外延層之間，及在該源極區域裡有缺口使得該控向二極體對中的一第一個控向二極體形成於該第二外延層與該掩埋層之間，並且一另一源極區域使得該控向二極體對中的一第二個控向二極體形成於該另一源極區域和所述雙層外延層之間。

2. 如申請專利範圍第1項所述的暫態電壓抑制器（TVS）裝置，其中所述控向二極體對中的該第一個控向二極體和該穩壓二

極體沿縱向相互重疊，以進一步減小該暫態電壓抑制器（TVS）裝置所占的橫向面積。

3. 如申請專利範圍第2項所述的暫態電壓抑制器（TVS）裝置，其中所述穩壓二極體在一源極區域下面，還包括一個掩埋源極摻雜區，其中所述掩埋源極摻雜區也是所述控向二極體對中的該第一個控向二極體PN接面的一部分。
4. 如申請專利範圍第3項所述的暫態電壓抑制器（TVS）裝置，其中所述控向二極體對中的該第一個控向二極體還包括一個輕摻雜襯底外延層，該輕摻雜襯底外延層位於該掩埋源極摻雜區和一個具有更高摻雜濃度的淺襯底摻雜區之間，以使所述控向二極體對中的該第一個控向二極體獲得低電容。
5. 如申請專利範圍第2項所述的暫態電壓抑制器（TVS）裝置，其中所述控向二極體對中的該第二個控向二極體由一源極區域到它下面的外延層之間形成，其中所述的第二個控向二極體並不與該穩壓二極體縱向重疊。
6. 如申請專利範圍第3項所述的暫態電壓抑制器（TVS）裝置，其中在所述的源極區域下面的所述的掩埋的源極摻雜區是重摻雜的，以阻止半導體襯底中的寄生雙極電晶體導通。
7. 如申請專利範圍第3項所述的暫態電壓抑制器（TVS）裝置，其中該暫態電壓抑制器（TVS）裝置的該縱向二極體位於具有輕襯底摻雜濃度的外延層中，以減小電容，其有一相應的外

延層厚度以優化該高端控向二極體和該低端控向二極體正向電阻和接面電容。

8. 如申請專利範圍第3項所述的暫態電壓抑制器（TVS）裝置，其中所述的掩埋的源極摻雜區為N型，所述控向二極體對中的該第一個控向二極體為該高端控向二極體，所述控向二極體對中的該第二個控向二極體為該低端控向二極體。
9. 如申請專利範圍第2項所述的暫態電壓抑制器（TVS）裝置，其中至少一個隔離溝道，用於隔離所述控向二極體對中的該第二個控向二極體和與該穩壓二極體重疊的所述控向二極體對中的該第一個控向二極體。
10. 一種暫態電壓抑制器（TVS）裝置的製備方法，其特徵在於：製備與一個縱向穩壓二極體相連的縱向控向二極體對，以減小一暫態電壓抑制器（TVS）裝置所占的橫向面積，其中所述的控向二極體對包括一個高端控向二極體和一個低端控向二極體；

在一半導體襯底上生長一第一外延層，使用一種掩膜植入以便形成一植入區，以形成一掩埋層，使用另一種掩膜植入以便在該植入區下方形成一觸發植入層，在該第一外延層上生長一第二外延層，該掩埋層輕微擴散到該第二外延層中；

其中穩壓二極體位於從該掩埋層到該第一外延層之間，及在源極區域裡有缺口使得控向二極體對中的一第一個控向二極體形成於該第二外延層與該掩埋層之間，並且一另一源

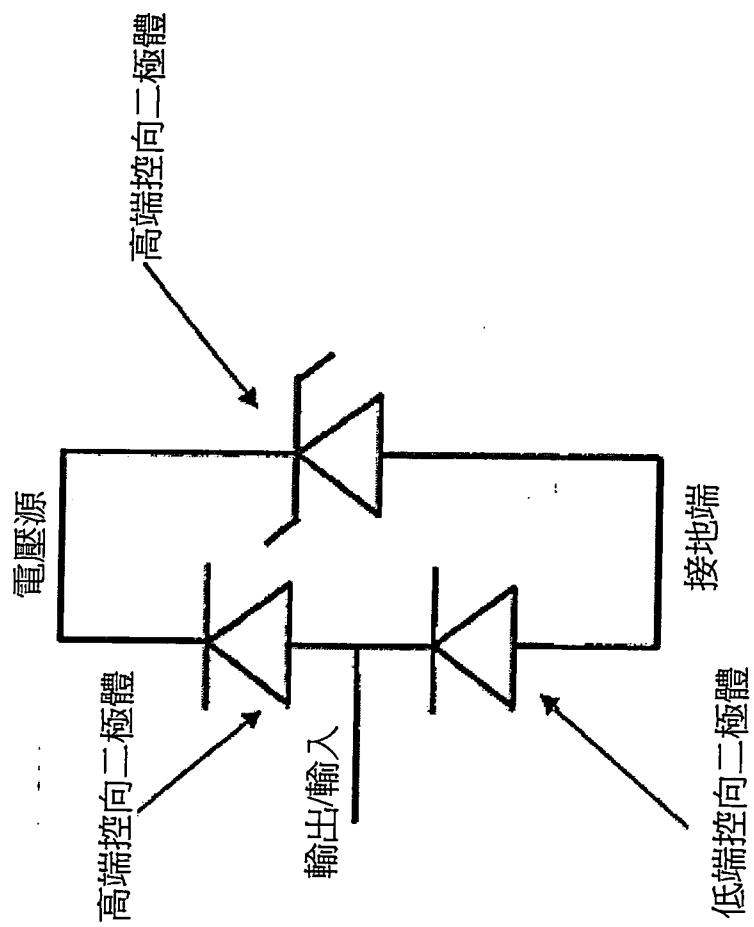
極區域使得控向二極體對中的一第二個控向二極體形成於該另一源極區域和所述雙層外延層之間。

- 11.如申請專利範圍第10項中所述的製備方法，其中所述製備與所述的縱向穩壓二極體相連的所述縱向控向二極體對的步驟，還包括沿縱向相互重疊製備控向二極體對中的該第一個控向二極體以及穩壓二極體以進一步減小該暫態電壓抑制器（TVS）裝置所占的橫向面積。
- 12.如申請專利範圍第11項中所述的製備方法，其中還包括一步：爲所述的穩壓二極體，製備在源極區域下面的一掩埋的源極摻雜區。
- 13.如申請專利範圍第12項中所述的製備方法，其中製備控向二極體對中所述的第一個控向二極體還包括在該掩埋的源極摻雜區和具有較高摻雜濃度的淺襯底摻雜區之間，形成輕摻雜襯底摻雜外延層，以使所述的第一個控向二極體獲得低電容和良好的觸點。
- 14.如申請專利範圍第12項中所述的製備方法，還包括：在半導體襯底上，製備兩個外延層，其中掩埋的源極摻雜區位於所述的兩個外延層的接面處。
- 15.如申請專利範圍第12項中所述的製備方法，其特徵在於：在所述的源極區域下面製備所述的掩埋的源極區域的步驟中，還包括重摻雜掩埋的源極摻雜區，以消除半導體襯底中的寄生雙級電晶體的開啓。

- 16.如申請專利範圍第12項中所述的製備方法，還包括：將該暫態電壓抑制器（TVS）裝置的所述的縱向二極體，設置在具有輕襯底摻雜濃度的外延層中以減小電容，其有一相應的外延層厚度以優化該高端控向二極體和該低端控向二極體的正向電阻和接面電容。
- 17.如申請專利範圍第12項中所述的製備方法，其特徵在於：所述掩埋的源極摻雜區為N型，控向二極體對中所述的該第一個控向二極體為該高端控向二極體，所述的第二個控向二極體為該低端控向二極體。
- 18.如申請專利範圍第11項中所述的製備方法，還包括：在所述的半導體襯底中形成至少一個隔離溝道，用於隔離所述控向二極體對中的該第二個控向二極體和與穩壓二極體重疊的所述控向二極體對中的該第一個控向二極體。
- 19.如申請專利範圍第12項中所述的製備方法，其中製備一個掩埋的源極摻雜區還包括在所述的半導體襯底上生長一個第一外延層，在所述的第一外延層上形成掩膜植入源極摻雜物，在所述的第一外延層上生長一個第二外延層。
- 20.如申請專利範圍第12項中所述的製備方法，還包括：通過挑選一個外延層的低摻雜濃度，來獲得低接面電容；並通過挑選所述的外延層厚度，來滿足所述的高端控向二極體和該低端控向二極體的耗盡寬度，以優化該高端控向二極體和該低端控向二極體。

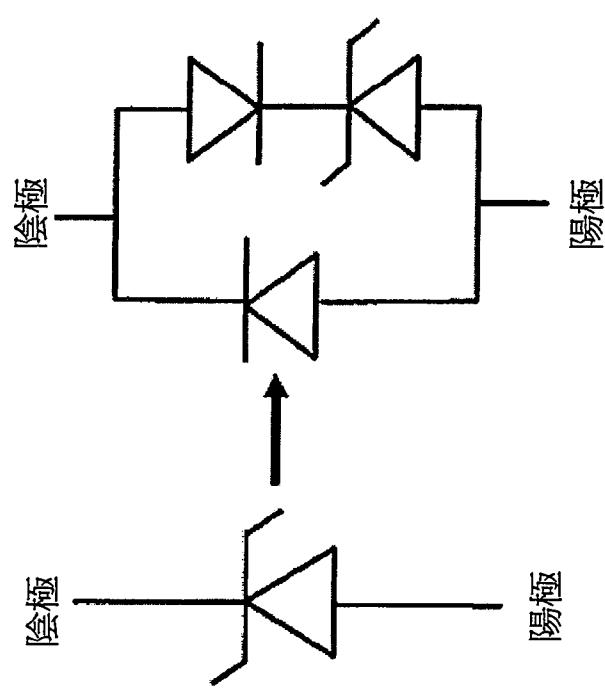
- 21.如申請專利範圍第20項中所述的製備方法，其中所述優化暫態電壓抑制器（TVS）裝置的所述的高端控向二極體和該低端控向二極體的步驟，還包括挑選所述的外延層的所述的厚度，以避免升高所述的高端控向二極體和該低端控向二極體的正向電阻。
- 22.一種位於半導體襯底上的暫態電壓抑制器（TVS）裝置，其特徵在於，包括：
- 一第一導電類型的一襯底，其頂部生長一雙層外延層，該外延層包括生長在該襯底上的該第一導電類型的第一外延層，和生長在該第一外延層上的該第一導電類型的第二外延層；
- 連接縱向穩壓二極體的縱向控向二極體對，其中這對控向二極體包括一個高端控向二極體和一個低端控向二極體；該第二導電類型的重摻雜的一掩埋層，在該第一外延層和該第二外延層之間，其中所述的穩壓二極體位於從該掩埋層到該第一外延層之間；
- 一個位於該掩埋層上面的該第二導電類型的源極區域，將該掩埋層連接到該第二外延層上表面，其中在源極區域裡有缺口，使得控向二極體對中的一第一個控向二極體形成於該第二外延層與該掩埋層之間，並與穩壓二極體重疊；並且
- 一另一源極區域，使得控向二極體對中的一第二個控向二極體形成於該另一源極區域和所述雙層外延層之間。

- 23.如申請專利範圍第22項中所述的暫態電壓抑制器（TVS）裝置，還包括：一個在該掩埋層下面的該第一導電類型的一擊穿電壓觸發層。
- 24.如申請專利範圍第23項中所述的暫態電壓抑制器（TVS）裝置，其中所述的擊穿電壓觸發層有一個缺口，觸發層並不在所述控向二極體對中的該第一個控向二極體下面。
- 25.如申請專利範圍第23項中所述的暫態電壓抑制器（TVS）裝置，其中所述的掩埋層有一個缺口，其中該擊穿電壓觸發層位於缺口內。
- 26.如申請專利範圍第22項中所述的暫態電壓抑制器（TVS）裝置，其中該第一導電類型為P型，該第二導電類型為N型，其中所述控向二極體對中的該第一個控向二極體為高端二極體，所述第二個控向二極體為低端二極體。
- 27.如申請專利範圍第22項中所述的暫態電壓抑制器（TVS）裝置，其中保持該雙層外延層的最少摻雜，以便在所述控向二極體中獲得低電容，根據控向二極體的耗盡寬度和正向電阻，來優化其中該第一外延層的厚度和該第二外延層的厚度。



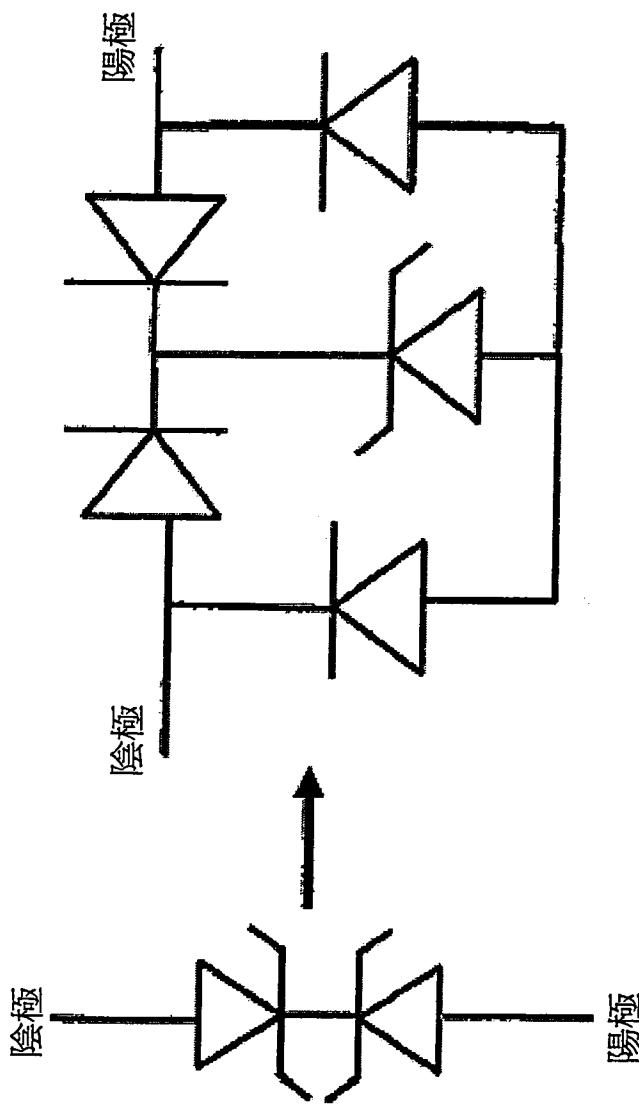
第 1A-1 圖

I437691



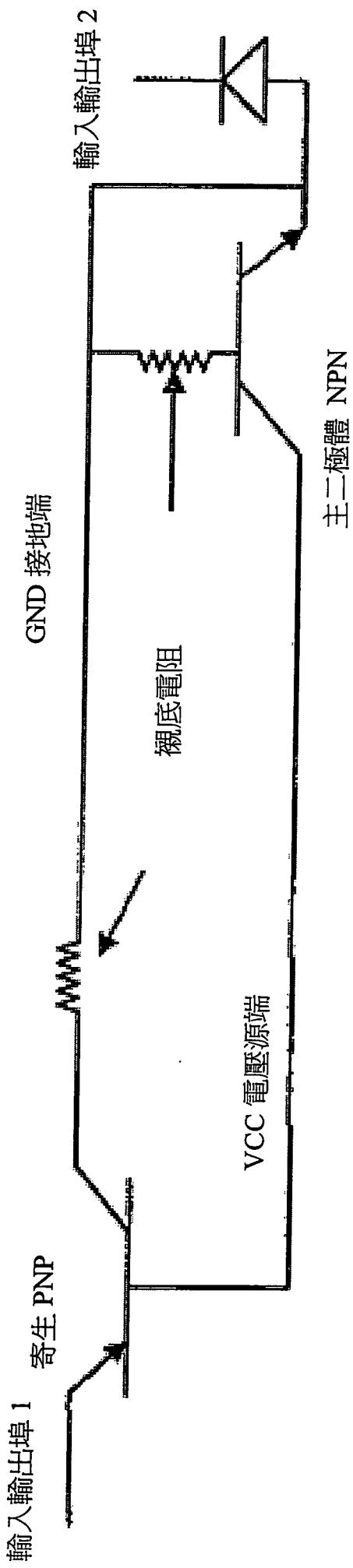
第 1A-2 圖

I437691

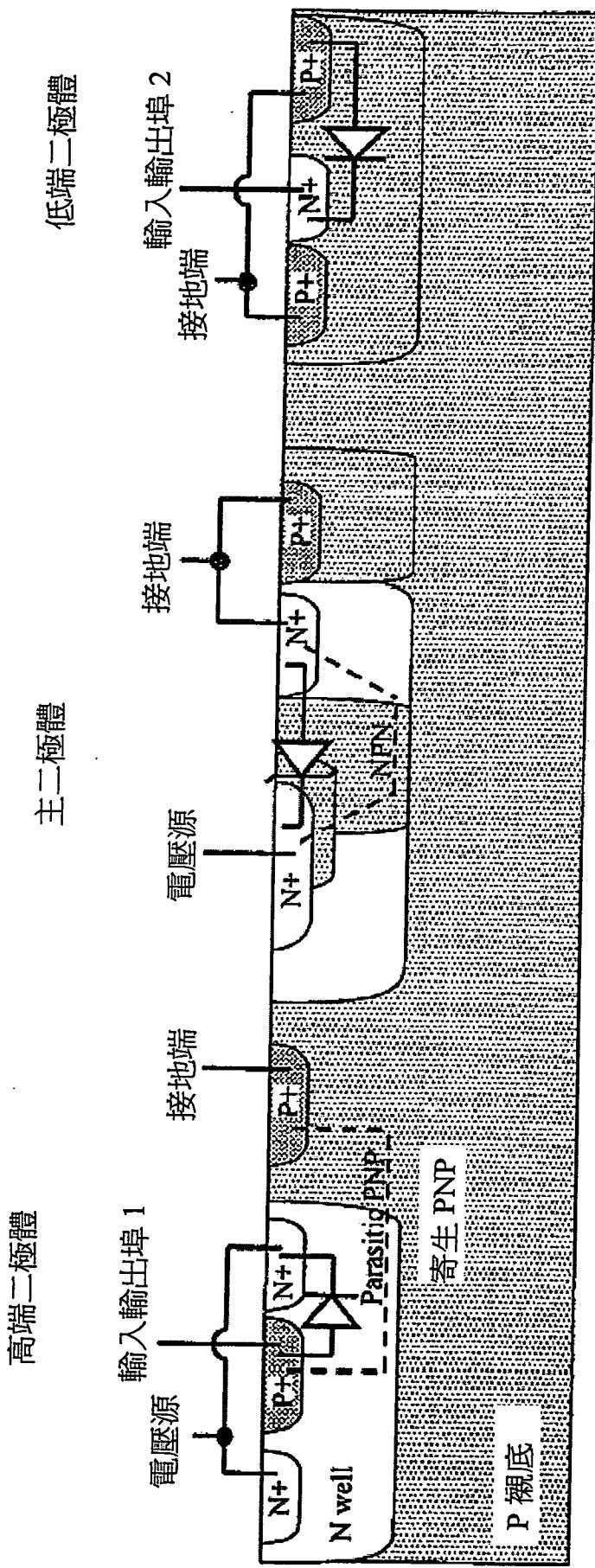


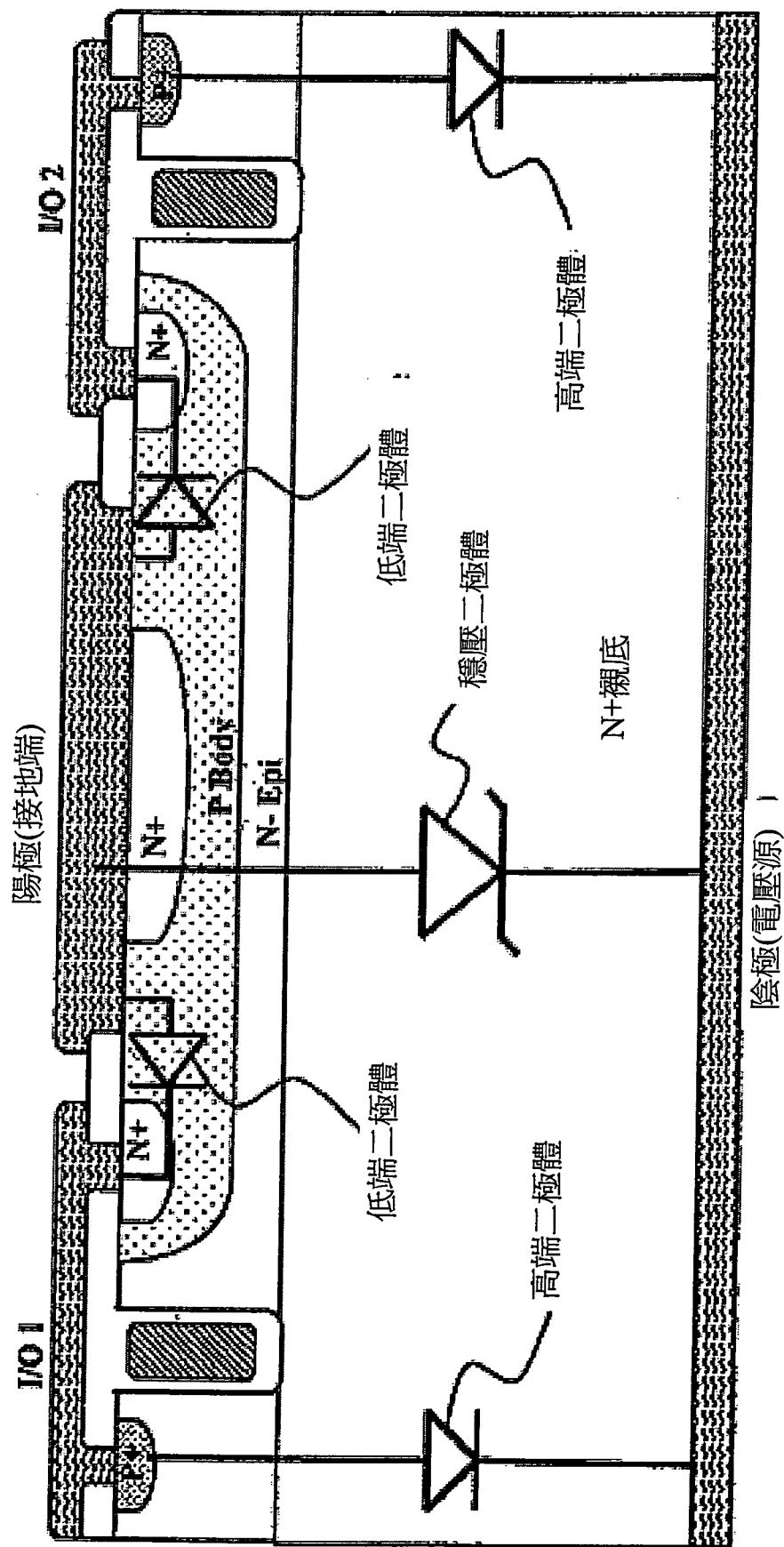
第 1A-3 圖

I437691



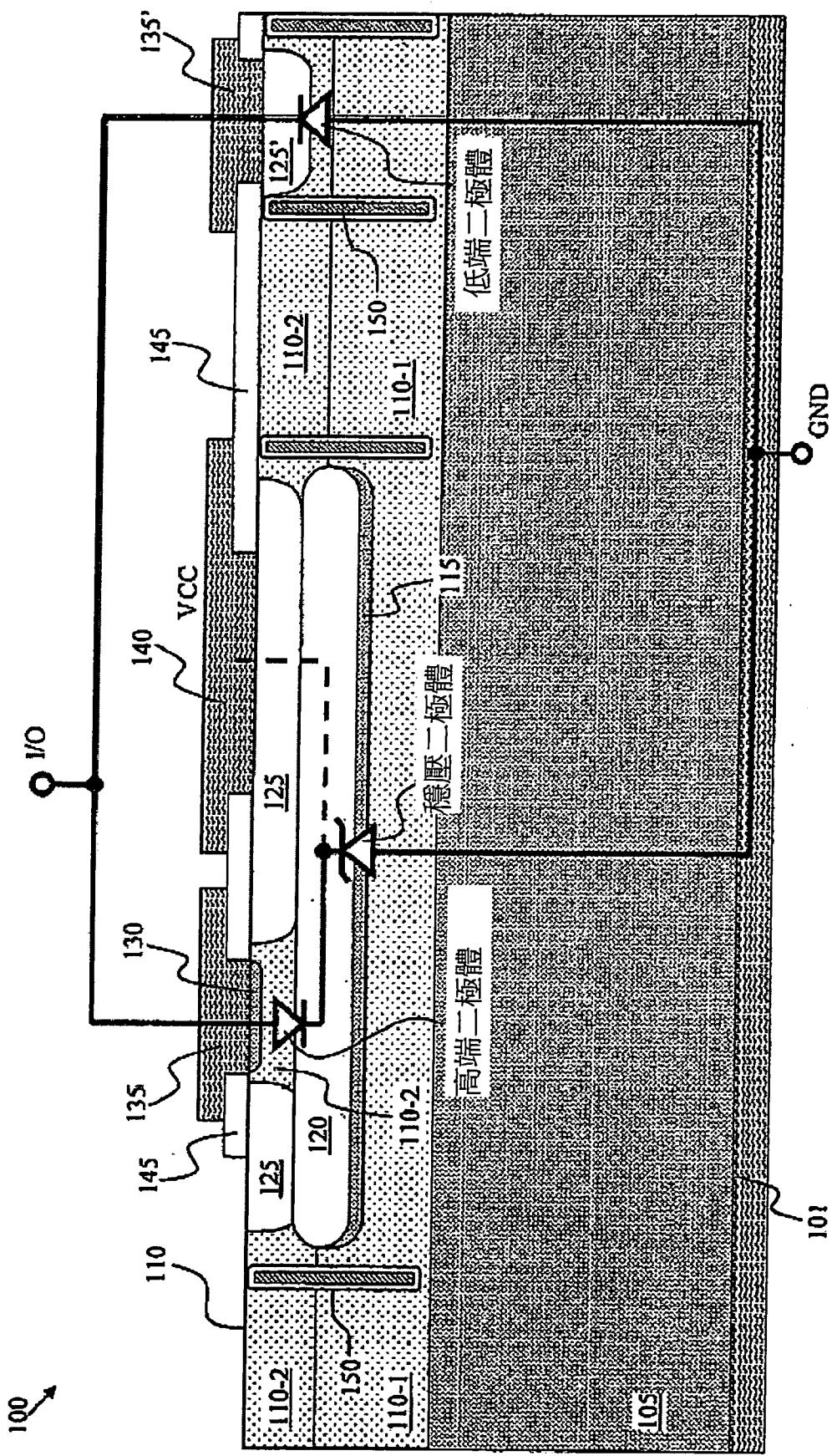
第 1B 圖

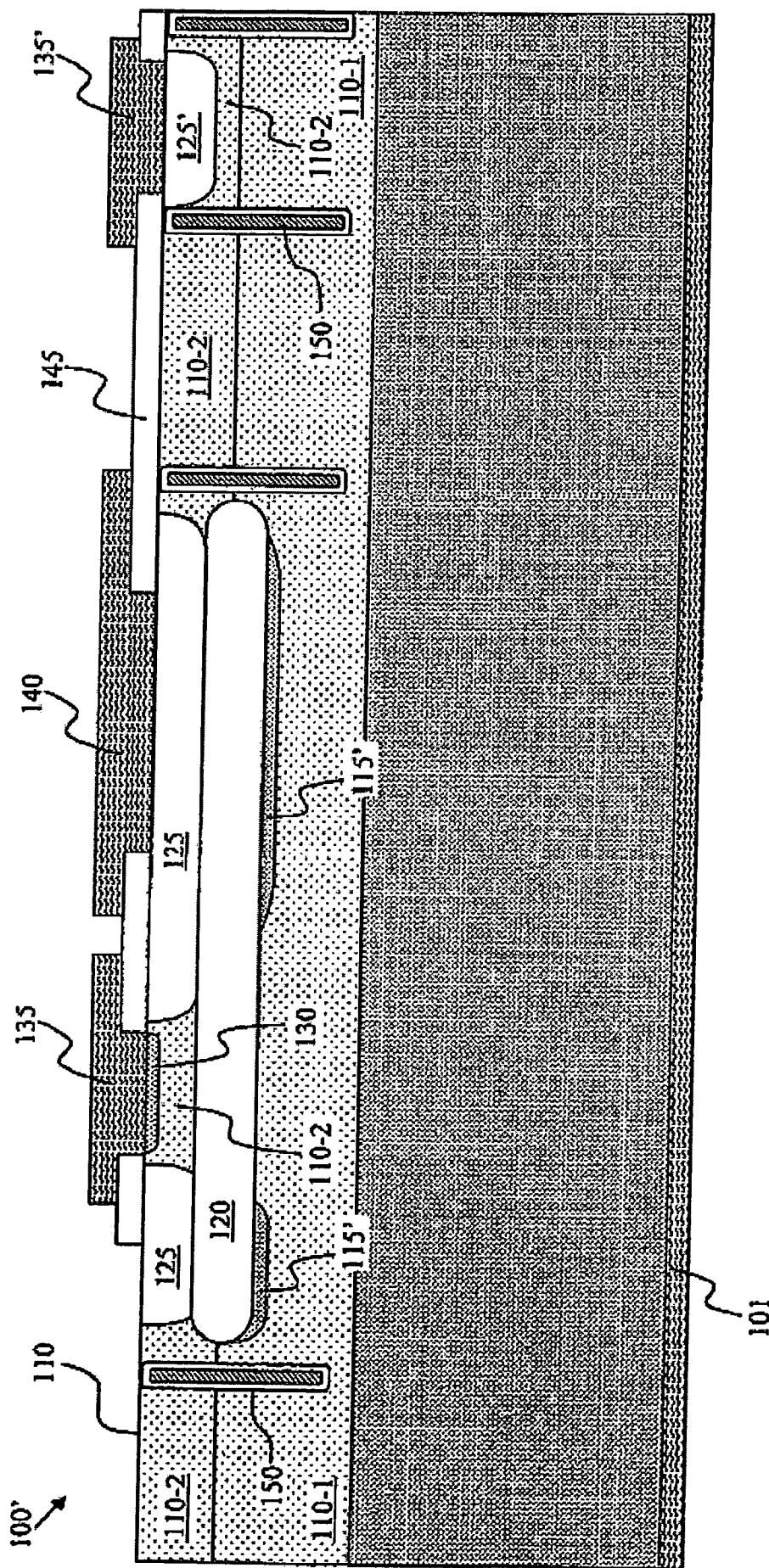




第 1C 圖

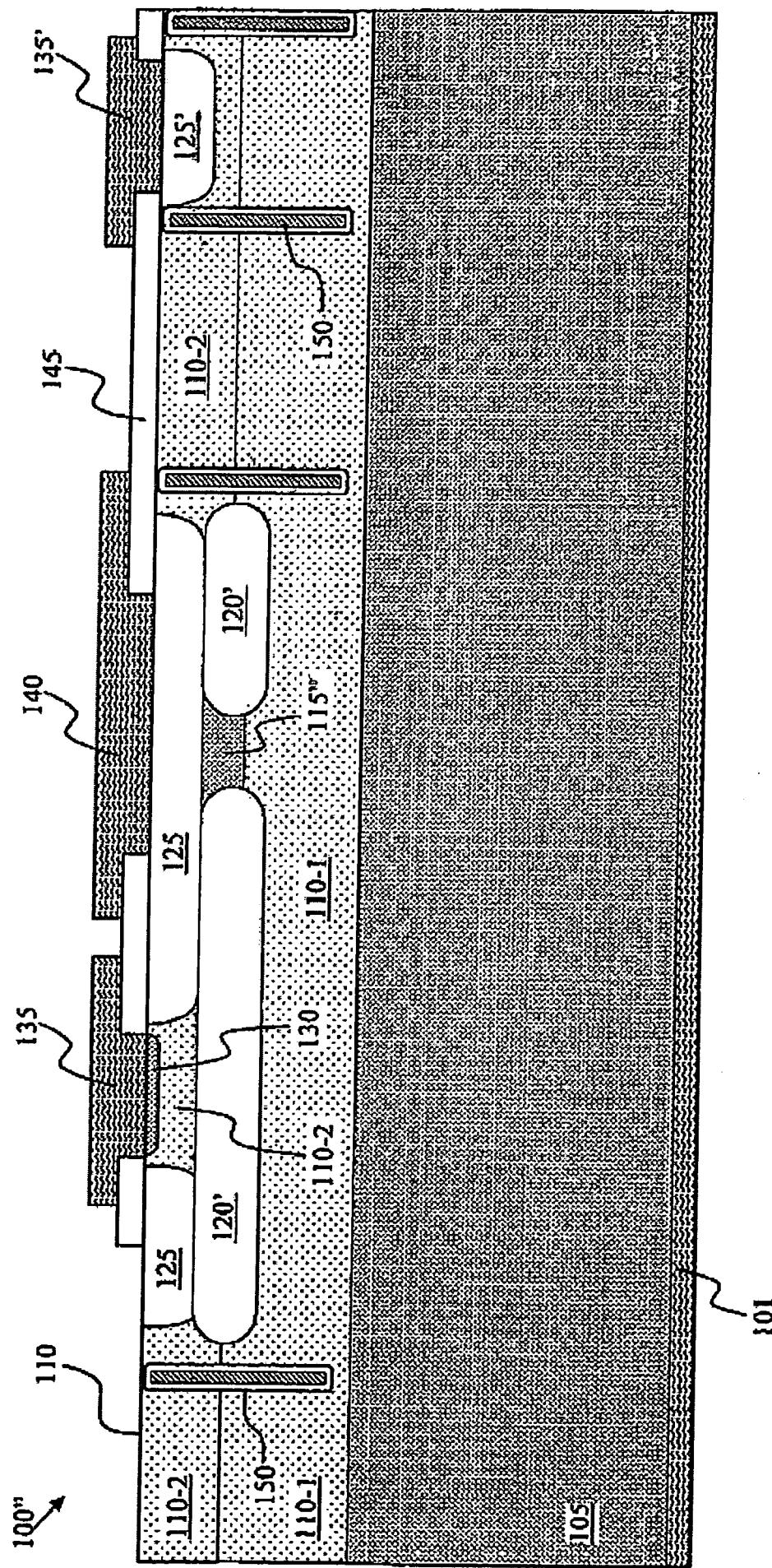
第2圖





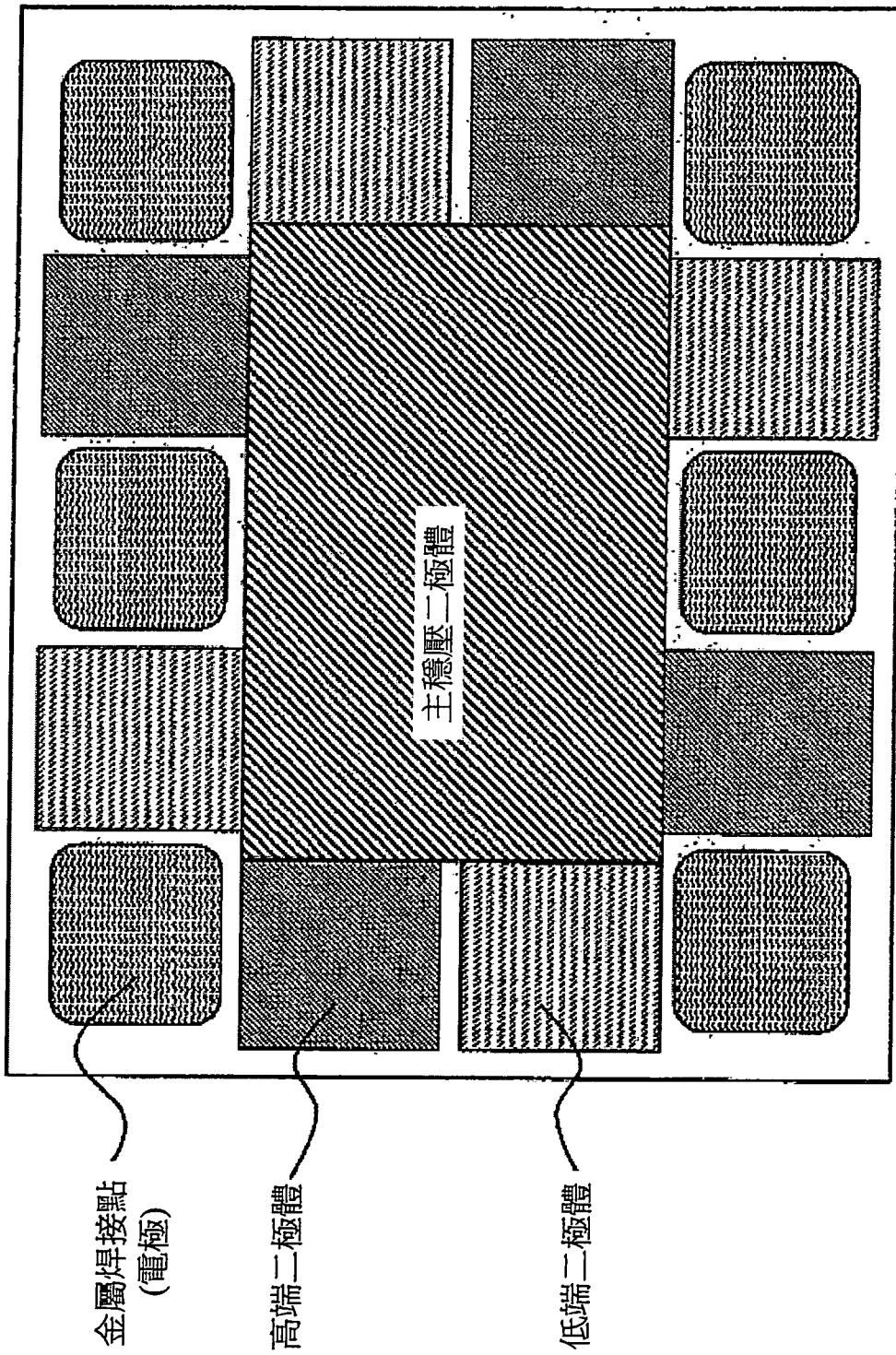
第3圖

I437691

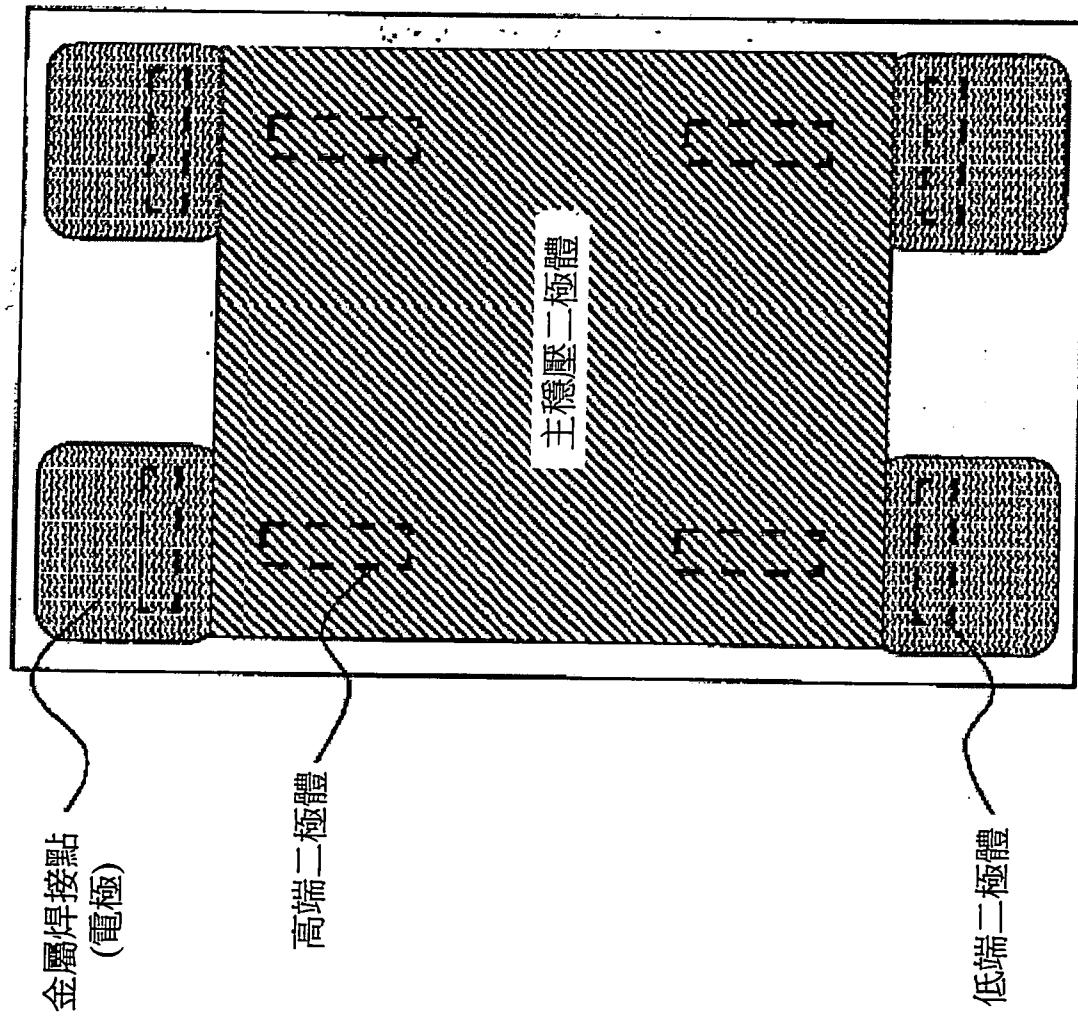


第4圖

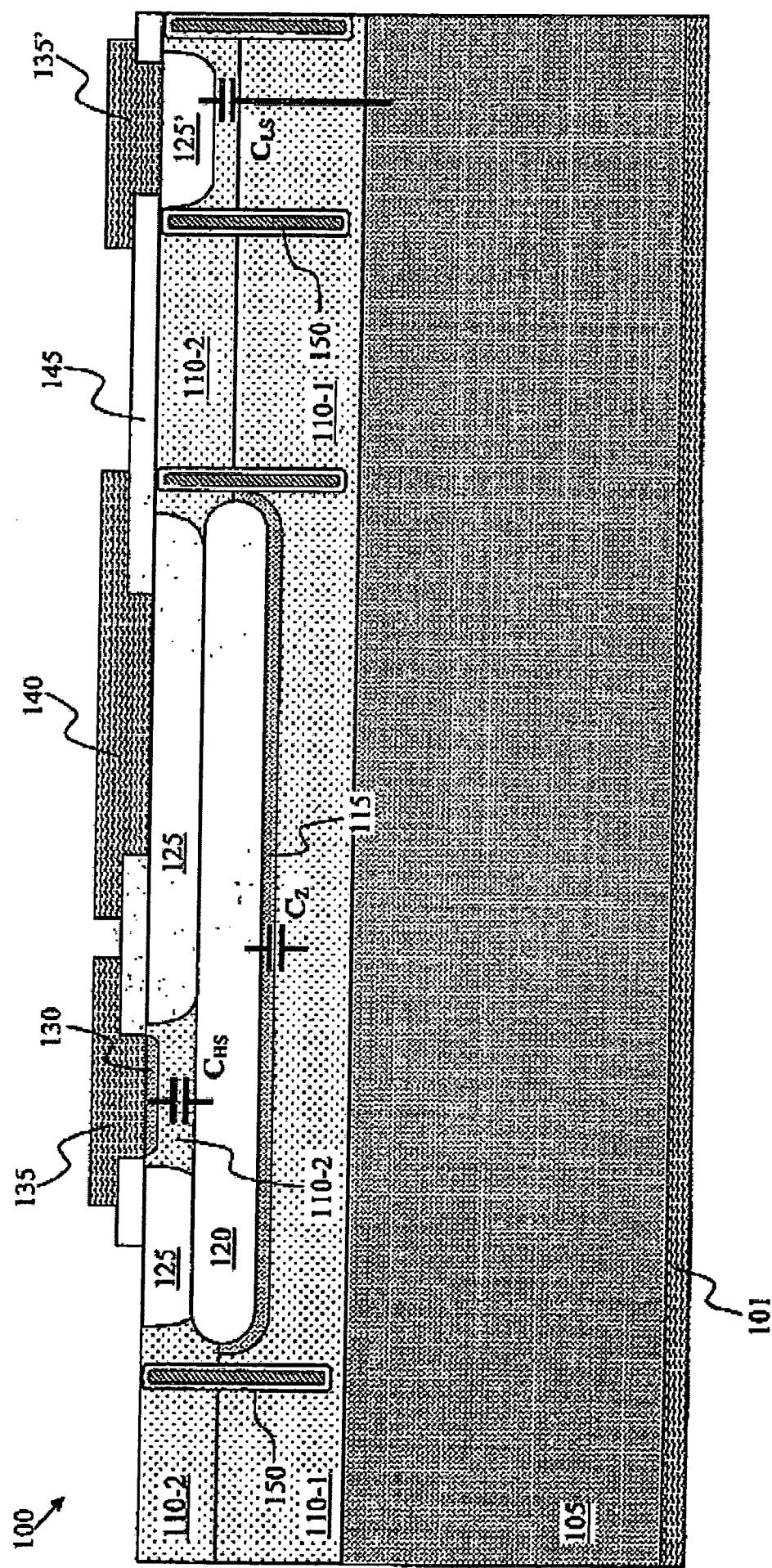
第 5A 圖



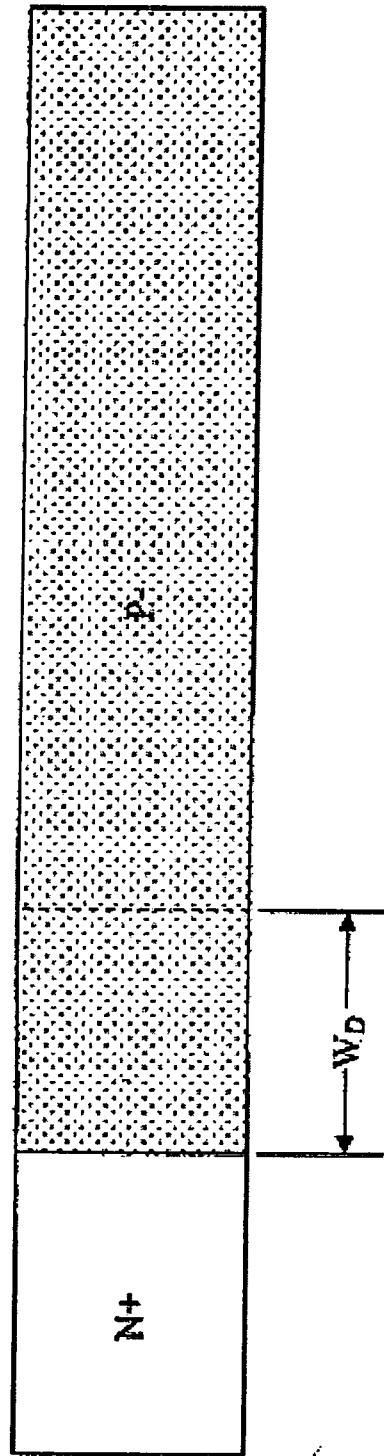
第 5B 圖



I437691



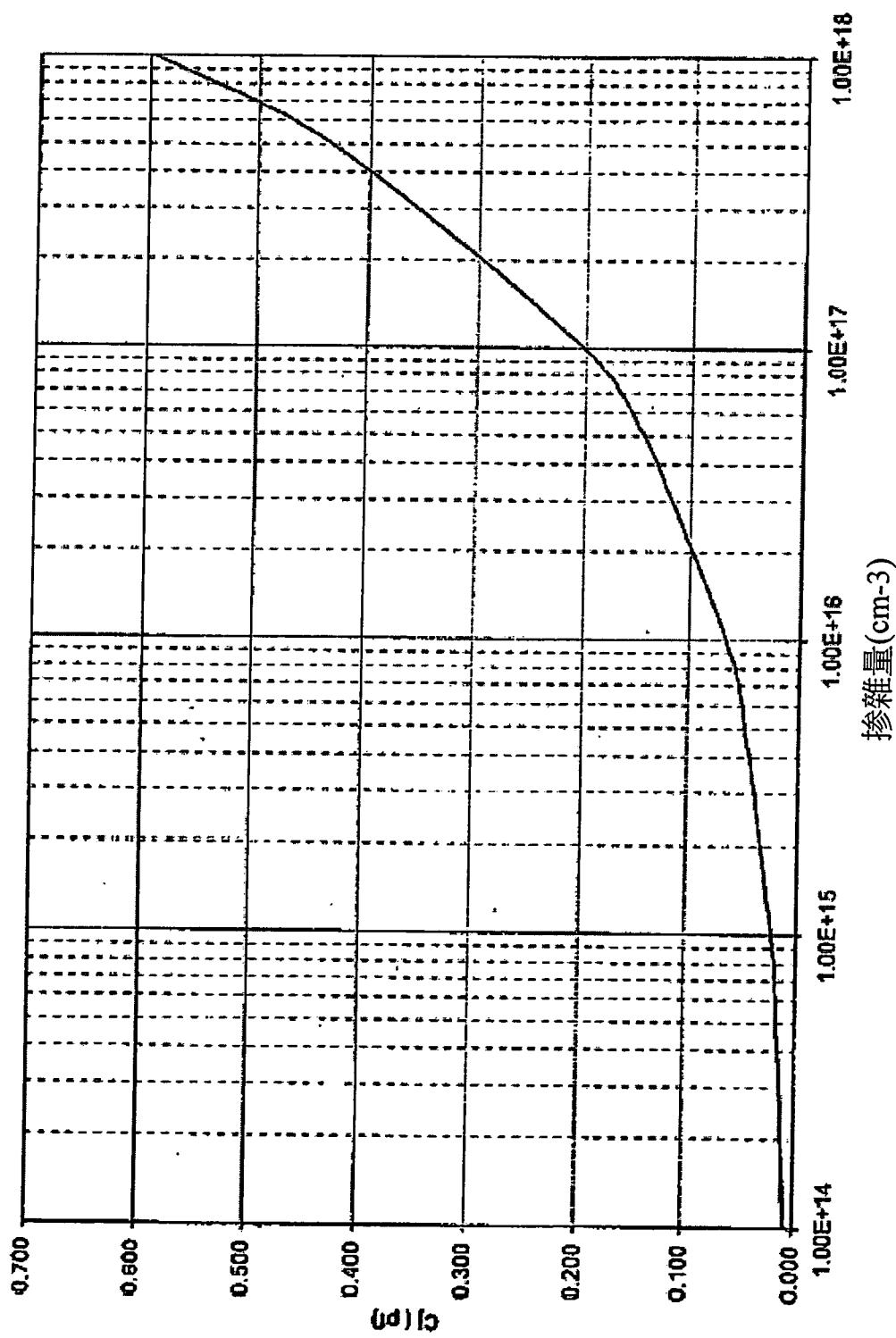
圖六第



第7圖

第 8 圖

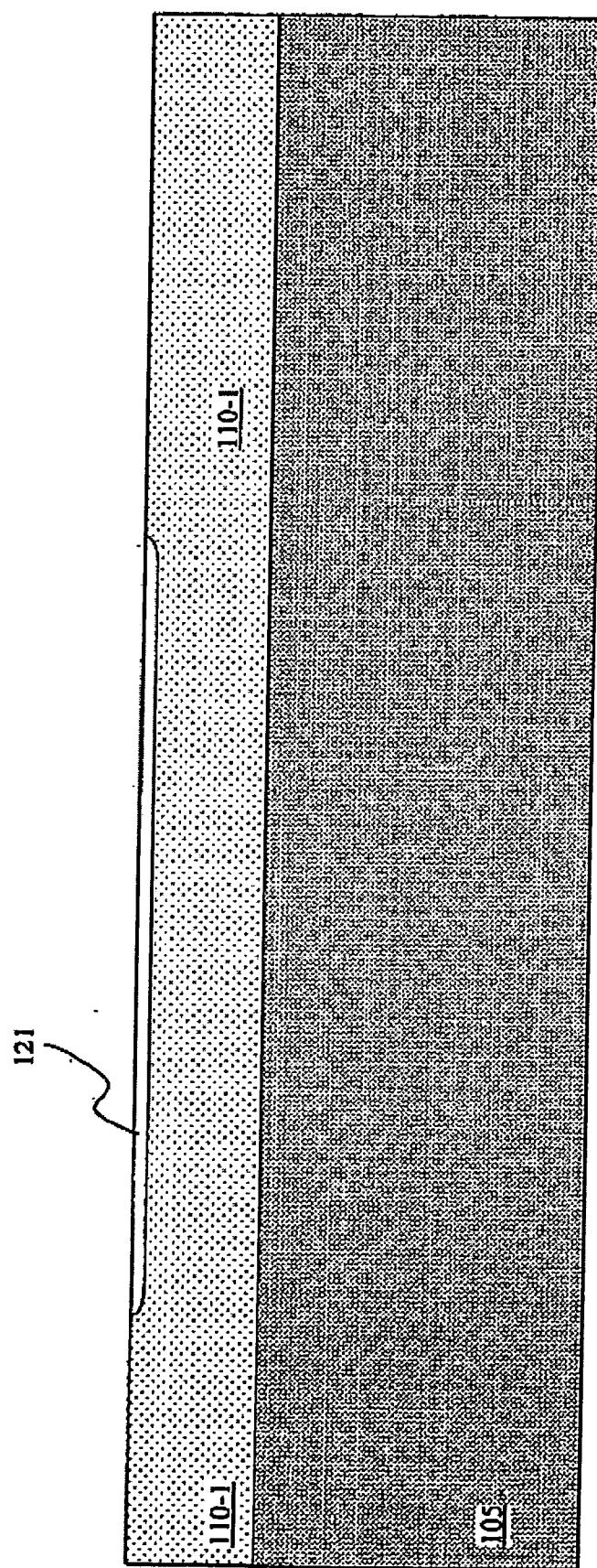
掺雜量與電容的變化關係(以 $30 \mu\text{m} \times 6 \mu\text{m}$ 的二極體指狀結構為



第 9 圖

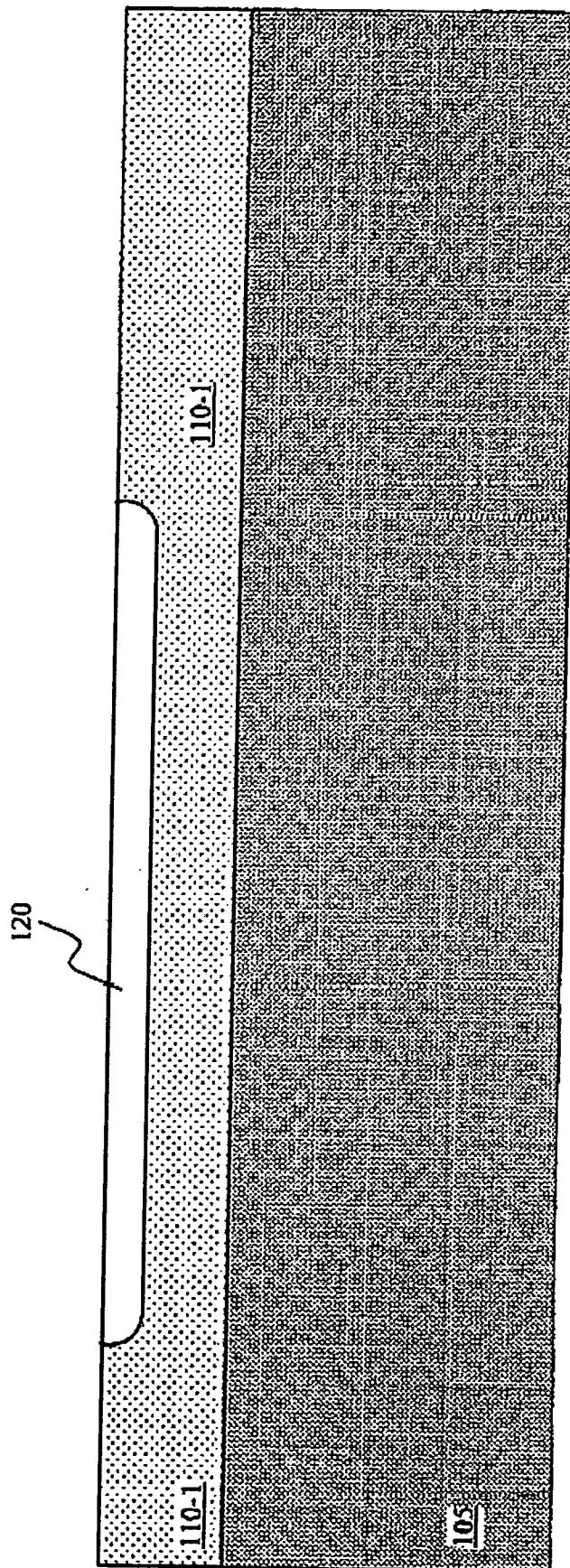
掺雜量(cm^{-3})掺雜量與電容的變化關係(以 $30 \mu \text{m} \times 6 \mu \text{m}$ 的二極體指狀結構為

I437691

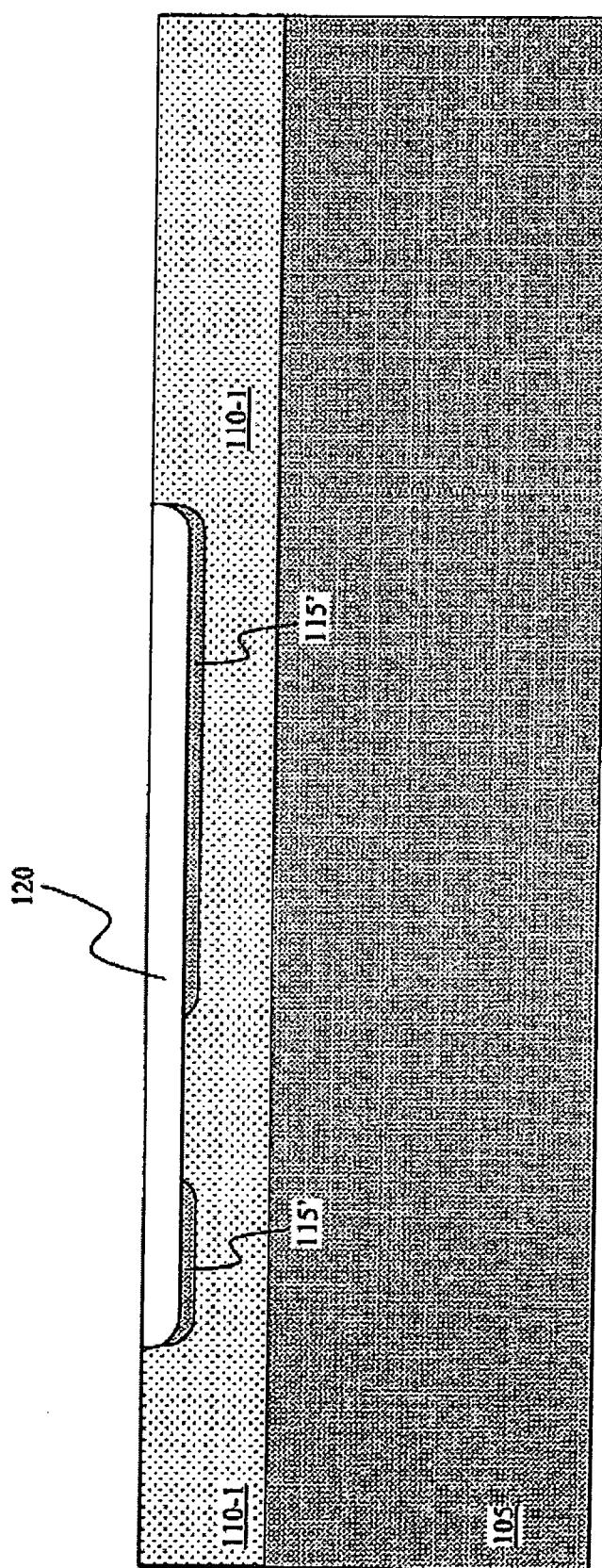


第 10A 圖

I437691

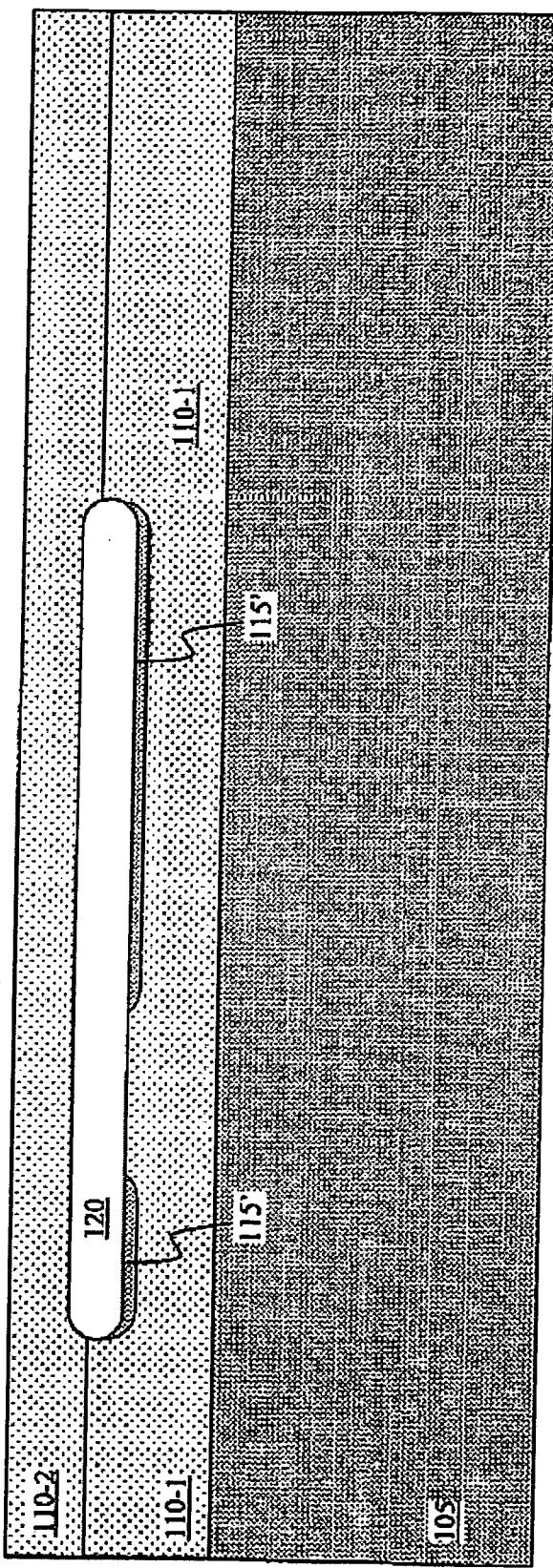


第 10B 圖



第 10C 圖

I437691



第 10D 圖