(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2023 년 12 월 14 일 (14.12.2023)

WIPO | PCT

(10) 국제공개번호
WO 2023/239181 A1

(51) 국제특허분류:
H01L 29/786 (2006.01) *H01L 21/02* (2006.01)
H01L 29/66 (2006.01)

(21) 국제출원번호: PCT/KR2023/007874

(22) 국제출원일: 2023 년 6 월 8 일 (08.06.2023)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2022-0070111 2022 년 6 월 9 일 (09.06.2022) KR
10-2023-0064950 2023 년 5 월 19 일 (19.05.2023) KR

(71) 출원인: 서울대학교산학협력단 (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION) [KR/KR]; 08826 서울특별시 관악구 관악로 1 서울대학교, Seoul (KR).

(72) 발명자: 이수연 (LEE, Soo Yeon); 08826 서울특별시 관악구 관악로 1 서울대학교, Seoul (KR). 이진규 (LEE, Jin Kyu); 08826 서울특별시 관악구 관악로 1 서울대학교, Seoul (KR).

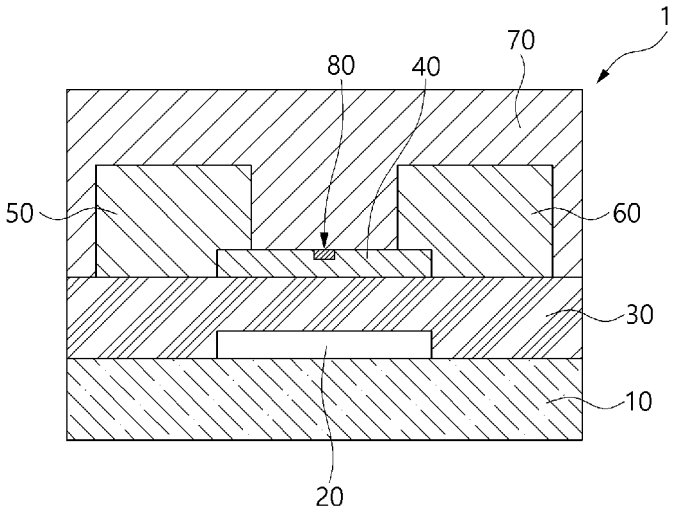
(74) 대리인: 석상용 (SUK, Sang Yong); 06267 서울특별시 강남구 강남대로42길 16-2, 2층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,

(54) **Title:** HIGH-MOBILITY THIN-FILM TRANSISTOR DRIVING ELEMENT AND METHOD FOR MANUFACTURING SAME

(54) **발명의 명칭:** 고이동도 박막 트랜지스터 구동 소자 및 이의 제조방법



(57) **Abstract:** The present invention relates to a high-mobility driving element and a method for manufacturing same, the high-mobility driving element comprising: a substrate; an insulating film disposed on the substrate; a channel layer disposed on at least a partial region of the insulating film and including a metal oxide; a source electrode and a drain electrode connected to the channel layer and disposed on the insulating film and either side of the channel layer to face each other; and a protective layer covering all of the channel layer, the source electrode, and the drain electrode, wherein the channel layer comprises a plurality of fluorinated regions in at least a partial region between the source electrode and the drain electrode.

(57) **요약서:** 본 발명은, 기판, 상기 기판 위에 위치하는 절연막, 상기 절연막의 적어도 일부 영역 위에 위치하고 금속 산화물을 포함하는 채널 층, 상기 채널 층과 연결되어 있으며, 상기 채널 층을 중심으로 양측으로 마주하도록 상기 절연막 상에 위치하는 소스 전극 및 드레인 전극, 상기 채널 층, 상기 소스 전극 및 상기 드레인 전극을 모두 덮는 보호층을 포함하고, 상기 채널 층은 상기 소스 전극 및 상기 드레인 전극 사이의 적어도 일부 영역에 복수 개의 불소화 처리 영역(F treatment area)을 포함하는 고이동도 구동 소자 및 이의 제조방법에 관한 것이다.

[다음 쪽 계속]

WO 2023/239181 A1

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 고이동도 박막 트랜지스터 구동 소자 및 이의 제조방법

기술분야

[1] 본 발명은 구동 소자 및 이의 제조방법에 대한 것으로서, 보다 구체적으로는 금속 산화물을 포함하는 채널 층에 국부적인 불소화 처리를 실시한 고이동도 박막 트랜지스터(TFT) 구동 소자 및 이의 제조방법에 대한 것이다.

배경기술

[2] 구동 소자는 전기 신호를 전환하거나 증폭하는데 사용되는 반도체 소자의 일종으로서 컴퓨터, 통신, 제어, 의료, 자동차 및 가전 제품 등 다양한 분야에서 사용된다.

[3] 반도체 구동 소자 중 박막 트랜지스터(Thin Film Transistor; TFT)는 집적회로의 핵심 소자 중 하나로서, 박막으로 형성된 트랜지스터를 이용하여 화면을 구동하는 소자이다. 박막 트랜지스터 구동 소자는 주로 액정 디스플레이에서 사용되기 시작한 기술로 알려져 있으며, 색상을 표시하기 위한 백라이트와 함께 액정 패널을 구성하는 것이 일반적이다.

[4] 또한, 박막 트랜지스터 구동소자는 대형/소형 장치에서 사용되는 OLED 및 LCD 디스플레이에 사용되고 있다. 이 소자는 전력 소모가 적고, 고해상도와 고대비를 제공하며, 빠른 응답 속도를 가지는 장점을 가진다. 게다가 TFT 구동소자는 다른 종류의 액정 디스플레이에 비해 더 좋은 시야각을 제공하는 이점도 있다. 이와 같은 TFT 구동소자는 요소 기술들이 계속적으로 발전해 왔으며, 이제는 대부분의 모바일 기기뿐만 아니라 고주파 신호 증폭기, 광통신 수신기 등에 널리 사용되고 있다.

[5]

[6] 박막 트랜지스터의 구조는 일반적으로 박막 트랜지스터가 위치하는 기본적인 반도체 재료이며 주로 실리콘 웨이퍼를 사용하는 기판, 전류를 제어하는데 사용되는 게이트 전극, 게이트와 기판 사이의 영역으로 전류가 흐르는 경로를 제공하고 게이트 전극에 의해 제어되는 채널, 그리고 채널 양쪽에 위치한 전극으로서 전류의 유입과 배출을 담당하는 소스와 드레인 전극으로 이루어져 있다.

[7] 박막 트랜지스터의 반도체 재료로서 규소(Si)가 가장 많이 사용되고 있다. 규소는 결정 형태에 따라 비정질 규소 및 다결정 규소로 나누어지는데, 비정질 규소는 제조 공정이 단순한 반면 전하 이동도가 낮아 고성능 박막 트랜지스터를 제조하는데 한계가 있고, 다결정 규소는 전하 이동도가 높은 반면 규소를 결정화하는 단계가 요구되어 제조 비용이 높고 공정이 복잡한 문제가 있다.

[8] 이러한 비정질 규소와 다결정 규소의 단점을 보완하기 위하여 비정질 규소보다 전자 이동도가 높고 온/오프 비율이 높으며, 다결정 실리콘보다 원가가 저렴하고

균일도가 높은 산화물 반도체(oxide semiconductor)를 이용하는 박막 트랜지스터가 주목받고 있다.

[9]

[10] 산화물 반도체는 일반적인 반도체 소자보다 높은 전기적 안정성과 저전력 소비를 가지고 있어 디스플레이, 태양광 셀, 센서 등의 여러 분야에서 활용도가 점차 높아지고 있다. 특히 디스플레이 분야에서 활용도가 높은데, 이는 산화물 반도체의 높은 전기적 안정성과 저전력 소비로 인해 디스플레이의 성능을 크게 향상시킬 수 있기 때문이다. 또한 산화물 반도체는 플렉서블 디스플레이와 같은 새로운 분야의 소자 개발에도 그 활용 가능성을 높게 평가받고 있다.

발명의 상세한 설명

기술적 과제

[11] 본 발명의 목적은, 종래의 산화물 반도체를 이용한 구동 소자와 비교하여, 소자의 이동도가 획기적으로 향상된 고이동도 구동 소자 및 이의 제조방법을 제공하는 것에 있다.

[12] 본 발명의 목적은 상기에 언급된 목적으로 제한되지 않으며, 언급되지 않은 다른 목적은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

[13] 상술한 과제를 해결하기 위하여 본 발명은, 기판; 상기 기판 위에 위치하는 절연막; 상기 절연막의 적어도 일부 영역 위에 위치하고 금속 산화물을 포함하는 채널 층; 상기 채널 층과 연결되어 있으며, 상기 채널 층을 중심으로 양측으로 마주하도록 상기 절연막 상에 위치하는 소스 전극 및 드레인 전극; 상기 채널 층, 상기 소스 전극 및 상기 드레인 전극을 모두 덮는 보호층을 포함하고, 상기 채널 층은 상기 소스 전극 및 상기 드레인 전극 사이의 적어도 일부 영역에 복수 개의 국부적 불소화 처리 영역(F treatment area)을 포함하는 것인, 고이동도 구동 소자를 제공한다.

[14] 일 실시예에 따르면, 다음 식(1)에 의해 계산되는 면적 비율(B)이 0.25% 내지 0.75% 범위 내에 있을 수 있다.

[15] **식(1) : 면적비율(B) = (각 불소화 처리 영역의 면적 * n) / (W * L) * 100**

[16] (여기서, L은 소스 전극 및 드레인 전극 사이의 간격이고, W는 소스 전극 또는 드레인 전극의 폭이며, n은 불소화 처리 영역의 개수이다.)

[17] 일 실시예에 따르면, 상기 복수 개의 불소화 처리 영역 중 2개의 불소화 처리 영역은 폭 방향으로 소스 전극 또는 드레인 전극의 폭(W)의 거리만큼 서로 이격되어 있고, 상기 복수 개의 불소화 처리 영역들은 폭 방향으로 서로 등간격으로 일렬로 배치될 수 있다.

[18] 일 실시예에 따르면, 상기 복수 개의 불소화 처리 영역들은 서로 다음 식(2)에 의해 계산되는 최대 간격으로 이격되면서 채널 층의 중심을 기준으로 대칭으로 배열될 수 있다.

[19] 식(2) : 최대간격 = W / (n - 1)

[20] (여기서, W는 소스 전극 또는 드레인 전극의 폭이며, n은 불소화 처리 영역의 개수이다.)

[21] 일 실시예에 따르면, 상기 복수 개의 불소화 처리 영역은 소스 전극 및 드레인 전극 사이의 폭 방향으로 연장하는 중심선(A)을 따라 배치될 수 있다.

[22] 일 실시예에 따르면, 상기 복수 개의 불소화 처리 영역은 상기 채널 층의 상부 표면 상에 형성될 수 있다.

[23] 일 실시예에 따르면, 상기 복수 개의 불소화 처리 영역은 3 개 내지 9 개일 수 있다.

[24] 일 실시예에 따르면, 상기 채널 층의 금속 산화물은 인듐-갈륨-아연 산화물(IGZO)을 포함할 수 있다.

[25] 일 실시예에 따르면, 상기 기판 및 상기 절연막 사이에 게이트 전극을 더 포함할 수 있다.

[26] 일 실시예에 따르면, 상기 절연막은 실리콘 산화물을 포함할 수 있다.

[27] 일 실시예에 따르면, 상기 보호층은 실리콘 산화물을 포함할 수 있다.

[28]

[29] 본 발명의 다른 일 실시예에 따르면, 본 발명은 기판을 준비하는 단계; 기판 위에 금속 산화물을 포함하는 채널 층을 형성하는 단계; 소정의 위치에 소정의 크기의 구멍이 형성되어 있는 포토레지스트를 상기 채널 층 위로 배치하는 단계; 상기 구멍을 통해 불소를 노출시키는 단계; 제거 용액을 이용하여 상기 포토레지스트를 제거하는 단계; 상기 채널 층을 중심으로 양측으로 마주하도록 소스 전극 및 드레인 전극을 형성하는 단계; 및 상기 채널 층, 상기 소스 전극 및 상기 드레인 전극을 모두 덮도록 보호층을 형성하는 단계를 포함하는 고이동도 구동 소자의 제조방법을 제공한다.

[30] 다른 일 실시예에 따르면, 상기 채널 층의 금속 산화물은 인듐-갈륨-아연 산화물(IGZO)을 포함할 수 있다.

[31] 다른 일 실시예에 따르면, 상기 보호층은 실리콘 산화물을 포함할 수 있다.

[32] 다른 일 실시예에 따르면, 상기 채널 층을 형성하는 단계 전에, 기판 위에 절연막을 성막하는 단계를 더 포함할 수 있다.

[33] 다른 일 실시예에 따르면, 상기 절연막을 성막하는 단계 전에 게이트 전극을 형성하는 단계를 더 포함할 수 있다.

[34] 다른 일 실시예에 따르면, 상기 절연막은 실리콘 산화물을 포함할 수 있다.

발명의 효과

[35] 이상 설명한 본 발명의 구성에 의하면, 종래의 산화물 반도체를 이용한 구동 소자와 비교하여 소자의 이동도가 획기적으로 향상된 고이동도 박막 트랜지스터 구동 소자 및 이의 제조방법을 제공할 수 있다.

도면의 간단한 설명

[36] 도 1 은 본 발명의 일 실시예에 따른 고이동도 구동 소자를 두께 방향으로 잘랐을 때를 간략히 나타낸 단면도이다.

[37] 도 2 는 본 발명의 일 실시예에 따른 고이동도 구동 소자를 위에서 보았을 때의 평면도이다.

[38] 도 3 은, 채널 층, 소스 전극 및 드레인 전극을 모두 덮도록 구성되는 보호층의 유무에 따른 비교예들과 본 발명의 실시예에 대한 모식도이다.

[39] 도 4 는 채널 층, 소스 전극 및 드레인 전극을 모두 덮도록 구성되는 보호층의 유무에 따른 구동 소자의 트랜스퍼 곡선(transfer curve) 및 이동도(μ)를 측정한 그래프이다.

[40] 도 5 는 불소화 처리 영역의 총 면적(홀의 개수)에 따른 구동 소자의 트랜스퍼 곡선(transfer curve) 및 이동도(μ)를 측정한 그래프이다.

[41] 도 6 은 불소화 처리 영역 간의 간격에 따른 구동 소자의 트랜스퍼 곡선(transfer curve) 및 이동도(μ)를 측정한 그래프이다.

[42] 도 7 은 본 발명의 일 실시예에 따른 고이동도 구동 소자의 3D 적층 구조를 나타낸 사시도이다.

[43] 도 8 은 본 발명의 다른 일 실시예에 따른 고이동도 구동 소자의 제조방법의 각 단계를 도시한 공정 모식도이다.

발명의 실시를 위한 형태

[44] 본 발명의 실시예들은 본 발명의 기술적 사상을 설명하기 위한 목적으로 예시된 것이다. 본 발명에 따른 권리범위가 이하에 제시되는 실시예들이나 이들 실시예들에 대한 구체적 설명으로 한정되는 것은 아니다.

[45] 본 발명에 사용되는 모든 기술적 용어들 및 과학적 용어들은, 달리 정의되지 않는 한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 일반적으로 이해되는 의미를 갖는다. 본 발명에 사용되는 모든 용어들은 본 발명을 더욱 명확히 설명하기 위한 목적으로 선택된 것이며 본 발명에 따른 권리범위를 제한하기 위해 선택된 것이 아니다.

[46] 본 발명에서 사용되는 "포함하는", "구비하는", "갖는" 등과 같은 표현은, 해당 표현이 포함되는 어구 또는 문장에서 달리 언급되지 않는 한, 다른 실시예를 포함할 가능성을 내포하는 개방형 용어(open-ended terms)로 이해되어야 한다.

[47] 본 발명에서 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에"있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.

[48] 본 발명에서 "평면 상"이라 함은 본 발명의 대상을 위에서 보았을 때를 말하며, "단면 상"이라 함은 본 발명의 대상을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.

[49] 본 발명에서, 도 2 에 도시된 평면도를 기준으로, 좌우 방향(즉, x 방향)을 "길이 방향"으로 정의하고, 상하 방향(즉, y 방향, 소스 전극 또는 드레인 전극의 폭 방향)을 "폭 방향"으로 정의하며, 층들이 쌓이는 방향(즉, z 방향)을 "두께 방향"으로 정의한다. 또한 도 2 에 도시된 실시예를 기준으로 도면의 왼쪽을 좌측, 도면의 오른쪽을 우측으로 정의한다.

[50] 본 발명에서 기술된 단수형의 표현은 달리 언급하지 않는 한 복수형의 의미를 포함할 수 있으며, 이는 청구범위에 기재된 단수형의 표현에도 마찬가지로 적용된다.

[51] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들을 설명한다. 이 과정에서 도면에 도시된 선들의 두께나 구성요소의 크기 등은 설명의 명료성과 편의상 과장되게 도시되어 있을 수 있다. 또한, 이하의 실시예들의 설명에 있어서, 동일하거나 대응하는 구성요소를 중복하여 기술하는 것이 생략될 수 있다. 그러나, 구성요소에 관한 기술이 생략되어도 그러한 구성요소가 어떤 실시예에 포함되지 않는 것으로 의도되지는 않는다.

[52] 아울러, 아래의 실시예는 본 발명의 권리범위를 한정하는 것이 아니라 본 발명의 청구범위에 제시된 구성요소의 예시적인 사항에 불과하며, 본 발명의 명세서 전반에 걸친 기술사상에 포함되고 청구범위의 구성요소에서 균등물로서 치환 가능한 구성요소를 포함하는 실시예는 본 발명의 권리범위에 포함될 수 있다.

[53]

[54] 먼저 도 1 을 참조하여 본 발명의 일 실시예에 따른 고이동도 구동 소자(1)에 대하여 상세히 설명한다.

[55] 도 1 은 본 발명의 일 실시예에 따른 고이동도 구동 소자(1)를 간략히 나타낸 단면도이다. 도 1 에 도시된 바와 같이, 본 발명의 일 실시예에 따른 고이동도 구동 소자(1)는, 기판(10); 기판(10) 위에 위치하는 절연막(30); 절연막(30)의 적어도 일부 영역 위에 위치하고 금속 산화물을 포함하는 채널 층(40); 채널 층(40)과 연결되어 있으며, 채널 층(40)을 중심으로 양측으로 마주하도록 절연막(30) 상에 위치하는 소스 전극(50) 및 드레인 전극(60); 채널 층(40), 소스 전극(50) 및 드레인 전극(60)을 모두 덮는 보호층(70)을 포함하고, 채널 층(40)은 소스 전극(50) 및 드레인 전극(60) 사이의 적어도 일부 영역에 복수 개의 국부적 불소화 처리 영역(F treatment area)(80)을 포함할 수 있다.

[56] 도 1 을 참고하면, 기판(10) 위에 게이트 전극(20)이 위치할 수 있다. 다만 게이트 전극(20)이 반드시 기판(10)의 바로 위에 위치해야 하는 것은 아니며, 게이트 전극(20)의 기능이 발휘될 수 있다면 어느 위치에 라도 형성 가능하다. 게이트 전극(20)은 금속 또는 도전체로 이루어질 수 있으며, 구체적인 소재는 특별히 한정하지 않으나 알루미늄, 은, 구리, 몰리브덴, 크롬, 탄탈륨, 티타늄, 또는 이들의 합

금으로 이루어진 군에서 선택되는 하나 이상의 금속 또는 합금으로 형성되는 것이 바람직하다.

[57] 기판(10) 위에 및/또는 게이트 전극(20) 위에 절연막(30)이 형성된다. 절연막(30)의 두께는 본 발명이 목적하는 효과에 특별한 영향을 미치지 않으므로 그 두께는 특별히 한정하지 않으며, 비제한적인 일 실시예로서 문턱전압 조절을 위해 통상적으로 사용되는 두께인 100~300nm로 형성될 수 있다. 절연막(30)은 절연 물질을 포함하며, 이 절연 물질은 실리콘 산화물(SiO_2) 또는 실리콘 질화물(SiN_y)을 포함할 수 있다. 절연막(30)은 대게 채널 층(40)을 형성하기 전에 별도의 성막 공정을 통해 형성되는 것이 바람직하다.

[58] 절연막(30)의 적어도 일부 영역 위에는 채널 층(40)이 형성되어 있다. 이 채널 층(40)은 금속 산화물을 포함할 수 있고, 바람직하게 이 금속 산화물은 인듐-갈륨-아연 산화물(IGZO)을 포함할 수 있다. 인듐-갈륨-아연 산화물은 최근 반도체 산업에서 유망한 소재로 각광받고 있는 소재로서, 투명하고 유연한 특징을 가지고 있으며, 또한 높은 전기 전도성과 전하 이동성을 가지고 있어, 채널 층(40)이 인듐-갈륨-아연 산화물로 형성되면 소자의 응답성이 향상되어 고해상도 디스플레이 구현이 가능해진다.

[59] 절연막(30) 상에는 채널 층(40)과 더불어 소스 전극(50) 및 드레인 전극(60)이 위치한다. 이 소스 전극(50) 및 드레인 전극(60)은 채널 층(40)과 연결되면서 채널 층(40)을 중심으로 양측으로 마주하도록 위치한다. 즉, 도 1 을 참조하여 설명하면 채널 층(40)의 길이방향 양측 에지에 접하여 각각 소스 전극(50) 및 드레인 전극(60)이 형성되어 있다. 게이트 전극(20)의 경우와 마찬가지로 소스 전극(50) 및 드레인 전극(60)은 금속 또는 도전체로 이루어질 수 있으며, 구체적인 소재는 특별히 한정하지 않으나 몰리브덴, 크롬, 니켈, 티타늄, 구리, 알루미늄 또는 이들의 합금으로 형성되는 것이 바람직하다.

[60] 비제한적인 일 실시예로서, 하나의 게이트 전극(20), 하나의 소스 전극(50), 하나의 드레인 전극(60)은 채널 층(40)과 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이룰 수 있다.

[61] 도 1 에 도시된 바와 같이, 본 발명의 일 실시예에 따른 고이동도 구동 소자(1)는 채널 층(40), 소스 전극(50) 및 드레인 전극(60) 위로 보호층(70)을 포함한다. 이 보호층(70)은 채널 층(40), 소스 전극(50) 및 드레인 전극(60)을 모두 덮도록 형성되는 것이 바람직하다. 이 보호층(70)은 채널 층(40), 소스 전극(50) 및 드레인 전극(60) 모두와의 접촉면을 가지도록 형성될 수 있다. 이 보호층(70)은 실리콘 질화물(SiN_y)이나 실리콘 산화물(SiO_2)과 같은 무기 절연물, 유기 절연물, 저유전율 절연물을 포함할 수 있다.

[62] 도 2 에 도시된 바와 같이, 본 발명의 일 실시예에 따른 고이동도 구동 소자(1)의 채널 층(40)에는, 소스 전극(50) 및 드레인 전극(60) 사이의 적어도 일부 영역에 복수 개의 불소화 처리 영역(80)이 형성되어 있다. 또한 불소화 처리 영역(80)은 전체 채널 층(40)의 면적에 비해 현저하게 미소한 면적으로 형성된다.

[63] 불소화 처리 영역(80)은 채널 층(40) 위에 포토레지스트 등을 이용하여 일부의 영역에만 불소 가스를 노출 및 확산시킴으로써 형성할 수 있다. 본 발명에서는 이와 같이 일부의 영역이 불소 가스에 노출 및 확산된 부분을 '국부적 불소화 처리 영역'이라고 정의한다. 이 경우 복수 개의 불소화 처리 영역(80)은 채널 층(40)의 상부 표면으로부터 두께 방향으로 불소가 확산됨으로써 형성되며, 복수 개의 불소화 처리 영역(80)은 채널 층(40)의 상부 표면 상에 형성되게 된다. 이 때, 상기 복수 개의 불소화 처리 영역은 상기 채널 층 위의 전체 영역을 불소로 처리하는 것과는 다른 효과가 구현됨을 확인하고 국부적 영역에만 불소 처리를 하여 점 배열 방식과 같이 의도된 간격을 가지고 형성된 것이다.

[64] 본 발명의 일 실시예에 따른 고이동도 구동 소자(1)에서 불소화 처리 영역(80)과 보호층(70) 사이에 결합 영역이 형성되는 것이 중요하다. 즉, 본 발명에서는 채널 층(40) 상에 직접 마주하도록 보호층(70)이 형성되며, 이때 불소화 처리 영역(80)이 채널 층(40)의 상부 표면 상에 형성되어 있기 때문에 자연스럽게 불소화 처리 영역(80)과 보호층(70) 사이에 결합 영역이 형성될 수 있다.

[65] 도 3 은, 채널 층, 소스 전극 및 드레인 전극을 모두 덮도록 구성되는 보호층의 유무에 따른 비교예들(도 4의 비교예 1 내지 비교예 3)과 본 발명의 실시예에 대한 모식도이다.

[66] 도 4 는 도 3에 도시한 각각의 비교예와 실시예에 대하여 불소화 처리 영역(80)과 보호층(70) 사이에 결합 영역에 의한 구동 소자(1)의 이동도 증가 효과를 입증하는 실험 데이터를 나타낸 것이다. 도 4 에서 확인할 수 있는 바와 같이, 불소화 처리 영역(80)과 보호층(70) 사이에 결합 영역이 형성되어 있을 경우(발명예 1), 불소화 처리 영역(80)과 보호층(70) 중 어느 하나가 결여된 경우(비교예 1 내지 3)에 비해 문턱 전압(V_{th})이 감소하고 이동도가 현저하게 향상되는 것을 확인할 수 있다.

[67] 다시 도 2 로 돌아와서, 복수 개의 불소화 처리 영역(80)은 도 2 에 도시된 바와 같이 소스 전극(50) 및 드레인 전극(60) 사이에서 폭 방향으로 연장하는 중심선(A)을 따라 배치되어 있는 것이 바람직하다. 또한 복수 개의 불소화 처리 영역(80)은 소스 전극(50) 및 드레인 전극(60) 사이의 폭 방향으로 연장하는 중심선(A)을 따라 배치되면서, 서로 등간격으로 일 열로 배치되는 것이 바람직하다. 다른 일 예에서, 상기 복수 개의 불소화 처리 영역은 단순히 일 열이 아니라, 이 열이나 삼 열로 배치되도록 형성될 수도 있다.

[68] 본 발명에서 불소화 처리 영역(80)의 형상은 특별히 한정하지 아니하며, 정사각형, 직사각형, 원형, 타원형 등 어떠한 형상으로 형성해도 국부적인 영역으로 형성된다면 본 발명자가 의도한 효과를 얻을 수 있다. 또한 불소화 처리 영역(80)의 개수도 특별히 한정하지 않으나, 통상의 소자의 크기 및 후술하는 면적 비율(B)을 고려했을 때, 불소화 처리 영역(80)의 개수는 3 개 내지 9 개인 것이 바람직하며, 3 개 내지 5 개인 것이 보다 바람직하다.

[69]

[70] 도 5 는 불소화 처리 영역의 총 면적(홀의 개수)에 따른 구동 소자의 트랜스퍼 곡선(transfer curve) 및 이동도(μ)를 측정한 그래프이다.

[71]

[72] 본 발명의 발명자들은 불소화 처리 영역(80)의 총 면적의 변화가 구동 소자(1)의 이동도에 어떠한 영향을 주는 지에 대해 심도 있게 연구하였다. 그 결과 불소화 처리 영역(80)의 개수를 증가시킴에 따라(즉, 총 면적이 증가함에 따라) 일정 범위 까지는 소자의 이동도가 증가하였으나, 불소화 처리가 과도할 경우(즉, 불소화 처리 영역(80)의 개수가 과도하게 많을 경우) 오히려 구동 소자(1)의 이동도가 다시 감소되는 것을 확인하였다. 이러한 실험 결과에 따라 본 발명의 발명자들은 불소화 처리 영역(80)의 총 면적을 일정 범위 내로 제어해야 함을 인지하고, 소스 전극(50) 및 드레인 전극(60) 사이의 채널 층(40)의 면적에 대한 불소화 처리 영역(80)의 총 면적의 비율을 이용하여 불소화 처리 영역(80)의 면적을 한정하였다.

[73] 구체적으로 불소화 처리 영역(80)의 총 면적(즉, 각각의 국부적 불소화 처리 영역(80)의 면적을 모두 합한 면적)은 소스 전극(50) 및 드레인 전극(60) 사이의 채널 층(40)의 면적(W×L)에 대한 면적 비율(B)로서 한정될 수 있다. 즉, 면적 비율(B)은 다음 식(1)에 의해 계산될 수 있으며, 그 값은 0.25% 내지 0.75% 범위 내에 있는 것이 바람직하며, 0.25% 내지 0.42% 범위 내에 있는 것이 보다 바람직하다.

[74]

[75] 식(1) : 면적비율(B) = (각 불소화 처리 영역의 면적 * n) / (W * L) * 100

[76]

[77] 여기서, L은 소스 전극(50) 및 드레인 전극(60) 사이의 간격이고, W는 소스 전극(50) 또는 드레인 전극(60)의 폭이며, n은 불소화 처리 영역(80)의 개수이다.

[78]

[79] 도 6 은 불소화 처리 영역 간의 간격에 따른 구동 소자의 트랜스퍼 곡선(transfer curve) 및 이동도(μ)를 측정한 그래프이다.

[80]

[81] 다른 한편으로, 본 발명의 발명자들은 불소화 처리 영역(80)의 간격이 구동 소자(1)의 이동도에 미치는 영향을 연구하였다. 그 결과 본 발명의 발명자들은 동일한 조건에서 복수 개의 불소화 처리 영역(80)의 간격이 최대 간격(maximum interval)일 때 이동도가 현저히 증가하는 것을 확인하였다.

[82] 이러한 실험 결과를 반영하여 복수 개의 불소화 처리 영역(80) 중 2개의 불소화 처리 영역(80)은 폭 방향으로 소스 전극(50) 또는 드레인 전극(60)의 폭(W)의 거리만큼 서로 이격되는 것이 바람직하다. 즉, 도 2 에 도시된 바와 같이, 복수 개의 불소화 처리 영역(80) 중 어느 하나의 불소화 처리 영역(80)은 도 2 를 기준으로 소스 전극(50) 또는 드레인 전극(60)의 상측 에지의 연장선 상에 놓여 있고, 복수 개의 불소화 처리 영역(80) 중 다른 하나의 불소화 처리 영역(80)은 도 2 를 기준으로 소스 전극(50) 또는 드레인 전극(60)의 하측 에지의 연장선 상에 놓여 있게

되어 결과적으로 이들 양 불소화 처리 영역(80)은 소스 전극(50) 또는 드레인 전극(60)의 폭(W)의 거리만큼 이격되게 된다. 이와 같은 조건을 만족하면 서로 인접하는 2개의 불소화 처리 영역(80)은 최대 간격으로 소스 전극(50) 및 드레인 전극(60) 사이의 폭 방향으로 연장하는 중심선(A)을 따라 배치될 수 있다.

[83] 비제한적인 일 실시예로서, 복수 개의 불소화 처리 영역(80)은 서로 다음 식(2)에 의해 계산된 최대 간격을 두고 이격되면서 채널 층(40)의 중심을 기준으로 대칭으로 배치될 수 있다. 여기서 채널 층(40)의 중심이란, 소스 전극(50) 또는 드레인 전극(60)의 폭(W) 및 소스 전극(50) 또는 드레인 전극(60) 사이의 간격(L)으로 획정되는 소스 전극(50) 또는 드레인 전극(60) 사이의 채널 층(40) 영역의 정가운데 중심으로 정의될 수 있다.

[84]

[85] 식(2): 최대간격 = W / (n - 1)

[86]

[87] 여기서, W는 소스 전극(50) 또는 드레인 전극(60)의 폭이며, n은 불소화 처리 영역(80)의 개수이다.

[88]

[89] 도 7 은 본 발명의 일 실시예에 따른 고이동도 구동 소자의 3D 적층 구조를 나타낸 사시도이다. 앞서서 설명하였던 본 발명의 실시예에 따르는 고이동도 구동 소자의 적층 구조를 알기 쉽게 표현하면 도 7과 같다.

[90]

[91] 다음으로 본 발명의 다른 일 실시예에 따른 고이동도 구동 소자(1)의 제조방법에 대해 설명한다. 다만 다음에서 설명하는 제조방법은 본 발명의 일 실시예에 따른 고이동도 구동 소자(1)를 제조하는 여러 방법 중 어느 하나의 예에 불과하다.

[92]

[93] 도 8 은 본 발명의 다른 일 실시예에 따른 고이동도 구동 소자의 제조방법의 각 단계를 도시한 공정 모식도이다.

[94]

[95] 먼저 기판(10)을 준비하고, 그 위에 게이트 전극(20)과 절연층을 형성한다. 만일 게이트 전극(20)을 다른 위치에 형성하거나 절연층이 이미 형성되어 있는 경우 이 단계를 생략할 수 있다.

[96] 이후 절연층 위에 금속 산화물, 바람직하게는 인듐-갈륨-아연 산화물(IGZO)을 포함하는 채널 층(40)을 형성한다. 채널 층(40)을 형성하는 방법은 특별히 한정하지 않으며, 용액 공정법, 원자층 증착법(Atomic layer deposition, ALD), 스퍼터 증착법(DC 또는 RF) 등 공지의 기술을 사용할 수 있다.

[97] 소정의 위치에 소정의 크기의 구멍이 형성되어 있는 포토레지스트를 상기 채널 층(40) 위로 배치한 후 불소를 공급 및 노출시켜 구멍을 통해 채널 층(40)에 불소

가 확산되도록 한다. 이후 아세톤 등의 제거 용액을 이용하여 포토레지스트를 제거한다.

[98] 그 다음 채널 층(40)을 중심으로 양측으로 마주하도록 소스 전극(50) 및 드레인 전극(60)을 형성하고, 채널 층(40), 상기 소스 전극(50) 및 상기 드레인 전극(60)을 모두 덮도록 보호층(70)을 형성하면 본 발명의 일 실시예에 따른 고이동도 구동 소자(1)를 제작할 수 있다.

[99]

[100] **(실시예)**

[101] 이하에서는 본 발명의 일 실시예에 따른 고이동도 구동 소자(1)의 효과에 대하여 실험 결과를 통해 설명한다.

[102]

[103] (문턱 전압(V_{th}) 측정 방법)

[104] 본 발명의 실험에서 소자는 프로브 스테이션과 반도체 분석기(키슬리 4200-SCS)를 통하여 측정하였으며, 소자 측정 조건으로는 포화상태 구간인 V_{DS} = 10.1 V에서 진행하였다. 문턱전압은 정전류 방식 (Constant current method)을 통해 추출하였으며, 이 방식은 지정된 전류 값에서의 문턱전압을 추출한다. 본 실험에서 사용한 지정 전류 값은 I_{DS} = 10pA 이다.

[105]

[106] (이동도(μ) 측정 방법)

[107] 본 발명의 실험에서 소자는 프로브 스테이션과 반도체 분석기(키슬리 4200-SCS)를 통하여 측정하였으며, 소자 측정 조건으로는 포화상태 구간인 V_{DS} = 10.1 V에서 진행하였다. 이동도는 선형 영역이 아닌 포화영역에서 추출을 진행하였으며, 포화영역에서의 전류를 아래의 식(3)에 대입하여 이동도를 도출할 수 있다.

[108]

[109] 식(3): $\mu_{sat} = (2L/W)(1/C_{ox})(d\sqrt{I_d} / d V_{GS})^2$

[110]

[111] (실험 1)

[112] 먼저 발명예로서 상술한 제조방법에 따라 도 1 과 같은 구조를 갖는 고이동도 구동 소자(1)를 제작하였다(발명예 1). 여기서 절연막(30)으로는 실리콘 산화물(SiO_2)을 사용하였고, 소스 전극(50) 및 드레인 전극(60)의 폭(W)은 50㎛로 그리고 소스 전극(50)과 드레인 전극(60) 사이의 간격(L)은 6㎛로 제작하였다. 그리고 불소화 처리 영역(80)은 각각 가로 0.5㎛, 세로 0.5㎛ 의 정사각형 모양으로 총 5개 형성하였으며, 그 위로 채널 층(40), 소스 전극(50)과 드레인 전극(60)을 모두 덮도록 실리콘 산화물(SiO_2)로 이루어지는 보호층(70)을 형성하였다.

[113] 반면에 비교예 1 은 위 발명예 1 에서 불소화 처리 영역(80) 및 보호층(70)을 모두 형성하지 않은 경우이며, 비교예 2 는 불소화 처리 영역(80)만을 형성하지 않은 경우이며, 비교예 3 은 보호층(70)만을 형성하지 않은 경우이다. 발명예 1, 비

교예 1 내지 3 각각에 대하여 동일한 조건에서 구동 소자(1)의 문턱 전압(V_{th}) 및 이동도(μ)를 측정하였으며, 그 결과를 표 1 및 도 3 에 나타내었다.

[114]

[115] [표1]

구분	불소화 처리영역형성 여부	보호층 형성 여부	문턱 전압(V_{th})(V)	이동도(μ)(cm^2/Vs)
발명예 1	O	O	-4.09	18.31
비교예 1	X	X	0.6	9.59
비교예 2	O	X	0.3	9.58
비교예 3	X	O	0.4	10.29

[116]

[117] 실험 결과로부터, 국부적으로 불소화 처리를 한 채널 층(40)을 갖고 이 채널 층(40)이 보호층(70)과 결합 영역을 형성한 발명예 1 은, 불소화 처리 영역(80) 및 보호층(70) 중 적어도 하나를 결여한 비교예 1 내지 3 에 비해 게이트 전압(V_G)의 문턱 전압(V_{th})이 낮아졌으며, 소자의 이동도도 증가하는 결과가 나타났다.

[118] 이러한 실험 1 의 결과를 통해 국부적으로 불소(F)와 실리콘 산화물(SiO_2)의 결합 영역이 생겼을 때 소자의 이동도가 증가하는 효과가 나타남을 확인할 수 있었다.

[119]

[120] (실험 2)

[121] 상술한 제조방법에 따라 도 1 과 같은 구조를 갖는 고이동도 구동 소자(1)를 4 개 제작하였다. 여기서 절연막(30)으로는 실리콘 산화물(SiO_2)을 사용하였고, 소스 전극(50) 및 드레인 전극(60)의 폭(W)은 50㎛로 하였으며, 소스 전극(50)과 드레인 전극(60) 사이의 간격(L)은 6㎛로 제작하였다. 그리고 불소화 처리 영역(80)은 각각 가로 0.5㎛, 세로 0.5㎛ 의 정사각형 모양으로 형성하였으며, 실시예마다 불소화 처리 영역(80)의 개수를 0개, 3개, 5개 및 9개로 각각 다르게 형성하였다. 이후 채널 층(40), 소스 전극(50)과 드레인 전극(60)을 모두 덮도록 실리콘 산화물(SiO_2)로 이루어지는 보호층(70)을 형성하였다.

[122] 발명예 2 및 3, 비교예 4 및 5 에 대하여 동일한 조건에서 구동 소자(1)의 문턱 전압(V_{th}) 및 이동도(μ)를 측정하였으며, 그 결과를 표 2 및 도 4 에 나타내었다.

[123]

[124] [표2]

구분	불소화 처리영역 개수	면적 비율(B)(%)	문턱 전압(V_{th})(V)	이동도(μ)(cm^2/Vs)
비교예 4	0	0	-0.2	10.28

발명예 2	3	0.25	-5.8	16
발명예 3	5	0.42	-4.2	18.3
발명예 4	9	0.75	-3.9	12.5

[125]

[126] 실험 결과, 불소화 처리 영역의 개수가 증가함에 따라 문턱 전압이 낮아지고 이동도가 향상되었다. 면적 비율(B)이 0.4% 내외인 구간에서 이동도가 피크를 나타냈으며, 이보다 불소화 처리가 과도하면 문턱 전압이 소폭 증가하고 이동도도 점차 낮아지는 결과가 나타났다.

[127]

[128] (실험 3)

[129] 본 발명자들은 본 발명의 일 실시예에 따른 고이동도 구동 소자에 대하여 불소화 처리 영역의 폭 방향 간격에 따른 구동 소자의 문턱 전압(V_{th}) 및 이동도(μ)의 변화를 알아보기 위하여 추가 실험을 진행하였다.

[130] 실험 1 또는 실험 2 와 마찬가지로, 상술한 제조방법에 따라 도 1 과 같은 구조를 갖는 고이동도 구동 소자를 6개 제작하였다. 여기서 절연막으로는 실리콘 산화물(SiO_2)을 사용하였고, 소스 전극 및 드레인 전극의 폭(W)은 50㎛로 하였으며, 소스 전극과 드레인 전극 사이의 간격(L)은 6㎛로 제작하였다.

[131] 불소화 처리 영역은 각각 가로 0.5㎛, 세로 0.5㎛ 의 정사각형 모양으로 3개 형성하였고, 이후 채널 층, 소스 전극과 드레인 전극을 모두 덮도록 실리콘 산화물(SiO_2)로 이루어지는 보호층을 형성하였다.

[132] 각 실시예마다 1개의 불소화 처리 영역은 정가운데에 형성하고, 나머지 2개의 위치를 달리하여 불소화 처리 영역 간의 간격을 다르게 변화시키면서 구동 소자의 문턱 전압(V_{th}) 및 이동도(μ)를 측정하였으며, 그 결과를 표 3 및 도 5 에 나타내었다.

[133]

[134] [표3]

구분	불소화 처리 영역 간 폭 방향 간격 (㎛)	문턱 전압(V_{th})(V)	이동도(μ)(cm^2/Vs)
발명예 5	2	-18.7	7.27
발명예 6	4	-17.7	7.49
발명예 7	10	-16.2	7.34
발명예 8	15	-13.7	9.59
발명예 9	20	-11.7	11.2
발명예 10	25	-7.4	12.9

[135]

[136] 실험 결과, 불소화 처리 영역(80) 간의 간격은 발명예 10 과 같이 중심을 기준으로 간격이 최대이고 균일하게 퍼져 있을 때 소자의 이동 특성이 가장 좋은 것으로 나타났다. 즉, 불소화 처리 영역(80)들이 상술한 식(2)에 의해 계산되는 최대 간격(예를 들어, 실험과 같이 폭(W)이 50㎛ 이고 불소화 처리 영역(80)의 개수가 3개일 때, 최대 간격은 25㎛)만큼 이격되어 있을 때 가장 좋은 이동 특성을 가지는 것으로 해석할 수 있다.

[137]

[138] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양하게 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

[139]

[140] <부호의 설명>

[141] 1: 구동 소자

[142] 10: 기판

[143] 20: 게이트 전극

[144] 30: 절연막

[145] 40: 채널 층

[146] 50: 소스 전극

[147] 60: 드레인 전극

[148] 70: 보호층

[149] 80: 불소화 처리 영역

[150] W: 소스 전극 또는 드레인 전극의 폭

[151] L: 소스 전극 및 드레인 전극 사이의 간격

[152] A: 소스 전극 및 드레인 전극 사이에서 폭 방향으로 연장하는 중심선

청구범위

[청구항 1] 고이동도 구동 소자로서,
기판;
상기 기판 위에 위치하는 절연막;
상기 절연막의 적어도 일부 영역 위에 위치하고 금속 산화물을 포함하는 채널 층;
상기 채널 층과 연결되어 있으며, 상기 채널 층을 중심으로 양측으로 마주하도록 상기 절연막 상에 위치하는 소스 전극 및 드레인 전극;
상기 채널 층, 상기 소스 전극 및 상기 드레인 전극을 모두 덮는 보호층을 포함하고,
상기 채널 층은 상기 소스 전극 및 상기 드레인 전극 사이의 적어도 일부 영역에 복수 개의 국부적 불소화 처리 영역(F treatment area)을 포함하는 것인, 고이동도 구동 소자.

[청구항 2] 제1항에 있어서,
다음 식(1)에 의해 계산되는 면적 비율(B)이 0.25% 내지 0.75% 범위 내에 있는 것인, 고이동도 구동 소자.
식(1): 면적비율(B) = (각 불소화 처리 영역의 면적 * n) / (W * L) * 100
(여기서, L은 소스 전극 및 드레인 전극 사이의 간격이고, W는 소스 전극 또는 드레인 전극의 폭이며, n은 불소화 처리 영역의 개수이다.)

[청구항 3] 제1항 또는 제2항에 있어서,
상기 복수 개의 불소화 처리 영역 중 2개의 불소화 처리 영역은 폭 방향으로 소스 전극 또는 드레인 전극의 폭(W)의 거리만큼 서로 이격되어 있고,
상기 복수 개의 불소화 처리 영역들은 폭 방향으로 서로 등간격으로 일렬로 배치되는 것인, 고이동도 구동 소자.

[청구항 4] 제1항 또는 제2항에 있어서,
상기 복수 개의 불소화 처리 영역들은 서로 다음 식(2)에 의해 계산되는 최대 간격으로 이격되면서 채널 층의 중심을 기준으로 대칭으로 배열되어 있는 것인, 고이동도 구동 소자.
식(2) : 최대 간격 = W / (n - 1)
(여기서, W는 소스 전극 또는 드레인 전극의 폭이며, n은 불소화 처리 영역의 개수이다.)

[청구항 5] 제1항 또는 제2항에 있어서,
상기 복수 개의 불소화 처리 영역은 소스 전극 및 드레인 전극 사이의 폭 방향으로 연장하는 중심선(A)을 따라 배치되어 있는 것인, 고이동도 구동 소자.

[청구항 6] 제1항 또는 제2항에 있어서,

상기 복수 개의 불소화 처리 영역은 상기 채널 층의 상부 표면 상에 형성되어 있는 것인, 고이동도 구동 소자.

[청구항 7] 제1항 또는 제2항에 있어서,
상기 복수 개의 불소화 처리 영역은 3 개 내지 9 개인 것인, 고이동도 구동 소자.

[청구항 8] 제1항 또는 제2항에 있어서,
상기 채널 층의 금속 산화물은 인듐-갈륨-아연 산화물(IGZO)을 포함하는 것인, 고이동도 구동 소자.

[청구항 9] 제1항 또는 제2항에 있어서,
상기 기판 및 상기 절연막 사이에 게이트 전극을 더 포함하는 것인, 고이동도 구동 소자.

[청구항 10] 제1항 또는 제2항에 있어서,
상기 절연막은 실리콘 산화물을 포함하는 것인, 고이동도 구동 소자.

[청구항 11] 제1항 또는 제2항에 있어서,
상기 보호층은 실리콘 산화물을 포함하는 것인, 고이동도 구동 소자.

[청구항 12] 제1항에 따른 고이동도 구동 소자의 제조방법으로서,
기판을 준비하는 단계;
기판 위에 금속 산화물을 포함하는 채널 층을 형성하는 단계;
소정의 위치에 소정의 크기의 구멍이 형성되어 있는 포토레지스트를 상기 채널 층 위로 배치하는 단계;
상기 구멍을 통해 불소를 노출시키는 단계;
제거 용액을 이용하여 상기 포토레지스트를 제거하는 단계;
상기 채널 층을 중심으로 양측으로 마주하도록 소스 전극 및 드레인 전극을 형성하는 단계; 및
상기 채널 층, 상기 소스 전극 및 상기 드레인 전극을 모두 덮도록 보호층을 형성하는 단계;
를 포함하는 고이동도 구동 소자의 제조방법.

[청구항 13] 제12항에 있어서,
상기 채널 층의 금속 산화물은 인듐-갈륨-아연 산화물(IGZO)을 포함하는 것인, 고이동도 구동 소자의 제조방법.

[청구항 14] 제12항에 있어서,
상기 보호층은 실리콘 산화물을 포함하는 것인, 고이동도 구동 소자의 제조방법.

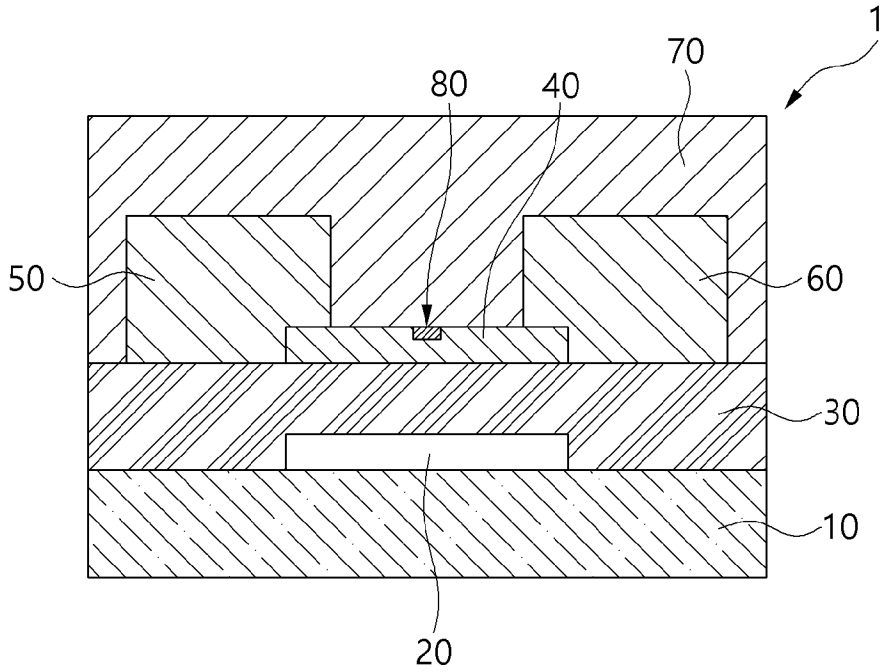
[청구항 15] 제12항에 있어서,
상기 채널 층을 형성하는 단계 전에, 기판 위에 절연막을 성막하는 단계를 더 포함하는 것인, 고이동도 구동 소자의 제조방법.

[청구항 16] 제15항에 있어서,

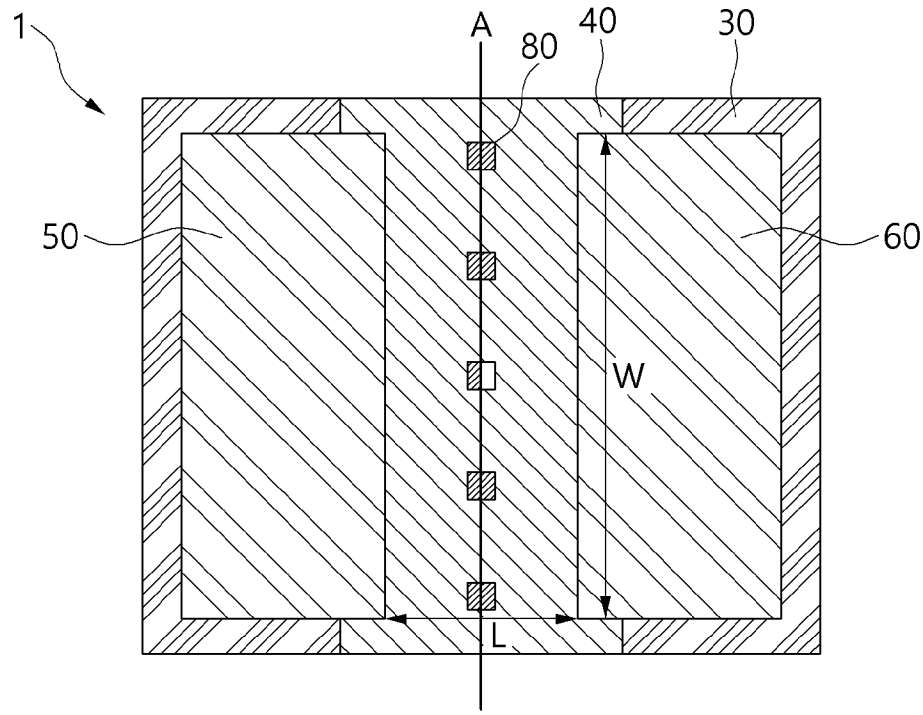
상기 절연막을 성막하는 단계 전에 게이트 전극을 형성하는 단계를 더 포함하는 것인, 고이동도 구동 소자의 제조방법.

[청구항 17] 제15항에 있어서,
상기 절연막은 실리콘 산화물을 포함하는 것인, 고이동도 구동 소자의 제조방법.

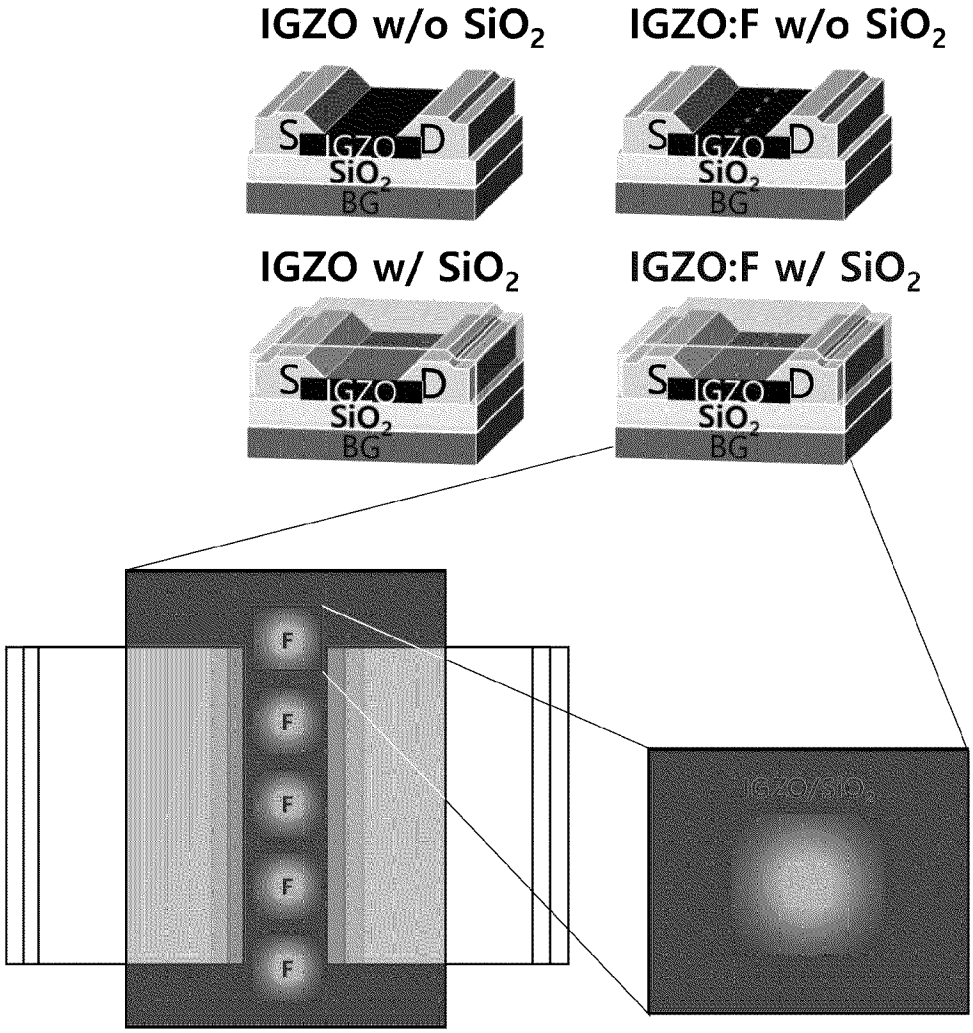
[도1]



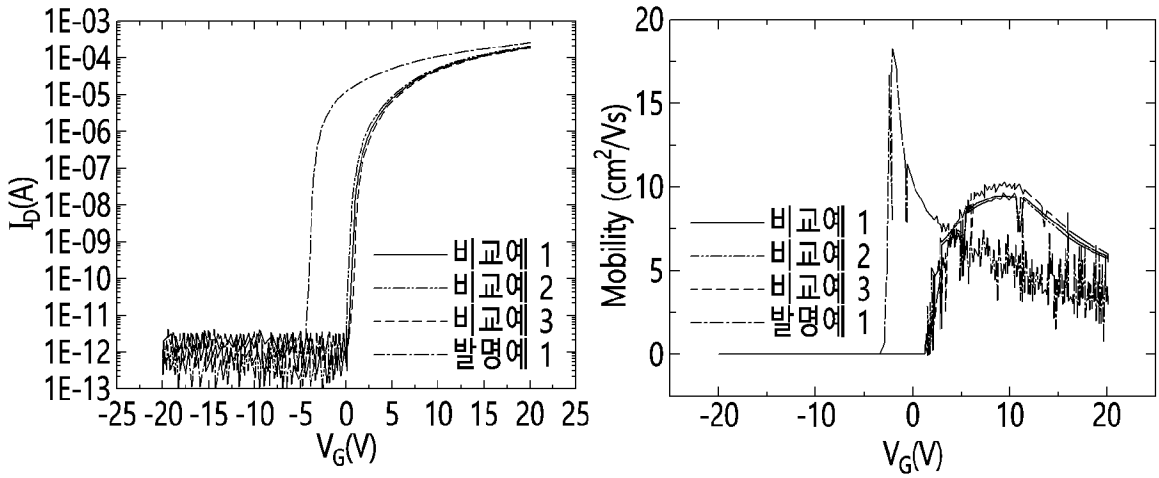
[도2]



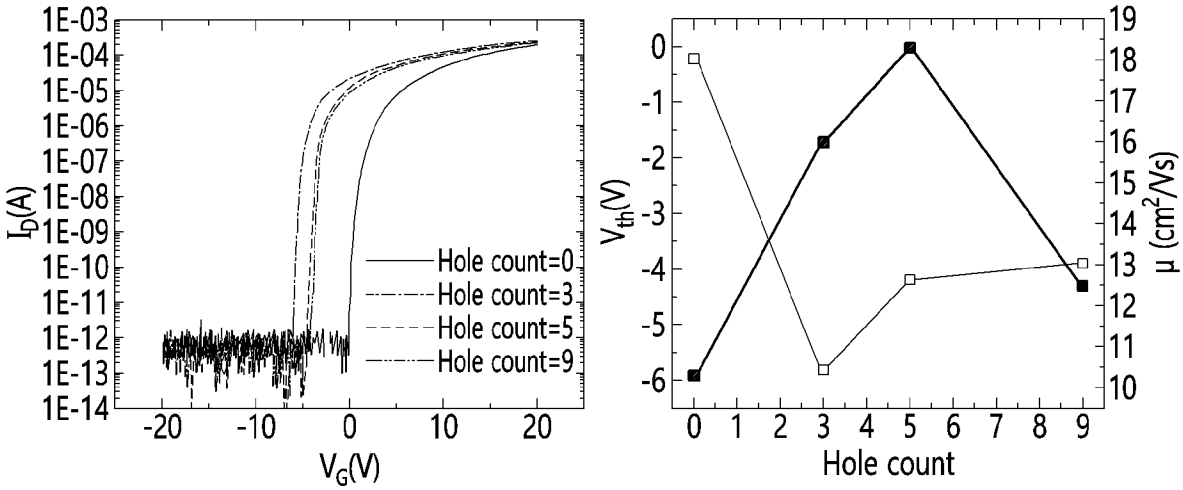
[도3]


IGZO w/o SiO2
IGZO:F w/o SiO2
IGZO w/ SiO2
IGZO:F w/ SiO2
S
IGZO
D
SiO2
BG
F
IGZO/SiO2

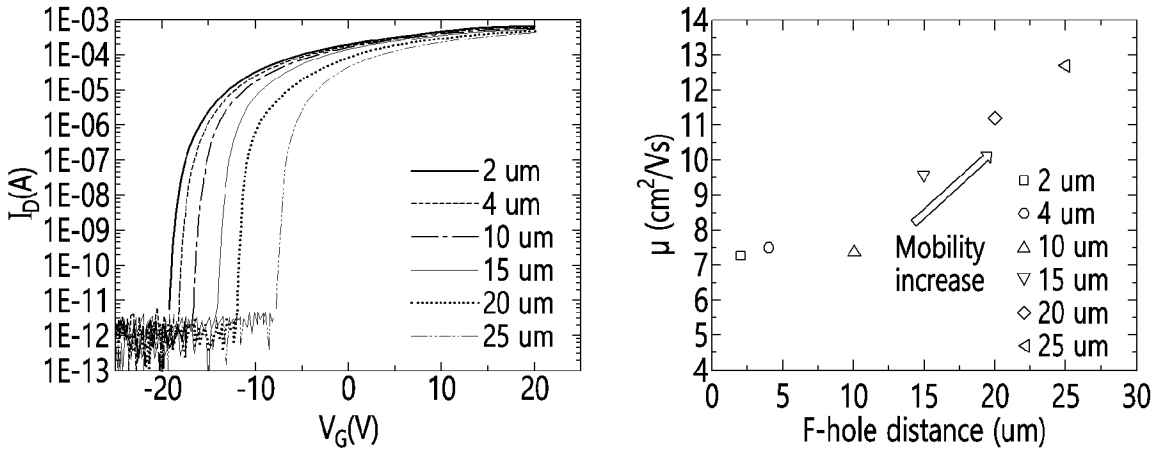
[도4]


ID(A)
VG(V)
Mobility (cm2/Vs)
비교예 1
비교예 2
비교예 3
발명예 1

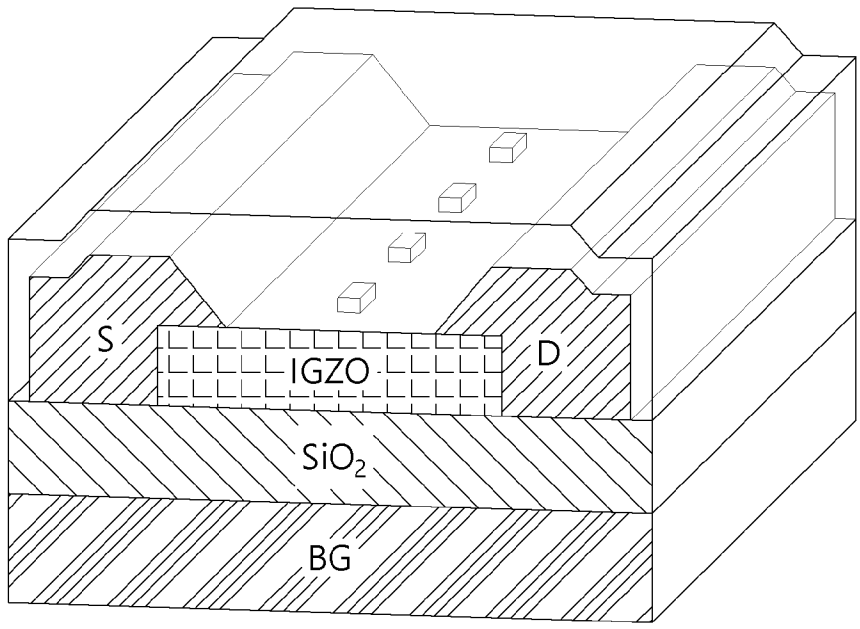
[도5]


1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
1E-14
I_D(A)
-20
-10
0
10
20
V_G(V)
Hole count=0
Hole count=3
Hole count=5
Hole count=9
0
-1
-2
-3
-4
-5
-6
V_{th}(V)
0 1 2 3 4 5 6 7 8 9
Hole count
19
18
17
16
15
14
13
12
11
10
μ (cm^2/Vs)

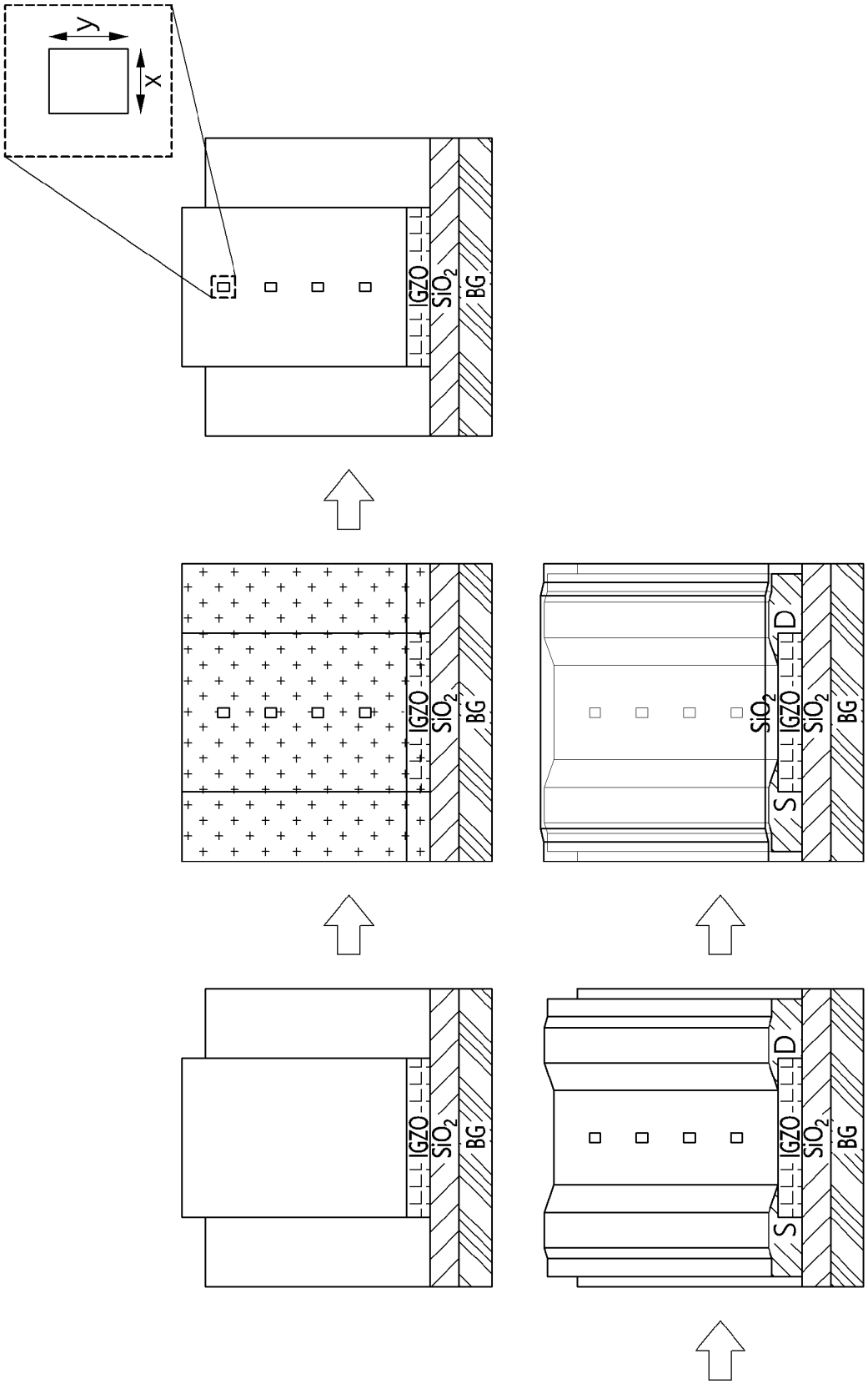
[도6]


1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
I_D(A)
-20
-10
0
10
20
V_G(V)
2 um
4 um
10 um
15 um
20 um
25 um
14
13
12
11
10
9
8
7
6
5
4
μ (cm^2/Vs)
Mobility
increase
0
5
10
15
20
25
30
F-hole distance (um)

[도7]


S
IGZO
D
SiO_2
BG

[도8]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2023/007874

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; **H01L 29/66**(2006.01)i; **H01L 21/02**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/786(2006.01); G02F 1/136(2006.01); H01L 21/336(2006.01); H01L 27/32(2006.01); H01L 29/78(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 박막트랜지스터(thin film transistor), 불소(fluorine), 처리영역(treatment area), 고이동도(high electron mobility)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2012-0076062 A (SAMSUNG ELECTRONICS CO., LTD.) 09 July 2012 (2012-07-09) See paragraphs [0037]-[0054] and figures 1-3d.	1-17
Y	KR 10-2008-0047152 A (SAMSUNG SDI CO., LTD.) 28 May 2008 (2008-05-28) See paragraphs [0056]-[0072] and figures 2-5e.	1-17
Y	KR 10-2019-0063022 A (LG DISPLAY CO., LTD.) 07 June 2019 (2019-06-07) See paragraph [0046] and figure 1.	8,13
A	KR 10-2006-0121488 A (SAMSUNG SDI CO., LTD.) 29 November 2006 (2006-11-29) See claim 4 and figures 1-5.	1-17
A	JP 2016-072570 A (TOKYO ELECTRON LTD. et al.) 09 May 2016 (2016-05-09) See paragraphs [0020]-[0023] and figure 1.	1-17

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 September 2023	**15 September 2023**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office **Government Complex-Daejeon Building 4, 189 Cheongsa-ro, Seo-gu, Daejeon 35208**	
Facsimile No. **+82-42-481-8578**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2023/007874

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
KR 10-2012-0076062 A	09 July 2012	KR 10-1713994 B1	09 March 2017
		US 2012-0168757 A1	05 July 2012
KR 10-2008-0047152 A	28 May 2008	KR 10-0894594 B1	24 April 2009
KR 10-2019-0063022 A	07 June 2019	KR 10-2468509 B1	17 November 2022
KR 10-2006-0121488 A	29 November 2006	CN 1870316 A	29 November 2006
		CN 1870316 B	27 October 2010
		JP 2006-332645 A	07 December 2006
		KR 10-0683777 B1	20 February 2007
		US 2006-0267003 A1	30 November 2006
JP 2016-072570 A	09 May 2016	CN 105489655 A	13 April 2016
		CN 105489655 B	07 February 2020
		JP 6392061 B2	19 September 2018
		KR 10-1973233 B1	26 April 2019
		KR 10-2016-0039542 A	11 April 2016
		TW 201628093 A	01 August 2016
		TW I666707 B	21 July 2019

국 제 조 사 보 고 서

국제출원번호
PCT/KR2023/007874

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 29/786(2006.01)i; **H01L 29/66**(2006.01)i; **H01L 21/02**(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 29/786(2006.01); G02F 1/136(2006.01); H01L 21/336(2006.01); H01L 27/32(2006.01); H01L 29/78(2006.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 박막트랜지스터(thin film transistor), 불소(fluorine), 처리영역(treatment area), 고이동도(high electron mobility)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2012-0076062 A (삼성전자주식회사) 2012.07.09 단락 [0037]-[0054] 및 도면 1-3d 참조	1-17
Y	KR 10-2008-0047152 A (삼성에스디아이 주식회사) 2008.05.28 단락 [0056]-[0072] 및 도면 2-5e 참조	1-17
Y	KR 10-2019-0063022 A (엘지디스플레이 주식회사) 2019.06.07 단락 [0046] 및 도면 1 참조	8,13
A	KR 10-2006-0121488 A (삼성에스디아이 주식회사) 2006.11.29 청구항 4 및 도면 1-5 참조	1-17
A	JP 2016-072570 A (TOKYO ELECTRON LTD. 등) 2016.05.09 단락 [0020]-[0023] 및 도면 1 참조	1-17

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☑ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
"D" 본 국제출원에서 출원인이 인용한 문헌
"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2023년09월15일(15.09.2023)	**2023년09월15일(15.09.2023)**

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)

팩스 번호 **+82-42-481-8578**

심사관

이강하

전화번호 **+82-42-481-5003**

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2023/007874

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2012-0076062 A	2012/07/09	KR 10-1713994 B1	2017/03/09
		US 2012-0168757 A1	2012/07/05
KR 10-2008-0047152 A	2008/05/28	KR 10-0894594 B1	2009/04/24
KR 10-2019-0063022 A	2019/06/07	KR 10-2468509 B1	2022/11/17
KR 10-2006-0121488 A	2006/11/29	CN 1870316 A	2006/11/29
		CN 1870316 B	2010/10/27
		JP 2006-332645 A	2006/12/07
		KR 10-0683777 B1	2007/02/20
		US 2006-0267003 A1	2006/11/30
JP 2016-072570 A	2016/05/09	CN 105489655 A	2016/04/13
		CN 105489655 B	2020/02/07
		JP 6392061 B2	2018/09/19
		KR 10-1973233 B1	2019/04/26
		KR 10-2016-0039542 A	2016/04/11
		TW 201628093 A	2016/08/01
		TW I666707 B	2019/07/21