



(12) 发明专利申请

(10) 申请公布号 CN 104160478 A

(43) 申请公布日 2014. 11. 19

(21) 申请号 201180076458. X

(74) 专利代理机构 永新专利商标代理有限公司

(22) 申请日 2011. 12. 28

72002

(85) PCT国际申请进入国家阶段日

代理人 韩宏 陈松涛

2014. 08. 27

(51) Int. Cl.

H01L 21/20 (2006. 01)

(86) PCT国际申请的申请数据

H01L 29/778 (2006. 01)

PCT/US2011/067661 2011. 12. 28

(87) PCT国际申请的公布数据

W02013/101001 EN 2013. 07. 04

(71) 申请人 英特尔公司

地址 美国加利福尼亚

(72) 发明人 N·慕克吉 M·V·梅茨

J·M·鲍尔斯 V·H·勒 B·朱-金

M·R·勒梅 M·拉多萨夫列维奇

N·戈埃尔 L·周

P·G·托尔钦斯基

J·T·卡瓦列罗斯 R·S·周

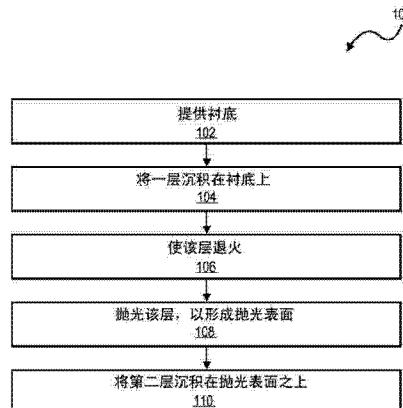
权利要求书3页 说明书15页 附图19页

(54) 发明名称

在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法以及由此形成的结构

(57) 摘要

本发明描述了在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法以及由此形成的器件。在一个实施例中，该方法包括提供带有具有晶格常数的顶表面的衬底以及将第一层沉积在衬底的顶表面上。第一层具有顶表面，该顶表面的晶格常数不同于衬底的顶表面的第一晶格常数。第一层被退火并抛光以形成抛光表面。第二层然后沉积在抛光表面之上。



1. 一种形成结构的方法,包括:

提供带有具有第一晶格常数的顶表面的衬底;

将第一层沉积在所述衬底的顶表面上,其中所述第一层带有具有第二晶格常数的顶表面,所述第二晶格常数不同于所述第一晶格常数;

使所述第一层退火;

抛光所述第一层,以形成具有第三晶格常数的第一抛光表面;以及

将第二层沉积在所述第一抛光表面之上,其中所述第二层带有具有第四晶格常数的顶表面。

2. 如权利要求1所述的方法,其中所述第一层在足够高的温度下且在足够长的时间内被退火,以实现在所述第一层中小于 $1E7$ 个缺陷/ cm^2 的体缺陷密度和/或在第一层的所述顶表面上的大于 $20nm$ 的均方根表面粗糙度,且其中所述第一抛光表面具有小于 $1nm$ 的均方根表面粗糙度和小于 $10nm$ 的峰到谷表面粗糙度范围。

3. 如权利要求1所述的方法,其中所述第一晶格常数具有与所述第二晶格常数至少大约1%的晶格常数失配。

4. 如权利要求1所述的方法,还包括在沉积所述第二层之前从所述第一抛光表面去除氧化层。

5. 如权利要求1所述的方法,还包括在沉积所述第二层之前将初始层沉积在所述第一抛光表面上,其中所述第二层被沉积在所述初始层上,且其中所述初始层具有近似等于所述第三晶格常数的晶格常数。

6. 如权利要求1所述的方法,还包括:

使所述第二层退火,其中所述第四晶格常数不同于所述第三晶格常数;

抛光所述第二层,以形成具有第五晶格常数的第二抛光表面;以及

将第三层沉积在所述第二抛光表面之上,其中所述第三层带有具有第六晶格常数的顶表面。

7. 如权利要求1所述的方法,还包括:

使所述第二层退火,其中所述第四晶格常数不同于所述第三晶格常数;

将覆盖层沉积在所述第二层的顶表面上,所述覆盖层具有近似等于所述第四晶格常数的晶格常数;

抛光所述覆盖层以形成抛光的覆盖表面;以及

将第三层沉积在所述抛光的覆盖表面之上,其中所述第三层带有具有第六晶格常数的顶表面。

8. 如权利要求1所述的方法,还包括:

在所述衬底的顶表面上形成多个第一高宽比捕获特征,所述多个第一高宽比捕获特征被间隔开,以形成多个第一高宽比捕获沟槽,其中所述第一层沉积在所述多个第一高宽比捕获沟槽中,且其中所述多个第一高宽比捕获特征具有与所述第一抛光表面近似在同一平面上的顶表面。

9. 如权利要求10所述的方法,还包括:

在所述多个第一高宽比捕获特征上形成多个第二高宽比捕获特征,所述多个第二高宽比捕获特征与所述多个第一高宽比捕获特征对齐并形成多个第二高宽比捕获沟槽,其中所

述第二层沉积在所述多个第二高宽比捕获沟槽中。

10. 如权利要求 1 所述的方法,还包括:

在所述第一抛光表面上形成多个第一高宽比捕获特征,所述多个高宽比捕获特征被间隔开以形成多个第一高宽比捕获沟槽,其中所述第二层被沉积在所述多个第一高宽比捕获沟槽中;

使所述第二层退火,其中所述第四晶格常数不同于所述第三晶格常数;

将覆盖层沉积在所述第二层的顶表面上和所述高宽比捕获沟槽中,所述覆盖层具有近似等于所述第四晶格常数的晶格常数;

抛光所述覆盖层以形成抛光的覆盖表面;以及

将第三层沉积在所述抛光的覆盖表面之上,其中所述第三层带有具有第六晶格常数的顶表面。

11. 一种形成结构的方法,包括:

提供带有具有第一晶格常数的顶表面的衬底;

将第一层沉积在所述衬底的顶表面上,其中所述第一层带有具有第二晶格常数的顶表面,所述第二晶格常数不同于所述第一晶格常数;

使所述第一层退火;

将第一覆盖层沉积在所述第一层的顶表面上,所述第一覆盖层具有近似等于所述第二晶格常数的均匀晶格常数;

抛光所述第一覆盖层,以形成第一抛光的覆盖表面;以及

将第二层沉积在所述第一抛光的覆盖表面之上,其中所述第二层带有具有第三晶格常数的顶表面。

12. 如权利要求 11 所述的方法,还包括在沉积所述第二层之前去除在所述第一抛光的覆盖表面上的氧化物。

13. 如权利要求 11 所述的方法,还包括:

使所述第二层退火,其中所述第三晶格常数不同于所述第二晶格常数;

抛光所述第二层,以形成具有第四晶格常数的抛光表面;以及

将第三层沉积在所述抛光表面之上,其中所述第三层带有具有第五晶格常数的顶表面。

14. 如权利要求 11 所述的方法,还包括:

使所述第二层退火,其中所述第三晶格常数不同于所述第二晶格常数;以及

将第二覆盖层沉积在所述第二层的顶表面上,所述第二覆盖层具有近似等于所述第三晶格常数的均匀晶格常数;

抛光所述第二覆盖层以形成第二抛光的覆盖表面;以及

将第三层沉积在所述第二抛光的覆盖表面之上,其中所述第三层带有具有第四晶格常数的顶表面。

15. 如权利要求 11 所述的方法,还包括:

在所述衬底的顶表面上形成多个第一高宽比捕获特征,所述多个第一高宽比捕获特征被间隔开以形成多个第一高宽比捕获沟槽,其中所述第一层和所述第一覆盖层沉积在所述多个第一高宽比捕获沟槽中,且其中所述多个第一高宽比捕获特征具有与所述第一抛光的

覆盖表面近似在同一平面上的顶表面。

16. 一种结构,包括:

衬底,其带有具有第一晶格常数的顶表面;

第一层,其被布置在所述衬底的顶表面上,其中所述第一层带有具有第二晶格常数的第一抛光表面,所述第二晶格常数不同于所述第一晶格常数,其中所述第一层具有小于1E7个缺陷/cm²的体缺陷密度,且所述第一抛光表面具有小于1nm的均方根表面粗糙度;以及第二层,其被布置在所述第一抛光表面之上,所述第二层具有晶格常数。

17. 如权利要求16所述的结构,其中所述第二层带有具有第三晶格常数的第二抛光表面,其中所述第三晶格常数不同于所述第二晶格常数,其中所述第二层具有小于1E7个缺陷/cm²的体缺陷密度,且所述第二抛光表面具有小于1nm的均方根表面粗糙度,且所述结构还包括第三层,其中所述第三层带有具有第四晶格常数的顶表面。

18. 如权利要求16所述的结构,其中所述第二层带有具有第三晶格常数的顶表面,且所述结构还包括:

覆盖层,其被布置在所述第二层的顶表面上,其中所述第三晶格常数不同于所述第二晶格常数,且其中所述覆盖层具有近似等于所述第三晶格常数的晶格常数,且所述覆盖层具有均方根表面粗糙度小于1nm的抛光的覆盖表面;以及

第三层,其被布置在所述抛光的覆盖表面上,其中所述第三层带有具有第四晶格常数的顶表面。

19. 如权利要求16所述的结构,还包括:

多个第一高宽比捕获特征,其布置在所述衬底的顶表面上,所述多个第一高宽比捕获特征被间隔开,以形成多个第一高宽比捕获沟槽,其中所述第一层布置在所述多个第一高宽比捕获沟槽中,且其中所述多个第一高宽比捕获特征具有与所述第一层的所述第一抛光表面近似在同一平面上的顶表面。

20. 如权利要求16所述的结构,其中所述第二层带有具有第三晶格常数的顶表面,且所述结构还包括:

覆盖层,其被布置在所述第二层的顶表面上,其中所述第三晶格常数不同于所述第二晶格常数,且其中所述覆盖层具有近似等于所述第三晶格常数的晶格常数,且所述覆盖层具有均方根表面粗糙度小于1nm的抛光的覆盖表面;

第三层,其被布置在所述抛光的覆盖表面上,其中所述第三层带有具有第四晶格常数的顶表面;以及

多个第一高宽比捕获特征,其布置在所述第一抛光表面上,所述多个第一高宽比捕获特征被间隔开,以形成多个第一高宽比捕获沟槽,其中所述第二层和所述覆盖层布置在所述多个第一高宽比捕获沟槽中,且其中所述多个第一高宽比捕获特征具有与所述第一抛光的覆盖表面近似在同一平面上的顶表面。

在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法以及由此形成的结构

技术领域

[0001] 本发明的实施例涉及在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法以及由此形成的结构。

背景技术

[0002] 下一代半导体器件的制造涉及在具有不同的晶格常数的非天然衬底上的异质半导体层之上形成晶体管器件。在非天然衬底上的这样的异质半导体层的集成一般通过使用缓冲层来实现，以提供逐渐改变从衬底到活性器件层的晶格常数的手段。缺陷在缓冲层的形成期间产生并导致高体缺陷密度以及粗糙的表面 / 界面。使缓冲层退火可减小体缺陷密度，然而它通常也会增加表面粗糙度。为了随后成功的器件集成和性能，必须减小体缺陷密度和表面粗糙度。使缓冲层生长和退火之间交替的常规“生长 - 退火 - 生长退火”方法不提供形成具有足够低的体缺陷密度和表面粗糙度的缓冲层以成功地制造下一代高 k 金属栅极晶体管器件的手段。

附图说明

[0003] 本公开的实施例通过示例而不是通过限制的方式在附图的图中示出，其中：

[0004] 图 1 是表示根据本发明实施例的在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法的流程图。

[0005] 图 2A 到 2E 示出表示在根据本发明实施例的在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法中的步骤的截面图。

[0006] 图 3 是示出根据本发明实施例的在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法的流程图。

[0007] 图 4A 到 4C 示出表示在根据本发明实施例的在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法中的步骤的截面图。

[0008] 图 5 是示出根据本发明实施例的在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法的流程图。

[0009] 图 6A 到 6K 示出表示在根据本发明实施例的在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法中的步骤的截面图。

[0010] 图 7 是表示根据本发明实施例的在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法的流程图。

[0011] 图 8A 到 8G 示出表示在根据本发明实施例的在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法中的步骤的截面图。

[0012] 图 9A 和 9B 示出使用根据本发明实施例的在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法来形成的结构的截面图。

[0013] 图 10 是示出根据本发明实施例的在非天然表面上形成具有减小的表面粗糙度和

体缺陷密度的异质层的方法的流程图。

[0014] 图 11 示出使用根据本发明实施例的在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法来形成的结构的截面图。

[0015] 图 12 是表示根据本发明实施例的在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法的流程图。

[0016] 图 13 示出使用根据本发明实施例的在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法来形成的结构的截面图。

[0017] 图 14 示出根据本发明的一个实现方式的计算设备。

具体实施方式

[0018] 描述了在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法以及由此形成的结构。在下面的描述中,阐述了很多细节。然而对本领域技术人员将明显的是,本发明的实施例可在没有这些特定的细节的情况下被实施。在其它实例中,没有详细描述公知的方面,例如外延沉积和化学机械抛光技术,以避免使本发明难理解。在整个该说明书中对“实施例”的提及并不意指关于该实施例描述的特定特征、结构、功能或特性包括在本发明的至少一个实施例中。因此,短语“在实施例中”在整个这个说明书中的不同地方的出现不一定指本发明的同一实施例。此外,在一个或多个实施例中,特定的特征、结构、功能或特性可以以任何适当的方式组合。例如,在第一实施例和第二实施例不相互排他的任何场合,第一实施例可与第二实施例组合。

[0019] 下一代半导体器件的生产需要将异质层集成在具有不同晶格常数的非天然衬底上。为了成功的器件集成和性能,异质层必须具有低体缺陷密度和最小表面粗糙度。根据本发明的一个或多个实施例,描述了在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法以及由此形成的结构。该方法包括提供带有具有晶格常数的顶表面的衬底以及将一层沉积在衬底的顶表面上。该层可以是使晶格常数从衬底到随后形成的器件层逐渐变化的缓冲层的部分。该层具有晶体常数与衬底的顶表面的晶格常数不同的顶表面。该层被退火并抛光以形成抛光表面。退火减小该层的体缺陷密度,同时抛光过程减小在退火期间累积的表面粗糙度。在一个实施例中,该层在足够高的温度下且在足够长的时间内被退火,以实现小于 $1E7$ 个缺陷 / cm^2 的体缺陷密度和大于 20nm 的均方根表面粗糙度。抛光表面可具有小于 1nm 的均方根表面粗糙度和小于 10nm 的峰到谷表面粗糙度范围。第二层然后沉积在抛光表面之上。第二层可以是器件层,晶体管器件随后形成在器件层上。可选地,第二层可以是帮助使晶体常数从衬底到随后形成的器件层逐渐变化的缓冲层的部分。

[0020] 本发明的实施例还可包括形成高宽比捕获 (ART) 特征。ART 特征通过减小在随后形成的器件层上的线位错缺陷来提高器件性能和集成。ART 特征提供非晶体侧壁,体缺陷终止于非晶体侧壁。终止在 ART 特征中的体缺陷因而明显减小了在退火期间迁移到表面的缺陷的数量。在一个这样的实施例中,ART 特征在衬底的顶表面上形成。ART 特征间隔开以形成 ART 沟槽,且该层沉积在 ART 沟槽中。在实施例中,ART 沟槽具有大于 1 的高宽比。ART 特征具有与该层的抛光表面大致在同一平面上的顶表面。

[0021] 本发明的实施例还可包括在退火之后但在抛光之前将覆盖层沉积在该层上。覆盖层用作屏障以保护该层在抛光期间免受氧化。当该层包括形成不能使用成本有效和可制造

的方法去除的氧化物的材料（例如含铝单晶半导体化合物）时，覆盖层可能是必要的。覆盖层本身由一种材料组成，该材料在被氧化时形成可使用成本有效和可制造的方法去除的氧化物。在一个这样的实施例中，覆盖层在退火之后但在抛光之前沉积在该层上。覆盖层具有与该层的顶表面近似相同的晶格常数。覆盖层然后被抛光，以形成抛光的覆盖表面。抛光的覆盖表面可具有小于 1nm 的均方根表面粗糙度和小于 10nm 的峰到谷表面粗糙度范围。第二层然后沉积在抛光的覆盖表面之上。如前面提到的，第二层可以是器件层，晶体管器件随后在器件层上形成。可选地，第二层可以是有助于晶格常数从衬底到随后形成的器件层逐渐变化的缓冲层的部分。

[0022] 图 1 是示出根据本发明实施例的在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法的流程图 100。图 2A 到 2E 示出表示根据本发明实施例的在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法的截面图。该方法通过提供如图 2A 所示的衬底 202 而开始于流程图 100 中的步骤 102。衬底 202 是材料，具有减小的表面粗糙度和体缺陷密度的异质层在该材料上形成。衬底 202 具有带有晶格常数的顶表面 204。在实施例中，衬底 202 包括具有晶格常数的材料，例如单晶半导体材料（例如硅、锗、硅锗和蓝宝石）。在实施例中，衬底 202 可包括 III-V 族单晶半导体化合物，例如但不限于氮化镓、磷化镓、砷化镓、磷化铟、锑化铟、砷化铟镓、砷化铝镓、磷化铟镓或其组合。在另一实施例中，衬底 202 包括具有晶格常数的顶部单晶层。例如，衬底 202 可包括在不同的晶体衬底的顶上外延生长的一个或多个半导体层，例如在单晶硅衬底上的外延硅锗层。外延生长的半导体层可具有均匀的晶格常数或随着厚度逐渐或离散地改变的晶格常数。在特定的实施例中，衬底 202 是单晶硅衬底，其上形成有或没有单晶外延硅层。在另一实施例中，衬底 202 可包括在晶体衬底和外延层之间的绝缘层（例如二氧化硅、氮化硅、氮氧化硅和高 k 电介质层），以形成例如绝缘体上硅衬底。

[0023] 参考在流程图 100 中的步骤 104 和相应的附图 2B，层 206 沉积在衬底 202 的顶表面 204 上。层 206 可以是在衬底和随后形成的器件层之间形成的缓冲层的部分。在实施例中，层 206 是外延生长的半导体晶体膜，例如但不限于 GaAs、SiGe、GaAsSb、AlAsSb、AlGaSb、GaSbP、InAlAs、InGaAs 和 InP。在这样的实施例中，半导体膜可使用常规方法沉积在常规分子束外延或外延化学气相沉积室中。在实施例中，层 206 的顶表面 208 具有与衬底 202 的顶表面 204 的晶格常数失配。换句话说，层 206 的顶表面 208 的晶格常数不同于衬底 202 的顶表面 204 的晶格常数。在一个这样的实施例中，层 206 的顶表面 208 的晶格常数大于衬底 202 的顶表面 204 的晶格常数。例如，硅锗层 206 可以在单晶硅衬底 202 上外延生长。在另一这样的实施例中，层 206 的顶表面 208 的晶格常数小于衬底 202 的顶表面 204 的晶格常数。在实施例中，在衬底 202 的顶表面 204 和层 206 的顶表面 208 之间的晶格常数失配至少大约 1%，且在特定的实施例中在大约 2% 和 4% 之间。

[0024] 在实施例中，层 206 可具有等于顶表面 208 的晶格常数的均匀晶格常数。均匀晶格常数是有利的，因为它消除了在步骤 108 中在层 206 的随后抛光之后形成的抛光表面 216 的晶格常数中的不确定性。在另一实施例中，层 206 可具有随着层 206 的厚度而改变的逐渐变化的晶格常数。逐渐变化的晶格常数可逐渐地或以离散阶跃式方式改变。逐渐变化的晶格常数可随着层 206 的厚度而增加或减小。在实施例中，层 206 被沉积到一厚度，该厚度能够实现在衬底 202 的顶表面 204 和层 206 的顶表面 208 之间的晶格常数失配至少大约 1%

且在特定的实施例中在大约 2% 和 4% 之间。所沉积的层 206 具有初始体缺陷密度 210，且层 206 的顶表面 208 具有初始均方根 (RMS) 表面粗糙度 212。初始体缺陷密度 210 可能对成功的器件集成和性能而言太高。

[0025] 参考流程图 100 中的步骤 106 和相应的图 2C，层 206 被退火。退火的目的是将层 206 的体缺陷密度减小到对成功的器件集成和性能而言足够的水平。在退火期间，层 206 可在升高的温度下在一段时间内受到热处理。在实施例中，升高的温度大于层 206 被沉积时的温度，但低于在层 206 的化学计量开始降低以及层 206 开始熔化时的温度。层 206 可在富含第 V 组蒸气（例如砷和磷）的大气中退火，以促进材料稳定性并维持化学计量比。在退火期间，层 206 的体缺陷密度 214 降低，而层 206 的顶表面 208 的表面粗糙度 215 增加。与常规方法比较，在步骤 108 中层 206 的随后抛光允许更侵略性的退火过程（其中层 206 可能受到更高的退火温度）和更长的退火时间，以实现更低的体缺陷密度和更大的 RMS 表面粗糙度。增加的均方根 (RMS) 表面粗糙度 215 将不会负面影响在层 206 之上随后形成的器件的集成或性能，因为随后的抛光步骤会明显地减小层 206 的表面粗糙度 215。在一个实施例中，层 206 在足够高的温度下和在足够长的时间内退火，以实现比初始体缺陷密度 210 低至少 10 倍的体缺陷密度 214 和 / 或比初始表面粗糙度 212 大至少 5 倍的 RMS 表面粗糙度 215。在另一实施例中，层 206 在足够高的温度下和在足够长的时间内退火，以实现比层 206 中的 1E7 个缺陷 / cm² 小的体缺陷密度 214 和 / 或大于 20nm 的在层 206 的顶表面 208 上的 RMS 表面粗糙度 215。在实施例中，层 206 在大约 600°C 和 800°C 之间的温度下和在大约 1 小时到 2 小时的一段时间内退火。例如，GaAs 层 206 可在大约 700°C 下退火大约 1 小时，InAs 层 206 可在大约 600°C 下退火大约 1 小时，以及 SiGe 层 206 可取决于 Ge 内含物在大约 600–800°C 下退火大约 1–2 小时。层 206 可在同一室内（原位）退火，层 206 被沉积在该室内。在一个实施例中，在层 206 被沉积之后并在退火之前，层 206 未暴露于大气中的氧或水蒸气。

[0026] 参考流程图 100 中的步骤 108 和相应的图 2D，层 206 被抛光以形成具有晶格常数的抛光表面 216。层 206 可以使用常规方法在常规化学机械抛光 (CMP) 装置中被抛光。在抛光期间，层 206 的顶表面 208 被抛掉，且层 206 的厚度稍微减小。抛光表面 216 的晶格常数对于层 206 具有均匀晶格常数（即，晶格常数在整个层 206 中是均匀的）的实施例而言是可易于确定的。对于这样的实施例，抛光表面 216 的晶格常数近似等于层 206 的顶表面 208 的晶格常数。在一个这样的实施例中，抛光表面 216 和顶表面 208 的晶格常数大于表面 202 的顶表面 204 的晶格常数。在抛光表面 216 的晶格常数中的这样的确定性提供可制造性优点，其中随后沉积的层的晶格常数可被准确地控制为与抛光表面 216 的晶格常数相兼容。抛光表面 216 具有在退火之后明显低于 RMS 表面粗糙度 215 的 RMS 表面粗糙度 217。在一个实施例中，抛光表面 216 具有小于 1nm 的 RMS 表面粗糙度。理想地，抛光表面 216 具有小于 0.5nm 的 RMS 表面粗糙度 217。在特定的实施例中，抛光表面 216 具有小于 1nm 的 RMS 表面粗糙度 217 和具有小于 10nm 的峰到谷表面粗糙度范围。峰到谷表面粗糙度范围是在抛光表面 216 上的最高和最低地形点之间的距离。

[0027] 虽然没有在图 2D 中示出，由于在步骤 108 中使层 206 在抛光过程期间暴露于水和空气，氧化层可能在层 206 的抛光表面 216 上形成。为了成功的随后器件集成和性能，氧化层可能需要在随后的处理步骤之前从抛光表面 216 去除。在一个实施例中，氧化层在沉积

第二层 218 的随后步骤 110 之前从抛光表面 216 去除。可使用常规湿或干蚀刻方法和 / 或通过热解吸来去除氧化层。理想地，氧化层紧接着在沉积第二层 218 之前且在第二层 218 被沉积的同一室中被去除。

[0028] 参考流程图 100 中的步骤 110 和相应的图 2E，第二层 218 沉积在抛光表面 216 之上。第二层 218 带有具有晶格常数的顶表面 220。在一个实施例中，层 218 是外延生长的半导体晶体膜，例如 GaAs、SiGe、GaAsSb、AlAsSb、AlGaSb、GaSbP、InAlAs、InGaAs 和 InP。第二层 218 可使用常规方法沉积在常规外延化学气相沉积室中。第二层 218 具有初始体缺陷密度 222 和初始表面粗糙度 224。

[0029] 第二层 218 可直接沉积在抛光表面 216 上。可选地，一个或多个其它层可沉积在抛光表面 216 和第二层 218 之间。例如，初始层（未示出）可在沉积第二层 218 之前沉积在抛光表面 216 上。在实施例中，初始层可用作在层 206 和第二层 218 之间的过渡，其中初始层具有与抛光表面 216 的晶格常数近似相等的晶格常数。初始层可紧接着在第二层 218 之前、在与第二层 218 同一室中（即，与第二层 218 原位）并在连续的处理步骤中被沉积。

[0030] 根据实施例，在流程图 100 中描述的方法形成图 2E 所示的结构 230。结构 230 可以是半导体结构，半导体器件（例如晶体管或发光二极管（LED））在半导体结构上形成。结构 230 包括具有顶表面 204 的衬底 202，该顶表面 204 具有晶格常数。层 206 布置在衬底 202 的顶表面 204 上。层 206 具有晶格常数与衬底 202 的顶表面 204 的晶格常数不同（晶格常数失配）的抛光表面 216。层 206 具有小于 1E7 个缺陷/cm² 的体缺陷密度 214，且抛光表面 216 具有小于 1nm 的均方根表面粗糙度。第二层 218 布置在抛光表面 216 之上。在一个实施例中，第二层直接位于抛光表面 216 上。在另一实施例中，具有与抛光表面 216 的晶格常数近似相等的晶格常数的初始层布置在抛光表面 216 上，且第二层 218 布置在初始层上。第二层 218 带有具有晶格常数的顶表面 220。

[0031] 在实施例中，第二层 218 是器件层，诸如半导体晶体管的器件形成在该器件层上。在一个这样的实施例中，层 218 具有与顶表面 220 的晶格常数近似相等的均匀晶格常数。顶表面 220 的晶格常数可近似等于抛光表面 216 的晶格常数。例如，第二层 218 可以是 InGaAs 器件层，且层 206 可以是 InP 缓冲层，其中 InGaAs 器件层与 InP 缓冲层的顶表面晶格匹配。因为第二层 218 与抛光表面 216 晶格匹配，第二层 218 可形成有低体缺陷密度，且对于成功的器件集成和性能而言将无需随后的退火。可选的缓冲步骤可随后被执行以提供平滑的顶表面 220。可选地，顶表面 220 的晶格常数可以不同于抛光表面 216 的晶格常数（晶格常数失配）。例如，层 218 可以是 Ge 器件层，而 206 可以使 SiGe 缓冲层，其中由于与 SiGe 缓冲层的顶表面相比具有较大的晶格常数，Ge 器件层被晶格应变。

[0032] 在第二层 218 是器件层的实施例中，第二层 218 可至少形成量子阱层的部分。在实施例中，第二层 218 是形成活性区域堆叠体的部分的器件层，活性区域堆叠体可包括量子阱层、栅极氧化层、上部阻挡层和覆盖层。在实施例中，第二层 218 可以是用于制造平面或非平面半导体晶体管器件的器件层。平面晶体管器件可包括平面金属氧化物半导体场效应晶体管（MOSFET）。非平面晶体管器件可包括鳍式场效应晶体管（FINFET），例如双栅极晶体管器件、三栅极晶体管器件、或栅绕式（GAA）器件（例如纳米线或纳米带器件）。第二层 218 还可以是用于制造半导体层的器件层，以形成多沟道器件的垂直阵列，例如栅绕式多纳米线沟道器件，其中单个栅电极包围多个垂直布置的纳米线。

[0033] 在另一实施例中，第二层 218 是额外的部分或区段，以提供在层 206 和随后沉积的器件层之间逐渐变化的额外晶格。在一个这样的实施例中，第二层 218 的顶表面 220 具有与抛光表面 216 的晶格常数失配。在一个实施例中，顶表面 220 的晶格常数大于抛光表面 216 的晶格常数。在另一实施例中，顶表面 220 的晶格常数小于抛光表面 216 的晶格常数。在抛光表面 216 和顶表面 220 之间的晶格常数失配至少大约 1%，且在特定的实施例中在大约 2% 和 4% 之间。在一个实施例中，第二层 218 可具有与顶表面 220 的晶格常数相等的均匀晶格常数。在另一实施例中，晶格常数可在抛光表面 216 和顶表面 220 之间的第二层 218 中逐渐地或以离散阶跃方式改变。在实施例中，第二层 218 被沉积到一厚度，该厚度能够实现在抛光表面 216 和第二层 218 的顶表面 220 之间的晶格常数失配至少 1% 且在特定的实施例中在大约 2% 和 4% 之间。

[0034] 在第二层 218 是在第二层 206 和随后沉积的器件层之间形成的缓冲层的另一实施例中，步骤 106 到 110 可在步骤 110 之后重复，如在图 3 所示的流程图 300 中的步骤 302 到 306 所表示的。图 4A 到 4C 是示出一个这样的实施例的相应截面图。步骤 102 到 110 在较早时候被描述。参考流程图 300 中的步骤 302 和相应的图 4A，第二层 218 被退火。对使第二层 218 退火的描述类似于在步骤 106 中使层 206 退火。第二层 218 可在富含第 V 组蒸气（例如砷和磷）的大气中退火，以促进材料稳定性并维持化学计量比。在一个实施例中，第二层 218 在足够高的温度下和在足够长的时间内退火，以实现比初始体缺陷密度 222 低至少 10 倍的体缺陷密度 402 和 / 或比初始表面粗糙度 224 大至少 5 倍的 RMS 表面粗糙度 404。在另一实施例中，第二层 218 在足够高的温度下和在足够长的时间内退火，以实现在第二层 218 中的小于 $1E7$ 个缺陷 / cm^2 的体缺陷密度 402 和 / 或在第二层 218 的顶表面 220 上的大于 20nm 的 RMS 表面粗糙度 404。在特定的实施例中，第二层 218 在大约 600°C 和 800°C 之间的温度下和在大约 1 小时到 2 小时的一段时间内退火。第二层 218 可在第二层 218 被沉积的同一室内（原位）退火。

[0035] 参考流程图 300 中的步骤 304 和相应的图 4B，第二层 218 被抛光以形成具有晶格常数的抛光表面 406。对抛光第二层 218 的描述类似于在步骤 108 中对层 206 抛光。抛光表面 406 具有在退火之后明显低于 RMS 表面粗糙度 404 的 RMS 表面粗糙度 407。在一个实施例中，抛光表面 406 具有小于 1nm 的均方根 (RMS) 表面粗糙度。理想地，抛光表面 406 具有小于 0.5nm 的 RMS 表面粗糙度。在特定的实施例中，抛光表面 406 具有小于 1nm 的 RMS 表面粗糙度和小于 10nm 的峰到谷表面粗糙度范围。

[0036] 虽然没有在图 4B 中示出，由于在步骤 304 中使第二层 218 在抛光过程期间暴露于水和空气，氧化层可在第二层 218 的抛光表面 406 上形成。在一个实施例中，氧化层在沉积第三层 408 的随后步骤 306 之前从抛光表面 406 去除。

[0037] 参考流程图 300 中的步骤 306 和相应的图 4C，第三层 408 沉积在抛光表面 406 之上。第三层 408 带有具有晶格常数的顶表面 410。对沉积第三层 408 的描述类似于在步骤 110 中沉积层 218。在一个实施例中，第三层 408 可直接沉积在抛光表面 406 上。在另一实施例中，初始层（未示出）可在沉积第三层 408 之前沉积在抛光表面 406 上。初始层可用作在第二层 218 和第三层 408 之间的过渡，其中初始层具有与抛光表面 406 的晶格常数近似相等的晶格常数。在实施例中，第三层 408 可以是外延生长的半导体半导体晶体膜，例如 GaAs、SiGe、GaAsSb、AlAsSb、AlGaSb、GaSbP、InAlAs、InGaAs 和 InP。在实施例中，第三

层 403 是器件层，诸如半导体晶体管的器件形成在该器件层上。在这样的实施例中，第三层 408 具有与顶表面 410 的晶格常数近似相等的均匀晶格常数。顶表面 410 的晶格常数可近似等于或不同于抛光表面 406 的晶格常数。在特定的实施例中，衬底 202 是单晶硅衬底，层 206 是 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 缓冲层，第二层 218 是 $\text{Si}_{0.3}\text{Ge}_{0.7}$ 缓冲层，且第三层 408 是 Ge 器件层。虽然没有在图 4C 中示出，形成充分完成的器件还可包括形成量子阱层、隔板层、掺杂层、上部阻挡层和接触覆盖层。

[0038] 在另一实施例中，第三层 408 可以是第三缓冲层，以提供在第二层 218 和随后沉积的器件层之间逐渐变化的额外的晶格。在这样的实施例中，步骤 302 到 306 可重复一到多次，以形成在层 408 之上具有减小的体缺陷密度和减小的表面粗糙度的额外抛光层。在这样的实施例中，顶表面 410 的晶格常数可不同于抛光表面 406 的晶格常数。第三层 408 可具有与顶表面 410 的晶格常数相等的均匀晶格常数。可选地，第三层 408 可具有随着厚度而改变的逐渐变化的晶格常数。

[0039] 在流程图 300 中描述的方法形成图 4C 所示的结构 420。结构 420 包括图 2E 所示的前面描述的结构 230。此外，第二层 218 带有具有晶格常数的抛光表面 406。第二层具有小于 $1\text{E}7$ 个缺陷/ cm^2 的体缺陷密度 402，且抛光表面 406 具有小于 1nm 的 RMS 表面粗糙度。在实施例中，抛光表面 406 的晶格常数不同于抛光表面 216 的晶格常数。带有具有晶格常数的顶表面 410 的第三层 408 布置在抛光表面 406 之上。

[0040] 在本发明的额外实施例中，可形成高宽比捕获 (ART) 特征。ART 特征用于通过提供非晶体侧壁来防止在衬底和下面的层中的体缺陷迁移到随后形成的器件层，缺陷可终止于该非晶体侧壁。图 5 是示出根据本发明实施例的在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法的流程图 500。图 6A 到 6K 是示出一个这样的实施例的相应截面图。前面详细描述了提供衬底 202 的步骤 102。参考步骤 502 和相应的图 6A，该方法还包括在衬底 202 的顶表面 204 上形成多个第一 ART 特征 606。多个第一 ART 特征 606 可包括具有非成核表面的任何公知材料，半导体外延膜不在非成核表面上生长。理想地，多个第一 ART 特征 606 由电介质材料（例如 SiO_2 、掺杂 SiO_2 、 SiON 、 SiN 、 SiC 、 SiCN 和 SiOC ）形成。多个第一 ART 特征可通过首先在如图 6A 所示的衬底 202 的顶表面 204 上沉积电介质层 602 来形成。电介质层 602 可以使用常规光刻法和蚀刻方法来被图案化，以形成具有宽度 607 的 ART 特征 606，如图 6B 所示。多个第一 ART 特征 606 被图案化，使得它们间隔开以形成多个第一 ART 沟槽 608。在实施例中，在多个第一 ART 特征 606 之间的间隔足以在每个 ART 沟槽 608 之上形成至少 10 个半导体器件。在特定的实施例中，在多个第一 ART 特征 606 之间的间隔在大约 $50\text{--}100\text{nm}$ 之间。在实施例中，多个第一 ART 沟槽具有大于 1 的高宽比。沟槽的高宽比是沟槽的深度与沟槽的宽度之比。

[0041] 参考流程图 500 中的步骤 504 和相应的图 6C，层 626 沉积在衬底 202 的顶表面 204 上和多个第一 ART 沟槽 608 中。流程图 500 中的步骤 504 类似于流程图 100 中的步骤 104。因此，层 626 的描述类似于图 2B 中的层 206 的描述。层 626 不在多个第一 ART 特征 606 的顶表面 604 上形成。层 626 被沉积到在顶表面 604 之上足够高的厚度以使随后的抛光能够形成与顶表面 604 近似在同一平面上的抛光表面 636。层 626 具有初始体缺陷密度 630 和初始表面粗糙度 632。

[0042] 参考流程图 500 中的步骤 506 和相应的图 6D，层 626 接着被退火。步骤 506 的退

火过程的描述类似于前面在流程图 100 的步骤 106 中描述的退火过程。在一个实施例中，层 626 在足够高的温度下和在足够长的时间内退火，以实现比初始体缺陷密度 630 低至少 10 倍的体缺陷密度 634 和 / 或比初始表面粗糙度 632 大至少 5 倍的 RMS 表面粗糙度 635。在另一实施例中，层 626 在足够高的温度下和在足够长的时间内退火，以实现小于层 626 中的 1E7 个缺陷 /cm² 的体缺陷密度 634 和 / 或在层 626 的顶表面 628 上的大于 20nm 的 RMS 表面粗糙度。在特定的实施例中，层 626 在大约 600°C 和 800°C 之间的温度下和在大约 1 小时到 2 小时的一段时间内退火。

[0043] 参考流程图 500 中的步骤 508 和相应的图 6E，层 626 接着被抛光以形成抛光表面 636。步骤 508 的抛光过程的描述类似于前面在流程图 100 的步骤 108 中描述的退火过程。在抛光期间，层 626 被抛掉，使得抛光表面 636 与顶表面 604 近似在同一平面上。在一个实施例中，抛光表面 636 具有小于 1nm 的 RMS 表面粗糙度 637。理想地，抛光表面 636 具有小于 0.5nm 的 RMS 表面粗糙度 637。在特定的实施例中，抛光表面 636 具有小于 1nm 的 RMS 表面粗糙度和小于 10nm 的峰到谷表面粗糙度范围。

[0044] 在另一实施例中，多个第二 ART 特征 610 可在多个第一 ART 特征 606 之上形成。多个第二 ART 特征 610 以与多个第一 ART 特征 604 类似的方式形成。多个第二 ART 特征 610 可与多个第一 ART 特征 606 类似地由非成核非晶体材料形成。多个第二 ART 特征 610 可通过首先将电介质层 608（例如 SiO₂、掺杂 SiO₂、SiON、SiN、SiC、SiCN 和 SiOC）沉积在如图 6F 所示的顶表面 604 和抛光表面 216 上来形成。电介质层 618 可接着使用常规光刻法和蚀刻方法来被图案化，以形成如图 6G 所示的多个第二 ART 特征 610。多个第二 ART 特征 610 被间隔开，以形成多个第二 ART 沟槽 612。在实施例中，在多个第二 ART 特征 610 之间的间隔足以在每个 ART 特征 612 之上形成至少 10 个半导体器件。在特定的实施例中，在多个第二 ART 特征 610 之间的间隔在大约 50–100nm 之间。在实施例中，多个第二 ART 沟槽 612 具有大于 1 的高宽比。

[0045] 接着，步骤 504 到 508 在步骤 510 之后重复，如在流程图 500 中的步骤 512 到 516 所表示的。参考流程图 500 中的步骤 512，第二层 638 沉积在抛光表面 636 之上和在多个第二 ART 沟槽 612 中。在一个实施例中，第二层 638 直接沉积在抛光表面 636 上。在另一实施例中，初始层（未示出）可在沉积第二层 638 之前沉积在抛光表面 636 上。初始层可用作在层 626 和第二层 638 之间的过渡，其中初始层具有与抛光表面 636 的晶格常数近似相等的晶格常数。第二层 638 不在多个第二 ART 特征 610 的顶表面 614 上形成。第二层 638 被沉积到在顶表面 614 之上足够高的厚度，以使随后的抛光能够形成与顶表面 614 近似在同一平面上的抛光表面 646。参考步骤 514 和 516，第二层 638 被退火和抛光以形成抛光表面 646，如图 6H 所示。步骤 512 到 516 的描述类似于在流程图 500 中的步骤 504 到 508 的前面描述。在实施例中，在流程图 500 的步骤 516 中形成的抛光表面 646 与顶表面 614 近似在同一平面上。接着，在流程图 500 的步骤 518 中，第三层 648 沉积在抛光表面 646 之上。在实施例中，如图 6I 所示，层 648 可直接沉积在抛光表面 646 上，并可生长和合并以在抛光表面 646 和顶表面 614 上形成单个连续层。

[0046] 在实施例中，如图 6I 所示，多个第二 ART 特征 610 被图案化，使得它们与多个第一 ART 特征 606 对齐。在这样的实施例中，多个第二 ART 特征 610 可具有与多个第一 ART 特征的宽度 607 近似相等的宽度 620。可选地，如图 6J 所示，多个第二 ART 特征 610 可具有比多

个第一 ART 特征的宽度 607 大的宽度 622。

[0047] 在又一实施例中,如图 6K 所示,多个第三 ART 特征 660 可使用与在流程图 500 的步骤 510 中描述的类似的方法在顶表面 614 上形成。多个第三 ART 特征 660 可间隔开以形成在多个第三 ART 特征 660 之间的多个第三 ART 沟槽。在这样的实施例中,第三层 648 沉积在抛光表面 646 之上和在多个第三 ART 特征 660 之间的多个第三 ART 沟槽中。

[0048] 在本发明的实施例中,通过在流程图 500 中示出的方法来形成如图 6I 所示的结构 630。结构 630 包括具有顶表面 204 的衬底 202,该顶表面 204 具有晶格常数。多个第一 ART 特征 606 布置在衬底 202 的顶表面 204 上。多个第一 ART 特征 606 间隔开以形成多个第一 ART 沟槽 608。层 626 布置在衬底 202 的顶表面 204 上和多个第一 ART 沟槽 608 中。层 626 具有抛光表面 636,该抛光表面 636 的晶格常数与衬底 202 的顶表面 204 的晶格常数不同。层 626 具有小于 1E7 个缺陷 /cm² 的体缺陷密度 634,且抛光表面 636 具有小于 1nm 的均方根表面粗糙度。多个第一 ART 特征 606 具有与层 626 的抛光表面 636 近似在同一平面上的顶表面 604。多个第二 ART 特征 610 布置在多个第一 ART 特征 606 之上并与多个第一 ART 特征 606 对齐。多个第二 ART 特征 610 形成多个第二 ART 沟槽 612。第二层 638 布置在抛光表面 636 之上和多个第二 ART 沟槽 612 中。第二层 638 带有具有晶格常数的抛光表面 646。在实施例中,抛光表面 646 的晶格常数不同于抛光表面 636 的晶格常数。第二层 638 具有小于 1E7 个缺陷 /cm² 的体缺陷密度 642,且抛光表面 646 具有小于 1nm 的 RMS 表面粗糙度。第三层 648 布置在抛光表面 646 和多个第二 ART 特征 610 的顶表面 614 之上。第三层 648 带有具有晶格常数的顶表面 650。

[0049] 如前所述,氧化层可由于使该层在抛光期间暴露于水和空气而形成。为了成功的随后器件集成和性能,氧化层可能需要在随后的处理步骤之前从抛光表面去除。然而,在某些实施例中,该层可能由形成使用成本有效和可制造的方法不易于去除的氧化层的材料(例如含铝化合物)组成。在这样的实施例中,覆盖层可能需要在抛光过程之前沉积在该层之上。覆盖层由具有晶格常数的任何公知的材料组成,当该材料在抛光期间暴露于水和空气时形成可使用成本有效和可制造的方法去除的氧化物。本发明的实施例可包括沉积这样的覆盖层。图 7 是表示根据一个这样的实施例的在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法的流程图 700。图 8A 到 8G 是示出一个这样的实施例的相应截面图。参考图 7,前面详细描述了流程图 700 中的步骤 102 到 106。参考流程图 700 中的步骤 702 和相应的图 8A,该方法还包括将覆盖层 802 沉积在层 206 的顶表面 208 上。覆盖层 802 用作防止层 206 在抛光期间氧化的屏障。当在抛光期间被暴露于氧化剂(例如水、氧、臭氧、CO 等)时,覆盖层 802 形成可使用成本有效和可制造的方法(例如常规化学蚀刻方法)去除的氧化物。理想地,覆盖层 802 是单晶半导体材料,例如但不限于 GaAs、SiGe、GaAsSb、GaSbP、InGaAs 和 InP。覆盖层 802 可使用常规方法沉积在常规分子束外延或外延化学气相沉积室中。层 206 的沉积和退火以及覆盖层 802 的沉积可在同一室中和在连续处理步骤中被执行。在实施例中,覆盖层 802 可具有与层 206 的顶表面 208 的晶格常数近似相等的均匀晶格常数。由于在覆盖层 802 和层 206 的顶表面 208 之间的晶格匹配,具有将不干扰随后的器件集成或性能的低初始体缺陷密度 804 的覆盖层 802 被沉积。所沉积的覆盖层 802 可符合退火后的层 206 的表面粗糙度 215,并可本身具有在顶表面 808 上的足够的表面粗糙度 806。在不暴露层 206 的任何部分而氧化的随后抛光步骤 704 之后,覆盖层 802

被沉积到足以实现抛光的覆盖表面 810 的厚度。

[0050] 参考流程图 700 中的步骤 704 和相应的图 8B, 覆盖层 802 被抛光以形成抛光的覆盖表面 810。覆盖层 802 可使用常规方法在常规化学机械抛光 (CMP) 装置中被抛光。在抛光期间, 顶表面 808 被抛掉, 且覆盖层 802 的厚度减小。在实施例中, 覆盖层 802 被抛光到剩余厚度 812, 其足够厚以防止顶表面 208 在抛光期间氧化, 但足够薄以不干扰随后的器件集成或性能。抛光的覆盖表面 810 具有明显低于初始表面粗糙度 806 的表面粗糙度 813。在一个实施例中, 抛光的覆盖表面 810 具有小于 1nm 的 RMS 表面粗糙度。在另一实施例中, 抛光的覆盖表面 810 具有小于 0.5nm 的 RMS 表面粗糙度。在特定的实施例中, 抛光的覆盖表面 810 具有小于 1nm 的 RMS 表面粗糙度和小于 10nm 的峰到谷表面粗糙度范围。峰到谷表面粗糙度范围是在抛光的覆盖表面 810 上的最高和最低地形点之间的距离。

[0051] 虽然没有在图 8B 中示出, 由于在流程图 700 中的步骤 704 中使覆盖表面 802 在抛光过程期间暴露于水和空气, 因此氧化层可在抛光的覆盖表面 810 上形成。为了成功的随后器件集成和性能, 氧化层可能需要在随后的处理步骤之前从抛光的覆盖表面 810 去除。在一个实施例中, 氧化层在沉积第二层 218 的随后步骤 706 之前从抛光的覆盖表面 810 去除。理想地, 在第二层 218 随后被沉积的同一室中 (原位) 去除氧化层。在实施例中, 使用成本有效和可制造的方法来去除氧化层。例如, 可使用常规干蚀刻法以常规干蚀刻气体化学物质来去除氧化层。

[0052] 参考流程图 700 中的步骤 706 和相应的图 8C, 第二层 814 沉积在抛光的覆盖表面 810 之上。在一个实施例中, 第二层 814 可直接沉积在抛光的覆盖表面 810 上。在另一实施例中, 初始层 (未示出) 可在沉积第二层 814 之前沉积在抛光的覆盖表面 810 上。初始层可用作在抛光的覆盖表面 810 和第二层 814 之间的过渡, 其中初始层具有与抛光的覆盖表面 810 的晶格常数近似相等的晶格常数。在一个实施例中, 第二层 814 是外延生长的半导体晶体膜, 例如但不限于 GaAs、SiGe、GaAsSb、AlAsSb、AlGaSb、GaSbP、InAlAs、InGaAs 和 InP。第二层 814 可使用常规方法沉积在常规外延化学气相沉积室中。第二层 814 带有具有晶格常数的顶表面 816。在一个实施例中, 顶表面 816 的晶格常数近似等于抛光的覆盖表面 810 的晶格常数。在另一实施例中, 第二层 814 的顶表面 816 具有与抛光的覆盖表面 810 的晶格失配。在实施例中, 在抛光的覆盖表面 810 和第二层 814 的顶表面 816 之间的晶格常数失配至少大约 1%, 且在特定的实施例中在大约 2% 和 4% 之间。第二层 814 可被沉积到实现至少大约 1% 且在特定的实施例中在大约 2% 和 4% 之间的在抛光的覆盖表面 810 和第二层 814 的顶表面 816 之间的晶格常数失配的厚度。第二层 814 具有初始体缺陷密度 818 和初始表面粗糙度 820。

[0053] 在本发明的另一实施例中, 流程图 700 中的步骤 106、702、704 和 706 可在如步骤 708、710、712 和 714 所示出的步骤 706 之后重复。参考流程图 700 中的步骤 708 和相应的图 8D, 第二层 814 被退火。对使第二层 814 退火的描述类似于在流程图 100 的步骤 106 中使层 206 退火。在一个实施例中, 第二层 814 在足够高的温度下和在足够长的时间内退火, 以实现比初始体缺陷密度 818 低至少 10 倍的体缺陷密度 822 和比初始表面粗糙度 820 大至少 5 倍的 RMS 表面粗糙度 824。在实施例中, 第二层 814 在足够高的温度下和在足够长的时间内退火, 以实现 <1E7 个缺陷 / cm² 的体缺陷密度 822 和大于 20nm 的 RMS 表面粗糙度 824。在特定的实施例中, 第二层 814 在大约 600°C 和 800°C 之间的温度下和在大约 1 小时

到 2 小时的一段时间内退火。

[0054] 参考流程图 700 中的步骤 710 和相应的图 8E, 该方法还包括将覆盖层 826 沉积在第二层 814 的顶表面 816 上。对将覆盖层 826 沉积在顶表面 816 上的描述类似于将覆盖层 802 沉积在顶表面 208 上的描述。在实施例中, 覆盖层 826 包括具有晶格常数的任何公知的材料, 当该材料在抛光期间暴露于水和空气时形成可使用成本有效和可制造的方法去除的氧化物。理想地, 覆盖层 826 是外延生长的半导体晶体膜, 例如但不限于 GaAs、SiGe、GaAsSb、GaSbP、InGaAs 和 InP。在实施例中, 覆盖层 826 可具有与第二层 814 的顶表面 816 的晶格常数近似相等的均匀晶格常数。在不暴露第二层 814 的任何部分以氧化的随后抛光步骤 712 之后, 覆盖层 826 被沉积到足以实现抛光的覆盖表面 836 的厚度。

[0055] 参考流程图 700 中的步骤 712 和相应的图 8F, 覆盖层 826 被抛光以形成抛光的覆盖表面 836。抛光覆盖层 826 的描述类似于抛光覆盖层 802 的较早时候的描述。在实施例中, 覆盖层 826 被抛光到剩余厚度 834, 其足够厚以防止顶表面 816 在抛光期间氧化, 但足够薄以不干扰器件集成或性能。所形成的抛光的覆盖表面 836 具有明显低于初始 RMS 表面粗糙度 832 的 RMS 表面粗糙度 837。在实施例中, 抛光的覆盖表面 836 具有小于 1nm 的 RMS 表面粗糙度。在另一实施例中, 抛光的覆盖表面 836 具有小于 0.5nm 的 RMS 表面粗糙度。在特定的实施例中, 抛光的覆盖表面 836 具有小于 1nm 的 RMS 表面粗糙度和小于 10nm 的峰到谷表面粗糙度范围。

[0056] 类似于抛光的覆盖表面 810, 由于在流程图 700 中的步骤 712 中使覆盖表面 826 在抛光过程期间暴露于水和空气, 因此氧化层 (未示出) 可在抛光的覆盖表面 836 上形成。在实施例中, 这样的氧化层在将第三层 838 沉积在抛光的覆盖表面 836 之上的流程图 700 中的随后步骤 714 之前从抛光的覆盖表面 836 去除。

[0057] 参考流程图 700 中的步骤 714 和相应的图 8G, 第三层 838 沉积在抛光的覆盖表面 836 之上。沉积第三层 838 的描述类似于沉积第二层 814 的早些时候的描述。在一个实施例中, 第三层 838 是外延生长的半导体晶体膜, 例如 GaAs、SiGe、GaAsSb、AlAsSb、AlGaSb、GaSbP、InAlAs、InGaAs 和 InP。第三层 838 可使用常规方法沉积在常规外延化学气相沉积室中。第三层 838 带有具有晶格常数的顶表面 840。在一个实施例中, 顶表面 840 的晶格常数近似等于抛光的覆盖表面 836 的晶格常数。在另一实施例中, 第三层 838 的顶表面 840 具有与抛光的覆盖表面 836 的晶格常数失配。在实施例中, 在抛光的覆盖表面 836 和第三层 838 的顶表面 840 之间的晶格常数失配至少大约 1%, 且在特定的实施例中在大约 2% 和 4% 之间。在实施例中, 第三层 838 可被沉积到一厚度, 该厚度能够实现在抛光的覆盖表面 836 和第三层 838 的顶表面 840 之间的晶格常数失配至少大约 1% 且在特定的实施例中在大约 2% 和 4% 之间。

[0058] 在实施例中, 通过在流程图 700 中表示的方法来形成图 8C 所示的结构 850。结构 850 包括具有顶表面 204 的衬底 202, 该顶表面 204 具有晶格常数。层 206 布置在衬底 202 的顶表面 204 上并具有小于 1E7 个缺陷 /cm² 的体缺陷密度 214。层 206 具有顶表面 208, 该顶表面 208 的晶格常数与衬底 202 的顶表面 204 的晶格常数的不同。覆盖层 802 布置在层 206 的顶表面 208 上。覆盖层 802 具有与顶表面 208 的晶格常数近似相等的晶格常数, 并带有具有小于 1nm 的均方根表面粗糙度的抛光的覆盖表面 810。第二层 814 布置在抛光的覆盖表面 810 之上。在一个实施例中, 第二层 814 布置在抛光的覆盖表面 810 上。在另

一实施例中,一个或多个其它层可布置在抛光的覆盖层 810 和层 814 之间。第二层 814 带有具有晶格常数的顶表面 816。

[0059] 在另一实施例中,如图 8G 所示,通过在流程图 700 中表示的方法来形成结构 860。结构 860 由图 8C 中的结构 850 组成。此外,第二层 814 具有小于 1E7 个缺陷 /cm² 的体缺陷密度 822。结构 860 还包括布置在第二层 814 的顶表面 816 上的覆盖层 826,如图 8G 所示。覆盖层 826 具有与顶表面 816 的晶格常数近似相等的晶格常数,并具有均方根表面粗糙度小于 1nm 的抛光的覆盖表面 836。带有具有晶格常数的顶表面 840 的第三层 838 布置在抛光的覆盖表面 836 之上。

[0060] 用于在非天然表面上形成具有减小的表面粗糙度和体缺陷密度的异质层的方法的另外的实施例可包括重复流程图 700 中的步骤 708 到 714 一次或多次,以在层 838 之上形成具有减小的表面粗糙度和体缺陷密度的额外层和 / 或覆盖层。本发明的另外的实施例还可包括在流程图 300、500 和 700 中描述的步骤的不同组合。例如,在图 9A 所示的实施例中,方法可包括首先形成具有低体缺陷密度 214 的层 206 和在衬底 202 的顶表面 204 上的抛光表面 216,并接着通过遵循流程图 300 的步骤 102 到 110 在抛光表面 216 上形成第二层 218。第二层 218 的体缺陷密度可接着减小,且具有抛光的覆盖表面的覆盖层 826 可通过遵循流程图 700 中的步骤 708 到 712 在第二层 218 上形成。最后,第三层 838 可通过遵循流程图 700 中的步骤 714 在层 218 之上形成。在图 9A 中示出使用这样描述的方法形成的所产生的结构 910。结构 910 包括带有具有晶格常数的顶表面 204 的衬底 202。层 206 布置在衬底 202 的顶表面 204 上。层 206 具有抛光表面 216,该抛光表面 216 的晶格常数与衬底 202 的顶表面 204 的晶格常数不同。层 206 具有小于 1E7 个缺陷 /cm² 的体缺陷密度 214,且抛光表面 216 具有小于 1nm 的均方根表面粗糙度。带有具有晶格常数的顶表面 220 的第二层 218 布置在抛光表面 216 之上。在实施例中,顶表面 204 的晶格常数不同于抛光表面 216 的晶格常数。第二层 218 具有小于 1E7 个缺陷 /cm² 的体缺陷密度 402。覆盖层 826 布置在层 218 的顶表面 220 上。覆盖层 826 具有与顶表面 220 的晶格常数近似相等的晶格常数,并具有均方根表面粗糙度小于 1nm 的抛光的覆盖表面 836。带有具有晶格常数的顶表面 840 的第三层 838 布置在抛光的覆盖表面 836 之上。在一个实施例中,顶表面 840 的晶格常数近似等于抛光的覆盖表面 836 的晶格常数。在另一实施例中,顶表面 840 的晶格常数不同于抛光的覆盖表面 836 的晶格常数。在特定的实施例中,衬底 202 是单晶硅衬底,层 206 是 GaAs 缓冲层,层 218 是 In_xAl_{1-x}As 缓冲层,其中 X 范围从 0-70%,覆盖层 826 是 InP 覆盖层,并且层 838 是与 InP 覆盖层 826 晶格匹配的 InGaAs 器件层。

[0061] 在另一实施例中,方法可包括首先在衬底 202 的顶表面 204 上形成具有低缺陷密度的层 206,在层 206 上形成具有抛光的覆盖表面 810 的覆盖层 802,以及通过在遵循流程图 700 中的下列步骤 102、104、106、702、704 和 706 在抛光的覆盖表面 810 之上形成第二层 814。流程图 300 中的步骤 302 到 306 可接着随后被遵循,以在第二层 814 中实现低体缺陷密度 822,从而在第二层 814 上形成抛光表面 842,并在第二层 814 之上形成第三层 844。在图 9B 中示出使用这样描述的方法形成的所产生的结构 920。结构 920 包括具有顶表面 204 的衬底 202,该顶表面 204 具有晶格常数。层 206 布置在衬底 202 的顶表面 204 上,并具有小于 1E7 个缺陷 /cm² 的体缺陷密度 214。层 206 具有顶表面 208,该顶表面 208 的晶格常数与衬底 202 的顶表面 204 的晶格常数不同。覆盖层 802 布置在层 206 的顶表面 208 上。覆

盖层 802 具有与顶表面 208 的晶格常数近似相等的晶格常数，并具有均方根表面粗糙度小于 1nm 的抛光的覆盖表面 810。第二层 814 布置在抛光的覆盖表面 810 之上。第二层 814 可带有具有晶格常数的抛光表面 842。在实施例中，抛光表面 842 的晶格常数不同于抛光的覆盖表面 810 的晶格常数。第二层 814 具有小于 1E7 个缺陷 /cm² 的体缺陷密度 822，且抛光表面 842 具有小于 1nm 的 RMS 表面粗糙度。带有具有晶格常数的顶表面 846 的第三层 844 布置在抛光的表面 842 之上。

[0062] 在又一实施例中，方法可包括：形成一个或多个异质层，每个异质层具有低体缺陷密度和抛光表面；形成一个或多个异质层，每个异质层具有低体缺陷密度且每个异质层带有具有抛光的覆盖表面的覆盖层；以及形成 ART 特征。一个这样的实施例由图 10 中的流程图 1000 表示。该方法包括在流程图 500 中的步骤 102 和 502-514 之后添加流程图 700 中的步骤 710-714。使用在流程图 1000 中阐述的方法形成如图 11 所示的结构 1100。结构 1100 包括具有顶表面 204 的衬底 202，该顶表面 204 具有晶格常数。多个第一 ART 特征 606 在衬底 202 的顶表面 204 上形成，如在流程图 1000 的步骤 502 中阐述的。多个第一 ART 特征被间隔开，以形成多个第一 ART 沟槽 608。层 626 布置在衬底 202 的顶表面 204 上和多个第一 ART 沟槽 608 中，如在流程图 1000 的步骤 504 中阐述的。层 626 如在流程图 1000 的步骤 506 中阐述的被退火，以将体缺陷密度减小到小于 1E7 个缺陷 /cm²。层 626 然后如在流程图 1000 的步骤 508 中阐述的被抛光，以产生均方根表面粗糙度小于 1nm 的抛光表面 636。抛光表面 636 具有与衬底 202 的顶表面 204 的晶格常数不同（晶格常数失配）的晶格常数。多个第一 ART 特征 606 具有与层 626 的抛光表面 636 近似在同一平面上的顶表面 604。多个第二 ART 特征 610 在多个第一 ART 特征 608 之上形成并与多个第一 ART 特征 608 对齐，如在流程图 1000 的步骤 502 中阐述的。多个第二 ART 特征 610 形成多个第二 ART 沟槽 612。第二层 638 布置在抛光表面 626 之上和多个第二 ART 沟槽 612 中，如在流程图 1000 的步骤 512 中阐述的。第二层 638 带有具有晶格常数的顶表面。在实施例中，第二层 638 的顶表面的晶格常数不同于抛光表面 626 的晶格常数。第二层 638 如在流程图 1000 的步骤 514 中阐述的被退火，以将体缺陷密度减小到小于 1E7 个缺陷 /cm²。除了覆盖层 826 沉积在多个第二 ART 沟槽 612 中的第二层 638 的顶表面上而不是在第二层 814 的顶表面上以外，覆盖层 826 然后如在流程图 1000 的步骤 710 中阐述的被沉积。覆盖层 826 具有与第二层 638 的顶表面的晶格常数近似相等的晶格常数。覆盖层 826 被抛光以形成均方根表面粗糙度小于 1nm 的抛光的覆盖表面 636，如在流程图 1000 的步骤 712 中阐述的。在一个实施例中，多个第二 ART 特征 610 具有与抛光的覆盖表面 836 近似在同一平面上的顶表面 614。带有具有晶格常数的顶表面 840 的第三层 838 然后沉积在抛光的覆盖表面 836 之上，如在流程图 1000 的步骤 714 中阐述的。虽然没有在图 11 中示出，在实施例中，第三层 814 可能生长过度，从而形成在顶表面 614 和抛光的覆盖表面 810 之上的连续层。在另一实施例中，多个第三 ART 特征（未示出）可在多个第二 ART 特征之上形成，且第三层 814 形成在多个第三 ART 特征之间。

[0063] 在又一实施例中，方法可包括在具有低体缺陷密度的异质层的抛光表面上形成 ART 特征以及在 ART 特征之间的 ART 沟槽中形成具有低体缺陷密度的异质层。在 ART 沟槽中的异质层可被形成为具有抛光表面。例如，在一个这样的实施例中，该方法包括流程图 100 的步骤 102-108，之后是流程图 500 的步骤 502-506，以及之后是流程图 500 的步骤 508。

可选地，具有抛光覆盖表面的覆盖层可在 ART 沟槽中的异质层上形成。在一个这样的实施例中，该方法包括流程图 100 的步骤 102–108，之后是流程图 500 的步骤 502–506，以及随后是流程图 700 的步骤 702–706，如在图 12 中所示的流程图 1200 所表示的。可使用在流程图 1200 中阐述的方法来形成如图 13 所示的结构 1300。结构 1300 包括带有具有晶格常数的顶表面 204 的衬底 202。具有与衬底 202 的顶表面 204 的晶格常数不同的晶格常数的层 206 被沉积在衬底 202 的顶表面上，如在流程图 1200 的步骤 104 中阐述的。层 206 如在流程图 1200 的步骤 106 中阐述的被退火，以将体缺陷密度减小到小于 $1E7$ 个缺陷 / cm^2 。层 206 然后如在流程图 1200 的步骤 108 中阐述的被抛光，以形成具有小于 1nm 的均方根表面粗糙度的抛光表面 216。接着，除了 ART 特征 606 在层 206 的抛光表面 216 而不是衬底 202 的顶表面 204 上形成以外，ART 特征 606 如在流程图 1200 的步骤 502 中阐述的被形成。ART 特征 606 被间隔开，以在 ART 特征 606 之间形成 ART 沟槽。层 626 如在流程图 1200 的步骤 504 中阐述的沉积在 ART 沟槽中，除了层 626 沉积在层 206 的抛光表面 216 而不是衬底 202 的顶表面 204 上且层 626 的顶表面 626 在 ART 特征 606 的顶表面 604 之下而不是之上以外。在实施例中，层 626 的顶表面 628 的晶格常数不同于（晶格常数失配）层 206 的抛光表面 216 的晶格常数。层 626 如在流程图 1200 的步骤 506 中阐述的被退火，以将体缺陷密度减小到小于 $1E7$ 个缺陷 / cm^2 。在实施例中，除了覆盖层 802 沉积在 ART 沟槽中的层 626 的顶表面 628 上而不是层 206 的顶表面 208 上以外，覆盖层 802 可如在流程图 1200 的步骤 702 中阐述的被形成。覆盖层 802 具有与层 626 的顶表面 628 的晶格常数近似相等的晶格常数。覆盖层 802 如在流程图 1200 的步骤 704 中阐述的被抛光，以产生均方根表面粗糙度小于 1nm 的抛光表面 810。在实施例中，多个 ART 特征 606 的顶表面 604 与抛光的覆盖表面 810 近似在同一平面上。带有具有晶格常数的顶表面 1304 的层 1302 然后沉积在抛光的覆盖表面 810 之上，如在流程图 1200 的步骤 1202 中阐述的。在实施例中，第三层 1302 只在覆盖层 810 上形成。虽然没有在图 13 中示出，在实施例中，层 1302 可能生长过度，从而形成在抛光的覆盖表面 810 和 ART 特征 606 的顶表面 604 之上的连续层。在图 13 所示的结构的特定实施例中，衬底 202 是硅，层 206 是 GaAs，层 626 是 InAlAs，以及层 802 是 InP。

[0064] 在覆盖层没有在层 626（未示出）的顶表面 628 上形成的实施例中，层 626 在流程图 1200 的步骤 504 中被沉积，使得层 626 的顶表面 628 处于 ART 特征 606 的顶表面 604 之上。层 626 接着如在流程图 1200 的步骤 506 中阐述的被退火，以将体缺陷密度减小到小于 $1E7$ 个缺陷 / cm^2 。代替如在流程图 1200 的步骤 702 中阐述的沉积覆盖层，层 626 如在流程图 500 的步骤 508 中阐述的被抛光，以形成抛光表面 636。层 1302 可接着沉积在层 626 的抛光表面 636 之上而不是在抛光的覆盖表面 810 之上，如在流程图 1200 的步骤 1202 中阐述的。在特定的实施例中，衬底 202 是硅，层 206 是 GaAs，以及层 626 是 InAlAs。

[0065] 图 14 示出根据本发明的一个实现方式的计算设备 1400。计算设备 1400 容纳母板 1402。母板 1402 可包括多个部件，包括但不限于处理器 1404 和至少一个通信芯片 1406。处理器 1404 物理地和电气地耦合到母板 1402。在一些实现方式中，至少一个通信芯片 1406 也物理地和电气地耦合到母板 1402。在另外的实现方式中，通信芯片 1406 是处理器 1404 的部分。

[0066] 根据其应用，计算设备 1400 可包括可以或可以不物理地和电气地耦合到母板 1402 的其它部件。这些其它部件包括但不限于易失性存储器（例如 DRAM）、非易失性存储

器（例如 ROM）、闪存、图形处理器、数字信号处理器、密码处理器、芯片组、天线、显示器、触摸屏显示器、触摸屏控制器、电池、音频编码解码器、视频编码解码器、功率放大器、全球定位系统 (GPS) 设备、罗盘、加速度计、陀螺仪、扬声器、相机和大容量存储设备（例如硬盘驱动器、光盘 (CD)、数字通用盘 (DVD) 等）。

[0067] 通信芯片 1406 实现用于数据往返计算设备 1400 的传输的无线通信。术语“无线”及其派生词可用于描述可通过使用经由非固体介质的经调制电磁辐射来传递数据的电路、设备、系统、方法、技术、通信通道等。该术语并不暗示相关的设备不包含任何电线，虽然在一些实施例中它们可以不包含电线。通信芯片 1406 可实现多种无线标准或协议中的任一个，包括但不限于 Wi-Fi (IEEE 802.11 系列)、WiMAX (IEEE 802.16 系列)、IEEE802.20、长期演进 (LTE)、Ev-D0、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、蓝牙、其派生物以及被指定为 3G、4G、5G 和更高代的任何其它无线协议。计算设备 1400 可包括多个通信芯片 1406。例如，第一通信芯片 1406 可专用于较短范围无线通信，例如 Wi-Fi，而第二通信芯片 1406 可专用于较长范围无线通信，例如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-D0 等。

[0068] 计算设备 1400 的处理器 1404 包括封装在处理器 1404 内的集成电路管芯。在本发明的一些实现方式中，处理器的集成电路管芯包括根据本发明的实现方式形成的一个或多个设备，例如晶体管形成在非天然表面上的具有减小的表面粗糙度和体缺陷密度的异质层之上。术语“处理器”可以指处理来自寄存器和 / 或存储器的电子数据以将该电子数据转换成可存储在寄存器和 / 或存储器中的其它电子数据的任何设备或设备的部分。

[0069] 通信芯片 1406 还可包括封装在通信芯片 1406 内的集成电路管芯。根据本发明的另一实现方式，通信芯片的集成电路管芯包括一个或多个设备，例如根据本发明的实现方式而形成的在非天然表面上的具有减小的表面粗糙度和体缺陷密度的异质层之上形成的晶体管。

[0070] 在另外的实现方式中，容纳在计算设备 1200 内的另一部件可包含集成电路管芯，其包括根据本发明的实现方式形成的一个或多个设备，例如在非天然表面上的具有减小的表面粗糙度和体缺陷密度的异质层之上形成的晶体管。

[0071] 在各种实现方式中，计算设备 1400 可以是膝上型计算机、上网本计算机、笔记本计算机、智能电话、平板计算机、个人数字助理 (PDA)、超移动 PC、移动电话、桌上型计算机、服务器、打印机、扫描仪、监视器、机顶盒、娱乐控制单元、数字相机、便携式音乐播放器或数字视频记录器。在另外的实现方式中，计算设备 1200 可以是处理数据的任何其它电子设备。

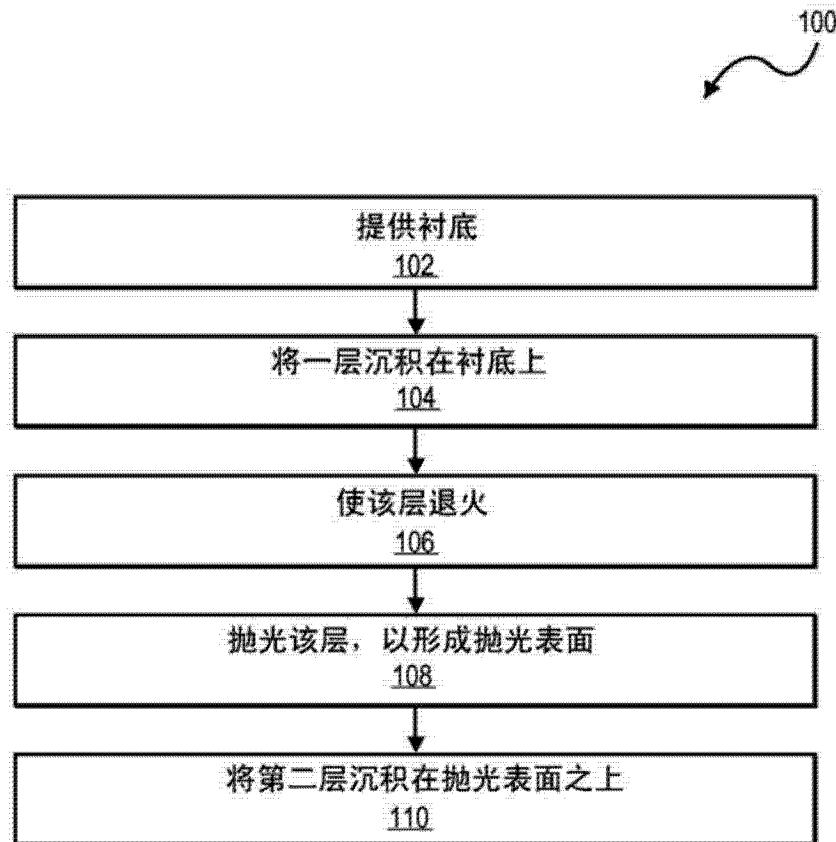


图 1

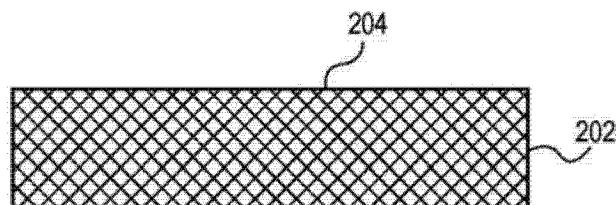


图 2A

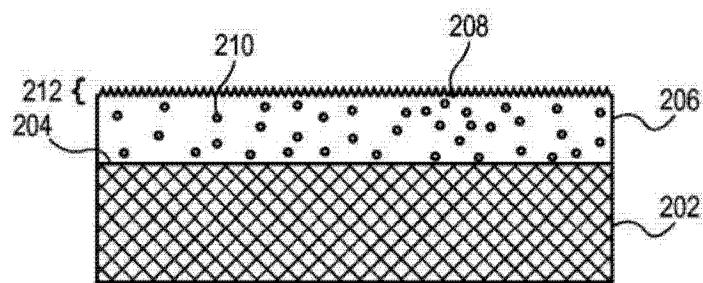


图 2B

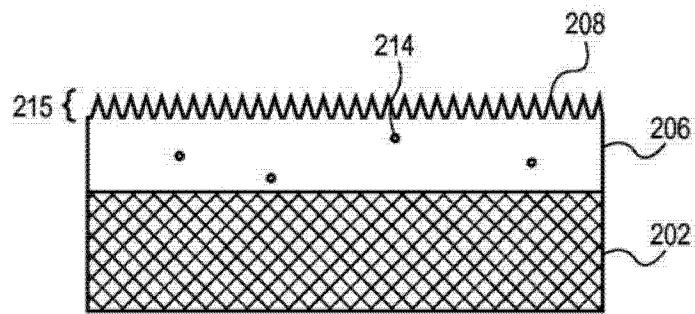


图 2C

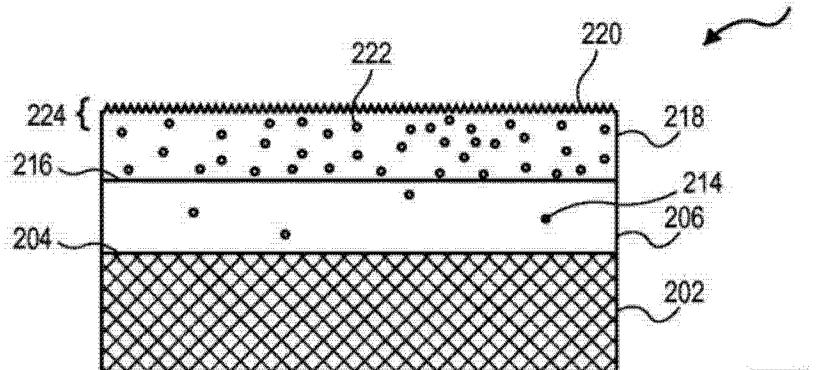
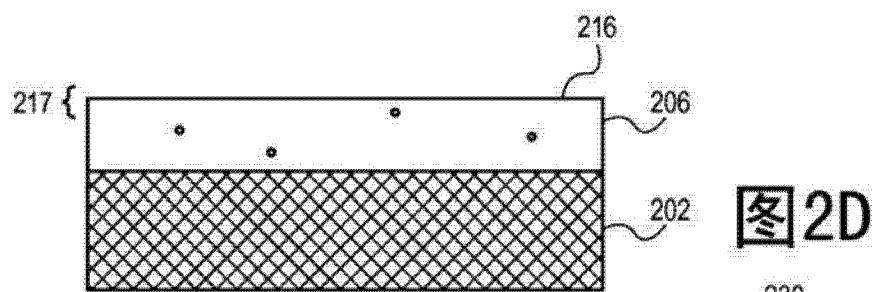


图 2E

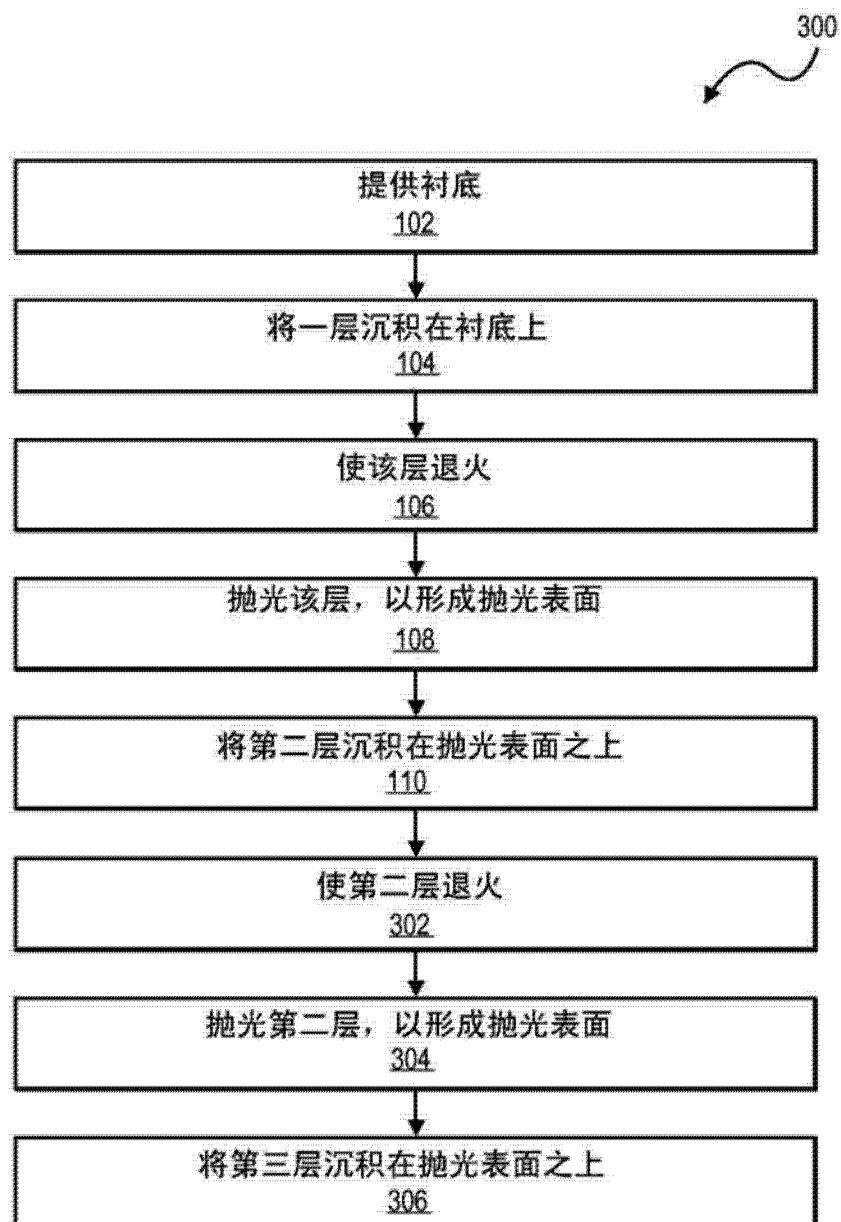


图 3

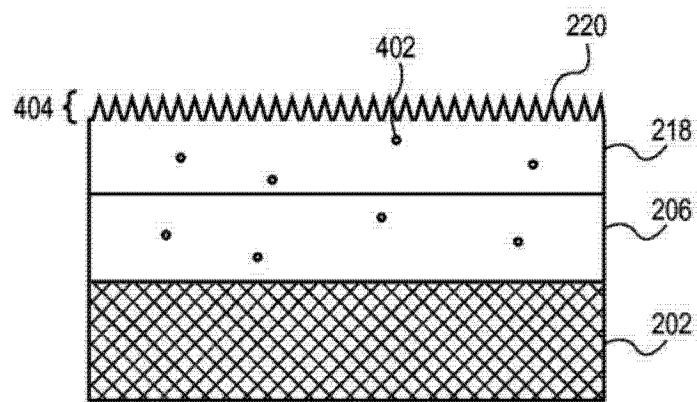


图 4A

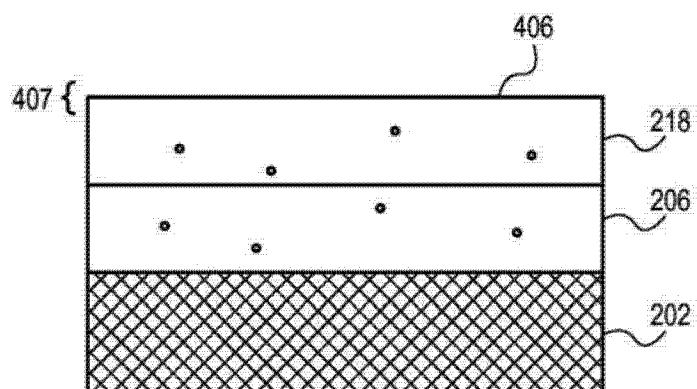


图 4B

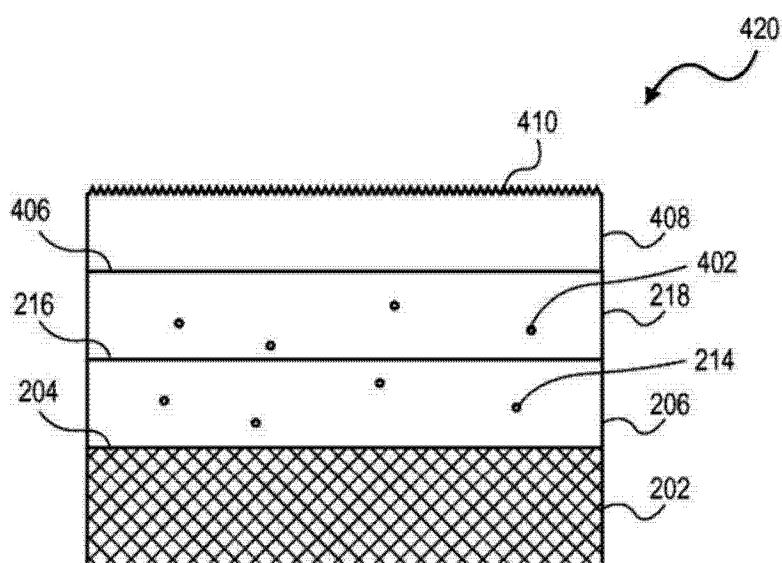


图 4C

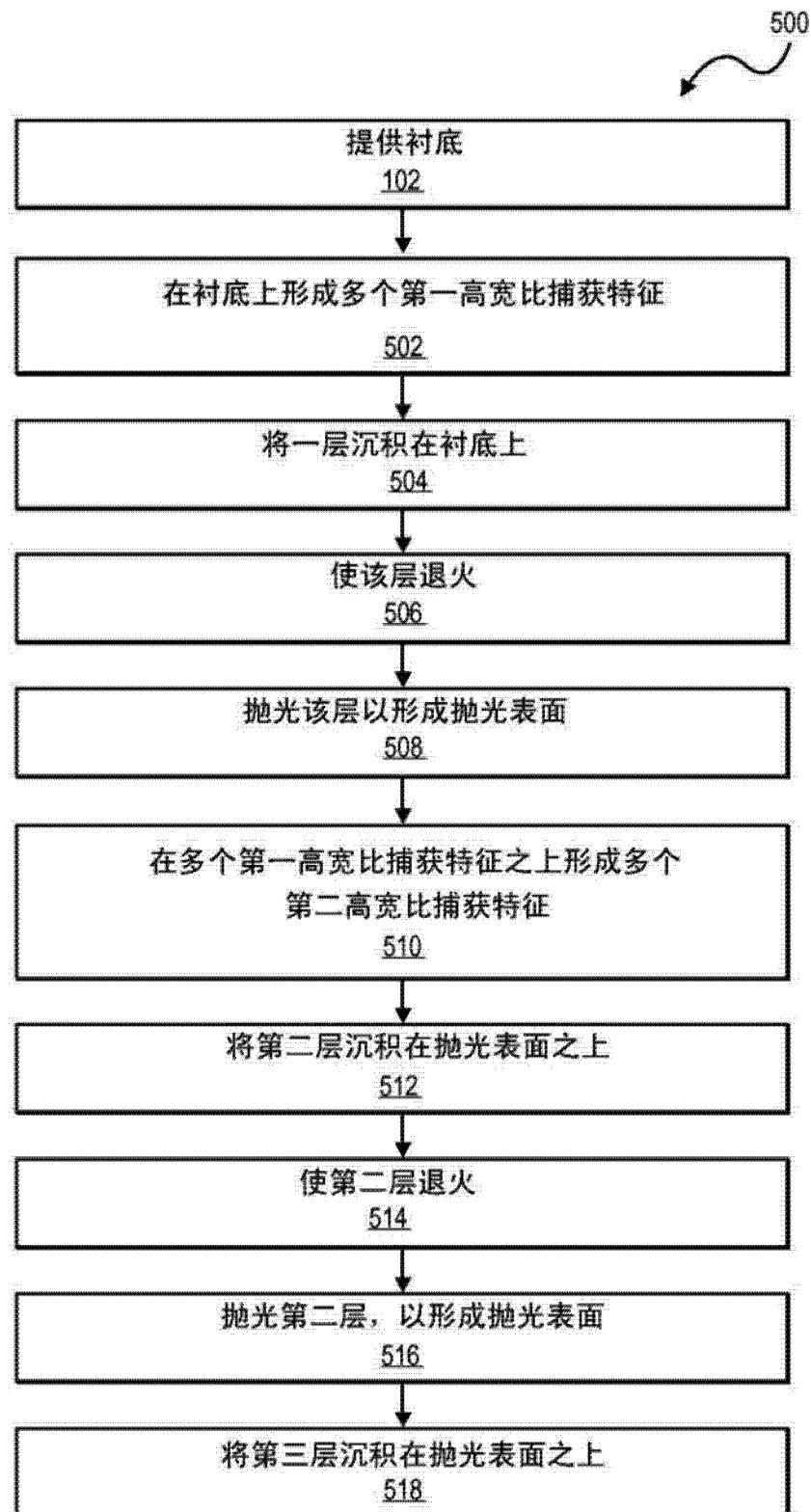


图 5

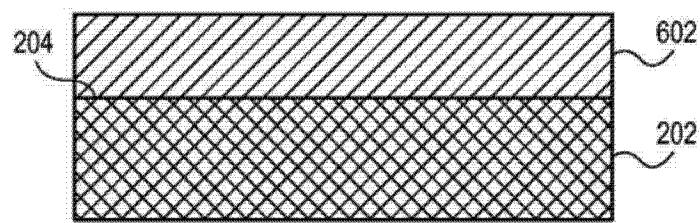


图 6A

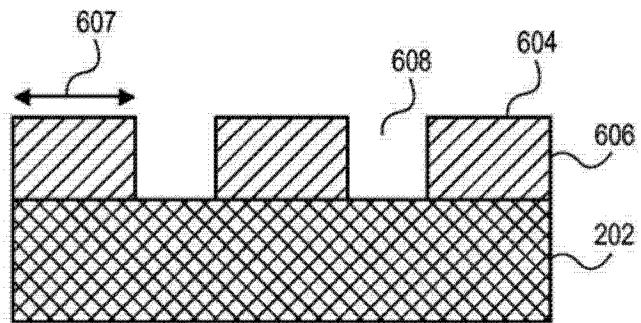


图 6B

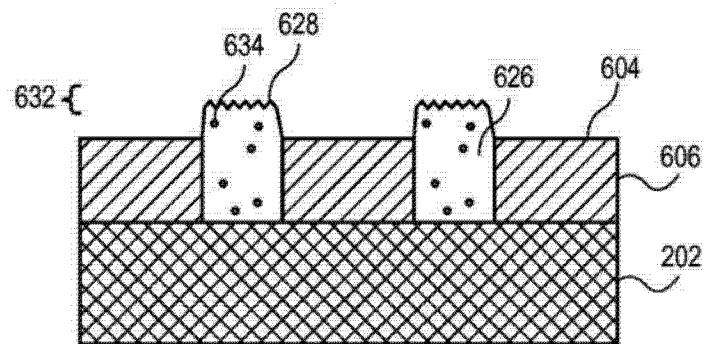


图 6C

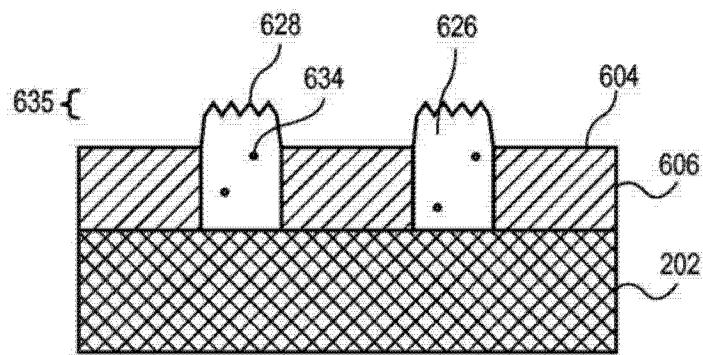


图 6D

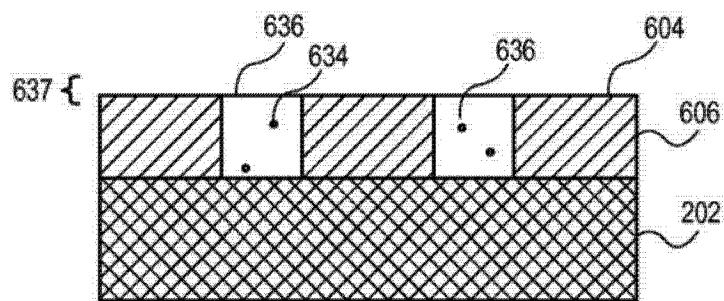


图 6E

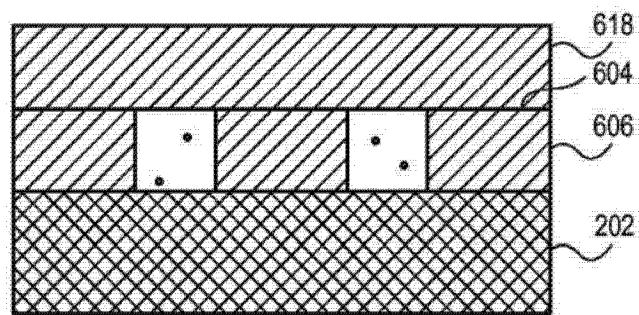


图 6F

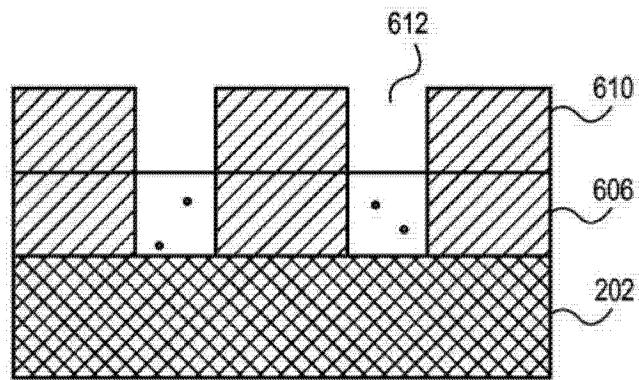


图 6G

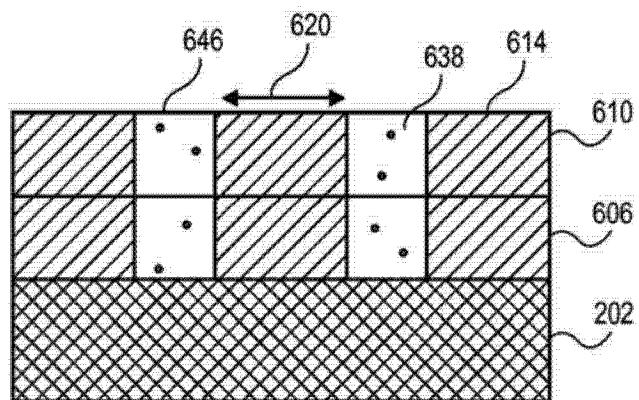


图 6H

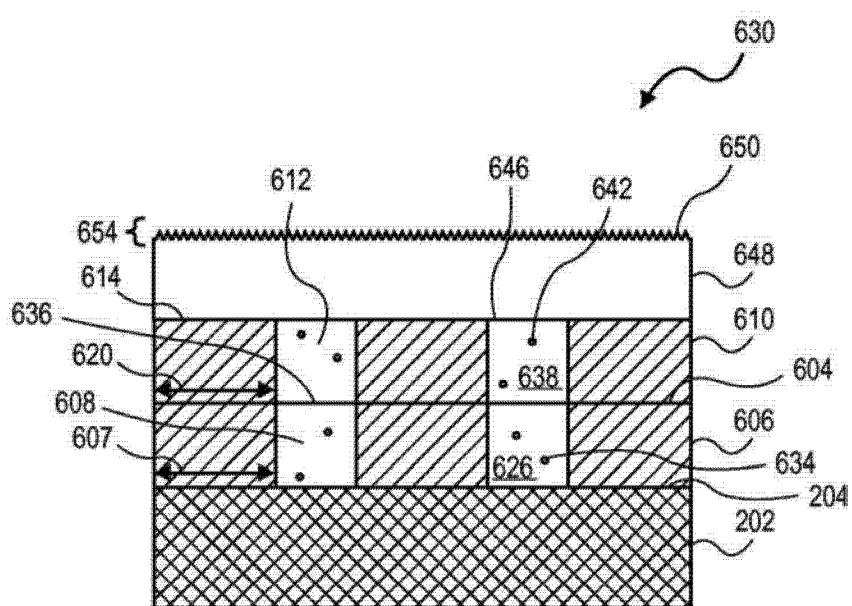


图 6I

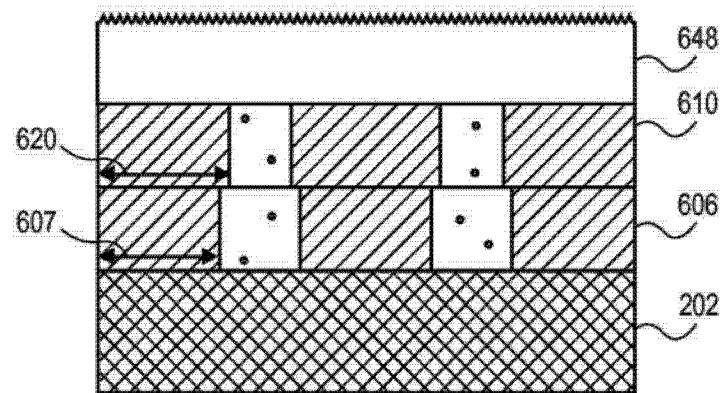


图 6J

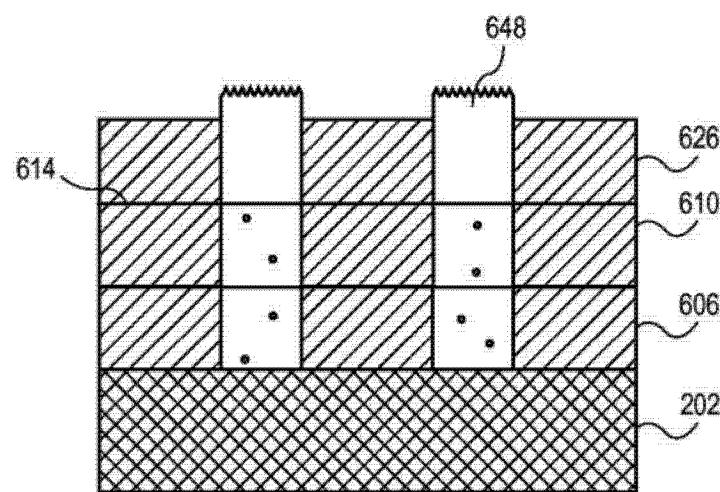


图 6K

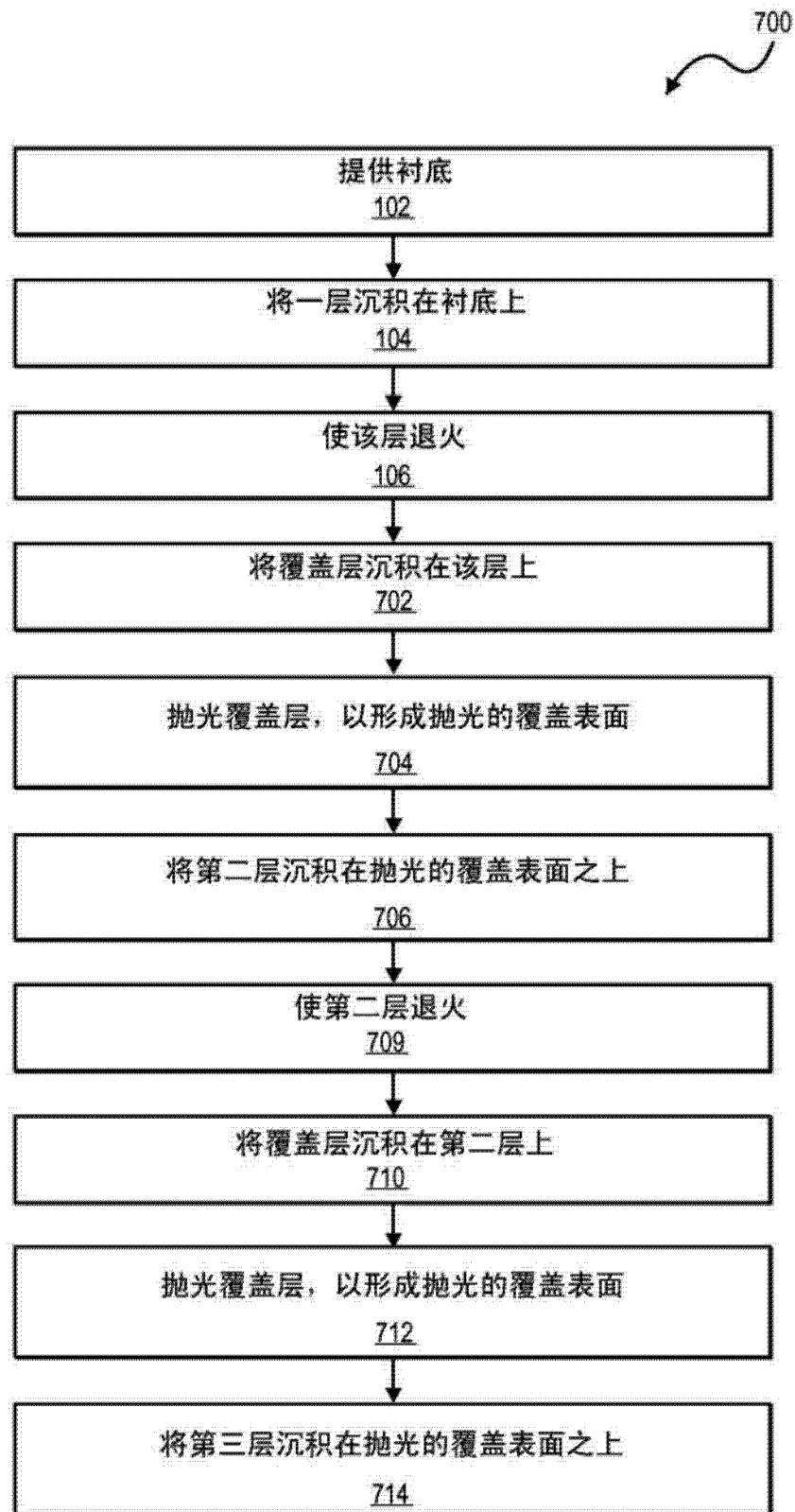


图 7

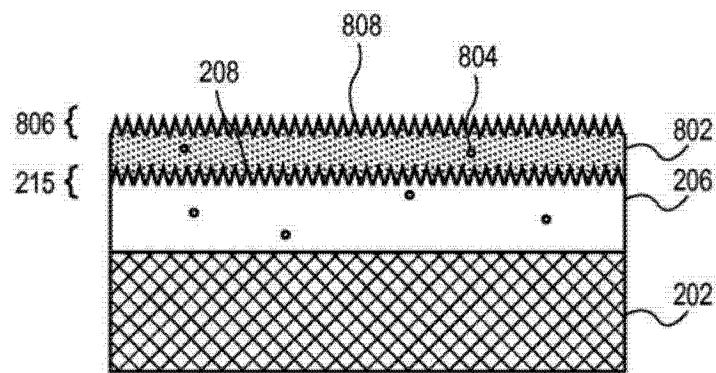


图 8A

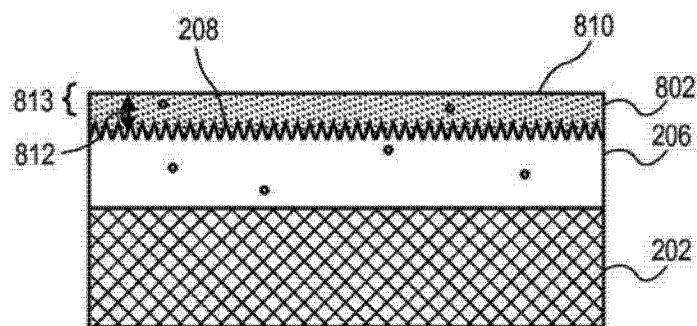


图 8B

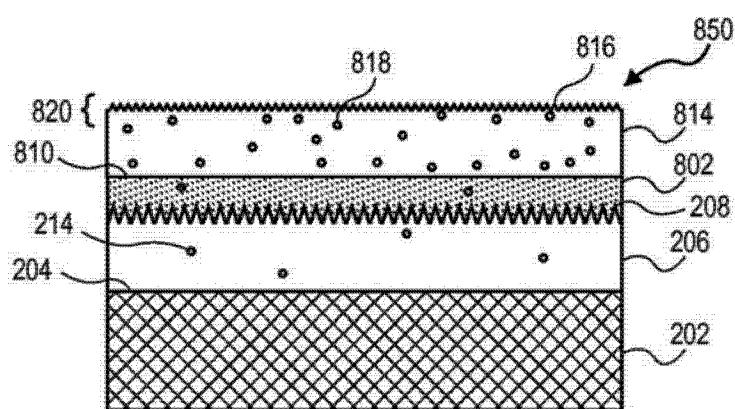


图 8C

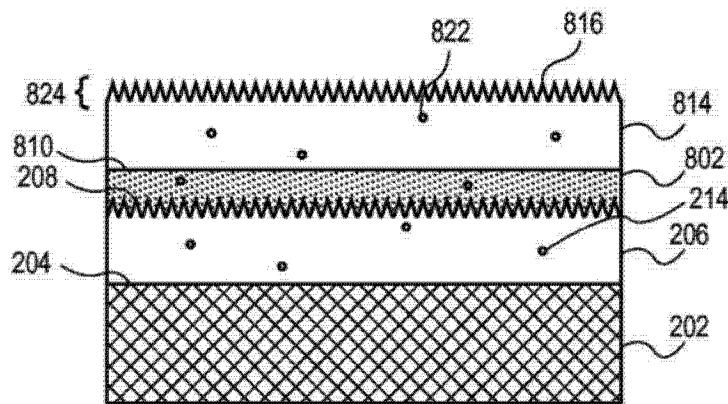


图 8D

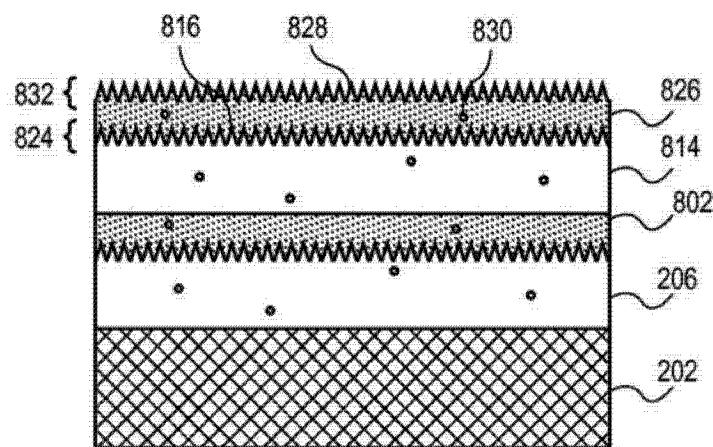


图 8E

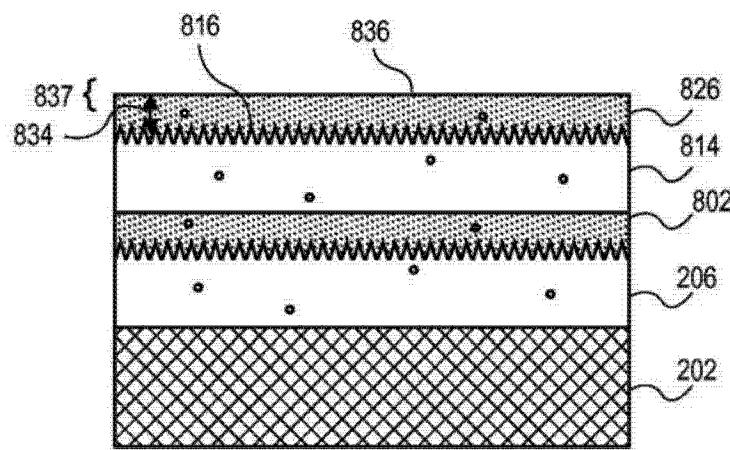


图 8F

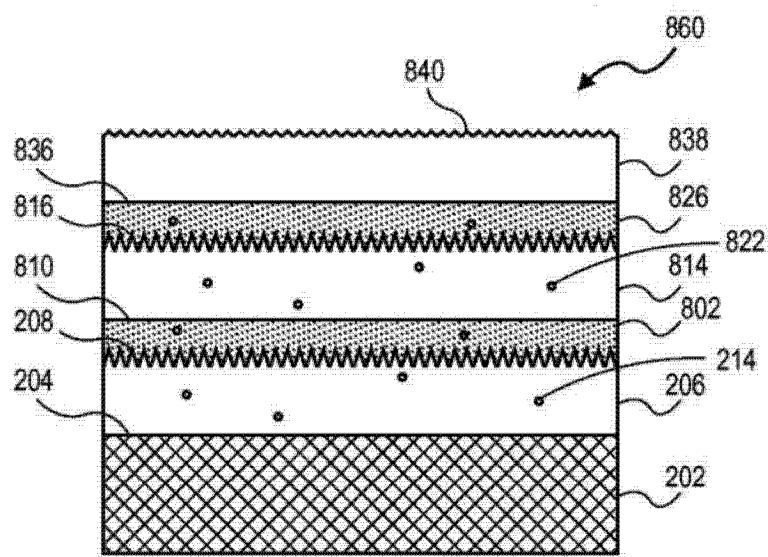


图 8G

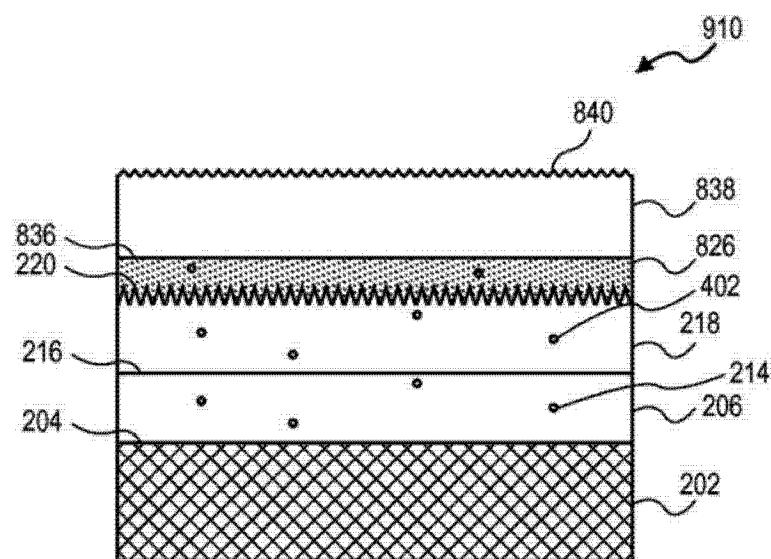


图 9A

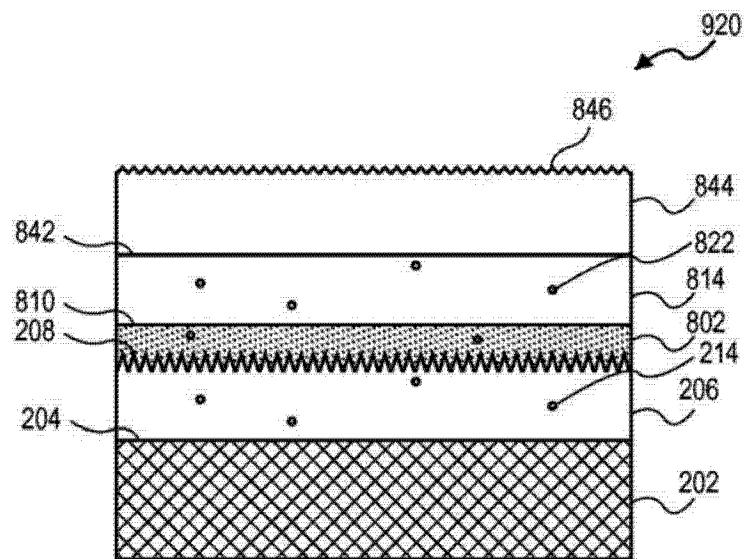


图 9B

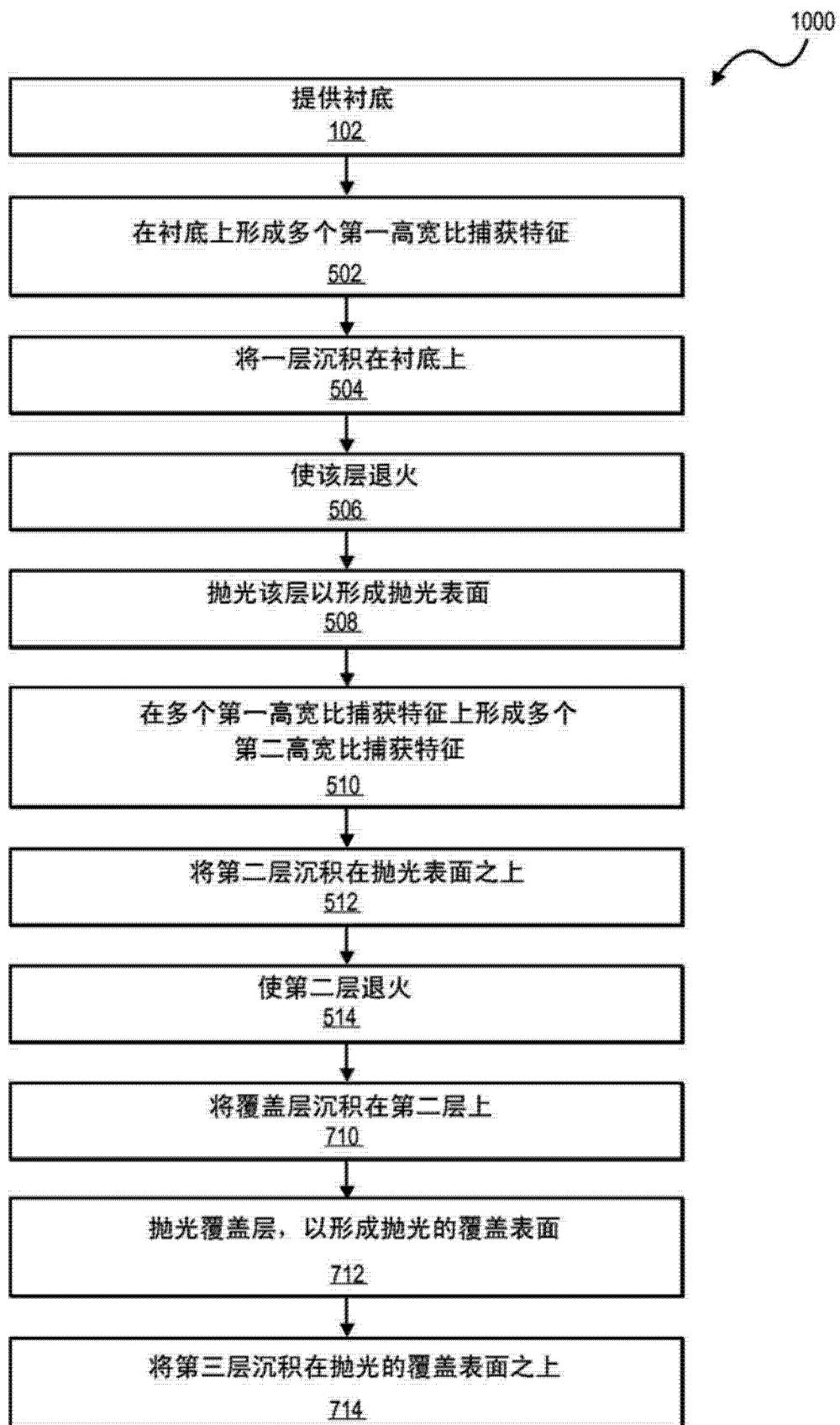


图 10

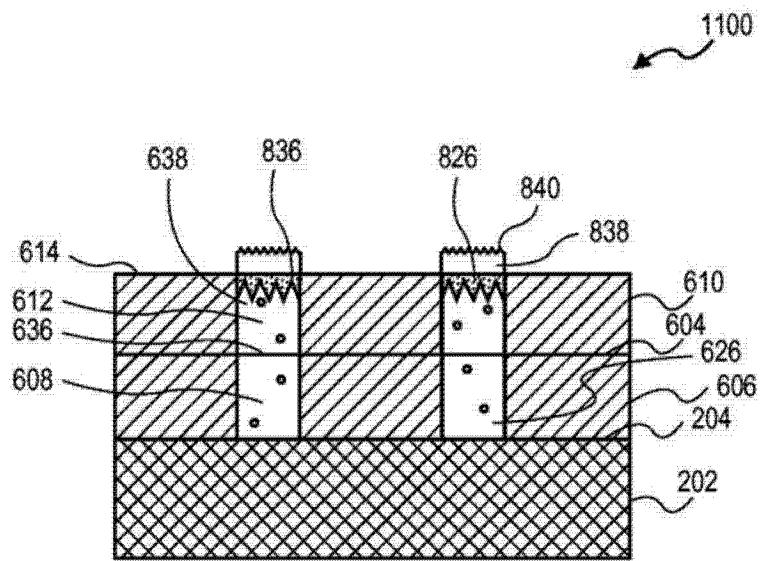


图 11



图 12

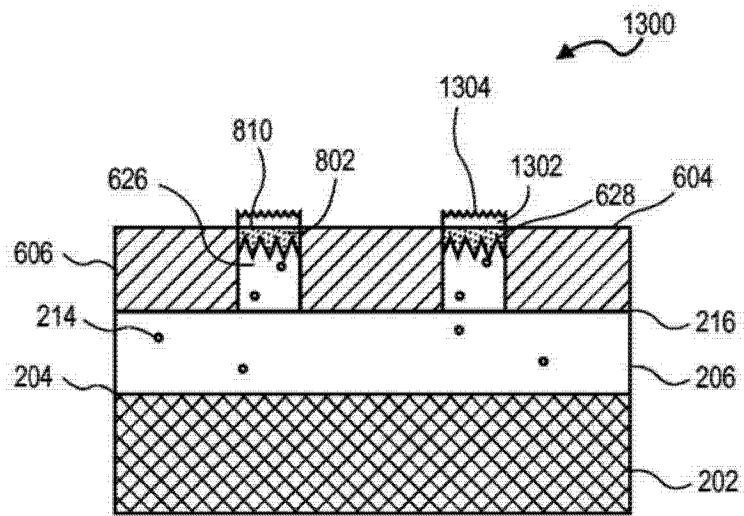


图 13

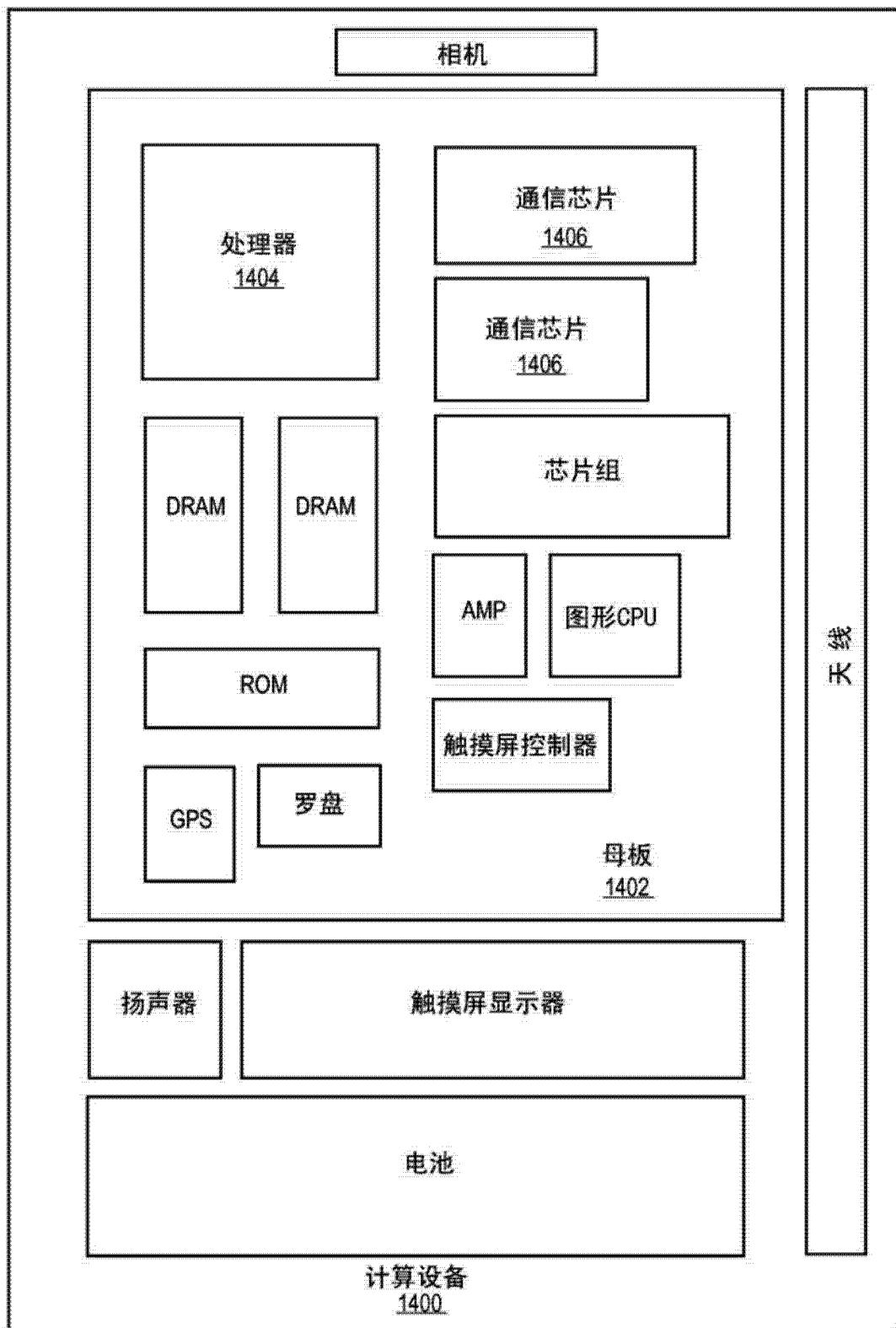


图 14