

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年8月25日(25.08.2016)



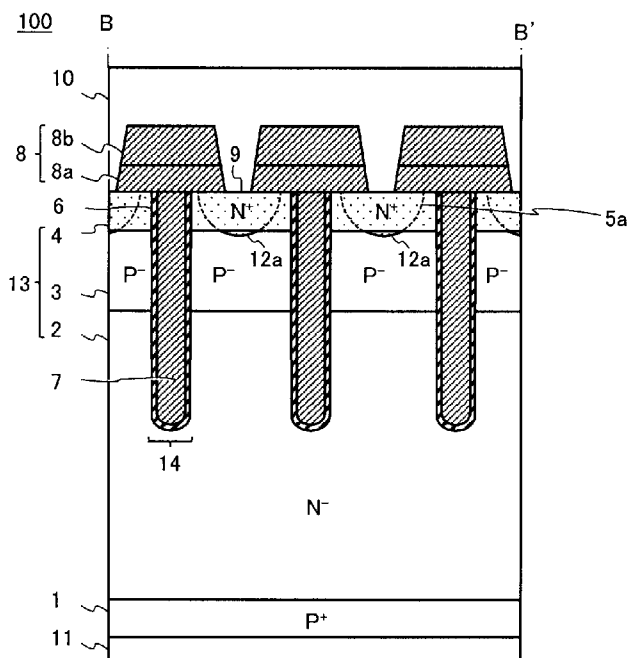
(10) 国際公開番号

WO 2016/133027 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/739 (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2016/054201
- (22) 国際出願日: 2016年2月12日(12.02.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-027746 2015年2月16日(16.02.2015) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 白川 徹(SHIRAKAWA Tohru); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 高橋 英紀(TAKAHASHI Hidenori); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 龍華国際特許業務法人(RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿1-6-1 新宿エルタワー22階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置及び半導体装置の製造方法



(57) Abstract: Provided is a semiconductor device which is provided with: one or more trench gates which are formed to extend in a first direction when viewed in plan, and which are shallower than the trench gates; one or more first conductivity-type regions which are formed at a distance from each other in the first direction, and which are shallower than the trench gates but deeper than the first conductivity-type regions; one or more second conductivity-type regions which are formed so as to alternate with the first conductivity-type regions in the first direction; and a trench separation region of a second conductivity type, which is formed at a distance from the one or more trench gates, and which has a higher concentration than the second conductivity-type regions. The trench separation region is formed within the first conductivity-type regions when viewed in plan, and is formed closer to the back surface than the first conductivity-type regions.

(57) 要約: 平面視で、第1方向に延伸して形成され、トレンチゲートよりも浅い1以上のトレンチゲートと、第1方向に、互いに離間して形成され、トレンチゲートよりも浅く、第1導電型領域よりも深い1以上の第1導電型領域と、第1方向に、第1導電型領域と交互に形成された1以上の第2導電型領域と、1以上のトレンチゲートから離間して形成された、第2導電型領域よりも濃度の高い第2導電型のトレンチ離間領域とを備え、トレンチ離間領域は、平面視で第1導電型領域内であって、且つ、第1導電

型領域よりも裏面側に形成される半導体装置を提供する。

明 細 書

発明の名称：半導体装置及び半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置及び半導体装置の製造方法に関する。

背景技術

[0002] 従来、 $n+$ ソース領域及び $p+$ 領域がトレンチゲートに沿って交互に並んだトレンチ半導体において、 $n+$ ソース領域の裏面側に $p+$ 領域を設けずに、トレンチゲート間を微細化したトレンチ半導体が知られている（例えば、特許文献1参照）。

特許文献1 特開2012-114321号公報

発明の概要

発明が解決しようとする課題

[0003] しかしながら、従来のトレンチ半導体において、 $n+$ ソース領域の下に $p+$ 領域を設けないので、 $n+$ ソース領域又は $p+$ 領域のマスクずれが生じた場合、逆バイアス安全動作領域（RBSOA: Reverse Biased Safe Operating Area）耐量を十分に確保できない。

課題を解決するための手段

[0004] 本発明の第1の態様においては、平面視で、第1方向に延伸して形成され、トレンチゲートよりも浅い1以上のトレンチゲートと、第1方向に、互いに離間して形成され、トレンチゲートよりも浅く、第1導電型領域よりも深い1以上の第1導電型領域と、第1方向に、第1導電型領域と交互に形成された1以上の第2導電型領域と、1以上のトレンチゲートから離間して形成された、第2導電型領域よりも濃度の高い第2導電型のトレンチ離間領域とを備え、トレンチ離間領域は、平面視で第1導電型領域内であって、且つ、第1導電型領域よりも裏面側に形成される半導体装置を提供する。

[0005] 本発明の第2の態様においては、平面視で、第1方向に延伸したトレンチ

ゲートと、第1方向に、交互に形成された複数の第1導電型領域と複数の第2導電型領域とを備える半導体装置の製造方法であって、第1方向に離間して形成された複数の第1導電型領域を形成する段階と、第1導電型領域にイオンを注入する段階と、第2導電型であって、トレンチゲートから離間したトレンチ離間領域を形成する段階とを備え、トレンチ離間領域は、平面視で第1導電型領域と同一の領域であって、第1導電型領域よりも裏面側に形成される半導体装置の製造方法を提供する。

[0006] なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0007] [図1A] A-A'断面における半導体装置100の平面図の一例を示す。

[図1B] B-B'断面における半導体装置100の構造の一例を示す。

[図1C] C-C'断面における半導体装置100の構造の一例を示す。

[図1D] D-D'断面における半導体装置100の構造の一例を示す。

[図2A] A-A'断面における半導体装置500の平面図の一例を示す。

[図2B] B-B'断面における半導体装置500の構造の一例を示す。

[図2C] C-C'断面における半導体装置500の構造の一例を示す。

[図2D] D-D'断面における半導体装置500の構造の一例を示す。

[図3A] A-A'断面における半導体装置500の平面図の一例を示す。

[図3B] B-B'断面における半導体装置500の構造の一例を示す。

[図3C] C-C'断面における半導体装置500の構造の一例を示す。

[図3D] D-D'断面における半導体装置500の構造の一例を示す。

[図4] 比較例1に係る半導体装置500の製造工程の一例を示す。

[図5] 実施例1に係る半導体装置100の製造工程の一例を示す。

[図6] コンタクト注入領域5bの拡散工程の一例を示す。

[図7] 実施例2に係る半導体装置100の平面図の一例を示す。

[図8] 実施例2に係る半導体装置100のB-B'断面図を示す。

[図9] 比較例2に係る半導体装置500のD-D'断面図を示す。

[図10]比較例2に係る半導体装置500のD-D'断面図を示す。

[図11]実施例1に係る半導体装置100のD-D'断面図を示す。

[図12]コンタクト幅に対する閾値電圧 V_{th} のばらつきを示す。

[図13]半導体装置100のRBSOA耐量の測定結果を示す。

発明を実施するための形態

[0008] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0009] (実施例1)

図1A～図1Dは、実施例1に係る半導体装置100の構造の概要を示す。図1Aは、半導体装置100の平面図の一例を示す。図1Bは、B-B'断面における半導体装置100の構造の一例を示す。B-B'断面は、平面視でn+ソース領域4に沿った断面である。図1Cは、C-C'断面における半導体装置100の構造の一例を示す。C-C'断面は、n+ソース領域4以外の領域に沿った断面である。図1Dは、D-D'断面における半導体装置100の構造の一例を示す。D-D'断面は、コンタクト開口領域9に沿った断面である。平面視とは、半導体装置100の基板の表面に垂直な方向から見た場合を指す。

[0010] 半導体装置100は、pコレクタ層1、ドリフト層2、pベース領域3、n+ソース領域4及びトレンチゲート7を備える。ドリフト層2、pベース領域3及びn+ソース領域4は、半導体基板13において形成される。本例の半導体装置100は、IGBT (Insulated Gate Bipolar Transistor: 絶縁ゲート型バイポーラトランジスタ) である。半導体装置100の表面にはエミッタ電極10、裏面にはコレクタ電極11が形成される。

[0011] トレンチ14は、平面視で、半導体基板13の表面に複数並んで、且つ、予め定められた方向に延伸して形成される。トレンチ14の内壁には、ゲー

ト酸化膜 6 が形成される。また、トレンチゲート 7 は、ゲート酸化膜 6 によって周囲が覆われるようにトレンチ 14 に埋め込まれている。本明細書において、平面視で、トレンチゲート 7 が延伸する方向をトレンチ奥行方向と称する。また、平面視で、トレンチゲート 7 が延伸する方向と垂直な方向をトレンチ幅方向と称する。トレンチゲート 7 のピッチは、 $5\ \mu\text{m}$ 以下であってよく、 $5\ \mu\text{m}$ よりも小さくてよく、好ましくは、 $2.4\ \mu\text{m}$ 以下である。

[0012] 各々の p ベース領域 3 は、ドリフト層 2 の表面に、一様に形成される。平面視では、トレンチ 14 の側壁に沿って、n + ソース領域 4 を挟んでトレンチ奥行方向に離間して形成される。一方、各々の n + ソース領域 4 は、平面視で、トレンチ幅方向に離間して形成される。また、p ベース領域 3 と n + ソース領域 4 とは、平面視で、トレンチ奥行方向に交互に並んで形成される。n + ソース領域 4 は、トレンチ奥行方向の幅がマスク上で $1\ \mu\text{m}$ 以下に微細化されてよい。

[0013] p 型のトレンチ離間領域 12 は、トレンチ 14 に挟まれたドリフト層 2 の表面部のメサ領域に形成される。トレンチ離間領域 12 は、平面視で、トレンチゲート 7 のトレンチ奥行方向に延伸して形成された p 型半導体領域である。トレンチ離間領域 12 は、p 型ドーパントの高濃度の拡散により形成されたコンタクト拡散領域 5 a の一部である。また、トレンチ離間領域 12 は、トレンチゲート 7 及びゲート酸化膜 6 から離間して形成される。

[0014] トレンチ離間領域 12 は、n + ソース領域 4 と p ベース領域 3 に挟まれるトレンチ離間埋込領域 12 a と、p ベース領域 3 の表面に形成されたトレンチ離間表面領域 12 b を含む。トレンチ離間埋込領域 12 a は、隣接する 2 つのトレンチ離間表面領域 12 b 同士を、n + ソース領域 4 の下面で接続する。これにより、隣接する 2 つのトレンチ離間表面領域 12 b は互いに電氣的に接続される。トレンチ離間領域 12 の不純物濃度は、p ベース領域 3 の不純物濃度よりも高濃度である。

[0015] トレンチ離間埋込領域 12 a は、平面視で、n + ソース領域 4 内で、且つ、n + ソース領域 4 の裏面側に形成される。本明細書において、裏面側とは

、半導体装置100のコレクタ電極11側を指す。トレンチ離間埋込領域12aは、コンタクト拡散領域5aがn+ソース領域4からpベース領域3にはみ出した領域である。トレンチ離間埋込領域12aの厚みは、隣接するトレンチ離間表面領域12bを電氣的に接続できる程度の厚みを有すればよい。例えば、トレンチ離間埋込領域12aの厚みは、0.3 μ m以下であってよく、より好ましくは0.1 μ m以下である。

[0016] また、トレンチ離間埋込領域12aの深さは、トレンチ14の間隔の半分以下であってよい。なお、トレンチ14の間隔とは、トレンチ14と隣接するトレンチ14との最短距離を指す。また、トレンチ離間領域12の深さとは、イオン注入された表面からの拡散深さを指し、トレンチ離間領域12の最も裏面側の位置を指す。

[0017] トレンチ離間表面領域12bは、平面視で、pベース領域3内に形成される。ここで、本例では、pベース領域3及びn+ソース領域4を形成してトレンチ離間領域12を拡散する。トレンチ離間埋込領域12aは、n+ソース領域4内でp型ドーパントを拡散して形成されるので拡散しにくい。一方、トレンチ離間表面領域12bは、pベース領域3内でp型ドーパントを拡散して形成するので拡散しやすい。そのため、トレンチ離間表面領域12bは、トレンチ離間埋込領域12aよりも深い位置まで拡散する。即ち、トレンチ離間埋込領域12aは、トレンチ離間表面領域12bよりも浅い。

[0018] 層間絶縁膜8は、n+ソース領域4及びpベース領域3上に形成される。層間絶縁膜8は、第1層間絶縁膜8a及び第2層間絶縁膜8bの2層に形成されてよい。例えば、第1層間絶縁膜8aは、高温酸化（HTO: High Temperature Oxide）膜である。また、第2層間絶縁膜8bは、ボロン・リン・シリケートガラス（BPSG: Boron Phosphorus Silicon Glass）膜であってよい。層間絶縁膜8には、エッチングにより、pベース領域3及びn+ソース領域4のいずれかにエミッタ電極10を接続するためのコンタクト開口領域9が設けられる。

[0019] 以上の通り、トレンチ離間領域12は、トレンチゲート7と離間して、トレンチ奥行方向に延伸する。これにより、トレンチ離間領域12は、 $n+$ ソース領域4の周辺において、正孔を引き抜く。よって、半導体装置100は、RBSOA耐量を向上できる。なお、RBSOAとは、IGBTのターンオフに伴うコレクタ・エミッタ間電圧とコレクタ電流の非破壊動作範囲を表す。非破壊動作範囲が広いIGBTは、逆バイアスに対する非破壊性能が高い。

[0020] (比較例1)

図2A～図2Dは、比較例1に係る半導体装置500の構成の一例を示す。図2Aは、半導体装置500の構成の平面図の一例を示す。図2Bは、B-B'断面における半導体装置500の断面構造の一例を示す。図2Cは、C-C'断面における半導体装置500の断面構造の一例を示す。図2Dは、D-D'断面における半導体装置500の断面構造の一例を示す。比較例2に係る半導体装置500は、 $p+$ コンタクト領域55を備える。本例の半導体装置500は、トレンチ離間領域12を有さない点で半導体装置100の構成と異なる。同一の符号を付した他の構成は、半導体装置100と同一の構成を示す。本例のトレンチゲート7のピッチは、 $2.4 \sim 5.0 \mu m$ である。

[0021] 比較例1は、トレンチ側壁に、 p ベース領域3よりも高濃度の $p+$ コンタクト領域55が接触した場合である。 $p+$ コンタクト領域55は、高濃度の p 型半導体領域であって、トレンチゲート7と離間せずに形成される。また、 $p+$ コンタクト領域55は、 p ベース領域3及び $n+$ ソース領域4のいずれの領域にも形成される。 $p+$ コンタクト領域55は、平面視で、 $n+$ ソース領域4と同一の領域において、 $n+$ ソース領域4よりも裏面側に大きくはみ出して形成される。裏面側に大きくはみ出して拡散されることで水平方向にも拡散され、 $p+$ コンタクト領域55がトレンチゲート7に接するようになる。ゲート電極の閾値はトレンチ側壁の p 型層の最高濃度で決まる。このため、 p ベース領域3で決まる値よりもゲート閾値が増加する。

[0022] また、比較例1に係る $p+$ コンタクト領域55は、 $n+$ ソース領域4と同

時に拡散されるので、拡散深さを十分に制御できない。つまり、トレンチ離間領域12は、トレンチゲート7から離間するように制御することが困難となる。これにより、半導体装置500を微細化すると、p+コンタクト領域55は、トレンチ奥行方向への回り込みが生じる。また、p+コンタクト領域55のトレンチ奥行方向への回り込みが生じるとチャネル抵抗が増大するので、閾値電圧 V_{th} の上昇、及びゲート電圧変化に対するコレクタ電流の変化率 g_{fs} の低下を抑制できない。

[0023] 以上の通り、比較例1に係る半導体装置500は、コンタクト開口領域9においてp+コンタクト領域55に周囲が囲まれたn+ソース領域4を有する。したがって、比較例1に係る半導体装置500は、微細化に伴う閾値電圧 V_{th} の上昇、及び g_{fs} の低下を抑制できない。

[0024] (比較例2)

図3A～図3Dは、比較例1に係る半導体装置500の構成の一例を示す。図3Aは、半導体装置500の構成の平面図の一例を示す。図3Bは、B-B'断面における半導体装置500の断面構造の一例を示す。図3Cは、C-C'断面における半導体装置500の断面構造の一例を示す。図3Dは、D-D'断面における半導体装置500の断面構造の一例を示す。本例の半導体装置500は、コンタクト拡散領域5aを有さない点で半導体装置100の構成と異なる。同一の符号を付した他の構成は、半導体装置100と同一の構成を示す。本例のトレンチゲート7のピッチは、2.4～5.0 μm の範囲内である。

[0025] 半導体装置500は、n+ソース領域4が形成された領域において、コンタクト拡散領域5aを有さない。即ち、比較例2に係る半導体装置500は、比較例1に係る半導体装置500と比べて、微細化によるトレンチ奥行方向へのp+コンタクト領域55の回り込みが生じにくい。よって、本例の半導体装置500は、トレンチ奥行方向へのp+コンタクト領域55の回り込みによる閾値電圧 V_{th} の上昇がない。しかしながら、半導体装置500は、n+ソース領域4の下にコンタクト拡散領域5aが形成されないので、十

分なRBSOA耐量を達成できない。また、n＋ソース領域4及びpベース領域3の形成用のマスクパターンのばらつきにより、閾値電圧 V_{th} が変動し、コレクタ・エミッタ飽和電圧 $V_{CE(sat)}$ が上昇してしまう。

[0026] 図4は、比較例1に係る半導体装置500の製造工程の一例を示す。半導体装置500は、ステップS500～ステップS509を用いて製造される。

[0027] ステップS500において、チャネルドライブ工程によりチャネルを形成する。チャネルドライブ工程では、半導体装置500をアニールして、チャネル領域を拡散させる。

[0028] ステップS501において、p＋コンタクト領域55をパターニングする。p＋コンタクト領域55のパターニングにより、p＋コンタクト領域55上にイオン注入領域が開口されたパターンが形成される。その後、ステップS502において、p＋コンタクト領域55には、p型ドーパントとしてボロンがイオン注入される。

[0029] ステップS503において、n＋ソース領域4をパターニングする。n＋ソース領域4のパターニングにより、n＋ソース領域4のイオン注入領域の開孔されたパターニングが形成される。その後、ステップS504において、n＋ソース領域4にヒ素(As)をイオン注入する。

[0030] ステップS505において、アニールにより、n＋ソース領域4及びp＋コンタクト領域55を同時に熱拡散させる。ステップS506において、層間絶縁膜8を形成する。ステップS507において、層間絶縁膜8をリフローする。ステップS508において、コンタクト開口領域9をパターニングし、Al-Siを材料とするエミッタ電極10を形成する。ステップS509において、裏面工程により、半導体基板13を裏面から研削して基板厚を薄くする。半導体基板13の裏面側の研削面にn型フィールドストップ層となる水素イオン注入と活性化及びpコレクタ層1となるボロンイオン注入と活性化を行う。最後に、pコレクタ層1の裏面側にコレクタ電極11を形成する。

- [0031] 以上の通り、比較例 1 に係る半導体装置 500 の製造工程では、 n +ソース領域 4 及び p +コンタクト領域 55 が同時に形成されるので、 p +コンタクト領域 55 の拡散を十分に制御できない。したがって、比較例 1 に係る半導体装置 500 は、微細化に伴う閾値電圧 V_{th} の上昇、及び gfs の低下を抑制できない。
- [0032] 図 5 は、実施例 1 に係る半導体装置 100 の製造工程の一例を示す。チャネルの製造工程までは、一般的なトレンチゲート半導体の製造工程と同様である。本例の製造工程では、 p +コンタクト領域のパターニングが不要である。
- [0033] ステップ S100 のチャネルドライブ工程では、チャネル深さ $1.0 \sim 3.0 \mu m$ まで拡散させればよい。ドライブ時の温度は、 $1000^{\circ}C \sim 1150^{\circ}C$ であってもよい。ステップ S101 の n +ソース領域 4 のパターニング工程では、ステップ S503 と同様に n +ソース領域 4 のパターンを形成する。ステップ S102 の n 型ドーパントのイオン注入工程では、 n +ソース領域 4 に n 型ドーパントがイオン注入される。 n 型ドーパントは、ヒ素 (As)、リン (P) 等の半導体プロセスで一般的に用いられるドーパントであってよい。
- [0034] ステップ S103 の層間絶縁膜 8 の形成は、ステップ S506 とほぼ同様の工程で実施してもよい。また、層間絶縁膜 8 は、異なる絶縁膜を積層させた 2 層構造であってよい。例えば、第 1 層間絶縁膜 8a は HTO であり、第 2 層間絶縁膜 8b は BPSG である。ステップ S104 の層間絶縁膜 8 のリフロー工程では、ステップ S507 のリフロー工程とほぼ同様の工程で実施してもよい。但し、ステップ S104 のリフロー工程では、ステップ S104 でイオン注入された n 型ドーパントが拡散される。BPSG のリフローの条件は、 $900^{\circ}C \sim 1000^{\circ}C$ である。すなわち、 n +ソース領域 4 が深さ $0.5 \mu m$ 以下になるまで拡散させればよい。
- [0035] ステップ S105 のコンタクトパターニング工程では、 p +コンタクト領域 55 のイオン注入用のコンタクト開口領域 9 を形成する。コンタクト開口

領域 9 は、コンタクト形成用のレジストにより形成されてよい。なお、p + コンタクト領域 5 5 のイオン注入用のパターニングとして、第 1 層間絶縁膜 8 a 及び第 2 層間絶縁膜 8 b を用いる場合、別にコンタクト開口領域 9 用のパターニングをする必要がない。

[0036] ステップ S 1 0 6 の p 型ドーパントのイオン注入工程では、コンタクト開口領域 9 にコンタクト拡散領域 5 a を形成するための p 型ドーパントをイオン注入する。本例のイオン注入は、低ドーズ量、且つ、低加速電圧により行われる。これにより、n + ソース領域 4 の裏面側にわずかにはみ出したトレンチ離間埋込領域 1 2 a を形成できる。p 型ドーパントのイオン注入工程では、ボロン (B) がイオン注入される。例えば、p 型ドーパントは、第 1 層間絶縁膜 8 a 及び第 2 層間絶縁膜 8 b 越しにイオン注入される。また、p 型ドーパントは、コンタクト形成用のレジスト越しにイオン注入されてよい。

[0037] ステップ S 1 0 7 において、コンタクト注入領域 5 b をアニールすることによりコンタクト拡散領域 5 a を形成する。例えば、コンタクト拡散領域 5 a の拡散の条件は、ボロンの場合、8 0 0 °C ~ 9 5 0 °C で、例えば 9 0 0 °C であってもよい。例えば、n + ソース領域 4 以外のコンタクト拡散領域 5 a は、n + ソース領域 4 から 0 . 2 μm 以内の深さとし、n + ソース領域 4 内のコンタクト拡散領域 5 a は、n + ソース領域 4 の深さと n + ソース領域 4 以外のコンタクト拡散領域 5 a の深さの間の 0 . 2 μm 以内の深さにするように拡散させる。

[0038] 但し、トレンチ離間領域 1 2 の拡散条件は、半導体装置 1 0 0 の構造、トレンチゲート 7 のピッチ等に応じて適宜変更される。本例の p + コンタクト領域の拡散工程は、比較例 2 に係る製造工程のように n + ソース領域 4 拡散用のアニール工程よりも後の工程である。したがって、本例の製造方法では、トレンチ離間領域 1 2 に n + ソース領域 4 をアニールする場合の熱履歴がかからないので、コンタクト注入領域 5 b の拡散を自由に調整できる。

[0039] その後、ステップ S 1 0 8 において、半導体基板 1 3 を裏面から研削して基板厚を薄くする。半導体基板 1 3 の裏面側の研削面に n 型フィールドスト

ップ層となる水素イオン注入もしくはリンイオン注入またはその両方と活性化、およびpコレクタ層1となるボロンイオン注入と活性化を行う。最後に、pコレクタ層1の裏面側にコレクタ電極11が形成される。なお、n型フィールドストップ層はセレンで形成されてもよい。この場合は、第1層間絶縁膜8aまたは第2層間絶縁膜8b形成後に裏面を研削し、研削面にセレンをイオン注入し、拡散温度は800℃～950℃で、例えば900℃程度の温度で拡散させてもよい。またコンタクト拡散領域5aの拡散条件は、セレン拡散温度以上が好ましい。

[0040] 以上の通り、実施例1に係る半導体装置100の製造方法では、コンタクト拡散領域5aがコンタクト開口領域9を用いてインプラントされるので、コンタクト拡散領域5a用のマスクが不要となる。これにより、本例の製造方法は、実施例1に係る半導体装置100の製造工程を削減できる。

[0041] また、コンタクト拡散領域5aは、n+ソース領域4の形成後に拡散されるので、大きさを制御できる。つまり、トレンチ離間領域12は、トレンチゲート7から離間するように制御できる。これにより、半導体装置100を微細化しても、コンタクト拡散領域5aは、トレンチ幅方向に回り込まない。よって、半導体装置100は、閾値電圧 V_{th} の上昇及び g_{fs} の低下を抑制できる。

[0042] 図6は、コンタクト注入領域5bの拡散工程の一例を示す。コンタクト注入領域5bは、n+ソース領域4の表面に低ドーズ量、且つ、低加速電圧によりイオン注入される。拡散されたコンタクト注入領域5bは、図1Bに示したようなコンタクト拡散領域5aを形成する。例えば、コンタクト注入領域5bとしてボロンを注入する場合の加速電圧は、40keV以上150keV以下であっても、40keV以上100keV以下であっても、40keV以上80keV以下であってもよい。ボロンを注入する場合の加速電圧は、40keV以上60keV以下であることが好ましい。なお、コンタクト注入領域5b形成時のボロンのドーズ量は、例えば $1 \times 10^{15} \sim 3 \times 10^{15} \text{ cm}^{-2}$ であり、 A_s ドーズ量から1/5程度のドーズ量が好ましい。

[0043] また、イオン注入の条件は、半導体装置 100 の構造に応じて調節してよい。例えば、 $n+$ ソース領域 4 の中心が窪むほど、コンタクト注入領域 5 b の位置を浅くすることにより、トレンチゲート 7 に沿ったコンタクト拡散領域 5 a の拡散を防止できる。なお、コンタクト注入領域 5 b の拡散により、平面視で、コンタクト開口領域 9 の内側の $n+$ ソース領域 4 の不純物濃度は、トレンチゲート 7 との境界における $n+$ ソース領域 4 の不純物濃度よりも低くなる場合がある。

[0044] (実施例 2)

図 7 は、実施例 2 に係る半導体装置 100 の平面図の一例を示す。本例の半導体装置 100 は、平面図において市松模様状に配置された $n+$ ソース領域 4 を有する。即ち、トレンチ幅方向において、 $n+$ ソース領域 4 とトレンチ離間表面領域 12 b とがトレンチ 14 を挟んで交互に配置される。トレンチ奥行方向においては、 $n+$ ソース領域 4 とトレンチ離間表面領域 12 b との間隔がそれぞれ等しくて良い。実施例 2 に係る半導体装置 100 では、実施例 1 に係る半導体装置 100 と比較して、 $n+$ ソース領域 4 及びトレンチ離間表面領域 12 b の分布が活性面内で均一である。これにより、実施例 2 に係る半導体装置では、オン電圧をさらに低減できる。

[0045] 図 8 は、実施例 2 に係る半導体装置 100 の B-B' 断面の模式図である。このような断面は、例えば走査型静電容量顕微鏡法 (SCM: Scanning Capacitance Microscopy)、走査型マイクロ波顕微鏡法 (SMM: Scanning Microwave Microscope) 等により観測可能である。SCM 像により、半導体のキャリア濃度分布を観察できる。例えば、 p ベース領域 3 の深さは、1.0~3.0 μm 程であり、トレンチ離間埋込領域 12 a の深さは 0.5 μm 以下である。トレンチ離間埋込領域 12 a の深さ方向の厚さは、0.2 μm 以内であってもよい。また、トレンチゲート 7 のピッチは、2.4 μm ~5.0 μm 程であってもよい。

[0046] また、トレンチゲート 7 の上面 (層間絶縁膜 8 と接する面) の最も深い位

置よりも、トレンチ離間埋込領域 12 a の底面を深くしてもよい。これにより、 $n+$ ソース領域 4 下の正孔を、トレンチ離間埋込領域 12 a に集めやすくなり、トレンチ離間表面領域 12 b を通してコンタクト開口領域 9 からエミッタ電極 10 に流すことができる。その結果、クーロン力により電子に引き寄せられる正孔を、 $n+$ ソース領域 4 から離すことができるので、ラッチアップ耐量を向上させることができる。

[0047] 図 9 は、比較例 2 に係る半導体装置 500 の D-D' 断面図を示す。本例の半導体装置 500 は、トレンチ奥行方向のマスクずれが生じた場合の構造を示す。 $n+$ ソース領域 4 用のマスク及び $p+$ コンタクト領域 55 形成用のマスクのいずれか一方でもずれると、半導体装置 500 の構造にずれが生じる。本例のマスクのずれは、 $n+$ ソース領域 4 のトレンチ奥行方向の残り幅が大きくなる方向である。このように、 $n+$ ソース領域 4 のトレンチ奥行方向の幅が大きくなると、 $n+$ ソース領域 4 の裏面側に正孔が蓄積されやすくなるので、RBSOA 耐量が低下する。また、トレンチ奥行方向の $n+$ ソース領域 4 の残り幅が大きくなると、チャネル密度が増加するので、飽和電流 I_{sat} が増加して、半導体装置 500 の短絡耐量 (SCSOA: Short Circuit Safe Operating Area) が低下する。

[0048] 図 10 は、比較例 2 に係る半導体装置 500 の D-D' 断面図を示す。本例のマスクのずれは、 $n+$ ソース領域 4 のトレンチ奥行方向の残り幅が小さくなる方向である。このように、 $n+$ ソース領域 4 のトレンチ奥行方向の幅が小さくなると、チャネル密度が低下するので、飽和電流 I_{sat} が低くなる。また、トレンチ奥行方向の $n+$ ソース領域 4 の残り幅が小さくなると、 $n+$ ソース領域 4 へ $p+$ コンタクト領域 55 が拡散し、 $n+$ ソース領域 4 のコンタクト抵抗が上昇する。よって、半導体装置 500 は、トレンチ奥行方向の $n+$ ソース領域 4 の残り幅が小さくなると、閾値電圧 V_{th} が変動し、 $V_{CE(sat)}$ が上昇する。

[0049] 図 11 は、実施例 1 に係る半導体装置 100 の D-D' 断面図を示す。本例

の $n+$ ソース領域4のトレンチ奥行方向の長さは $1\ \mu\text{m}$ である。図11中の“ H^+ ”は、正孔を示す。

[0050] 半導体装置100は、コンタクトマスクを用いて、 $n+$ ソース領域4に p 型ドーパントがイオン注入される。また、トレンチ離間領域12を形成するためのインプラは、 $n+$ ソース領域4の中心に打たれる。したがって、半導体装置100は、 $n+$ ソース領域4のトレンチ奥行方向のマスクばらつきがない。なお、トレンチ幅方向のばらつきはあるものの、トレンチ奥行方向に対してはコンタクトマスク1枚だけ使用する。また、 $n+$ ソース領域4の奥行き方向がばらついてもトレンチ離間表面領域12bがトレンチ奥行き方向に依存せず、トレンチ幅方向に依存する。そのため、 $n+$ ソース領域4の特性による影響度は少ないことから、マスクによるばらつきを低減できる。

[0051] なお、トレンチ離間埋込領域12aを浅くする場合、RBSOA耐量の低下が課題である。しかしながら、半導体装置100は、 $n+$ ソース領域4のトレンチ奥行方向の残り幅を $1.4\ \mu\text{m}$ 以下とすることにより、オフ時の正孔をトレンチ離間埋込領域12aに加えて、隣接するトレンチ離間表面領域12bに引き抜くことができる。これにより、半導体装置100は、トレンチ離間埋込領域12aを浅くしても、RBSOA耐量を満たすことができる。

[0052] 図12は、出来上がりのトレンチゲート7からコンタクト拡散領域5aまでの距離に対する閾値電圧 V_{th} のばらつきを示す。閾値電圧 V_{th} のばらつきは、出来上がりのトレンチゲート7からコンタクト拡散領域5aまでの距離を $0.05\ \mu\text{m}$ 間隔で縮小した時の実験結果から算出した。横軸は、出来上がりのトレンチゲート7からコンタクト拡散領域5aまでの距離(μm)を示し、縦軸は、閾値電圧 V_{th} (V)を示す。なお、コンタクト幅を、トレンチ幅方向におけるコンタクト開口領域9の幅と定義する。

[0053] 出来上がりのトレンチゲート7からコンタクト拡散領域5aまでの距離を $0.3\ \mu\text{m}$ にしても閾値電圧 V_{th} の上昇を抑えられる。また出来上がりのトレンチゲート7からコンタクト拡散領域5aまでの距離を $0.3\ \mu\text{m}$ から

0.15 μm まで近づけた場合でも、閾値電圧 V_{th} の上昇を0.2 Vに抑えることができる。よって、出来上がりのトレンチゲート7からコンタクト拡散領域5aまでの距離を0.3 μm 以上にすれば、プロセスによってコンタクト幅にばらつきが生じても閾値電圧 V_{th} の変動を最小限に抑えられる。

[0054] また、トレンチゲート7からコンタクト拡散領域5aまでの距離を0.15 μm 以上としても、閾値電圧 V_{th} の増加を3%程度に抑えられるので、0.15 μm 以上であってもよい。0.15 μm よりもさらに短いと、閾値電圧が例えば10%以上増加するようになる。一方、トレンチゲート7からコンタクト拡散領域5aまでの距離を1 μm より大きくすると、電子注入促進 (IE: Injection Enhanced) 効果が減少してオン電圧が増加するので、1 μm 以下が好ましい。

[0055] 以上により、トレンチゲート7のピッチを5 μm 以下、例えば2.4 μm 程度の微細化にもプロセスばらつきに影響されにくくすることができる。また2.4 μm 以下に関しても装置の精度、例えばプロセスバラつきを0.05 μm 以下に抑えるか、もしくはコンタクト幅を0.5 μm 以下まで縮小すれば、トレンチゲート7のピッチ2.4 μm 以下の作成が可能となる。この場合でも、トレンチゲート7からコンタクト拡散領域5aまでの距離は0.15 μm 以上1 μm 以下であってもよい。

[0056] 図13は、半導体装置100のRBSOA耐量の測定結果を示す。本例のRBSOA耐量の測定条件は、コレクタ・エミッタ電圧 $V_{CE}=475\text{ V}$ 、ゲート・エミッタ電圧 $V_{GE}=15\text{ V}$ 、ゲートオフ抵抗 $R_{goff}=180\text{ }\Omega$ 、 $L=50\text{ }\mu\text{H}$ 、温度 $T_c=150^\circ\text{C}$ である。本例では、定格電流10 Aの素子を用いる。

[0057] 半導体装置100は、 $n+$ ソース領域4のトレンチゲート7奥行方向の幅が1.4 μm 以下と短いので、正孔が隣のトレンチ離間埋込領域12aに抜けていく。またトレンチ離間埋込領域12aにも $n+$ ソース領域4の下にもボロンが拡散しているため、正孔がより引き抜かれやすい。よって、半導体装

置 100 は、 $n+$ ソース領域 4 の奥行幅を $1.4\ \mu\text{m}$ 以下とし、且つ、トレンチ離間埋込領域 12a が形成されることで、例えば定格電流の 10 倍電流を流しても破壊されず、10 倍以上の RBSOA 耐量を満たすことが可能となった。

[0058] 以上の通り、半導体装置 100 は、 $n+$ ソース領域 4 の拡散後、トレンチ離間領域 12 を拡散しているので、トレンチ離間領域 12 の熱履歴を抑制できる。これにより、トレンチ離間埋込領域 12a を形成できる。また、コンタクト注入領域 5b は、コンタクト開口領域 9 を用いてイオン注入されるので、コンタクト注入領域 5b 用のマスクを作製する必要がなくなり、且つ、製造工程が削減される。

[0059] 半導体装置 100 は、トレンチゲート 7 のピッチを $5\ \mu\text{m}$ 以下に微細化しても閾値電圧 V_{th} の上昇、及び gfs 低下を抑制できる。また、半導体装置 100 は、微細化しても、トレンチ離間領域 12 がトレンチゲート 7 から離間しているので、トレンチ奥行方向に $p+$ ドーパントの回り込みに起因する閾値電圧 V_{th} の上昇、及び gfs 低下が問題とならない。さらに、半導体装置 100 は、 $n+$ ソース領域 4 のトレンチ奥行方向の残り幅を微細化することにより、RBSOA 耐量を向上できる。したがって、トレンチゲート 7 のピッチを低減し、且つ、 IE 効果向上により $V_{CE(sat)}$ を低減できる。

[0060] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0061] 請求の範囲、明細書、および図面中において示した装置、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきであ

る。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0062] 1・・・pコレクタ層、2・・・ドリフト層、3・・・pベース領域、4・・・n⁺ソース領域、5a・・・コンタクト拡散領域、5b・・・コンタクト注入領域、55・・・p⁺コンタクト領域、6・・・ゲート酸化膜、7・・・トレンチゲート、8・・・層間絶縁膜、8a・・・第1層間絶縁膜、8b・・・第2層間絶縁膜、9・・・コンタクト開口領域、10・・・エミッタ電極、11・・・コレクタ電極、12・・・トレンチ離間領域、12a・・・トレンチ離間埋込領域、12b・・・トレンチ離間表面領域、13・・・半導体基板、14・・・トレンチ、100・・・半導体装置、500・・・半導体装置

請求の範囲

- [請求項1] 平面視で、第1方向に延伸して形成された1以上のトレンチゲートと、
- 前記第1方向に、互いに離間して形成され、前記トレンチゲートよりも浅い1以上の第1導電型領域と、
- 前記第1方向に、前記第1導電型領域と交互に形成され、前記トレンチゲートよりも浅く、前記第1導電型領域よりも深い1以上の第2導電型領域と、
- 前記1以上のトレンチゲートから離間して形成された、前記第2導電型領域よりも濃度の高い第2導電型のトレンチ離間領域と
- を備え、
- 前記トレンチ離間領域は、平面視で前記第1導電型領域内であって、且つ、前記第1導電型領域よりも裏面側に形成される半導体装置。
- [請求項2] 前記トレンチ離間領域の深さは、前記1以上のトレンチゲートの間隔の半分以下である請求項1に記載の半導体装置。
- [請求項3] 複数の前記トレンチゲートのピッチが $5\mu\text{m}$ よりも小さい請求項1又は2に記載の半導体装置。
- [請求項4] 複数の前記トレンチゲートのピッチが $2.4\mu\text{m}$ 以下である請求項3に記載の半導体装置。
- [請求項5] 前記1以上の第1導電型領域の表面側に形成され、且つ、前記1以上の第1導電型領域まで貫通するコンタクト開口が設けられた絶縁膜と、
- 前記コンタクト開口に形成され、前記1以上の第1導電型領域と接続するコンタクトと
- を更に備え、
- 平面視で、前記第1導電型領域と重なる前記トレンチ離間領域は、前記コンタクト開口よりも内側に形成される

請求項 1 から 4 のいずれか一項に記載の半導体装置。

[請求項6] 平面視で、前記コンタクト開口の内側の前記第 1 導電型領域の不純物濃度は、前記トレンチゲートとの境界における前記第 1 導電型領域の不純物濃度よりも低い請求項 5 に記載の半導体装置。

[請求項7] 平面視で、前記第 1 導電型領域と重なる前記トレンチ離間領域は、平面視で、当該第 1 導電型領域と隣接する前記第 2 導電型領域と重なる前記トレンチ離間領域と接続される

請求項 1 から 6 のいずれか一項に記載の半導体装置。

[請求項8] 平面視で、前記第 1 導電型領域と重なる前記トレンチ離間領域の深さは、平面視で、当該第 1 導電型領域と隣接する前記第 2 導電型領域と重なる前記トレンチ離間領域よりも浅い

請求項 1 から 7 のいずれか一項に記載の半導体装置。

[請求項9] 平面視で、前記第 1 導電型領域と重なる前記トレンチ離間領域の厚みは、 $0.1\ \mu\text{m}$ 以下である請求項 1 から 8 のいずれか一項に記載の半導体装置。

[請求項10] 前記第 1 導電型領域の前記第 1 方向の幅が $1.4\ \mu\text{m}$ 以下である請求項 1 から 9 のいずれか一項に記載の半導体装置。

[請求項11] 平面視で、第 1 方向に延伸したトレンチゲートと、
前記第 1 方向に、交互に形成された複数の第 1 導電型領域と複数の第 2 導電型領域と

を備える半導体装置の製造方法であって、

前記第 1 方向に離間して形成された複数の第 1 導電型領域を形成する段階と、

前記第 1 導電型領域にイオンを注入する段階と、

第 2 導電型であって、前記トレンチゲートから離間したトレンチ離間領域を形成する段階と

を備え、

前記トレンチ離間領域は、平面視で前記第 1 導電型領域と同一の領

域であって、前記第1導電型領域よりも裏面側に形成される製造方法。

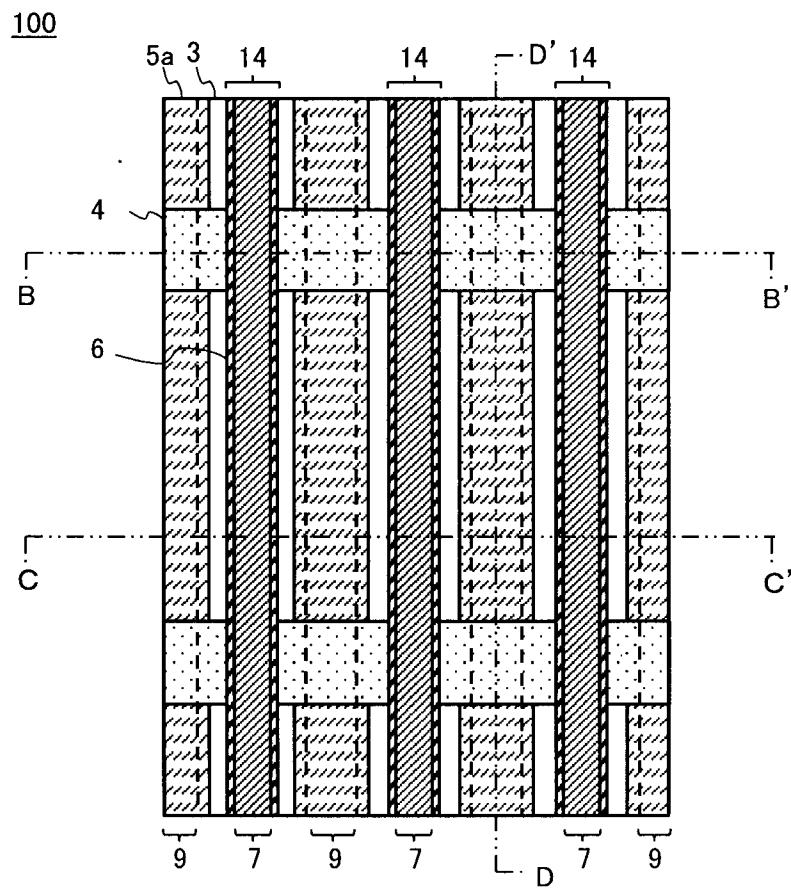
[請求項12] 前記第1導電型領域にイオンを注入する段階は、
前記第1導電型領域上に、コンタクト開口部を形成する段階と、
前記コンタクト開口部にイオンを注入する段階と
を含む
請求項11に記載の製造方法。

[請求項13] 前記第1導電型領域上に、コンタクト開口部を形成する段階は、
コンタクト用レジストを塗布する段階を含み、
前記コンタクト開口部に前記第2導電型形成用のイオンを注入する
段階は、
前記コンタクト用レジスト越しに、イオンを注入する段階を含む
請求項12に記載の製造方法。

[請求項14] 前記第1導電型領域上に、コンタクト開口部を形成する段階は、
層間絶縁膜を形成する段階を含み、
前記コンタクト開口部に前記第2導電型形成用のイオンを注入する
段階は、
前記複数の第1導電型領域上に形成された前記層間絶縁膜越しに、
イオンを注入する段階を含む
請求項13に記載の製造方法。

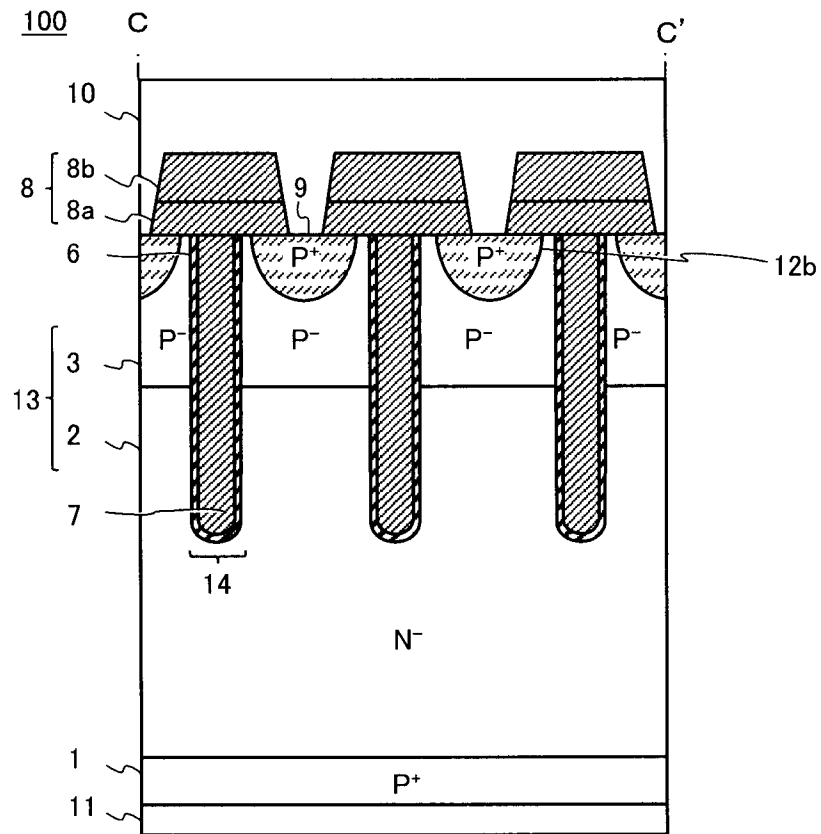
[請求項15] 前記トレンチ離間領域を形成する前に、前記複数の第1導電型領域
を形成する
請求項11から14のいずれか一項に記載の製造方法。

[図1A]

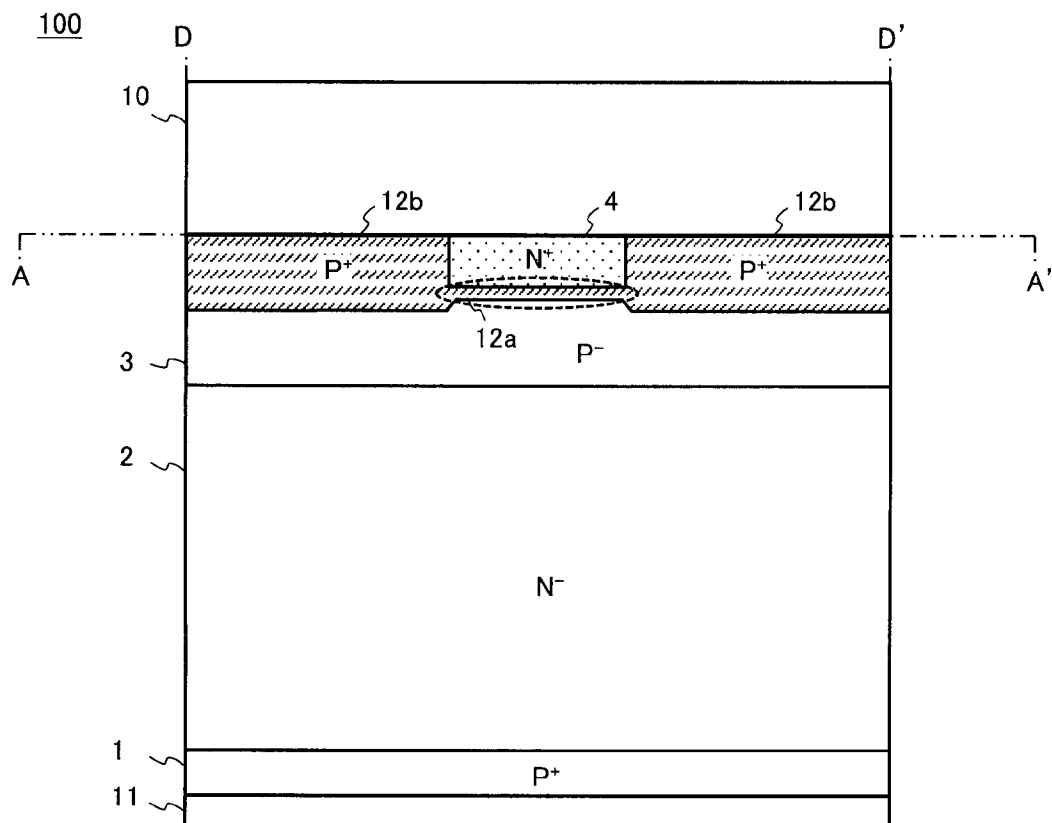


[illegible]

[図1C]

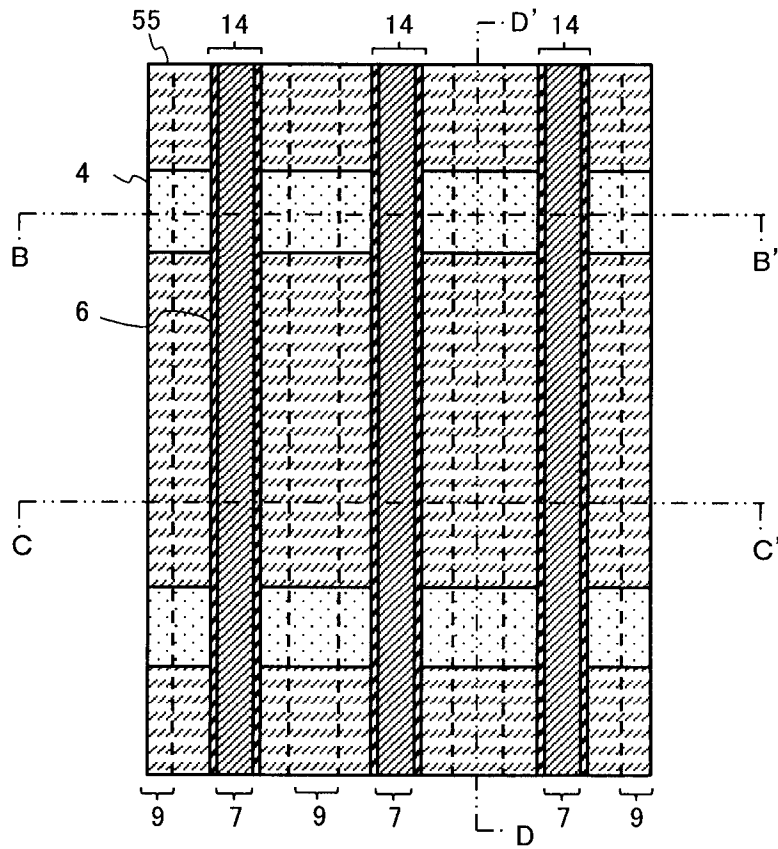


[図1D]



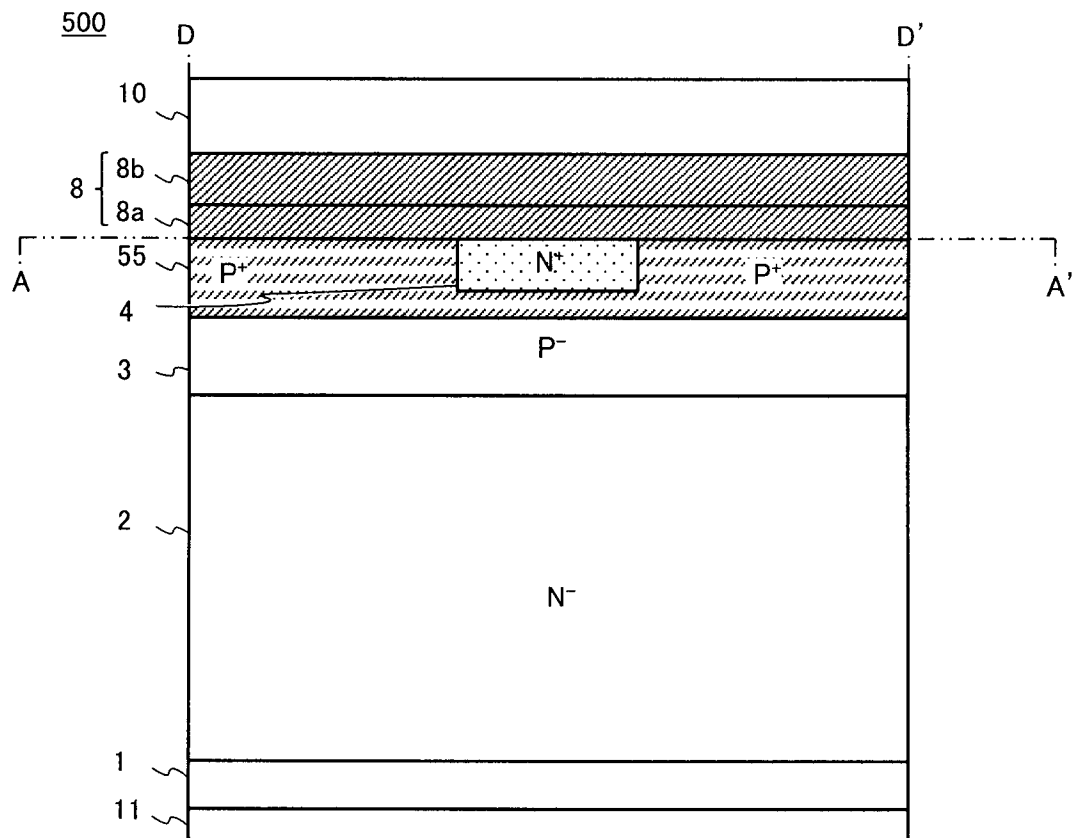
[図2A]

500



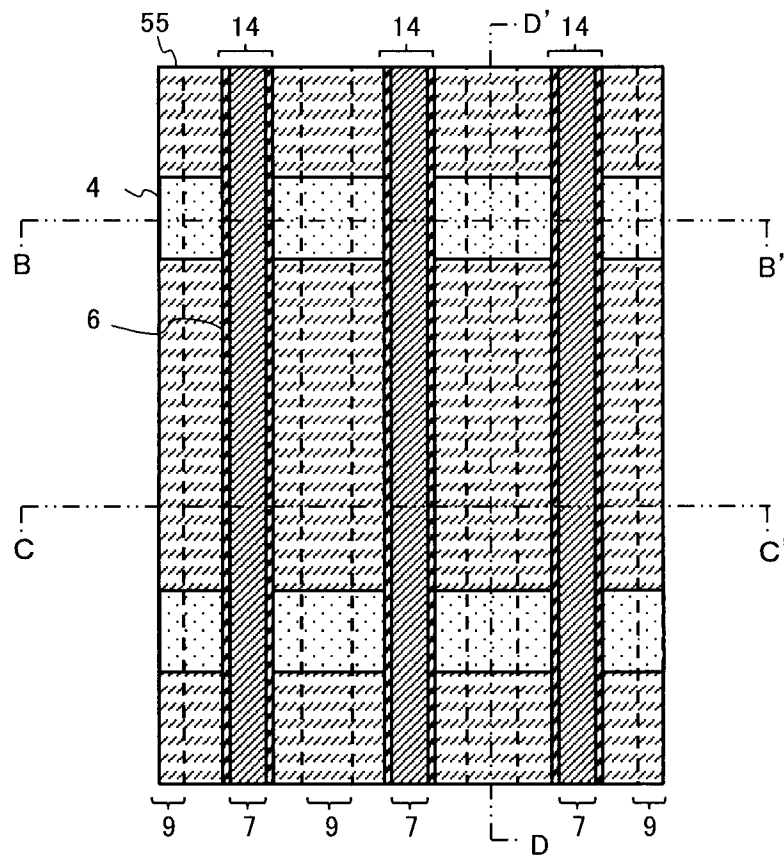
[illegible]

[図2D]

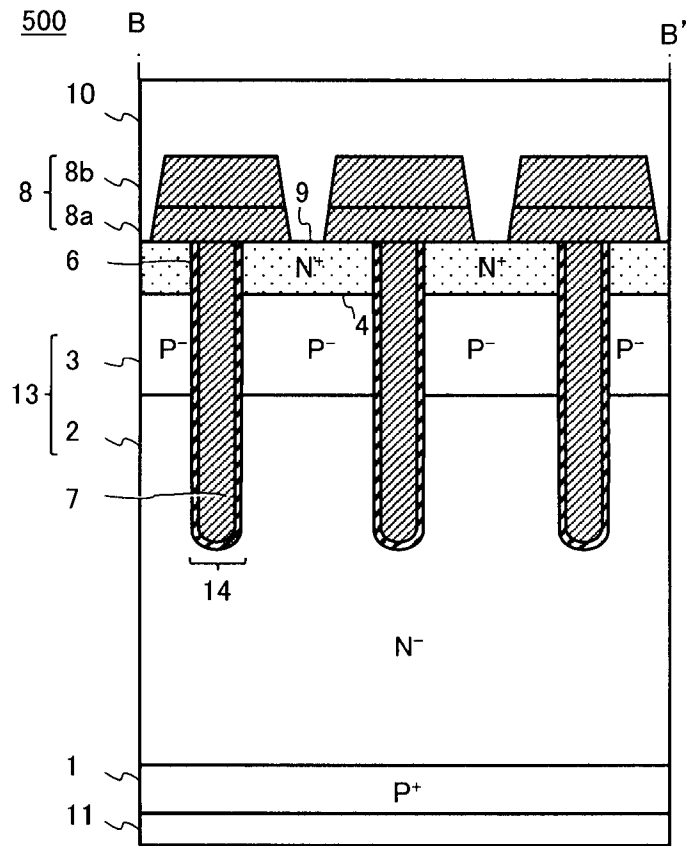


[図3A]

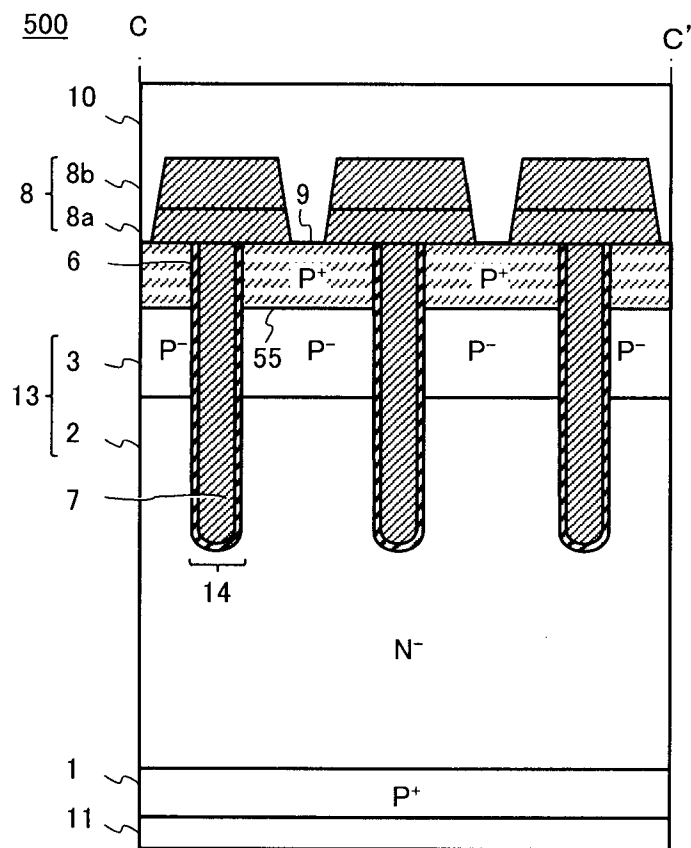
500



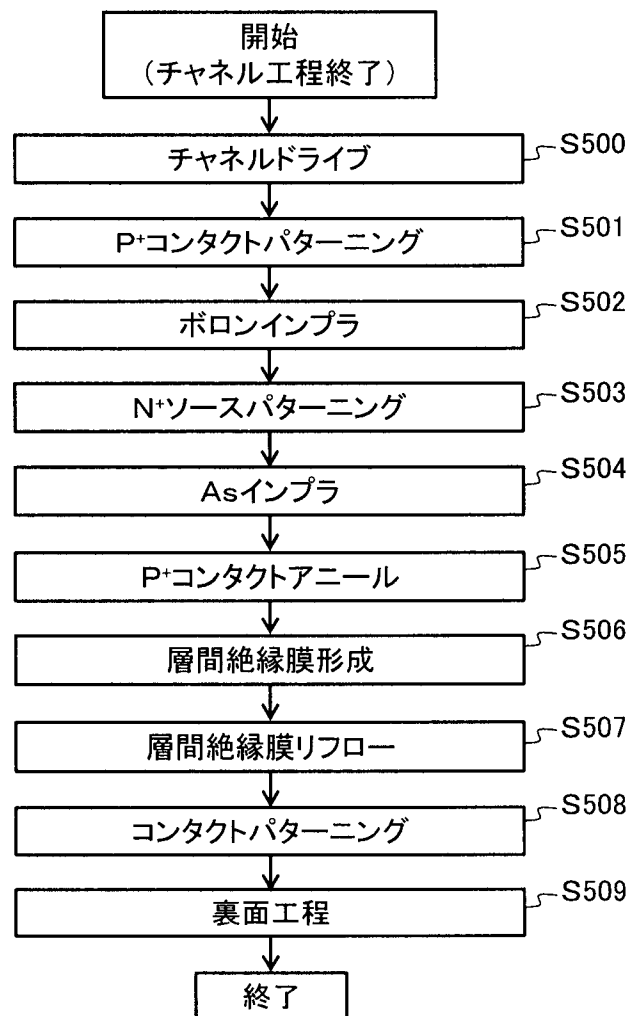
[図3B]



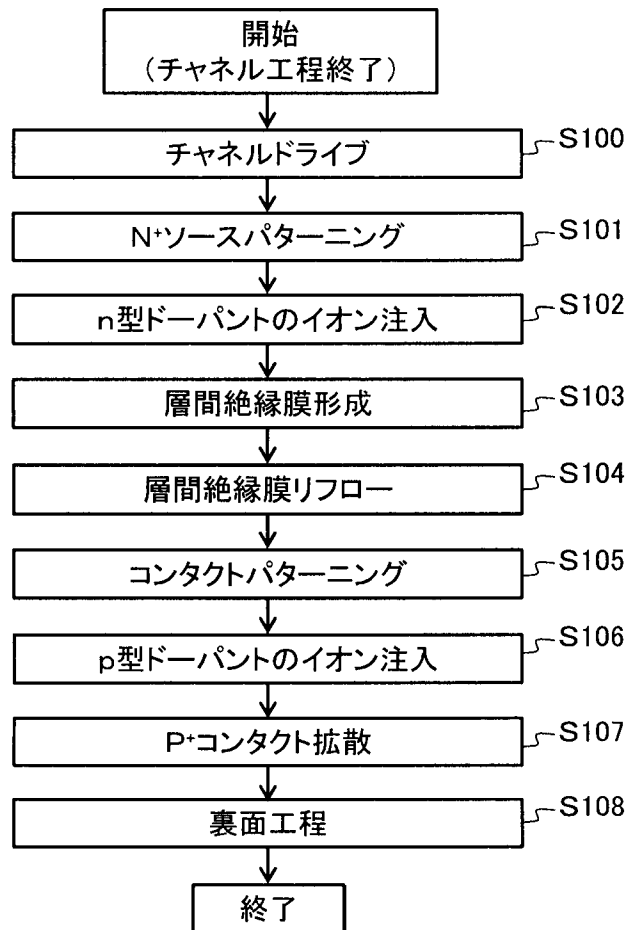
[図3C]



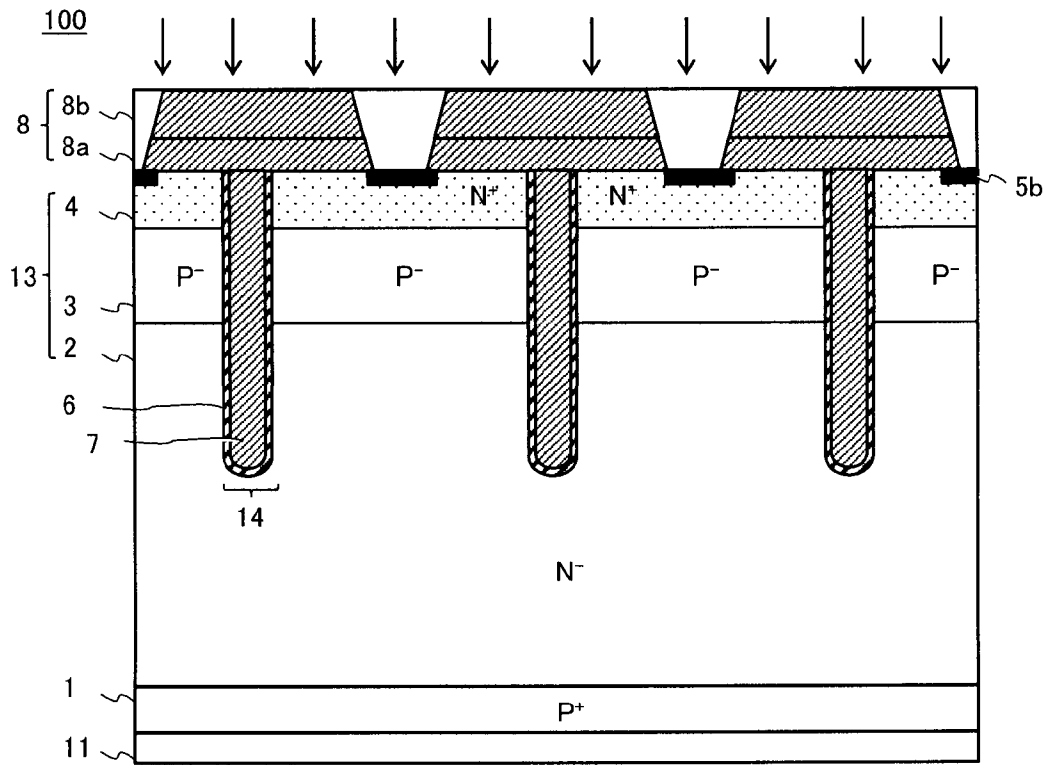
[図4]



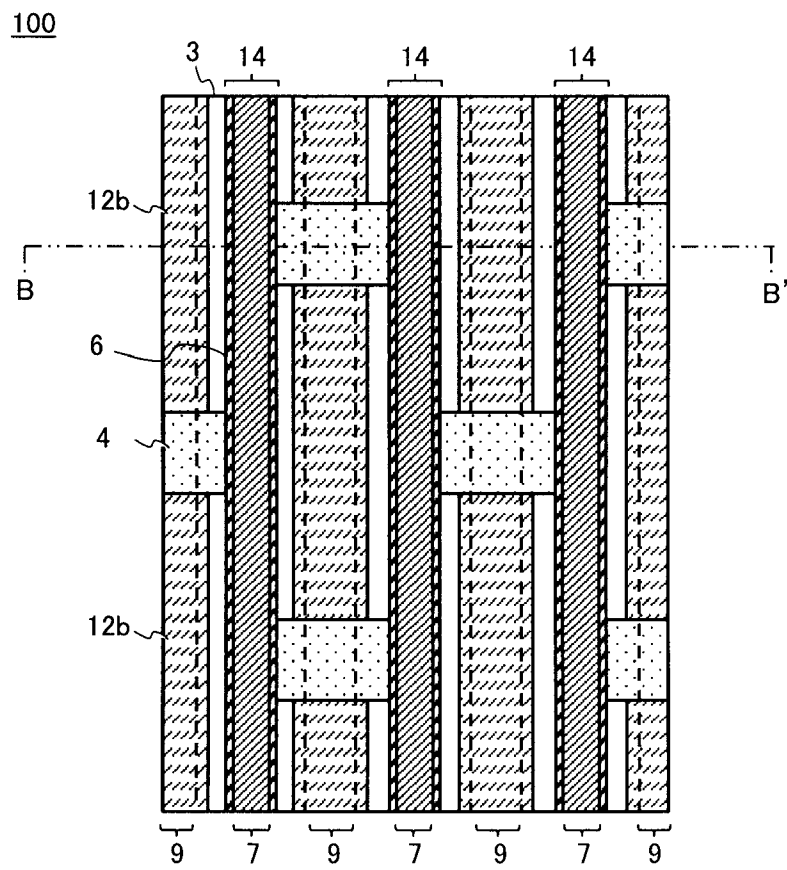
[図5]



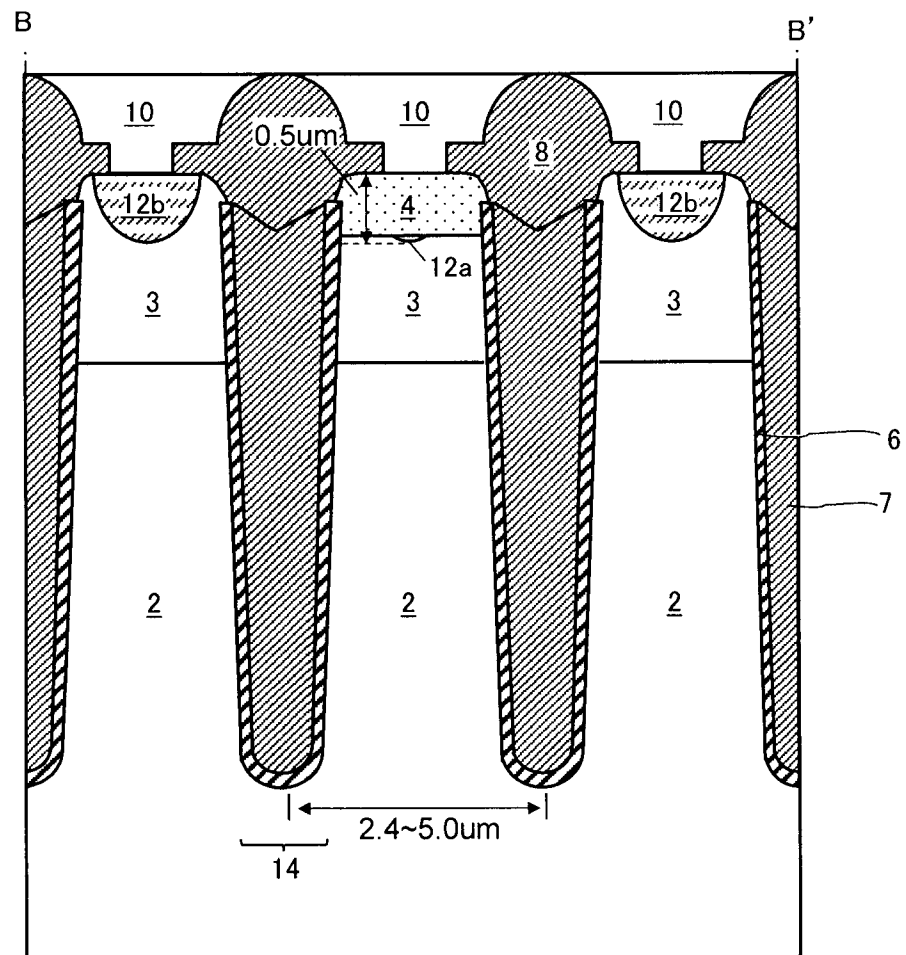
[図6]



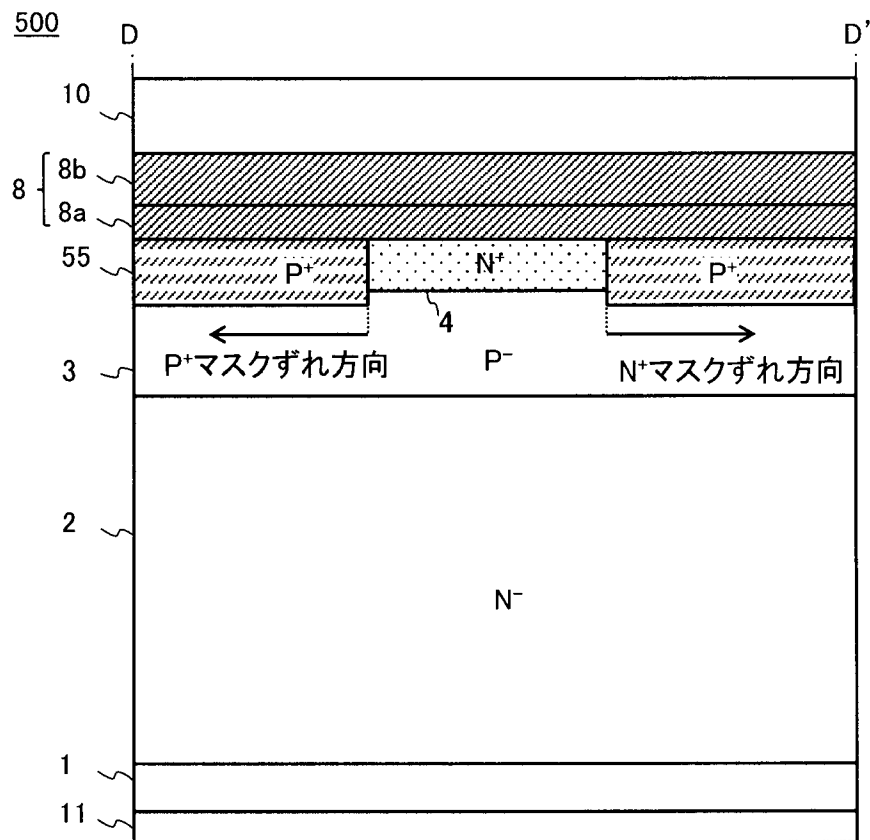
[図7]



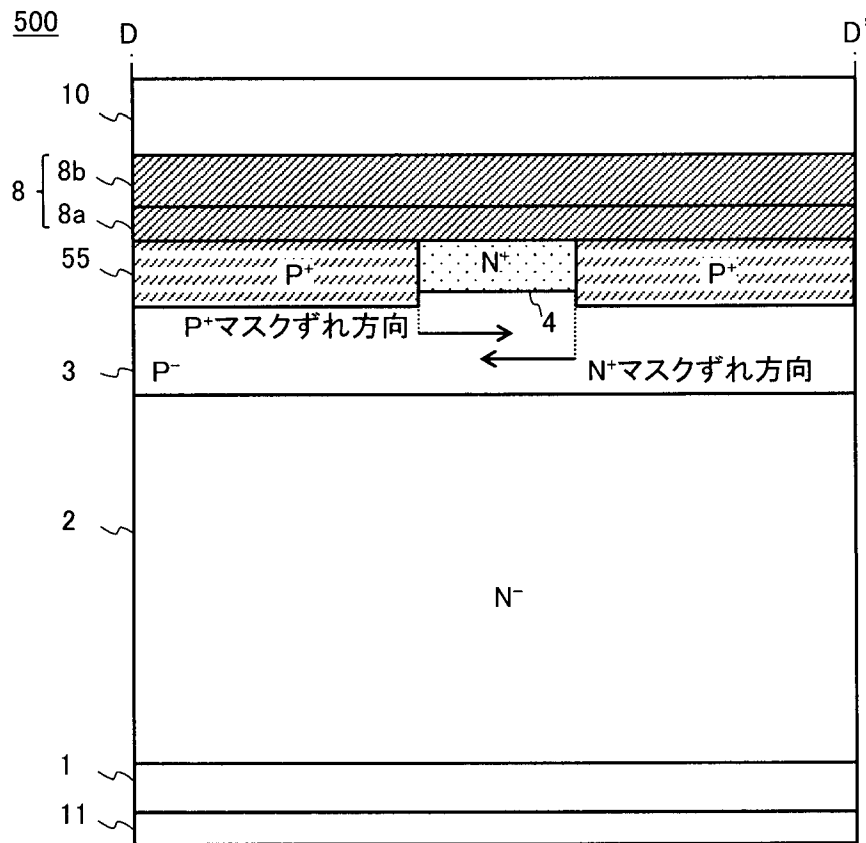
[図8]



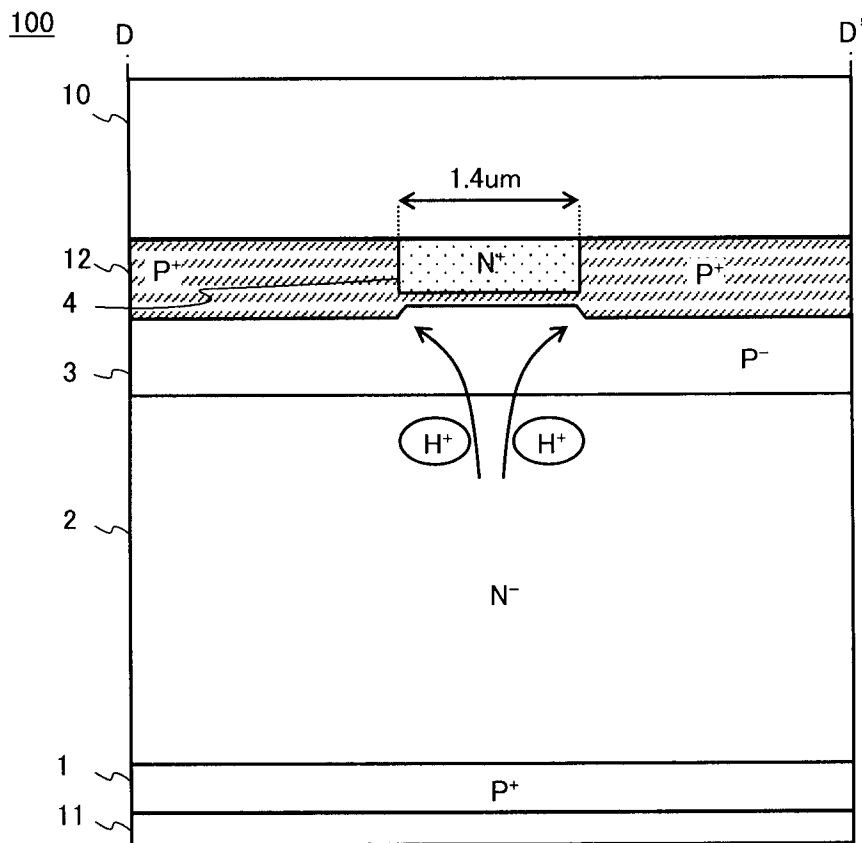
[図9]



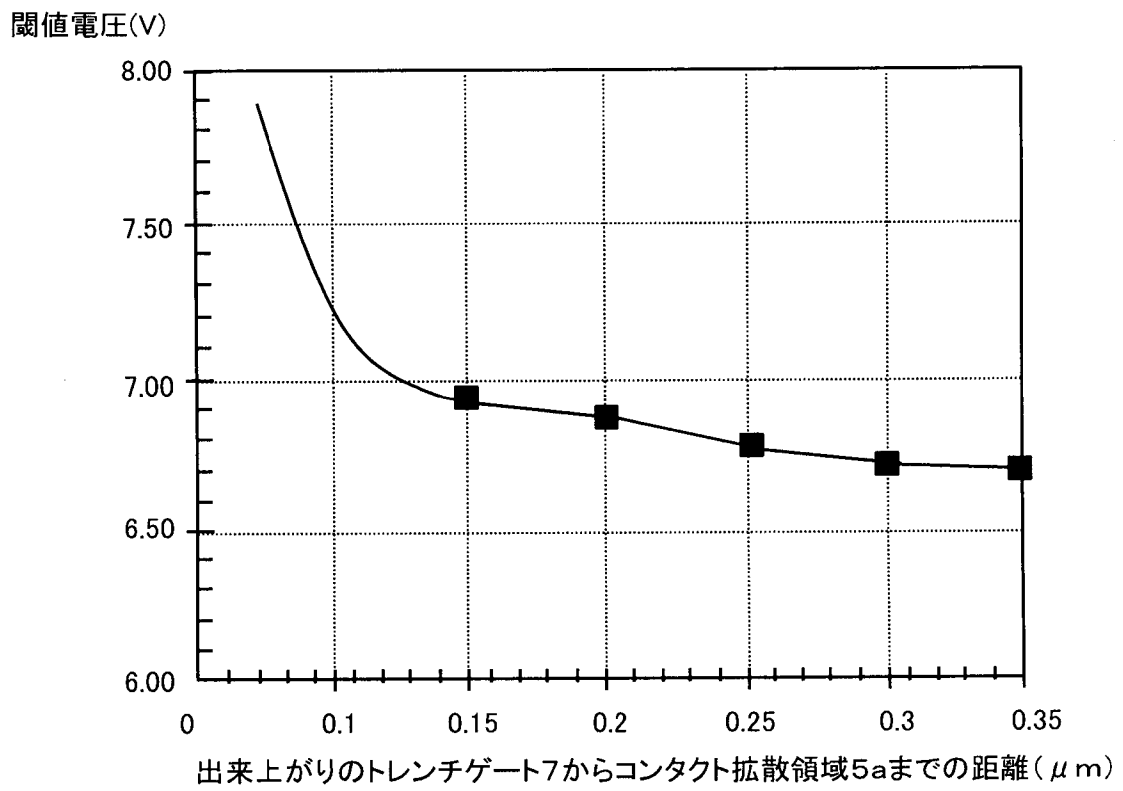
[図10]



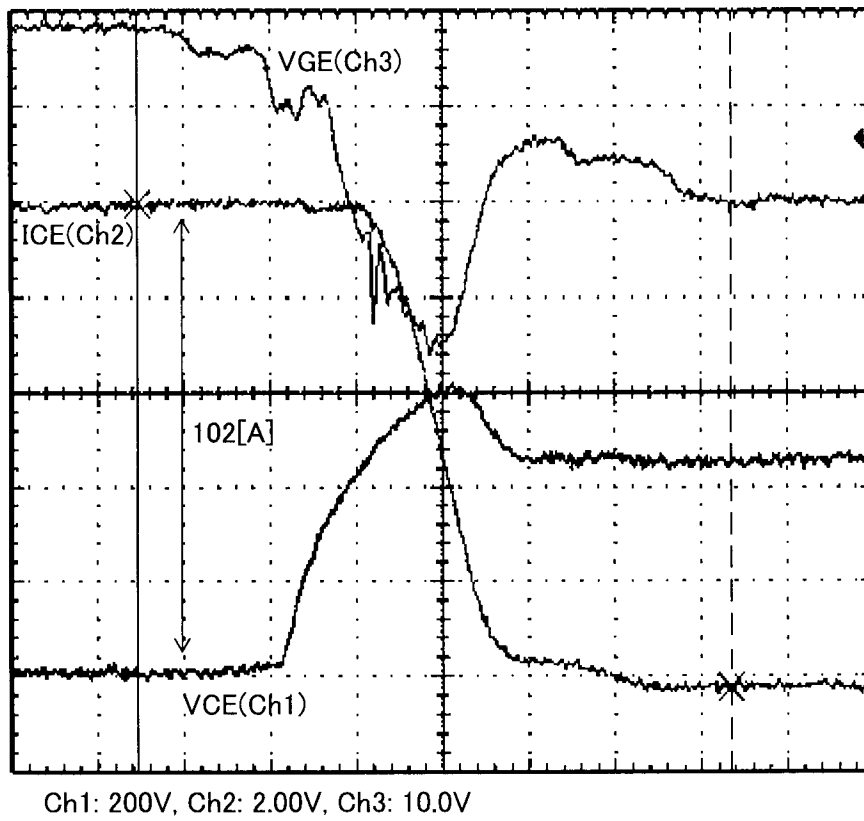
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/054201

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/739(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-028567 A (Denso Corp., Toyota Central Research and Development Laboratories, Inc.), 09 February 2012 (09.02.2012), paragraphs [0034] to [0089]; fig. 1 to 13 (Family: none)	1-15
Y	JP 11-243196 A (Fairchild Semiconductor Corp.), 07 September 1999 (07.09.1999), paragraphs [0016] to [0038]; fig. 1 to 9 & US 6429481 B1 column 4, line 42 to column 8, line 41; fig. 1 to 5 & WO 2008/147437 A1 & EP 923137 A2 & CN 1227418 A	1-15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 April 2016 (25.04.16)

Date of mailing of the international search report
10 May 2016 (10.05.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/054201

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-031484 A (Siliconix, Inc.), 28 January 2000 (28.01.2000), paragraphs [0028] to [0037]; fig. 4, 5 & US 6204533 B1 column 6, line 5 to column 7, line 20; fig. 4, 5 & KR 10-2000-0005824 A & EP 746030 A2	1-15

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/739(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/78, H01L21/336, H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-028567 A（株式会社デンソー、株式会社豊田中央研究所） 2012.02.09, 0034 段落ないし 0089 段落、図 1 ないし図 13 （ファミリーなし）	1-15
Y	JP 11-243196 A（フェアチャイルド・セミコンダクター・コーポ レイション）1999.09.07, 0016 段落ないし 0038 段落、図 1 ないし図 9 & US 6429481 B1, 第 4 欄第 42 行ないし第 8 欄第 41 行、図 1 ないし 図 5 & WO 2008/147437 A1 & EP 923137 A2 & CN 1227418 A	1-15

☑ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

25.04.2016

国際調査報告の発送日

10.05.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

棚田 一也

5 F

9361

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-031484 A (シリコニックス・インコーポレイテッド) 2000.01.28, 0028 段落ないし 0037 段落、図 4 及び図 5 & US 6204533 B1, 第 6 欄第 5 行ないし第 7 欄第 20 行、図 4 及び図 5 & KR 10-2000-0005824 A & EP 746030 A2	1-15