

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-27430

(P2007-27430A)

(43) 公開日 平成19年2月1日(2007.2.1)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F O 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 O 1
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 6 1	
HO 1 L 27/115 (2006.01)		
HO 1 L 27/10 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 20 頁)

(21) 出願番号	特願2005-207671 (P2005-207671)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成17年7月15日 (2005.7.15)	(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100075672 弁理士 峰 隆司
		(74) 代理人	100109830 弁理士 福原 淑弘

最終頁に続く

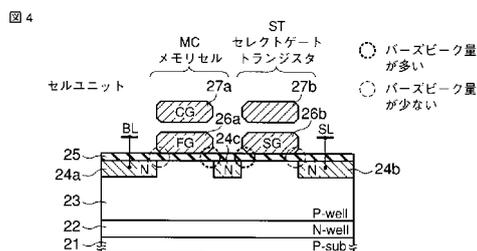
(54) 【発明の名称】 不揮発性半導体メモリ

(57) 【要約】

【課題】 書き込み特性の向上とバンド間トンネリングによるリークを防止する。

【解決手段】 本発明の例に関わる不揮発性半導体メモリは、フローティングゲート電極26a及びコントロールゲート電極27aを有するメモリセルMCと、セレクトゲート電極26bを有し、メモリセルMCに直列接続されるセレクトゲートトランジスタSTとを備え、セレクトゲート電極26bのメモリセルMC側のエッジのバースピーク量は、フローティングゲート電極26aの少なくとも1つのエッジのバースピーク量よりも多い。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

フローティングゲート電極及びコントロールゲート電極を有するメモリセルと、セレクトゲート電極を有し、前記メモリセルに直列接続されるセレクトゲートトランジスタとを具備し、前記セレクトゲート電極の前記メモリセル側のエッジのバースピーク量は、前記フローティングゲート電極の少なくとも1つのエッジのバースピーク量よりも多いことを特徴とする不揮発性半導体メモリ。

【請求項 2】

前記セレクトゲート電極の前記メモリセル側のエッジのバースピーク量は、前記フローティングゲート電極の全てのエッジのバースピーク量よりも多いことを特徴とする請求項 1 に記載の不揮発性半導体メモリ。

10

【請求項 3】

前記セレクトゲート電極の前記メモリセル側のエッジのバースピーク量は、前記セレクトゲート電極の前記メモリセルとは反対側のエッジのバースピーク量よりも多いことを特徴とする請求項 1 に記載の不揮発性半導体メモリ。

【請求項 4】

メモリセルのフローティングゲート電極及びセレクトゲートトランジスタのセレクトゲート電極を形成する工程と、前記フローティングゲート電極及び前記セレクトゲート電極を覆う絶縁膜を形成する工程と、前記絶縁膜を部分的にエッチングし、少なくとも前記セレクトゲート電極の前記メモリセル側のエッジを露出させる工程と、前記フローティングゲート電極及び前記セレクトゲート電極を酸化する工程とを具備することを特徴とする不揮発性半導体メモリの製造方法。

20

【請求項 5】

フローティングゲート電極のセレクトゲートトランジスタ側のエッジ及びセレクトゲート電極のメモリセル側のエッジを形成する工程と、前記フローティングゲート電極の前記セレクトゲートトランジスタ側のエッジ及び前記セレクトゲート電極の前記メモリセル側のエッジを酸化する工程と、前記フローティングゲート電極の前記セレクトゲートトランジスタとは反対側のエッジ及び前記セレクトゲート電極の前記メモリセルとは反対側のエッジを形成する工程と、前記フローティングゲート電極及び前記セレクトゲート電極の全てのエッジを酸化する工程とを具備することを特徴とする不揮発性半導体メモリの製造方法。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、不揮発性半導体メモリに関し、特に、FNトンネリングを用いてデータ書き込みを行うフラッシュメモリに適用される。

【背景技術】**【0002】**

FNトンネリングを用いてデータ書き込みを行うフラッシュメモリに共通の問題として、データ書き込み時における非選択セルでのバンド間トンネリングによるリーク電流と、メモリセルの電荷保持特性 (retention) とがある。

40

【0003】

非選択セルで生じるリーク電流は、高電圧を発生させる昇圧回路の昇圧能力を低下させるため、データ書き込み自体が行えなくなる危険性がある。また、メモリセルの微細化が進むと、フローティングゲート電極内の電荷のリーク速度が早くなり、データ (電荷) の保持期間が短くなる。

【0004】

このような問題を解決するための一つの方法として、メモリセルのフローティングゲート電極のエッジ及びセレクトゲートトランジスタのセレクトゲート電極のエッジを熱酸化により丸める技術が知られている (例えば、特許文献 1 ~ 4 参照)。

50

【0005】

エッジの丸みの程度は、エッジに形成される熱酸化膜の形状がバースピークに似ていることからバースピーク量で規定される。このバースピーク量を多くすれば、バンド間トンネリングによるリーク電流の防止と電荷保持特性の向上とを実現できる。

【0006】

しかし、メモリセルのフローティングゲート電極のバースピーク量が大きくなると、トンネル酸化膜（ゲート絶縁膜）の平均の厚さが大きくなり、書き込み特性、即ち、FNTトンネリングによりチャンネルからフローティングゲート電極に電荷を注入する効率が悪くなる。

【0007】

このように、従来では、フラッシュメモリのメモリセルの微細化が進むなか、書き込み特性を悪化させることなく、バンド間トンネリングによるリーク電流の防止と電荷保持特性の向上とを同時に実現することができない。

【特許文献1】特開平6-310731号公報

【特許文献2】特開平7-249697号公報

【特許文献3】特開平10-65028号公報

【特許文献4】特開平10-284626号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の例では、書き込み特性を悪化させることなく、バンド間トンネリングによるリーク電流の防止と電荷保持特性の向上とを実現する不揮発性半導体メモリのセルユニットのデバイス構造を提案する。

【課題を解決するための手段】

【0009】

本発明の例に関わる不揮発性半導体メモリは、フローティングゲート電極及びコントロールゲート電極を有するメモリセルと、セレクトゲート電極を有し、メモリセルに直列接続されるセレクトゲートトランジスタとを備え、セレクトゲート電極のメモリセル側のエッジのバースピーク量は、フローティングゲート電極の少なくとも1つのエッジのバースピーク量よりも多い。

【0010】

本発明の例に関わる不揮発性半導体メモリの製造方法は、メモリセルのフローティングゲート電極及びセレクトゲートトランジスタのセレクトゲート電極を形成する工程と、前記フローティングゲート電極及び前記セレクトゲート電極を覆う絶縁膜を形成する工程と、前記絶縁膜を部分的にエッチングし、少なくとも前記セレクトゲート電極の前記メモリセル側のエッジを露出させる工程と、前記フローティングゲート電極及び前記セレクトゲート電極を酸化する工程とを備える。

【0011】

本発明の例に関わる不揮発性半導体メモリの製造方法は、フローティングゲート電極のセレクトゲートトランジスタ側のエッジ及びセレクトゲート電極のメモリセル側のエッジを形成する工程と、前記フローティングゲート電極の前記セレクトゲートトランジスタ側のエッジ及び前記セレクトゲート電極の前記メモリセル側のエッジを酸化する工程と、前記フローティングゲート電極の前記セレクトゲートトランジスタとは反対側のエッジ及び前記セレクトゲート電極の前記メモリセルとは反対側のエッジを形成する工程と、前記フローティングゲート電極及び前記セレクトゲート電極の全てのエッジを酸化する工程とを備える。

【発明の効果】

【0012】

本発明の例によれば、書き込み特性を悪化させることなく、バンド間トンネリングによるリーク電流の防止と電荷保持特性の向上とを実現できる。

10

20

30

40

50

【発明を実施するための最良の形態】

【0013】

以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

【0014】

1. 概要

本発明の例では、セレクトゲート電極のメモリセル側のエッジのバースピーク量を、フローティングゲート電極の少なくとも1つのエッジのバースピーク量よりも多くすることにより、書き込み特性を悪化させることなく、バンド間トンネリングによるリーク電流の防止と電荷保持特性の向上とを実現する。

10

【0015】

F N トンネリングを用いてデータ書き込みを行うフラッシュメモリとしては、現在、N A N D型、3 T r N A N D型、N A N O型などの種類が知られている。N A N D型は、セルユニットが、2つのセレクトゲートトランジスタと、これらの間に直列接続される複数のメモリセルとから構成される。

【0016】

3 T r N A N D型は、セルユニットが、2つのセレクトゲートトランジスタと、これらの間に直列接続される1つのメモリセルとから構成される。また、N A N O型は、セルユニットが、直列接続される1つのセレクトゲートトランジスタと1つのメモリセルとから構成され、N A N D型とN O R型の利点を併せ持つ点に特徴を有する。

20

【0017】

このようなフラッシュメモリにおいて、バンド間トンネリングによるリーク電流の防止と電荷保持特性の向上とを実現するには、メモリセルのフローティングゲート電極のエッジ及びセレクトゲートトランジスタのセレクトゲート電極のエッジを熱酸化により丸めればよい。

【0018】

しかし、メモリセルのフローティングゲート電極のエッジ及びセレクトゲートトランジスタのセレクトゲート電極のエッジを一律に丸めると、トンネル酸化膜の平均の厚さが大きくなり、書き込み特性との両立が図れなくなる。

【0019】

そこで、本発明の例では、まず、バンド間トンネリングによるリーク電流の原因について検討する。

30

【0020】

図1は、N A N O型フラッシュメモリのメモリセルアレイを示している。図2は、データ書き込み時の選択ユニットU T sの電圧関係を示し、図3は、データ書き込み時の非選択ユニットU T uの電圧関係を示している。

【0021】

メモリセルM Cのフローティングゲート電極2 6 aとセレクトゲートトランジスタS Tのセレクトゲート電極2 6 bとは、それぞれ同じバースピーク量でエッジが丸められている。

40

【0022】

全てのメモリセルM Cの初期状態は、消去状態で、フローティングゲート電極(F G) 2 6 a内には正孔(プラス電荷)が蓄積され、閾値はマイナスになっている。この状態から選択ユニットU T s内のメモリセルM Cに対してデータ書き込みを実行する。即ち、選択ユニットU T s内のメモリセルM Cのフローティングゲート電極2 6 a内に電子(マイナス電荷)を注入し、閾値をプラスにする。

【0023】

選択ユニットU T sでは、セレクトゲートトランジスタS Tのセレクトゲート電極(S G) 2 6 bの電圧V s gを0 Vにし、メモリセルM Cのコントロールゲート電極2 6 aの電圧V c gをV p pにする。また、ビット線B L 1の電圧を-V p pにし、ソース線S L

50

の電圧 V_s を 0 V にする。

【0024】

非選択ユニット UT_u では、セレクトゲートトランジスタ ST のセレクトゲート電極 $26b$ の電圧 V_{sg} を $-V_{pp}$ にし、メモリセル MC のコントロールゲート電極 $26a$ の電圧 V_{cg} を 0 V にする。また、ビット線 BL_2 の電圧及びソース線 SL の電圧 V_s を共に 0 V にする。

【0025】

選択ユニット UT_s 及び非選択ユニット UT_u 共に、これらセルユニットが形成される P 型ウェル領域 23 の電圧 PW は、 $-V_{pp}$ に設定する。

【0026】

このような電圧関係に設定すると、選択ユニット UT_s では、図 2 に示すように、メモリセル MC のチャネルとフローティングゲート電極 $26a$ との間に高電圧がかかり、電子がフローティングゲート電極 $26a$ 内に注入される。

【0027】

この時、非選択ユニット UT_u では、図 3 に示すように、メモリセル MC がオン、セレクトゲートトランジスタ ST がオフとなり、ビット線 BL_2 から N 型拡散層 $24a$, $24c$ を経由して P 型ウェル領域 23 に向かってバンド間トンネリングによるリーク電流 I が発生する。

【0028】

この場合、選択ユニット UT_s と非選択ユニット UT_u で共通の P 型ウェル領域 23 には常に正孔（プラスの電荷）が供給され、 P 型ウェル領域 23 の電圧を決定する $-V_{pp}$ 発生回路 13 の昇圧能力を低下させる。このため、選択ユニット UT_s 内のメモリセル MC のチャネルとフローティングゲート電極 $26a$ との間に十分な高電圧がかからずに、データ書き込みが行えなくなる。

【0029】

バンド間トンネリングによるリーク電流について詳しく調べると、主に、セレクトゲートトランジスタ ST のドレイン（メモリセル MC 側 N 型拡散層） $24c$ で発生する。その原因は、非選択ユニット UT_u では、メモリセル MC がオンで、セレクトゲートトランジスタ ST のドレイン $24c$ とセレクトゲート電極 $26b$ との間に高電界が発生するためである。

【0030】

そこで、本発明の例では、まず、書き込み特性の向上と電荷保持特性の向上とを両立できるメモリセル MC のフローティングゲート電極 $26a$ のエッジのバースピーク量を独自に決定する。

【0031】

そして、バンド間トンネリングによるリーク電流については、セレクトゲート電極 $26b$ のメモリセル MC 側のエッジのバースピーク量を、フローティングゲート電極 $26a$ のエッジのバースピーク量とは無関係に決定することにより防止する。

【0032】

具体的には、セレクトゲート電極 $26b$ のメモリセル MC 側のエッジのバースピーク量を、フローティングゲート電極 $26a$ の少なくとも 1 つのエッジのバースピーク量よりも多くする。

【0033】

これにより、書き込み特性を悪化させることなく、バンド間トンネリングによるリーク電流の防止と電荷保持特性の向上とを図る。

【0034】

尚、セレクトゲートトランジスタ ST のゲート絶縁膜の厚さは、メモリセル MC のトンネル酸化膜（ゲート絶縁膜）の厚さと同じであってもよいし、それより大きくてもよい。

【0035】

2. 実施の形態

10

20

30

40

50

次に、最良と思われるいくつかの実施の形態について、NANO型フラッシュメモリのセルユニットを例に説明する。

【0036】

(1) 第1実施の形態

A. デバイス構造

図4は、メモリセルアレイを構成するセルユニットを示している。

P型半導体基板(P-sub)21の表面領域には、N型ウェル領域(N-well)22とP型ウェル領域(P-well)23からなるダブルウェルが形成される。

【0037】

P型ウェル領域23内には、ビット線BLに接続されるN型拡散層(ドレイン)24a、ソース線SLに接続されるN型拡散層(ソース)及びメモリセルMCとセレクトゲートトランジスタSTに共有されるN型拡散層(ソース/ドレイン)24cが形成される。 10

【0038】

N型拡散層24a, 24c間のチャンネル上には、ゲート絶縁膜25を介して、フローティングゲート電極26a及びコントロールゲート電極27aが形成される。また、N型拡散層24b, 24c間のチャンネル上には、ゲート絶縁膜25を介して、セレクトゲート電極26bが形成される。

【0039】

メモリセルMCとセレクトゲートトランジスタSTは、共にスタックゲート構造を有している。セレクトゲートトランジスタSTに関しては、上部電極27bは、下部電極(セレクトゲート電極)26bと電氣的に接続されていてもよいし、また、電氣的に独立していてもよい。 20

【0040】

そして、セレクトゲート電極26bのメモリセルMC側のエッジのバースピーク量は、フローティングゲート電極26aの少なくとも1つのエッジ、即ち、セレクトゲートトランジスタSTとは反対側(N型拡散層24a側)のエッジのバースピーク量よりも多い。

【0041】

これにより、データ書き込み時にセレクトゲートトランジスタSTのドレイン24cとセレクトゲート電極26bとの間に発生する高電界を十分に緩和できるため、書き込み特性を悪化させることなく、バンド間トンネリングによるリーク電流の防止と電荷保持特性の向上とを実現できる。 30

【0042】

B. 製造方法

次に、図4のデバイス構造の製造方法について説明する。

【0043】

・ 第1例

まず、図5に示すように、P型半導体基板21の表面領域に、N型ウェル領域22とP型ウェル領域23からなるダブルウェルを形成する。また、素子分離プロセスを経た後、CVD法により、P型ウェル領域23上に、例えば、酸化シリコンからなるゲート絶縁膜25を形成する。 40

【0044】

この後、ゲート絶縁膜25上に、1層目導電性ポリシリコン、インターポリ絶縁膜(例えば、酸化シリコン/窒化シリコン/酸化シリコンの積層膜)28及び2層目導電性ポリシリコンを形成する。

【0045】

フォトリソグラフィにより、フォトレジスト29からなるレジストパターンを形成し、このレジストパターンをマスクにして、RIEにより、2層目導電性ポリシリコン、インターポリ絶縁膜28及び1層目導電性ポリシリコンを順次エッチングする。

【0046】

その結果、メモリセルMCのフローティングゲート電極26a及びコントロールゲート 50

電極 27a が形成されると共に、セレクトゲートトランジスタ ST のセレクトゲート電極 26b が形成される。

【0047】

この後、フォトレジスト 29 は除去される。

【0048】

次に、図 6 に示すように、CVD 法により、メモリセル MC 及びセレクトゲートトランジスタ ST を覆う絶縁膜 30 を形成する。絶縁膜 30 は、酸素を透過する性質を有する材料、例えば、酸化シリコンから構成される。

【0049】

次に、図 7 に示すように、フォトリソグラフィにより、フォトレジスト 31 からなるレジストパターンを形成し、このレジストパターンをマスクにして、RIE により絶縁膜 30 をエッチングする。 10

【0050】

その結果、フローティングゲート電極 26a のセレクトゲートトランジスタ ST 側のエッジとセレクトゲート電極 26b のメモリセル MC 側のエッジとがそれぞれ剥き出しになる。

【0051】

この後、フォトレジスト 31 は除去される。

【0052】

次に、図 8 に示すように、熱酸化を行い、フローティングゲート電極 26a の表面及びセレクトゲート電極 26b の表面に熱酸化膜 32 を形成する。 20

【0053】

熱酸化膜 32 は、コントロールゲート電極 27a の表面及び上部電極 27b の表面にも形成される。

【0054】

ここで、この熱酸化プロセスは、フローティングゲート電極 26a 及びセレクトゲート電極 26b を形成した後に、これらのエッジを丸めることを主目的に行われるもので、一般には後酸化プロセスと称される。

【0055】

熱酸化時に、絶縁膜 30 は、下地となるポリシリコンの熱酸化を制限するマスクとして機能する。つまり、絶縁膜 30 の厚さに応じて、フローティングゲート電極 26a のセレクトゲートトランジスタ ST とは反対側（ドレイン側）のエッジとセレクトゲート電極 26b のメモリセル MC とは反対側（ソース側）のエッジのバースピーク量を調整できる。 30

【0056】

本例では、絶縁膜 30 が存在することにより、フローティングゲート電極 26a のセレクトゲートトランジスタ ST 側のエッジとセレクトゲート電極 26b のメモリセル MC 側のエッジのバースピーク量は、フローティングゲート電極 26a のセレクトゲートトランジスタ ST とは反対側のエッジとセレクトゲート電極 26b のメモリセル MC とは反対側のエッジのバースピーク量よりも多くなる。

【0057】

次に、図 9 に示すように、イオン注入法により、P 型ウェル領域 23 内に N 型不純物をセルフアラインで注入すると、P 型ウェル領域 23 内には、N 型拡散層 24a, 24b, 24c がそれぞれ形成される。 40

【0058】

この後、CVD 法により、メモリセル MC 及びセレクトゲートトランジスタ ST を覆う絶縁膜を形成し、さらに、N 型拡散層 24a にはビット線 BL を接続し、N 型拡散層 24b にはソース線 SL を接続する。

【0059】

以上の工程により、図 4 のデバイス構造が完成する。

【0060】

・ 第 2 例

まず、図 10 に示すように、P 型半導体基板 21 の表面領域に、N 型ウェル領域 22 と P 型ウェル領域 23 からなるダブルウェルを形成する。また、素子分離プロセスを経た後、CVD 法により、P 型ウェル領域 23 上に、例えば、酸化シリコンからなるゲート絶縁膜 25 を形成する。

【0061】

この後、ゲート絶縁膜 25 上に、1 層目導電性ポリシリコン、インターポリ絶縁膜（例えば、酸化シリコン / 窒化シリコン / 酸化シリコンの積層膜）28 及び 2 層目導電性ポリシリコンを形成する。

【0062】

フォトリソグラフィにより、フォトレジスト 33 からなるレジストパターンを形成し、このレジストパターンをマスクにして、RIE により、2 層目導電性ポリシリコン、インターポリ絶縁膜 28 及び 1 層目導電性ポリシリコンを順次エッチングする。

【0063】

その結果、メモリセル MC のフローティングゲート電極 26 a のセレクトゲートトランジスタ ST 側のエッジと、セレクトゲートトランジスタ ST のセレクトゲート電極 26 b のメモリセル MC 側のエッジとが同時に形成される。

【0064】

この後、フォトレジスト 33 は除去される。

【0065】

次に、図 11 に示すように、1 回目の熱酸化を行い、フローティングゲート電極 26 a の表面及びセレクトゲート電極 26 b の表面に熱酸化膜 34 を形成する。熱酸化膜 34 は、コントロールゲート電極 27 a の表面及び上部電極 27 b の表面にも形成される。

【0066】

次に、図 12 に示すように、フォトリソグラフィにより、フォトレジスト 35 からなるレジストパターンを形成し、このレジストパターンをマスクにして、RIE により、2 層目導電性ポリシリコン、インターポリ絶縁膜 28 及び 1 層目導電性ポリシリコンを順次エッチングする。

【0067】

その結果、メモリセル MC のフローティングゲート電極 26 a のセレクトゲートトランジスタ ST とは反対側のエッジと、セレクトゲートトランジスタ ST のセレクトゲート電極 26 b のメモリセル MC とは反対側のエッジとが同時に形成される。

【0068】

この後、フォトレジスト 35 は除去される。

【0069】

次に、図 13 に示すように、2 回目の熱酸化を行い、フローティングゲート電極 26 a の表面及びセレクトゲート電極 26 b の表面に熱酸化膜 36 を形成する。熱酸化膜 36 は、コントロールゲート電極 27 a の表面及び上部電極 27 b の表面にも形成される。

【0070】

ここで、フローティングゲート電極 26 a のセレクトゲートトランジスタ ST 側のエッジとセレクトゲート電極 26 b のメモリセル MC 側のエッジは、2 回の熱酸化プロセスにより丸められ、フローティングゲート電極 26 a のセレクトゲートトランジスタ ST とは反対側のエッジとセレクトゲート電極 26 b のメモリセル MC とは反対側のエッジは、1 回の熱酸化プロセスにより丸められる。

【0071】

従って、フローティングゲート電極 26 a のセレクトゲートトランジスタ ST 側のエッジとセレクトゲート電極 26 b のメモリセル MC 側のエッジのバースピーク量は、フローティングゲート電極 26 a のセレクトゲートトランジスタ ST とは反対側のエッジとセレクトゲート電極 26 b のメモリセル MC とは反対側のエッジのバースピーク量よりも多くなる。

10

20

30

40

50

【0072】

次に、図14に示すように、イオン注入法により、P型ウェル領域23内にN型不純物をセルフラインで注入すると、P型ウェル領域23内には、N型拡散層24a, 24b, 24cがそれぞれ形成される。

【0073】

この後、CVD法により、メモリセルMC及びセレクトゲートトランジスタSTを覆う絶縁膜を形成し、さらに、N型拡散層24aにはビット線BLを接続し、N型拡散層24bにはソース線SLを接続する。

【0074】

以上の工程により、図4のデバイス構造が完成する。

10

【0075】

(2) 第2実施の形態

A. デバイス構造

図15は、メモリセルアレイを構成するセルユニットを示している。

P型半導体基板(P-sub)21の表面領域には、N型ウェル領域(N-well)22とP型ウェル領域(P-well)23からなるダブルウェルが形成される。

【0076】

P型ウェル領域23内には、ビット線BLに接続されるN型拡散層(ドレイン)24a、ソース線SLに接続されるN型拡散層(ソース)及びメモリセルMCとセレクトゲートトランジスタSTに共有されるN型拡散層(ソース/ドレイン)24cが形成される。

20

【0077】

N型拡散層24a, 24c間のチャンネル上には、ゲート絶縁膜25を介して、フローティングゲート電極26a及びコントロールゲート電極27aが形成される。また、N型拡散層24b, 24c間のチャンネル上には、ゲート絶縁膜25を介して、セレクトゲート電極26bが形成される。

【0078】

メモリセルMCとセレクトゲートトランジスタSTは、共にスタックゲート構造を有している。セレクトゲートトランジスタSTに関しては、上部電極27bは、下部電極(セレクトゲート電極)26bと電氣的に接続されていてもよいし、また、電氣的に独立していてもよい。

30

【0079】

そして、セレクトゲート電極26bのメモリセルMC側のエッジのバースピーク量は、フローティングゲート電極26aの少なくとも1つのエッジのバースピーク量よりも多くなっている。本例では、セレクトゲート電極26bのメモリセルMC側のエッジのバースピーク量は、フローティングゲート電極26aの全てのエッジのバースピーク量よりも多い。

【0080】

これにより、データ書き込み時にセレクトゲートトランジスタSTのドレイン24cとセレクトゲート電極26bとの間に発生する高電界を十分に緩和できるため、書き込み特性を悪化させることなく、バンド間トンネリングによるリーク電流の防止と電荷保持特性の向上とを実現できる。

40

【0081】

B. 製造方法

次に、図15のデバイス構造の製造方法について説明する。

【0082】

まず、図16に示すように、P型半導体基板21の表面領域に、N型ウェル領域22とP型ウェル領域23からなるダブルウェルを形成する。また、素子分離プロセスを経た後、CVD法により、P型ウェル領域23上に、例えば、酸化シリコンからなるゲート絶縁膜25を形成する。

【0083】

50

この後、ゲート絶縁膜 25 上に、1 層目導電性ポリシリコン、インターポリ絶縁膜（例えば、酸化シリコン/窒化シリコン/酸化シリコンの積層膜）28 及び 2 層目導電性ポリシリコンを形成する。

【0084】

フォトリソグラフィにより、フォトレジスト 37 からなるレジストパターンを形成し、このレジストパターンをマスクにして、RIEにより、2 層目導電性ポリシリコン、インターポリ絶縁膜 28 及び 1 層目導電性ポリシリコンを順次エッチングする。

【0085】

その結果、メモリセル MC のフローティングゲート電極 26a 及びコントロールゲート電極 27a が形成されると共に、セレクトゲートトランジスタ ST のセレクトゲート電極 26b が形成される。

10

【0086】

この後、フォトレジスト 37 は除去される。

【0087】

次に、図 17 に示すように、CVD 法により、メモリセル MC 及びセレクトゲートトランジスタ ST を覆う絶縁膜 38 を形成する。絶縁膜 38 は、酸素を透過する性質を有する材料、例えば、酸化シリコンから構成される。

【0088】

次に、図 18 に示すように、フォトリソグラフィにより、フォトレジスト 39 からなるレジストパターンを形成し、このレジストパターンをマスクにして、RIE により絶縁膜 38 をエッチングする。

20

【0089】

その結果、フローティングゲート電極 26a 及びコントロールゲート電極 27a の全てのエッジは、それぞれ絶縁膜 38 により覆われた状態となり、一方、セレクトゲート電極 26b 及び上部電極 27b の全てのエッジは、それぞれ剥き出しになる。

【0090】

この後、フォトレジスト 39 は除去される。

【0091】

次に、図 19 に示すように、熱酸化を行い、フローティングゲート電極 26a の表面及びセレクトゲート電極 26b の表面に熱酸化膜 40 を形成する。

30

【0092】

熱酸化膜 40 は、コントロールゲート電極 27a の表面及び上部電極 27b の表面にも形成される。

【0093】

熱酸化時に、絶縁膜 38 は、下地となるポリシリコンの熱酸化を制限するマスクとして機能する。つまり、絶縁膜 38 の厚さに応じて、フローティングゲート電極 26a のエッジのバースピーク量を調整できる。

【0094】

本例では、絶縁膜 38 が存在することにより、セレクトゲート電極 26b のエッジのバースピーク量は、フローティングゲート電極 26a の全てのエッジのバースピーク量よりも多くなる。

40

【0095】

次に、図 20 に示すように、イオン注入法により、P 型ウェル領域 23 内に N 型不純物をセルフラインで注入すると、P 型ウェル領域 23 内には、N 型拡散層 24a, 24b, 24c がそれぞれ形成される。

【0096】

この後、CVD 法により、メモリセル MC 及びセレクトゲートトランジスタ ST を覆う絶縁膜を形成し、さらに、N 型拡散層 24a にはビット線 BL を接続し、N 型拡散層 24b にはソース線 SL を接続する。

【0097】

50

以上の工程により、図 15 のデバイス構造が完成する。

【0098】

(3) 第3実施の形態

A. デバイス構造

図 21 は、メモリセルアレイを構成するセルユニットを示している。

P 型半導体基板 (P-sub) 21 の表面領域には、N 型ウェル領域 (N-well) 22 と P 型ウェル領域 (P-well) 23 からなるダブルウェルが形成される。

【0099】

P 型ウェル領域 23 内には、ビット線 BL に接続される N 型拡散層 (ドレイン) 24a、ソース線 SL に接続される N 型拡散層 (ソース) 及びメモリセル MC とセレクトゲートトランジスタ ST に共有される N 型拡散層 (ソース/ドレイン) 24c が形成される。 10

【0100】

N 型拡散層 24a、24c 間のチャネル上には、ゲート絶縁膜 25 を介して、フローティングゲート電極 26a 及びコントロールゲート電極 27a が形成される。また、N 型拡散層 24b、24c 間のチャネル上には、ゲート絶縁膜 25 を介して、セレクトゲート電極 26b が形成される。

【0101】

メモリセル MC とセレクトゲートトランジスタ ST は、共にスタックゲート構造を有している。セレクトゲートトランジスタ ST に関しては、上部電極 27b は、下部電極 (セレクトゲート電極) 26b と電氣的に接続されていてもよいし、また、電氣的に独立して 20

【0102】

そして、セレクトゲート電極 26b のメモリセル MC 側のエッジのバースピーク量は、フローティングゲート電極 26a の少なくとも 1 つのエッジのバースピーク量よりも多くなっている。

【0103】

本例では、セレクトゲート電極 26b のメモリセル MC 側のエッジのバースピーク量は、フローティングゲート電極 26a の全てのエッジのバースピーク量及びセレクトゲート電極 26b のメモリセル MC とは反対側のエッジのバースピーク量よりも多い。

【0104】

これにより、データ書き込み時にセレクトゲートトランジスタ ST のドレイン 24c とセレクトゲート電極 26b との間に発生する高電界を十分に緩和できるため、書き込み特性を悪化させることなく、バンド間トンネリングによるリーク電流の防止と電荷保持特性の向上とを実現できる。 30

【0105】

B. 製造方法

次に、図 21 のデバイス構造の製造方法について説明する。

【0106】

まず、図 22 に示すように、P 型半導体基板 21 の表面領域に、N 型ウェル領域 22 と P 型ウェル領域 23 からなるダブルウェルを形成する。また、素子分離プロセスを経た後、CVD 法により、P 型ウェル領域 23 上に、例えば、酸化シリコンからなるゲート絶縁膜 25 を形成する。 40

【0107】

この後、ゲート絶縁膜 25 上に、1 層目導電性ポリシリコン、インターポリ絶縁膜 (例えば、酸化シリコン/窒化シリコン/酸化シリコンの積層膜) 28 及び 2 層目導電性ポリシリコンを形成する。

【0108】

フォトリソグラフィにより、フォトレジスト 37 からなるレジストパターンを形成し、このレジストパターンをマスクにして、RIE により、2 層目導電性ポリシリコン、インターポリ絶縁膜 28 及び 1 層目導電性ポリシリコンを順次エッチングする。 50

【0109】

その結果、メモリセルMCのフローティングゲート電極26a及びコントロールゲート電極27aが形成されると共に、セレクトゲートトランジスタSTのセレクトゲート電極26bが形成される。

【0110】

この後、フォトレジスト37は除去される。

【0111】

次に、図23に示すように、CVD法により、メモリセルMC及びセレクトゲートトランジスタSTを覆う絶縁膜38を形成する。絶縁膜38は、酸素を透過する性質を有する材料、例えば、酸化シリコンから構成される。

10

【0112】

次に、図24に示すように、フォトリソグラフィにより、フォトレジスト39からなるレジストパターンを形成し、このレジストパターンをマスクにして、RIEにより絶縁膜38をエッチングする。

【0113】

その結果、フローティングゲート電極26a及びコントロールゲート電極27aの全てのエッジは、それぞれ絶縁膜38により覆われた状態となり、セレクトゲート電極26b及び上部電極27bのメモリセルMCとは反対側のエッジも、それぞれ絶縁膜38により覆われた状態となる。

【0114】

一方、セレクトゲート電極26b及び上部電極27bのメモリセルMC側のエッジは、それぞれ剥き出しになる。

20

【0115】

この後、フォトレジスト39は除去される。

【0116】

次に、図25に示すように、熱酸化を行い、フローティングゲート電極26aの表面及びセレクトゲート電極26bの表面に熱酸化膜40を形成する。

【0117】

熱酸化膜40は、コントロールゲート電極27aの表面及び上部電極27bの表面にも形成される。

30

【0118】

熱酸化時に、絶縁膜38は、下地となるポリシリコンの熱酸化を制限するマスクとして機能する。つまり、絶縁膜38の厚さに応じて、その直下のエッジのバースピーク量を調整できる。

【0119】

本例では、絶縁膜38が存在することにより、セレクトゲート電極26bのメモリセルMC側のエッジのバースピーク量は、フローティングゲート電極26aの全てのエッジのバースピーク量及びセレクトゲート電極26bのメモリセルMCとは反対側のエッジのバースピーク量よりも多くなる。

【0120】

次に、図26に示すように、イオン注入法により、P型ウェル領域23内にN型不純物をセルフラインで注入すると、P型ウェル領域23内には、N型拡散層24a、24b、24cがそれぞれ形成される。

40

【0121】

この後、CVD法により、メモリセルMC及びセレクトゲートトランジスタSTを覆う絶縁膜を形成し、さらに、N型拡散層24aにはビット線BLを接続し、N型拡散層24bにはソース線SLを接続する。

【0122】

以上の工程により、図21のデバイス構造が完成する。

【0123】

50

3. 実験例

本発明の例に関わるデバイス構造と従来のデバイス構造とについて実験により求めたバースピーク量とリーク電流（バンド間トンネル電流）との関係を以下に説明する。

【0124】

サンプルは、図4に示すようなNANO型フラッシュメモリとし、非選択ユニットにおける電圧関係は、図27(a)に示すように、ソース電圧 V_s を3V、ドレイン電圧 V_d を0V、基板電圧 V_{sub} を-6V、コントロールゲート電圧 V_{cg} を0V、セレクトゲート電圧 V_{sg} を-6Vとする。

【0125】

メモリセルの状態は、フローティングゲート電極FGに正孔（プラス電荷）が蓄積された状態とする。 10

【0126】

この場合、図27(b)に示すように、従来のデバイス構造であって、セレクトゲート電極SGのメモリセル側のエッジのバースピーク量(Post-Ox)が半導体基板(Bulk-Si)上の酸化膜25の厚さで規定して約6nmのときは、リーク電流 I_{sub} の平均値は、61.4 μ Aと非常に大きな値になる。

【0127】

これに対し、本発明の例に関わるデバイス構造であって、セレクトゲート電極SGのメモリセル側のエッジのバースピーク量(Post-Ox)が半導体基板(Bulk-Si)上の酸化膜25の厚さで規定して約10nmのときは、リーク電流 I_{sub} の平均値は、19.8 μ Aと小さな値になる。 20

【0128】

このように、リーク電流 I_{sub} の平均値については、両者の差は、41.6 μ Aであり、比率的には、従来の約1/3に抑えることができる。また、ばらつきについては、両者の差は、3.0 μ Aであり、比率的には、従来の約1/2.5に抑えることができる。

【0129】

4. 適用例

次に、本発明の例に関わるセルユニットの適用例について説明する。

【0130】

図28は、システムLSIの例を示している。 30

近年、特定用途に用いられるシステムLSIが注目されている。システムLSIとは、例えば、1チップ内に複数の機能ブロックを混載したSoC(system on chip)のことであり、マイコン(MC)、マイクロプロセッサ(MPU)などを含む。

【0131】

本例では、1チップ内に、フラッシュメモリ(NAND, 3Tr-NAND, NANO)及びCPUが混載される。I/Oは、入出力回路である。

【0132】

ここで、フラッシュメモリのそれぞれについて、本発明の例に関わるデバイス構造を適用することができる。 40

【0133】

例えば、NAND型フラッシュメモリは、図29に示すように、セルユニットが、2つのセレクトゲートトランジスタと、これらの間に直列接続される複数のメモリセルとから構成される。また、3TrNAND型フラッシュメモリは、図30に示すように、セルユニットが、2つのセレクトゲートトランジスタと、これらの間に直列接続される1つのメモリセルとから構成される。

【0134】

この場合、2つのセレクトゲートトランジスタのセレクトゲート電極のメモリセル側のエッジのバースピーク量を、それぞれメモリセルのフローティングゲート電極の少なくとも1つのエッジのバースピーク量よりも多くすることにより、書き込み特性を悪化させる 50

ことなく、バンド間トンネリングによるリーク電流の防止と電荷保持特性の向上とを実現できる。

【0135】

また、NANO型フラッシュメモリは、図31に示すように、セルユニットが、直列接続される1つのセレクトゲートトランジスタと1つのメモリセルとから構成される。

【0136】

この場合、セレクトゲートトランジスタのセレクトゲート電極のメモリセル側のエッジのバースピーク量を、メモリセルのフローティングゲート電極の少なくとも1つのエッジのバースピーク量よりも多くすることにより、書き込み特性を悪化させることなく、バンド間トンネリングによるリーク電流の防止と電荷保持特性の向上とを実現できる。

10

【0137】

5. その他

本発明の例によれば、書き込み特性を悪化させることなく、バンド間トンネリングによるリーク電流の防止と電荷保持特性の向上とを実現できる。

【0138】

本発明の例は、上述の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施の形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の実施の形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施の形態の構成要素を適宜組み合わせてもよい。

20

【図面の簡単な説明】

【0139】

【図1】フラッシュメモリのメモリセルアレイの例を示す図。

【図2】データ書き込み時の選択ユニットの電圧関係を示す図。

【図3】データ書き込み時の非選択ユニットの電圧関係を示す図。

【図4】第1実施の形態のデバイス構造を示す図。

【図5】図4のセルユニットの製造方法の第1例を示す図。

【図6】図4のセルユニットの製造方法の第1例を示す図。

【図7】図4のセルユニットの製造方法の第1例を示す図。

【図8】図4のセルユニットの製造方法の第1例を示す図。

30

【図9】図4のセルユニットの製造方法の第1例を示す図。

【図10】図4のセルユニットの製造方法の第2例を示す図。

【図11】図4のセルユニットの製造方法の第2例を示す図。

【図12】図4のセルユニットの製造方法の第2例を示す図。

【図13】図4のセルユニットの製造方法の第2例を示す図。

【図14】図4のセルユニットの製造方法の第2例を示す図。

【図15】第2実施の形態のデバイス構造を示す図。

【図16】図15のセルユニットの製造方法を示す図。

【図17】図15のセルユニットの製造方法を示す図。

【図18】図15のセルユニットの製造方法を示す図。

40

【図19】図15のセルユニットの製造方法を示す図。

【図20】図15のセルユニットの製造方法を示す図。

【図21】第3実施の形態のデバイス構造を示す図。

【図22】図21のセルユニットの製造方法を示す図。

【図23】図21のセルユニットの製造方法を示す図。

【図24】図21のセルユニットの製造方法を示す図。

【図25】図21のセルユニットの製造方法を示す図。

【図26】図21のセルユニットの製造方法を示す図。

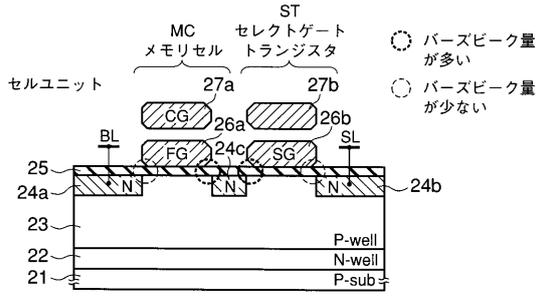
【図27】バースピーク量とリーク電流との関係を示す図。

【図28】本発明の例が適用されるシステムLSIを示す図。

50

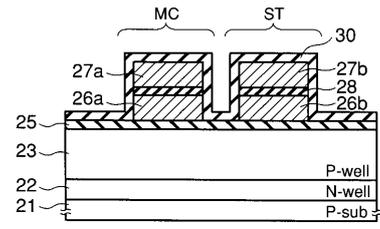
【 図 4 】

図 4



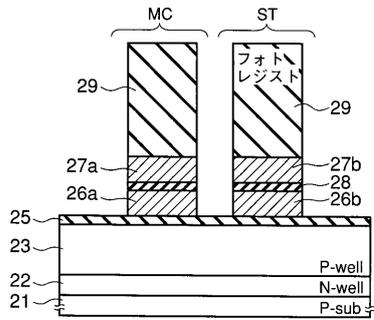
【 図 6 】

図 6



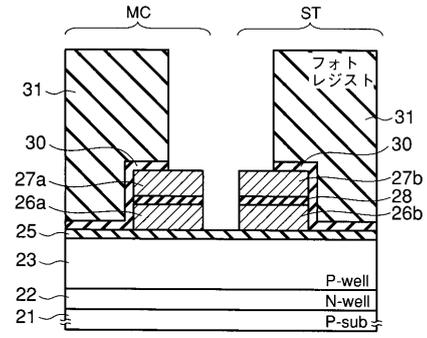
【 図 5 】

図 5



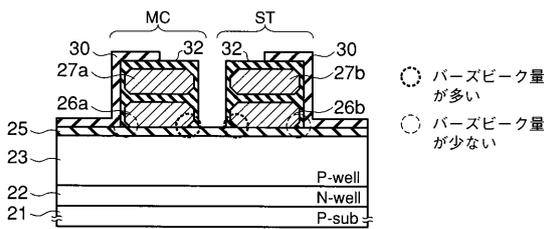
【 図 7 】

図 7



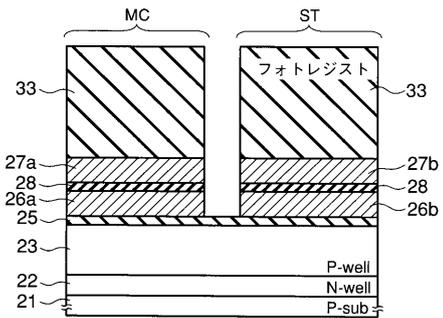
【 図 8 】

図 8



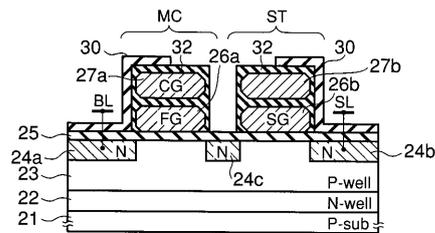
【 図 10 】

図 10



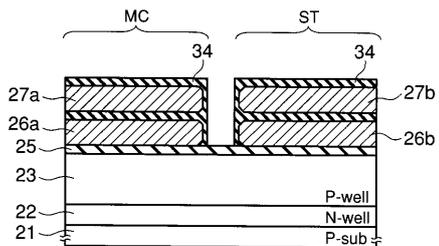
【 図 9 】

図 9



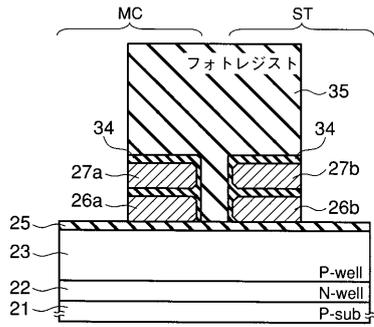
【 図 11 】

図 11



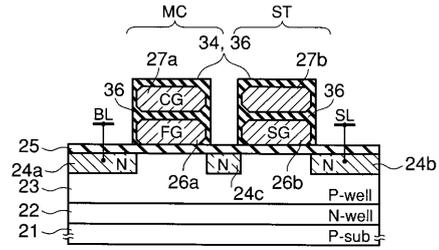
【図 1 2】

図 12



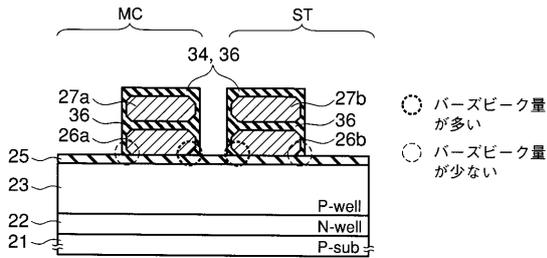
【図 1 4】

図 14



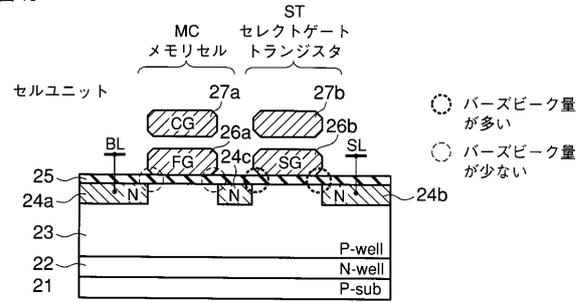
【図 1 3】

図 13



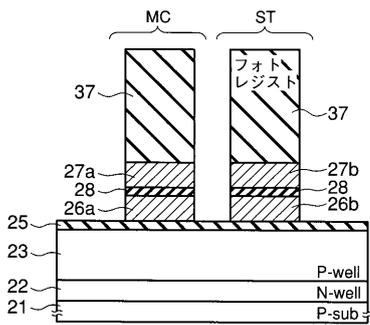
【図 1 5】

図 15



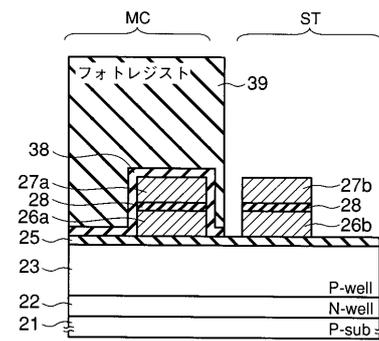
【図 1 6】

図 16



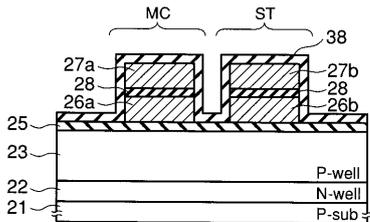
【図 1 8】

図 18



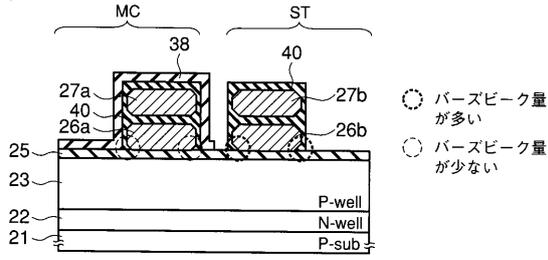
【図 1 7】

図 17



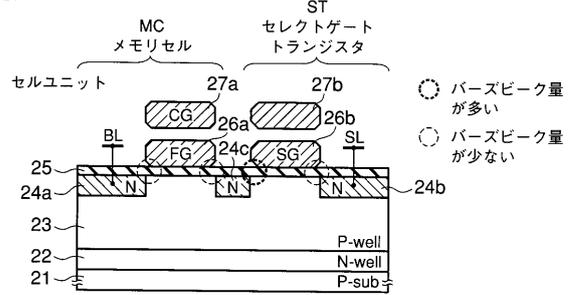
【図19】

図19



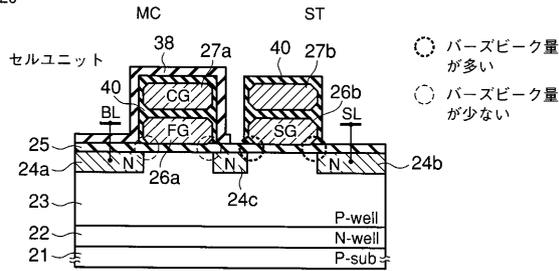
【図21】

図21



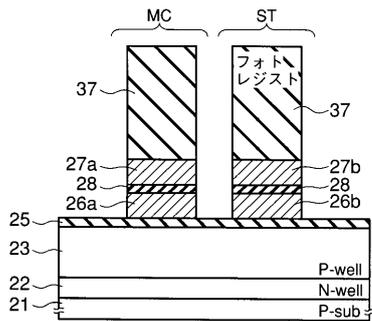
【図20】

図20



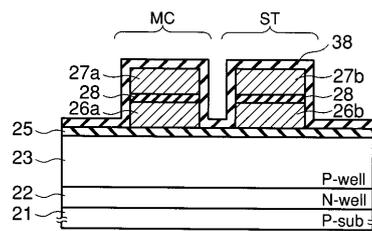
【図22】

図22



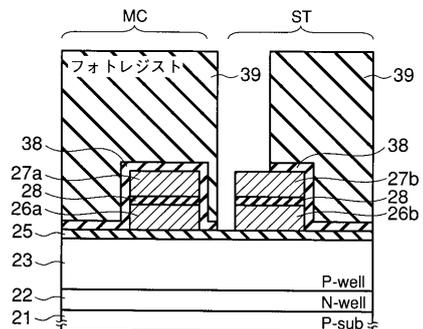
【図23】

図23



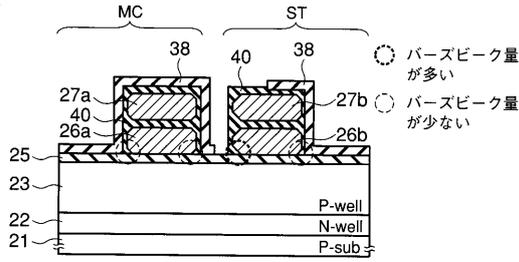
【図24】

図24



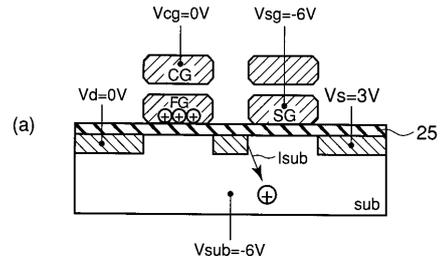
【 図 2 5 】

図 25



【 図 2 7 】

図 27



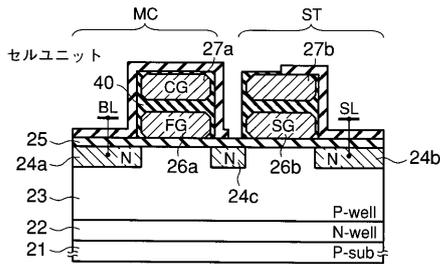
(b)

Post-Ox*	Isub[uA]	
	平均値	σ
6nm	61.4	5.1
10nm	19.8	2.1
△	41.6	3.0
比率	3.1	2.4

*)パースピーク量(後酸化量)は Bulk-Si上の酸化膜25の厚さで規定

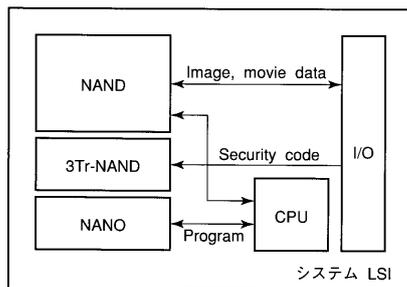
【 図 2 6 】

図 26



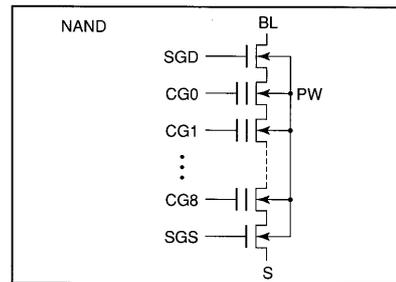
【 図 2 8 】

図 28



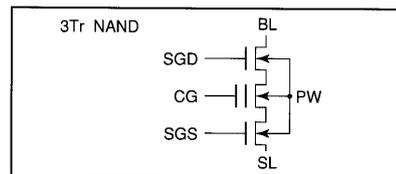
【 図 2 9 】

図 29



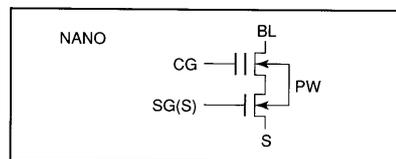
【 図 3 0 】

図 30



【 図 3 1 】

図 31



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 長利 完司

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

Fターム(参考) 5F083 EP02 EP23 EP34 EP55 EP56 EP76 GA06 JA04 PR12 ZA13

5F101 BA01 BA29 BB05 BD02 BD22 BD34 BD36 BF02 BH03