(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 9 月 14 日(14.09.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/154239 A1

(51) 国際特許分類:
*H02P 27/08* (2006.01) *H02P 21/22* (2016.01)

(21) 国際出願番号: PCT/JP2016/074599

(22) 国際出願日: 2016 年 8 月 24 日(24.08.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-048451 2016 年 3 月 11 日(11.03.2016) JP

(71) 出願人: 日立オートモティブシステムズ株式会社 (**HITACHI AUTOMOTIVE SYSTEMS, LTD.**) [JP/JP]; 〒3128503 茨城県ひたちなか市高場２５２０番地 Ibaraki (JP).

(72) 発明者: 飯島　郁弥(**IIJIMA, Fumiya**); 〒3720023 群馬県伊勢崎市粕川町１６７１番地１　日立オートモティブシステムズ株式会社内 Gunma (JP). 小関　知延(**KOSEKI, Tomonobu**); 〒3720023 群馬県伊勢崎市粕川町１６７１番地１　日立オートモティブシステムズ株式会社内 Gunma (JP). 矢次富美繁(**YATSUGI, Tomishige**); 〒3720023 群馬県伊勢崎市粕川町１６７１番地１　日立オートモティブシステムズ株式会社内 Gunma (JP).

(74) 代理人: 小川　護晃, 外(**OGAWA, Moriaki** et al.); 〒1000014 東京都千代田区永田町二丁目１３番５号赤坂エイトワンビル７階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

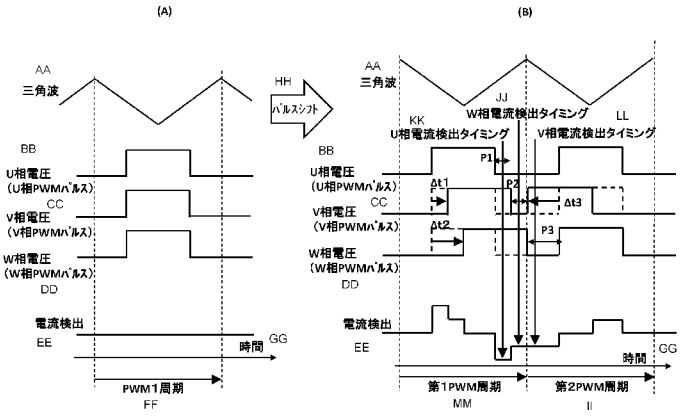
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

(54) **Title**: MOTOR DRIVE DEVICE AND METHOD FOR DETECTING PHASE CURRENT IN MOTOR DRIVE DEVICE

(54) 発明の名称 : モータ駆動装置及びモータ駆動装置における相電流検出方法




AA Triangular wave
BB U-phase voltage (U-phase PWM pulse)
CC V-phase voltage (V-phase PWM pulse)
DD W-phase voltage (W-phase PWM pulse)
EE Current detection
FF One PWM cycle
GG Time
HH Pulse shift
II Second PWM cycle
JJ W-phase current detection timing
KK U-phase current detection timing
LL V-phase current detection timing
MM First PWM cycle

(57) **Abstract**: The invention of the present application pertains to a motor drive device and a method for detecting phase current in a motor drive device, and more specifically pertains to a technique for detecting the phase current of three phases, using a current detector that detects the DC bus current of an inverter. A control unit of the invention of the present application uses pulse shift processing that shifts the phase of a PWM pulse to cause the phase relationship of PWM pulses of each phase to be different using the first PWM cycle and second PWM cycle of PWM control; and detects the respective phase current of the three phases from the output of the current detector using two cycles, i.e., the first PWM cycle and the second PWM cycle. The control unit determines the offset error of the current detector on the basis of the phase current detection value, and learns a correction value for correcting the offset of the current detection value.

(57) 要約: 本願発明は、モータ駆動装置及びモータ駆動装置の相電流検出方法に関し、詳しくは、インバータの直流母線電流を検出する電流検出器を用いて３相の相電流を検出する技術に関する。本願発明の制御部は、ＰＷＭパルスの位相をシフトさせるパルスシフト処理によってＰＷＭ制御の第１ＰＷＭ周期と第２ＰＷＭ周期とで各相のＰＷＭパルスの位相関係を異ならせ、第１ＰＷＭ周期と第２ＰＷＭ周期との２周期で電流検出器の出力から３相それぞれの相電流を検出する。そして、制御部は、相電流検出値に基づき電流検出器のオフセット誤差を求め、電流検出値をオフセット補正するための補正値を学習する。

WO 2017/154239 A1

# 明　細　書

## 発明の名称 ：

## モータ駆動装置及びモータ駆動装置における相電流検出方法

## 技術分野

[0001] 本発明は、モータ駆動装置及びモータ駆動装置における相電流検出方法に関し、詳しくは、インバータの直流母線電流を検出する電流検出器の出力から、３相ブラシレスモータの３相の相電流をそれぞれに検出する技術に関する。

## 背景技術

[0002] 特許文献１には、インバータの電源側若しくは接地側にＡ／Ｄ変換部を有する１シャント式電流検出回路が接続され、各相のデューティ指令値をキャリア周期の最前、中央、最後に固定すると共に、各相デューティ指令値を所定方向にシフトする機能を有し、モータの各相電流を検出してＡ／Ｄ変換する電流検出タイミングを所定位置に対応させて固定する、モータ制御装置が開示されている。

## 先行技術文献

## 特許文献

[0003] 特許文献1：特開２０１３－２５１９７１号公報

## 発明の概要

## 発明が解決しようとする課題

[0004] インバータの直流母線電流を検出する電流検出器を構成するオペアンプのオフセット電圧は、周囲温度などにより変動し、係るオフセット電圧の変動によって電流検出値にオフセット誤差が生じることになる。

係る温度変化などによる電流検出値のオフセット誤差は３相それぞれの相電流検出値に付加されることになる一方、３相の相電流の総和は零になるから、３相それぞれの相電流を電流検出器で検出することでオフセット誤差を求めることができる。

そして、オフセット誤差に応じて電流検出値を補正するオフセット補正を行うことで、温度変化があっても相電流の検出精度が維持され、引いては、モータトルクの制御精度が維持される。

[0005] しかし、各相のデューティ指令値をキャリア周期の所定位置に固定し、電流検出タイミングを前記所定位置に対応させて固定して相電流を検出する方式では、デューティ指令値によっては、相電流を検出できない相が生じたり相電流検出期間が必要期間よりも短くなったりして、前記オフセット誤差の検出に必要な３相電流検出値を求めることができなくなる場合がある。

このため、各相のデューティ指令値をキャリア周期の所定位置に固定する方式での相電流検出処理では、オフセット誤差の検出頻度（オフセット補正量の更新頻度）が低くなり、温度環境の変化に対してオフセット補正量を応答よく追従させることができずに相電流の検出精度が低下してしまう可能性があった。

[0006] 本発明は上記問題点に鑑みなされたものであり、３相全てについて相電流を検出できる機会を拡大できる、モータ駆動装置及びモータ駆動装置の相電流検出方法を提供することを目的とする。

## 課題を解決するための手段

[0007] そのため、本願発明に係るモータ駆動装置は、３相ブラシレスモータに交流電力を供給するインバータと、前記インバータの直流母線電流を検出する電流検出器と、前記電流検出器の出力を入力し前記インバータをＰＷＭ制御する制御部と、を含むモータ駆動装置であって、前記制御部は、各相のＰＷＭパルスのオン／オフの組み合わせが所定の組み合わせであるときの前記電流検出器の出力から各相の相電流を検出する相電流検出手段を備え、前記相電流検出手段は、ＰＷＭパルスの位相をシフトさせるパルスシフト処理によって前記ＰＷＭ制御の第１ＰＷＭ周期と第２ＰＷＭ周期とで各相のＰＷＭパルスの位相関係を異ならせ、前記第１ＰＷＭ周期と前記第２ＰＷＭ周期との２周期で前記電流検出器の出力から３相それぞれの相電流を検出する第１検出手段を含むようにした。

[0008] また、本願発明に係るモータ駆動装置における相電流検出方法は、３相ブラシレスモータに交流電力を供給するインバータと前記インバータの直流母線電流を検出する電流検出器とを含み前記インバータがＰＷＭ制御されるモータ駆動装置において相電流を検出する方法であって、前記ＰＷＭ制御の第１ＰＷＭ周期においてＰＷＭパルスの位相をシフトさせるパルスシフト処理によって１相乃至２相の相電流検出区間を生成する第１ステップと、前記第１ＰＷＭ周期に生成された相電流検出区間における前記電流検出器の出力から前記１相乃至２相の相電流を検出する第２ステップと、前記ＰＷＭ制御の第２ＰＷＭ周期においてＰＷＭパルスの位相をシフトさせるパルスシフト処理によって残りの２相乃至１相の相電流検出区間を生成する第３ステップと、前記第２ＰＷＭ周期に生成された相電流検出区間における前記電流検出器の出力から前記残りの２相乃至１相の相電流を検出する第４ステップと、を含むようにした。

## 発明の効果

[0009] 上記発明によると、電流検出器の出力から３相全ての相電流を検出できる機会が、ＰＷＭパルスの位相が固定される場合よりも増える。

したがって、電流検出のオフセット誤差を全相の相電流検出値に基づき求めて電流検出値をオフセット補正する場合は、オフセット補正値の更新頻度が高まると共に高い精度でオフセット補正値を求めることができる。

## 図面の簡単な説明

[0010] [図1]本発明の実施形態における駆動回路及び３相ブラシレスモータの回路図である。

[図2]本発明の実施形態における３相ブラシレスモータのＰＷＭ制御の機能ブロック図である。

[図3]本発明の実施形態におけるオフセット補正値の学習処理を示すフローチャートである。

[図4]本発明の実施形態における２周期３相検出におけるパルスシフト処理の一例を示すタイムチャートである。

[図5]本発明の実施形態における２周期３相検出におけるパルスシフト処理の一例を示すタイムチャートである。

[図6]本発明の実施形態における２周期３相検出におけるパルスシフト処理の一例を示すタイムチャートである。

[図7]本発明の実施形態における２周期３相検出におけるパルスシフト処理の一例を示すタイムチャートである。

[図8]本発明の実施形態における２周期３相検出におけるパルスシフト処理の一例を示すタイムチャートである。

[図9]本発明の実施形態における２周期３相検出と１周期３相検出とを使い分けてオフセット補正値を学習する処理を示すフローチャートである。

[図10]本発明の実施形態における１周期３相検出におけるパルスシフト処理の一例を示すタイムチャートである。

## 発明を実施するための形態

[0011] 以下に本発明の実施の形態を説明する。

図１は、３相ブラシレスモータ１及びモータ駆動装置２の一例を示す回路図である。

図１の３相ブラシレスモータ１は、例えば、車両の電動パワーステアリング装置において操舵のアシストトルクを発生する電動アクチュエータとして用いられたり、車両の各種ポンプを駆動する電動アクチュエータとして用いられる。

[0012] ３相ブラシレスモータ１を駆動するモータ駆動装置２は、駆動回路２１２と制御部２１３とを備える。

制御部２１３は、Ａ／Ｄ変換器２１３ａとマイクロコンピュータ２１３ｂとを備え、マイクロコンピュータ２１３ｂは、ＣＰＵ，ＭＰＵなどのマイクロプロセッサやＲＯＭ、ＲＡＭなどのメモリデバイスを含んで構成される。

３相ブラシレスモータ１は、スター結線されるＵ相、Ｖ相及びW相の３相巻線２１５ｕ、２１５ｖ、２１５ｗを図示省略した円筒状の固定子に備え、該固定子の中央部に形成した空間に永久磁石回転子（ロータ）２１６を回転

可能に備える、３相ＤＣブラシレスモータである。

[0013] ３相ブラシレスモータ１は回転子の位置情報を検出するセンサを備えず、制御部２１３は、３相ブラシレスモータ１の駆動制御を回転子の位置情報を検出するセンサを用いないセンサレス駆動方式によって行う。

但し、３相ブラシレスモータ１に磁極位置センサを備え、制御部２１３は、係る磁極位置センサの出力に基づきロータの角度（磁極位置）を検出して３相ブラシレスモータ１を駆動制御することができる。

[0014] 駆動回路２１２は、逆並列のダイオード２１８ａ～２１８ｆを含んでなるスイッチング素子２１７ａ～２１７ｆを３相ブリッジ接続したインバータ２１２ａと、直流の電源回路２１９とを有し、インバータ２１２ａは３相ブラシレスモータ１に交流電力を供給する。

インバータ２１２ａのスイッチング素子２１７ａ～２１７ｆは例えばＦＥＴで構成され、スイッチング素子２１７ａ～２１７ｆの各制御端子（ゲート端子）は制御部２１３の出力ポートに接続される。そして、スイッチング素子２１７ａ～２１７ｆのオン／オフは制御部２１３によって制御される。

[0015] 制御部２１３は、インバータ２１２ａのスイッチング素子２１７ａ～２１７ｆのオン／オフを三角波比較方式のＰＷＭ（Pulse Width Modulation）によって制御して、３相ブラシレスモータ１に印加する電圧を制御する。

三角波比較方式のＰＷＭ制御においては、三角波（キャリア）と、指令デューティ比（指令電圧）に応じて設定されるＰＷＭタイマとを比較することで、各スイッチング素子２１７ａ～２１７ｆをオン／オフさせるタイミング、換言すれば、各相のスイッチング素子の制御信号であるＰＷＭパルスの立ち上げ及び立ち下げのタイミングを検出する。

なお、制御部２１３は、各相の上アームのオン／オフを制御するＰＷＭパルスに対し、各相の下アームのオン／オフを制御するＰＷＭパルスを逆相とする相補方式で、インバータ２１２ａのスイッチング素子２１７ａ～２１７ｆをＰＷＭ制御する。

[0016] また、インバータ２１２ａの直流母線電流を検出する電流検出器２２０を

、各相の下アーム（スイッチング素子２１７ｂ，２１７ｄ，２１７ｆ）と電源回路２１９の接地側との間に設けてある。

電流検出器２２０は、各相の下アームと電源回路２１９の接地側との間に直列に接続したシャント抵抗２２０ａと、オペアンプなどを含む検出回路２２０ｂとから構成される。検出回路２２０ｂは、シャント抵抗２２０ａの抵抗分で発生する電流に比例した電圧を検出し、係る電圧のアナログ信号を出力する。

[0017] 検出回路２２０ｂの電圧アナログ信号（直流母線電流の検出信号）は、Ａ／Ｄ変換器２１３ａでＡ／Ｄ変換されてマイクロコンピュータ２１３ｂに読み込まれる。

制御部２１３は、例えば、回転子位置と指令トルクとに基づくベクトル制御方式によって３相指令電圧Ｖu、Ｖv、Ｖwを決定し、この指令電圧に基づきインバータ２１２ａをＰＷＭ制御する。

[0018] 制御部２１３は、電流検出器２２０の出力を入力して各相の相電流を検出し、検出した相電流を用いてベクトル制御を実施する。

電流検出器２２０は、インバータ２１２ａの直流母線電流を検出するが、各相のＰＷＭパルスのオン／オフの組み合わせによって電流検出器２２０の出力が１つの相の相電流を検出する状態となることを利用して、制御部２１３は、各相の相電流を電流検出器２２０の出力から検出する。

[0019] 例えば、Ｕ相の上アームがオンで、Ｖ相及びW相の上アームが共にオフである場合は、Ｕ相に流れた電流がＶ相及びW相に分かれて流れ、電流検出器２２０はＵ相の相電流Ｉuを検出することになる。また、Ｕ相及びＶ相の上アームが共にオンで、W相の上アームがオフである場合は、Ｕ相に流れた電流及びＶ相に流れた電流が合流してW相に流れることになり、電流検出器２２０はW相の相電流Ｉwを検出することになる。

このように、各相の上アームのうちの１つ又は２つがオンであるＰＷＭパルスの状態において、電流検出器２２０の出力は、パルス状態で決まる１つの相の相電流を表すことになる。そこで、制御部２１３は、係る特性を利用

して電流検出器２２０の出力から各相の電流を検出し、検出した相電流値をＰＷＭ制御に用いる。

[0020] 図２は、制御部２１３の機能ブロック図であり、ベクトル制御方式による３相指令電圧Ｖu、Ｖv、Ｖwの設定処理を示す。

図２において、相電流検出部５０１（相電流検出手段）は、検出回路２２０ｂの出力のＡ／Ｄ変換値、換言すればインバータ２１２ａの直流母線電流に基づき、各相の相電流Ｉu、Ｉv、Ｉwを検出する。

つまり、相電流検出部５０１は、各相の上アームのうちの１つ又は２つがオンであるＰＷＭパルス区間を相電流検出区間とし、また、いずれの相の上アームがオンであるかに基づき前記相電流検出区間で相電流が検出される１つの相を特定する。

[0021] そして、相電流検出部５０１は、前記相電流検出区間内に相電流検出タイミング（検出回路２２０ｂの出力のＡ／Ｄ変換値のサンプリングタイミング）を設定し、この相電流検出タイミングで電流検出器２２０の出力をサンプリングし、サンプリング値から求めた電流値をそのときに検出対象として特定されている相の相電流検出値とする。

角度・角速度演算部５０２は、モータ角度（磁極位置）及び角速度（モータ回転数）を推定する。

[0022] ここで、制御部２１３がセンサレス駆動方式で３相ブラシレスモータ１をＰＷＭ制御する場合、角度・角速度演算部５０２は、モータの逆起電力に基づき回転子位置を推定し、推定した回転子位置に基づき角速度を演算する。一方、３相ブラシレスモータ１が磁極位置センサを有する場合、角度・角速度演算部５０２は、磁極位置センサの出力から回転子位置を検出し、検出した回転子位置に基づき角速度を演算する。

[0023] また、３相－２軸変換器５０３は、相電流検出部５０１による相電流検出値Ｉu、Ｉv、Ｉwを、そのときのモータ角度（磁極位置）θに基づいて２軸の回転座標系（ｄ－ｑ座標系）の実電流Ｉｄ，Ｉｑに変換する。

ベクトル制御部５０４には、指令トルクに応じたｄ軸指令電流及びｑ軸指

令電流、角度・角速度演算部５０２で算出された角速度、３相－２軸変換器５０３で求めたｄ－ｑ座標系の実電流Ｉｄ，Ｉｑが入力される。

[0024] そして、ベクトル制御部５０４は、ｄ軸，ｑ軸指令電流、角速度、及び実電流Ｉｄ，Ｉｑに基づきｄ－ｑ座標系の指令電圧Ｖｑ，Ｖｄを決定し、決定した指令電圧Ｖｑ，Ｖｄを２軸－３相変換器５０５に出力する。

２軸－３相変換器５０５は、ベクトル制御部５０４が出力する指令電圧Ｖｑ，Ｖｄを３相指令電圧Ｖu、Ｖv、Ｖwに変換してＰＷＭ変調部５０６に出力する。

[0025] なお、２軸－３相変換器５０５は、指令電圧Ｖu、Ｖv、Ｖwを補正することにより、三角波キャリアの谷を中心として生成されるＰＷＭパルスを前後にシフトさせるパルスシフト処理機能を有する。上記のパルスシフト処理は、相電流の検出区間を確保するために実施される処理であり、後に詳細に説明する。

そして、ＰＷＭ変調部５０６では、各相のスイッチング素子（上アーム及び下アーム）を駆動するためのスイッチングゲート波形（ＰＷＭパルス）の立ち上げ、立ち下げタイミングを、変調波としての３相指令電圧Ｖu、Ｖv、Ｖwと三角波キャリアとの比較によって決定し、インバータ２１２ａの各スイッチング素子２１７ａ～２１７ｆの各制御端子（ゲート端子）に出力する。

[0026] ＰＷＭ変調部５０６は、Ｕ相指令電圧Ｖuと三角波キャリアとを比較し、Ｕ相指令電圧Ｖuが三角波キャリアよりも大きいときに、Ｕ相の上アーム（スイッチング素子２１７ａ）を駆動するためのスイッチングゲート波形（ＰＷＭパルス）をハイレベルとし、Ｕ相指令電圧Ｖuが三角波キャリアよりも小さいときにＵ相の上アーム（スイッチング素子２１７ａ）を駆動するためのスイッチングゲート波形（ＰＷＭパルス）をローレベルとする。

[0027] 更に、ＰＷＭ変調部５０６は、Ｕ相の上アーム（スイッチング素子２１７ａ）を駆動するためのスイッチングゲート波形（ＰＷＭパルス）の反転信号を、Ｕ相の下アーム（スイッチング素子２１７ｂ）を駆動するためのスイッチングゲート波形（ＰＷＭパルス）として生成する。

同様にして、ＰＷＭ変調部５０６は、Ｖ相の上下アームを駆動するためのスイッチングゲート波形（ＰＷＭパルス）、及び、Ｗ相の上下アームを駆動するためのスイッチングゲート波形（ＰＷＭパルス）を生成する。

[0028] また、制御部２１３は、電流検出器２２０のオフセット誤差を補正するオフセット補正部（オフセット補正手段）５０７を備える。

オフセット補正部５０７は、相電流検出部５０１が電流検出器２２０の出力に基づき検出した３相の相電流Ｉu、Ｉv、Ｉwに基づき電流検出器２２０のオフセット誤差を求め、当該オフセット誤差に基づきオフセット補正量を定め、係るオフセット補正量に基づき電流検出器２２０で検出される電流値を補正する。

[0029] 次に、相電流検出部５０１における相電流の検出処理を詳述する。

インバータ２１２ａの直流母線電流に基づき各相の相電流を検出する場合、２相の相電流を電流検出器２２０の出力から検出できれば、残りの１相の電流は相電流の総和が零になることを用いて演算により求めることができる。

そして、ベクトル制御部５０４は、指令電圧Ｖｑ，Ｖｄの演算処理を、電流検出器２２０の出力から検出した２相の相電流検出値と、これらに基づき演算した残る１相の相電流値とを用いて行える。

[0030] しかし、電流検出器２２０のオフセット誤差を検出する場合、相電流検出部５０１は、３相全ての相電流を電流検出器２２０の出力から検出する。

つまり、電流検出器２２０を構成するオペアンプのオフセット電圧が周囲温度の変化などにより変動して電流検出値にオフセット誤差が生じた場合、係るオフセット誤差は各相の相電流検出値にそれぞれ付加され、これにより３相の相電流検出値の総和が零からずれることになる。

[0031] ここで、相電流検出値の総和の零からのずれ量は各相の相電流検出値に付加されたオフセット誤差の総和になり、前記ずれ量から個々の電流検出値に付加されているオフセット誤差を求めることができるから、相電流検出部５０１は、オフセット誤差を求める場合には３相の相電流をそれぞれ電流検出

器２２０の出力から検出し、検出した３相それぞれの相電流をオフセット補正部５０７に出力する。

そして、オフセット補正部５０７は、３相それぞれの相電流検出値の総和に基づきオフセット誤差を算出し、算出したオフセット誤差に基づきオフセット補正量を決定してメモリに格納し、メモリに格納されたオフセット補正量に基づき電流検出器２２０による電流検出値をオフセット補正する。

[0032] 以下では、制御部２１３（相電流検出部５０１）における相電流の検出処理を、詳細に説明する。

図３のフローチャートに示すルーチンは、制御部２１３によって所定時間毎に割り込み実行される。

[0033] まず、ステップＳ１０１で、制御部２１３は、オフセット補正量の更新処理の実行条件が成立しているか否かを判別する。

制御部２１３は、例えば、前回の更新処理からの経過時間が所定時間を超えていることや、電流検出器２２０やインバータ２１２ａなどに故障がないことなどを実行条件として判別する。

[0034] オフセット補正量の更新処理の実行条件が成立している場合、制御部２１３は、ステップＳ１０２に進み、ＰＷＭ制御における第１ＰＷＭ周期において２相乃至１相の相電流を検出するためのＰＷＭパルスの位相を前後にシフトさせるパルスシフト処理を実施し、２相乃至１相の相電流を電流検出器２２０の出力から検出する相電流検出区間を第１ＰＷＭ周期に生成する。

なお、図３のフローチャートに示すルーチンにおける相電流の検出は、後述するようにＰＷＭ制御の２周期で３相の相電流を検出するよう構成され、このＰＷＭ制御の２周期を１単位とするときの始めの１周期を第１ＰＷＭ周期とし、直後の１周期を第２ＰＷＭ周期とする。

[0035] 次いで、制御部２１３は、ステップＳ１０３に進み、ステップＳ１０２のパルスシフトで生成した相電流検出区間内に相電流検出タイミングを設定し、この相電流検出タイミングで電流検出器２２０の出力をサンプリングして、２相乃至１相の相電流を検出する。

第１ＰＷＭ周期で相電流の検出を行うと、制御部２１３は、ステップＳ１０４へ進み、第１ＰＷＭ周期直後の第２ＰＷＭ周期においてＰＷＭパルスのパルスシフト処理を第１ＰＷＭ周期とは異なるパターンで実施して、第１ＰＷＭ周期で相電流を検出していない残る１相乃至２相の相電流を電流検出器２２０の出力から検出する相電流検出区間を第２ＰＷＭ周期に生成する。

[0036] つまり、制御部２１３は、第１ＰＷＭ周期と第２ＰＷＭ周期とで各相のＰＷＭパルスの位相関係を異ならせ、第１ＰＷＭ周期で相電流を検出する相と、第２ＰＷＭ周期で相電流を検出する相とに振り分ける。

次いで、制御部２１３は、ステップＳ１０５に進み、ステップＳ１０４のパルスシフトで生成した相電流検出区間内に相電流検出タイミングを設定し、この相電流検出タイミングで電流検出器２２０の出力をサンプリングして、１相乃至２相の相電流を検出する。

[0037] 以上のステップＳ１０２－ステップＳ１０５の処理（第１検出手段）により、制御部２１３は、ＰＷＭ周期の２周期で３相の相電流Ｉu、Ｉv、Ｉwを電流検出器２２０の出力からそれぞれ検出する。前述のように、第１ＰＷＭ周期でのパルスシフトと第２ＰＷＭ周期でのパルスシフトとにより、第１ＰＷＭ周期と第２ＰＷＭ周期との２周期で３相の相電流を検出する構成であれば、ＰＷＭパルスの種々のパターンにおいて３相の相電流を検出でき、オフセット誤差の検出頻度を向上させることができる。

そして、制御部２１３は、ステップＳ１０６に進み、相電流検出値Ｉu、Ｉv、Ｉwの総和を３で割った値を、オフセット誤差量ΔＩとして算出する（ΔＩ＝（Ｉu＋Ｉv＋Ｉw）／３）。

[0038] 温度変化などによる電流検出器２２０のオフセット誤差量ΔＩは、各相電流検出値Ｉu、Ｉv、Ｉwに等しく付加され、真の相電流値をＩuo、Ｉvo、Ｉwoとすると、オフセット誤差を含んだ検出値はそれぞれＩuo＋ΔＩ、Ｉvo＋ΔＩ、Ｉwo＋ΔＩとなり、Ｉuo＋Ｉvo＋Ｉwo＝０であるから、検出値の総和は、Ｉuo＋ΔＩ＋Ｉvo＋ΔＩ＋Ｉwo＋ΔＩ＝ΔＩ×３となる。したがって、相電流検出値Ｉu、Ｉv、Ｉwの総和を３で割る処理で、オフセット誤差量ΔＩが

求まることになる。

[0039] オフセット誤差量ΔＩを求めた後、制御部２１３は、ステップＳ１０７に進み、オフセット誤差量ΔＩに基づき、電流検出器２２０の検出電流値をオフセット補正するためのオフセット補正量を更新する。

各相電流検出値Ｉu、Ｉv、Ｉwがオフセット補正後の値である場合、今回Ｓ１０７で演算されたオフセット誤差量ΔＩは、オフセット誤差量ΔＩの変動分となり、制御部２１３は、ステップＳ１０７にて、オフセット誤差量ΔＩの変動分だけオフセット補正量を変更する。

[0040] なお、制御部２１３は、オフセット誤差量ΔＩを複数回求めてその平均値を求め、係る平均値に基づいてオフセット補正量を変更することができ、また、前回までのオフセット補正量と今回求めたオフセット誤差量ΔＩに基づくオフセット補正量との平均値を、更新後のオフセット補正量とすることができる。

また、オフセット誤差量ΔＩが閾値を超える値である場合、制御部２１３は、たとえオフセット補正を行ったとしても電流検出器２２０による電流の検出精度が悪化するものと判断し、相電流の検出値に基づくモータ制御を停止することができる。

[0041] 制御部２１３（オフセット補正手段）は、ステップＳ１０７で更新したオフセット補正量を用いて、電流検出器２２０による検出電流値をオフセット補正し、オフセット補正後の電流検出値を用いてベクトル制御や磁極位置の検出などを行う。

ここで、ステップＳ１０２－ステップＳ１０５での処理（第１検出手段）を、具体例に基づき詳細に説明する。

[0042] 図４は、３相のＰＷＭパルスの幅（３相の指令電圧）が同じである場合のパルスシフト処理及び相電流検出タイミングを例示する。

図４（Ａ）のパルスシフト処理前の状態（三角波キャリアの谷をＰＷＭパルスの中心とする標準状態）では、３相のＰＷＭパルスの幅が同じであるためＰＷＭパルスのオン期間が３相全てで重なっていて、１相又は２相のＰＷ

Mパルスのみがオンである期間がなく、電流検出器２２０によって１つの相に流れる電流を検出できない。

[0043] そこで、図４（Ｂ）に示すパルスシフト処理の一例では、第１ＰＷＭ周期でＶ相のＰＷＭパルスの位相を時間Δｔ１だけ遅らせ、更に、Ｗ相のＰＷＭパルスの位相を時間Δｔ２（Δｔ２＞Δｔ１）だけ遅らせるパルスシフト処理を実施する。

制御部２１３は、三角波キャリアを補正タイミングの基準として指令電圧を補正することで、ＰＷＭパルスの立ち上がり及び立ち下がりのタイミングを制御し、ＰＷＭパルスの位相をシフトさせる。

[0044] 図４（Ｂ）のＶ相のＰＷＭパルスを遅らせる時間Δｔ１よりもＷ相のＰＷＭパルスを遅らせる時間Δｔ２の方が長いから、Ｕ相のＰＷＭパルスが立ち下がってからＶ相のＰＷＭパルスが立ち下がるまでの期間Ｐ１（時間Δｔ１の期間）は、Ｕ相のＰＷＭパルスがオフでＶ相及びＷ相のＰＷＭパルスがオンである期間となり、この期間Ｐ１ではＶ相及びＷ相に流れた電流が合流してＵ相に流れる。したがって、制御部２１３は、期間Ｐ１内にＵ相電流検出タイミングを設定し、このＵ相電流検出タイミングで電流検出器２２０の出力をサンプリングして、Ｕ相の相電流検出値Ｉｕを求める。

[0045] 一方、図４（Ｂ）のＶ相のＰＷＭパルスの位相を遅らせる時間Δｔ１よりもＷ相のＰＷＭパルスの位相を遅らせる時間Δｔ２の方が長いから、Ｖ相のＰＷＭパルスが立ち下がってからＷ相のＰＷＭパルスが立ち下がるまでの期間Ｐ２（時間Δｔ２の期間）は、Ｕ相及びＶ相のＰＷＭパルスがオフでＷ相のＰＷＭパルスがオンである期間となり、この期間Ｐ２ではＷ相に流れた電流がＵ相及びＶ相に分かれて流れる。したがって、制御部２１３は、期間Ｐ２にＷ相電流検出タイミングを設定し、このＷ相電流検出タイミングで電流検出器２２０の出力をサンプリングして、Ｗ相の相電流検出値Ｉｗを求める。

[0046] つまり、３相のＰＷＭパルスの幅が同じときに、制御部２１３は、第１ＰＷＭ周期でＶ相のＰＷＭパルスをΔｔ１だけ遅らせ、更に、Ｗ相のＰＷＭパルスをΔｔ２（Δｔ２＞Δｔ１）だけ遅らせるパルスシフト処理を実施する

ことで、第１ＰＷＭ周期の後半でＵ相及びW相の２相の相電流Ｉu、ＩwをＩ検出する。

上記の第１ＰＷＭ周期におけるパルスシフト処理ではＶ相の相電流Ｉvを検出できる区間が生成されないので、制御部２１３は、第１ＰＷＭ周期直後の第２ＰＷＭ周期でＶ相の相電流Ｉvを検出できる区間を生成するためのパルスシフト処理を実施する。

[0047] Ｖ相の相電流Ｉvを検出する区間を生成するパルスシフト処理として、制御部２１３は、Ｖ相のＰＷＭパルスの位相を時間Δｔ３だけ進ませる処理を行う。

第２ＰＷＭ周期で制御部２１３がＶ相のＰＷＭパルスのみを時間Δｔ３だけ進ませれば、Ｕ相及びW相のＰＷＭパルスがオフでＶ相のＰＷＭパルスがオンである期間Ｐ３（時間Δｔ３の期間）が第２ＰＷＭ周期の前半に生成されることになり、この期間Ｐ３ではＶ相に流れた電流がＵ相及びW相に分かれて流れる。したがって、制御部２１３は、期間Ｐ３にＶ相電流検出タイミングを設定し、このＶ相電流検出タイミングで電流検出器２２０の出力をサンプリングして、Ｖ相の相電流検出値Ｉvを求める。

[0048] つまり、制御部２１３は、第２ＰＷＭ周期でＶ相のＰＷＭパルスを時間Δｔ３だけ進ませるパルスシフト処理を実施することで、第２ＰＷＭ周期の前半でＶ相の相電流Ｉvを検出する。これにより、第１ＰＷＭ周期と第２ＰＷＭ周期との２周期で、３相全ての相電流が電流検出器２２０により検出される。

なお、遅延時間Δｔ１、Δｔ２、Δｔ３は、前記期間Ｐ１、Ｐ２、Ｐ３の長さが電流検出に必要な最小時間よりも長くなるように設定され、更に、各相電流検出タイミングが、第１ＰＷＭ周期と第２ＰＷＭ周期との境界近く設定され、最初にＵ相の相電流Ｉuが検出されてから最後にＶ相の相電流Ｉvが検出されるまでの時間が極力短くなるように設定される。

[0049] 上記のように、第１ＰＷＭ周期と第２ＰＷＭ周期との２周期で３相それぞれの相電流を検出する場合、最初の相電流検出タイミングから最後に相電流

検出タイミングまでの時間が長くなると、相電流の時間変化に影響されてオフセット誤差の検出精度が低下する。

そこで、第１ＰＷＭ周期の後半で２相の相電流を検出し第２ＰＷＭ周期の前半で残りの１相の相電流を検出させることで、３相の相電流が検出される区間が短くするが、更に、第１ＰＷＭ周期の後半での２相の相電流検出タイミングを極力遅らせ、また、第２ＰＷＭ周期の前半での１相の相電流検出タイミングを極力早めることで、３相の相電流が短時間で検出されるようにする。

[0050] 例えば、図５（Ａ）に示すように、制御部２１３は、第２ＰＷＭ周期においてＶ相のＰＷＭパルスの位相を遅らせるパルスシフトを実施することによって、Ｖ相のＰＷＭパルスがオフで他の相のＰＷＭパルスがオンである期間を生成し、第２ＰＷＭ周期の前半でＶ相の相電流Ｉvを検出することができる。しかし、図５（Ａ）に示すように第２ＰＷＭ周期においてＶ相のＰＷＭパルスの位相を遅らせる場合は、図５（Ｂ）に示すようにＶ相のＰＷＭパルスの位相を進ませる場合に比べてＶ相の相電流Ｉvの検出タイミングが遅れ、結果として３相全ての相電流が検出される区間の長さが長くなって、オフセット誤差の検出精度が低下する。

[0051] したがって、制御部２１３は、第１ＰＷＭ周期では電流検出区間がなるべく遅く設定されるようにＰＷＭパルスの位相を遅らせる処理を実施し、第２ＰＷＭ周期では電流検出区間がなるべく早く設定されるようにＰＷＭパルスの位相を進ませる処理を実施して、３相の相電流が短時間で検出されるようにする。

なお、制御部２１３は、第１ＰＷＭ周期でＰＷＭパルスの位相を遅らせる２つの相、第２ＰＷＭ周期でＰＷＭパルスの位相を進ませる１つの相を図４のパターンとは異ならせ、例えば、第１ＰＷＭ周期でＵ相のＰＷＭパルスの位相を遅らせるパルスシフト処理を実施し、更に、第１ＰＷＭ周期でＶ相のＰＷＭの位相をＵ相よりも大きく遅らせるパルスシフト処理を実施し、第２ＰＷＭ周期でＵ相のＰＷＭパルスの位相を進ませるパルスシフト処理を実施

すれば、第１ＰＷＭ周期の後半でＶ相とW相の相電流Ｉv、ＩwをＩ検出させ、第２ＰＷＭ周期の前半でＵ相の相電流ＩuをＩ検出することができる。

[0052] また、制御部２１３は、第１ＰＷＭ周期でＰＷＭパルスの位相を遅らせる相を１相のみとし、第２ＰＷＭ周期でＰＷＭパルスの位相を進ませる相を２相とし、第１ＰＷＭ周期で１相の相電流を検出し、第２ＰＷＭ周期で残る２相の相電流を検出することができる。

例えば、第１ＰＷＭ周期でＶ相のＰＷＭパルスの位相を遅らせるパルスシフト処理を実施し、第２ＰＷＭ周期でＶ相のＰＷＭパルスの位相を進ませるパルスシフト処理を実施し、更に、第２ＰＷＭ周期でW相のＰＷＭパルスの位相をＶ相よりも大きく進ませるパルスシフト処理を実施することで、第１ＰＷＭ周期でＶ相の相電流Ｉvを検出させ、第２ＰＷＭ周期でＵ相及びW相の相電流Ｉu、ＩwをＩ検出することができる。

[0053] また、図６は、３相のＰＷＭパルスの幅のうち２相が同じで１相が異なる場合のパルスシフト処理及び相電流検出タイミングを例示する。

図６に示す例は、Ｕ相及びＶ相のＰＷＭパルス幅が同じで、W相のＰＷＭパルス幅がＵ相及びＶ相のＰＷＭパルス幅よりも短い場合である。

[0054] そして、図６（Ａ）は、パルスシフト処理前の各相のＰＷＭパルスの位相状態を示す。パルスシフトを実施していない状態では、Ｕ相及びＶ相のＰＷＭパルスがオンでW相のＰＷＭパルス幅がオフである期間Ｐ４は、Ｕ相及びＶ相に流れ込んだ電流が合流してW相に流れることから、電流検出器２２０の出力からW相の相電流ＩwをＩ検出できる期間となるが、Ｕ相及びＶ相の相電流Ｉu、ＩvをＩ検出できる区間が生成されない。

[0055] そこで、制御部２１３は、図６（Ｂ）に示すように、第１ＰＷＭ周期でＵ相のＰＷＭパルスの位相を進ませ、更に、第１ＰＷＭ周期でＶ相のＰＷＭパルスの位相を遅らせ、第１ＰＷＭ周期の後半に、Ｖ相のＰＷＭパルスがオンでＵ相及びW相のＰＷＭパルスがオフである期間Ｐ５を生成し、係る期間Ｐ５での電流検出器２２０の出力からＶ相の相電流Ｉvを検出する。

[0056] 一方、制御部２１３は、第１ＰＷＭ周期直後の第２ＰＷＭ周期で、Ｕ相の

ＰＷＭパルスの位相を進ませ、更に、Ｖ相のＰＷＭパルスの位相を遅らせることで、Ｕ相のＰＷＭパルスのみがオンであってＵ相の相電流を電流検出器２２０の出力から検出できる期間Ｐ６と、W相のＰＷＭパルスのみがオフであってW相の相電流を電流検出器２２０の出力から検出できる期間Ｐ７とを生成し、第２ＰＷＭ周期の前半でＵ相の相電流Ｉu及びW相の相電流Ｉwを検出する。

[0057] なお、図６（Ｂ）の例では、第１ＰＷＭ周期において、制御部２１３は、Ｕ相のＰＷＭパルスの位相を進ませる処理と、Ｖ相のＰＷＭパルスの位相を遅らせる処理との双方を実施するが、これは、Ｕ相及びＶ相のＰＷＭパルス幅がＰＷＭ制御の１周期に近く、Ｕ相とＶ相のいずれか一方のみのパルスシフト処理を実施しても、十分に長い電流検出区間を生成できないためである。

[0058] したがって、Ｕ相及びＶ相のＰＷＭパルス幅が図６の例よりも短い場合には、制御部２１３は、例えば、第１ＰＷＭ周期においてＶ相のＰＷＭパルスの位相を遅らせる処理のみを実施してＶ相の相電流Ｉvを検出できる場合がある。

同様に、第２ＰＷＭ周期におけるＵ相のＰＷＭパルスの位相を進ませる処理及びＶ相のＰＷＭパルスの位相を遅らせる処理は、Ｕ相の相電流検出区間の長さを確保するための処理である。

[0059] また、図６（Ｂ）において、制御部２１３は、W相の相電流Ｉwを第１ＰＷＭ周期後半のW相のＰＷＭパルスのみがオフである期間Ｐ８で検出し、第１ＰＷＭ周期でＶ相の相電流Ｉv及びW相の相電流Ｉwを検出し、第２ＰＷＭ周期でＵ相の相電流Ｉuを検出することができる。

また、制御部２１３は、図６に示す例において、W相のＰＷＭパルスに比べて幅が長いＵ相及びＶ相のＰＷＭパルスのパルスシフト処理を実施することで、パルスシフト処理で位相を遅らせたり早めたりする時間を抑制しつつ、第１ＰＷＭ周期の後半から第２ＰＷＭ周期の前半にかけての短い区間で３相の相電流を検出する。

[0060] なお、例えば、３相のＰＷＭパルスのうちの２相が同じで、残る１相のＰＷＭパルスが他の２相のＰＷＭパルスよりも幅大きい場合も、制御部２１３は、図７に例示するようにして、パルスシフト処理によりＰＷＭ２周期で３相の相電流を検出できる。

図７は、３相のＰＷＭパルスのうちのＵ相及びＶ相のＰＷＭパルスが同じで、Ｗ相のＰＷＭパルスが他よりも短い場合のパルスシフト処理の例を示す。

[0061] 図７に示す例では、制御部２１３は、第１ＰＷＭ周期でＶ相及びＷ相のＰＷＭパルスの位相を遅らせ、Ｕ相の相電流Ｉu検出期間Ｐ９及びＷ相の相電流Ｉw検出期間Ｐ１０を生成する一方、第２ＰＷＭ周期でＶ相のＰＷＭパルスが最初に立ちあがるように位相を進ませる処理を実施し、Ｖ相の相電流Ｉv検出期間Ｐ１１を生成する。

なお、ＰＷＭパルスの幅などの条件がパルスシフト処理によってＰＷＭ２周期で３相の相電流を電流検出器２２０の出力から検出することが困難な条件であるときは、制御部２１３は、オフセット補正量の更新処理をキャンセルすることができる。

[0062] また、図８は、ＰＷＭパルス幅が３相で全て異なる場合におけるパルスシフト処理及び電流検出タイミングの設定を例示する。

図８の例では、各相のＰＷＭパルス幅は、Ｕ相ＰＷＭパルス幅＞Ｗ相ＰＷＭパルス幅＞Ｖ相ＰＷＭパルス幅の関係になっていて、かつ、Ｗ相ＰＷＭパルス幅とＶ相ＰＷＭパルス幅とが近似している。

[0063] そして、パルスシフト処理を実施しない場合、図８（Ａ）に示すように、Ｕ相の相電流Ｉu検出期間が生成されるが、Ｗ相の相電流Ｉw検出期間が生成されず、Ｖ相の相電流Ｉv検出期間は生成されるものの電流検出に必要な最小時間を確保できない。

そこで、制御部２１３は、図８（Ｂ）に示すように、第１ＰＷＭ周期においてＶ相のＰＷＭパルスの位相をＵ相のＰＷＭパルスが立ち下がる時期以降にオンになるように遅らせることで、第１ＰＷＭ周期においてＵ相及びＶ相の

相電流Ｉu、Ｉvを検出し、第２ＰＷＭ周期において、Ｕ相のＰＷＭパルスの位相を遅らせるパルスシフト処理とともにW相のＰＷＭパルスの位相を進ませる処理を実施することで、W相のＰＷＭパルスがＵ相のＰＷＭパルスの立ち上がり時期以前にオンになるようにして、このW相のＰＷＭパルスのみがオンである期間Ｐ１２でW相の相電流Ｉwを検出する。

[0064] なお、W相ＰＷＭパルス幅とＶ相ＰＷＭパルス幅との差が、Ｖ相の相電流Ｉv検出区間が十分な長さとなる大きさである場合でも、制御部２１３は、図８（Ｂ）に示すようにしてパルスシフト処理を実施することで、より短時間で３相の相電流を検出することができる。

上記に例示した、ＰＷＭ２周期で３相の相電流を電流検出器２２０の出力から検出するためのパルスシフト処理は一例であり、各相のＰＷＭパルス幅に応じて適宜設定できることは明らかである。つまり、制御部２１３は、第１ＰＷＭ周期で１相乃至２相の相電流を検出し第２ＰＷＭ周期の前半で残る２相乃至１相の相電流を検出できるように、各相のＰＷＭパルス幅に応じてパルスシフト処理のパターンを適宜選定できる。

[0065] ところで、図３のフローチャートに例示した制御では、制御部２１３は、オフセット補正量の更新処理を行うときにＰＷＭ２周期で３相の相電流を検出するが、制御部２１３は、ＰＷＭ２周期で３相の相電流を検出する処理とＰＷＭ１周期で３相の相電流を検出する処理とを使い分けることができる。

図９のフローチャートは、ＰＷＭ２周期で３相の相電流を検出する処理（第１検出手段）と、ＰＷＭ１周期で３相の相電流を全て検出する処理（第２検出手段）とを使い分ける制御の一例を示す。

[0066] まず、ステップＳ２０１で、制御部２１３は、オフセット補正量の更新処理の実行条件が成立しているか否かを判別する。

そして、実行条件が成立している場合、制御部２１３は、ステップＳ２０２（選択作動手段）へ進んで、ＰＷＭ１周期で３相の相電流を検出する条件と、ＰＷＭ２周期で３相の相電流を検出する条件とのいずれが成立しているかを、そのときの各相のＰＷＭパルス幅の状態などから判断する。

[0067] 制御部２１３は、例えば、各相のＰＷＭパルス幅の状態が、パルスシフト処理を行ってもＰＷＭ１周期で３相の相電流を検出することが難しい第１状態であるときに、ＰＷＭ２周期で３相の相電流を検出する第１条件が成立していると判断し、各相のＰＷＭパルス幅の状態が、パルスシフト処理を行うことでＰＷＭ１周期で３相の相電流を検出することができる第２状態であるときに、ＰＷＭ１周期で３相の相電流を検出する第２条件が成立していると判断することができる。

[0068] また、制御部２１３は、トルク指令値が一定であって各相の相電流が安定しているときにＰＷＭ１周期で３相の相電流を検出する第２条件が成立していると判断し、トルク指令値が変動するときにＰＷＭ２周期で３相の相電流を検出する第１条件が成立していると判断することができる。このような選択条件とするのは、ＰＷＭ１周期で３相の相電流を検出する場合、３相全ての相電流が検出される期間が長くなって相電流の変動によってオフセット誤差の検出精度が低下する場合があり、相電流が安定している場合には３相全ての相電流が検出される期間が長くなってもオフセット誤差の検出精度の低下を抑制できるためである。

[0069] ＰＷＭ２周期で３相の相電流を検出する処理に比べＰＷＭ１周期で３相の相電流を検出する処理の演算負荷が小さいため、上記のようにしてＰＷＭ２周期で３相の相電流を検出する処理とＰＷＭ１周期で３相の相電流を全て検出する処理とを使い分ければ、制御部２１３における演算負荷を抑制できる。

なお、制御部２１３は、トルク指令値が一定であって各相の相電流が安定していて、かつ、ＰＷＭ１周期で３相の相電流を検出することができるときに、ＰＷＭ１周期で３相の相電流を検出する第２条件が成立していると判断し、係る第２条件が成立しない場合にＰＷＭ２周期で３相の相電流を検出する第１条件が成立していると判断することができる。

[0070] 制御部２１３は、ステップＳ２０２において、ＰＷＭ２周期で３相の相電流を検出する第１条件が成立し、ＰＷＭ１周期で３相の相電流を検出する第

２条件が成立していないと判断すると、ステップＳ２０３－ステップＳ２０６の処理を実施することでＰＷＭ２周期で３相の相電流を検出する。

なお、ステップＳ２０３－ステップＳ２０６の処理は、図３のフローチャートのステップＳ１０２－ステップＳ１０５と同じであり、詳細な説明は省略する。

[0071] 一方、制御部２１３は、ステップＳ２０２において、ＰＷＭ２周期で３相の相電流を検出する第１条件が成立せず、ＰＷＭ１周期で３相の相電流を検出する第２条件が成立していると判断すると、ステップＳ２０７に進み、ＰＷＭ１周期で３相の相電流を検出するためのパルスシフト処理を実施し、次のステップＳ２０８ではパルスシフト処理で生成される３相それぞれの電流検出期間内に電流検出タイミングを設定して、ＰＷＭ１周期で３相の相電流を検出する。

[0072] 図１０は、ＰＷＭ１周期で３相の相電流を検出するためのパルスシフト処理、及び、パルスシフト処理後のＰＷＭパルスにおける電流検出タイミングを例示する。

図１０（Ａ）は、パルスシフト処理前の各相のＰＷＭパルスを示し、Ｕ相及びＶ相のＰＷＭパルス幅が同じで、Ｗ相のＰＷＭパルス幅がＵ相及びＶ相のＰＷＭパルス幅よりも短い場合を例示する。

[0073] 係るＰＷＭパルスのパターンでは、電流検出期間が、Ｕ相及びＶ相のＰＷＭパルスがオンでＷ相のＰＷＭパルスがオフであってＷ相の相電流Ｉwを検出できる期間に限定され、Ｕ相及びＶ相の相電流を検出できる区間が生成されない。

そこで、制御部２１３は、図１０（Ｂ）に例示するようにしてパルスシフト処理を実施し、３相それぞれの相電流検出期間をＰＷＭ１周期内に生成する。

[0074] 具体的には、制御部２１３は、Ｕ相のＰＷＭパルスの位相を進める一方でＶ相のＰＷＭパルスの位相を遅らせるパルスシフト処理を実施することで、ＰＷＭ１周期の初期にＵ相のＰＷＭパルスのみがオンでＵ相の相電流Ｉuを検

出できる区間を生成し、ＰＷＭ１周期の終期にＶ相のＰＷＭパルスのみがオンでＶ相の相電流Ｉvを検出できる区間を生成し、これらの区間内にＵ相の相電流Ｉu検出タイミング、Ｖ相の相電流Ｉv検出タイミングを設定して、電流検出器２２０の出力から相電流Ｉu、Ｉvを検出する。

[0075] なお、Ｕ相のＰＷＭパルス及びＶ相のＰＷＭパルスの双方についてパルスシフト処理を実施するのは、一方の相についてのみパルスシフト処理を行った場合、十分な長さの電流検出期間を生成できないためである。

また、制御部２１３は、Ｕ相及びＶ相のＰＷＭパルスがオンでW相のＰＷＭパルスがオフであってW相の相電流Ｉwを検出できる期間内にW相の相電流Ｉw検出タイミングを設定して、電流検出器２２０の出力から相電流Ｉwを検出する。

なお、ＰＷＭ１周期で３相の相電流を検出する場合のＰＷＭパルス幅の組み合わせ及びパルスシフト処理のパターンは、図１０に例示した以外に種々設定できることは明らかである。

[0076] 以上、好ましい実施形態を参照して本発明の内容を具体的に説明したが、本発明の基本的技術思想及び教示に基づいて、当業者であれば種々の変形態様を採り得ることは自明である。

制御部２１３は、ＰＷＭ２周期で電流検出器２２０の出力から検出した３相の相電流Ｉu，Ｉv，Ｉwを３相ブラシレスモータ１のベクトル制御に用いることができる。

[0077] また、制御部２１３は、電流検出器２２０の出力から３相の相電流を検出するときに、トルク指令値（各相の指令電圧）の変動を抑制する処理を実施し、トルク指令値（各相の指令電圧）の安定状態で３相の相電流を検出することができる。

## 符号の説明

[0078] １…３相ブラシレスモータ、２…モータ駆動装置、２１２…駆動回路、２１２ａ…インバータ、２１３…制御部、２１３ａ…Ａ／Ｄ変換器、２１３ｂ…マイクロコンピュータ、２２０…電流検出器、２２０ａ…シャント抵抗、

２２０ｂ…検出回路

# 請求の範囲

[請求項1] ３相ブラシレスモータに交流電力を供給するインバータと、前記インバータの直流母線電流を検出する電流検出器と、前記電流検出器の出力を入力し前記インバータをＰＷＭ制御する制御部と、を含むモータ駆動装置であって、

前記制御部は、各相のＰＷＭパルスのオン／オフの組み合わせが所定の組み合わせであるときの前記電流検出器の出力から各相の相電流を検出する相電流検出手段を備え、

前記相電流検出手段は、ＰＷＭパルスの位相をシフトさせるパルスシフト処理によって前記ＰＷＭ制御の第１ＰＷＭ周期と第２ＰＷＭ周期とで各相のＰＷＭパルスの位相関係を異ならせ、前記第１ＰＷＭ周期と前記第２ＰＷＭ周期との２周期で前記電流検出器の出力から３相それぞれの相電流を検出する第１検出手段を含む、モータ駆動装置。

[請求項2] 前記第１検出手段は、前記第１ＰＷＭ周期の後半で１相又は２相の電流を検出し、前記第１ＰＷＭ周期の直後の前記第２ＰＷＭ周期の前半で残る２相又は１相の電流を検出する、請求項１記載のモータ駆動装置。

[請求項3] 前記第１検出手段は、前記第１ＰＷＭ周期において前記ＰＷＭパルスの位相を遅らせるパルスシフト処理を実施し、前記第２ＰＷＭ周期において前記ＰＷＭパルスの位相を進ませるパルスシフト処理を実施する、請求項２記載のモータ駆動装置。

[請求項4] 前記制御部は、ＰＷＭパルスの位相をシフトさせるパルスシフト処理によって前記ＰＷＭ制御の１周期で前記電流検出器の出力から３相それぞれの相電流を検出する第２検出手段と、前記第１検出手段を作動させる第１条件と前記第２検出手段を作動させる第２条件とのいずれが成立しているかに応じて前記第１検出手段と前記第２検出手段とのいずれか一方を作動させる選択作動手段と、を更に含む、請求項１記載のモータ駆動装置。

[請求項5] 前記制御部は、前記相電流検出手段により検出された３相それぞれの相電流に基づき前記電流検出器による電流検出値をオフセット補正するオフセット補正手段を更に含む、請求項１記載のモータ駆動装置。

[請求項6] ３相ブラシレスモータに交流電力を供給するインバータと前記インバータの直流母線電流を検出する電流検出器とを含み前記インバータがＰＷＭ制御されるモータ駆動装置において相電流を検出する方法であって、

前記ＰＷＭ制御の第１ＰＷＭ周期においてＰＷＭパルスの位相をシフトさせるパルスシフト処理によって１相乃至２相の相電流検出区間を生成する第１ステップと、

前記第１ＰＷＭ周期に生成された相電流検出区間における前記電流検出器の出力から前記１相乃至２相の相電流を検出する第２ステップと、

前記ＰＷＭ制御の第２ＰＷＭ周期においてＰＷＭパルスの位相をシフトさせるパルスシフト処理によって残りの２相乃至１相の相電流検出区間を生成する第３ステップと、

前記第２ＰＷＭ周期に生成された相電流検出区間における前記電流検出器の出力から前記残りの２相乃至１相の相電流を検出する第４ステップと、

を含む、モータ駆動装置における相電流検出方法。

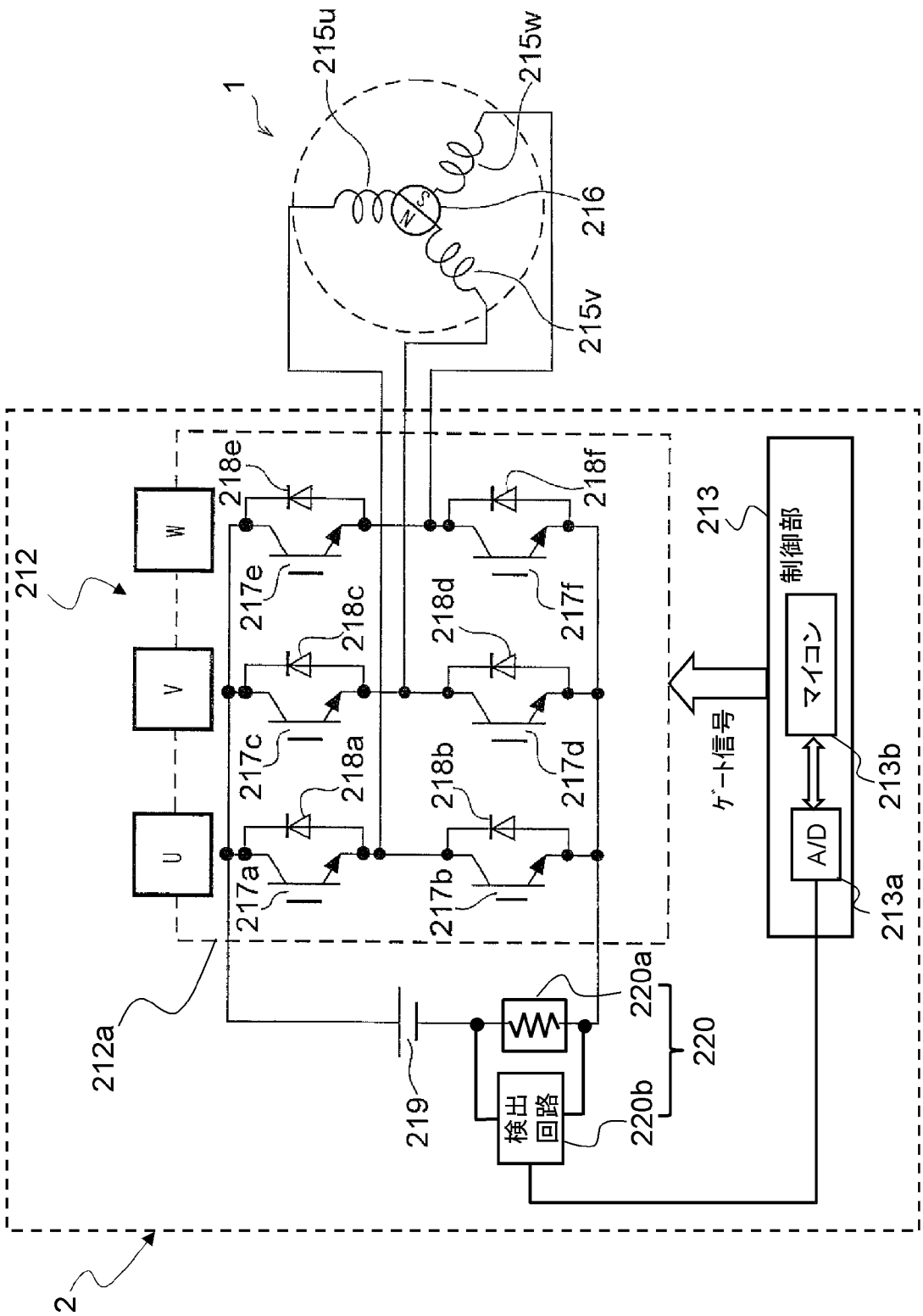
[請求項7] 前記第１ステップは、前記第１ＰＷＭ周期においてＰＷＭパルスの位相を遅らせるパルスシフト処理を実施して前記第１ＰＷＭ周期の後半に１相乃至２相の相電流検出区間を生成し、

前記第３ステップは、前記第１ＰＷＭ周期の直後である前記第２ＰＷＭ周期においてＰＷＭパルスの位相を進ませるパルスシフト処理を実施して前記第２ＰＷＭ周期の前半に残りの２相乃至１相の相電流検出区間を生成する、請求項６記載のモータ駆動装置における相電流検

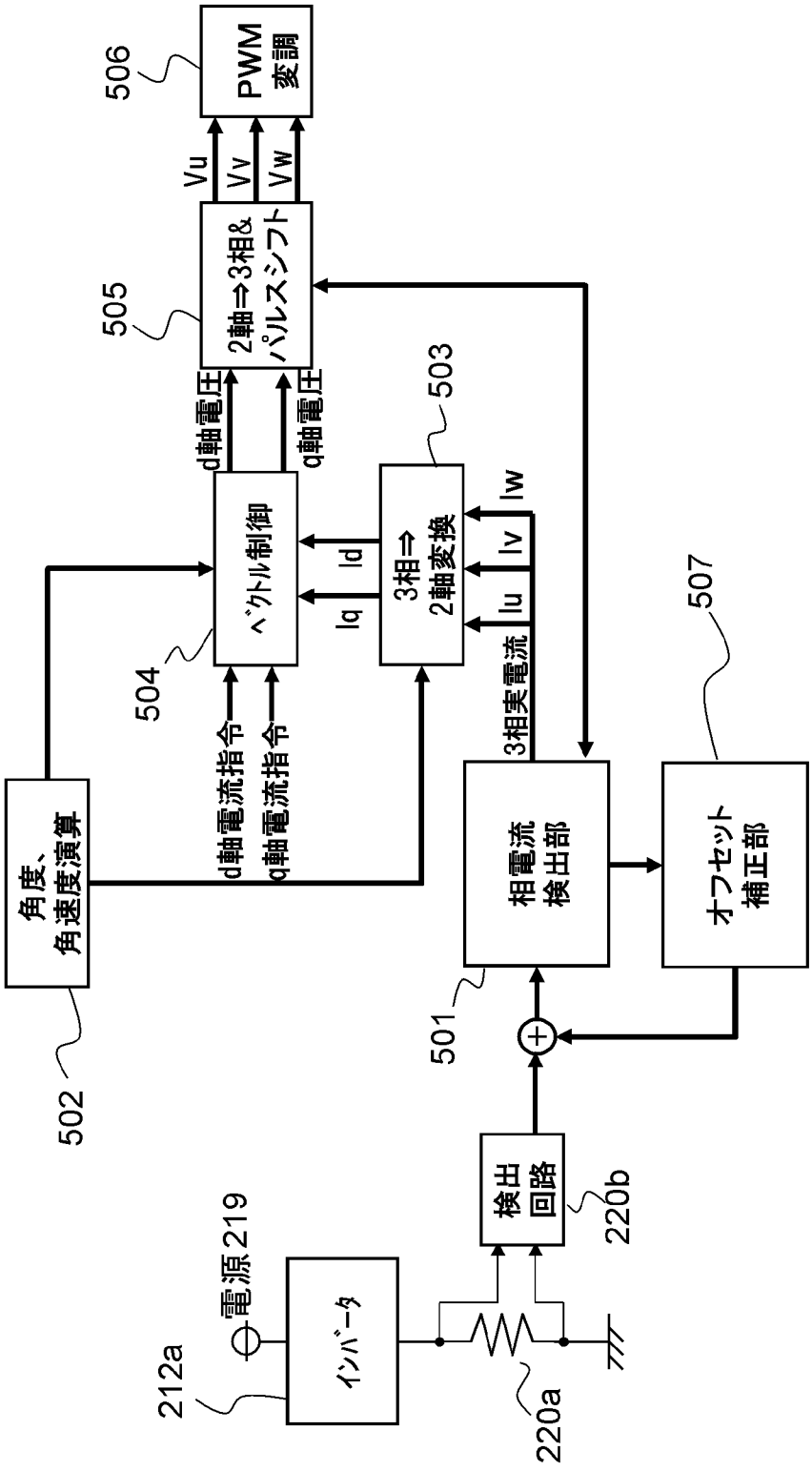
出方法。

[請求項8] ３相それぞれの相電流の検出値に基づき前記電流検出器による電流検出値をオフセット補正する第５ステップを更に含む、請求項６記載のモータ駆動装置における相電流検出方法。

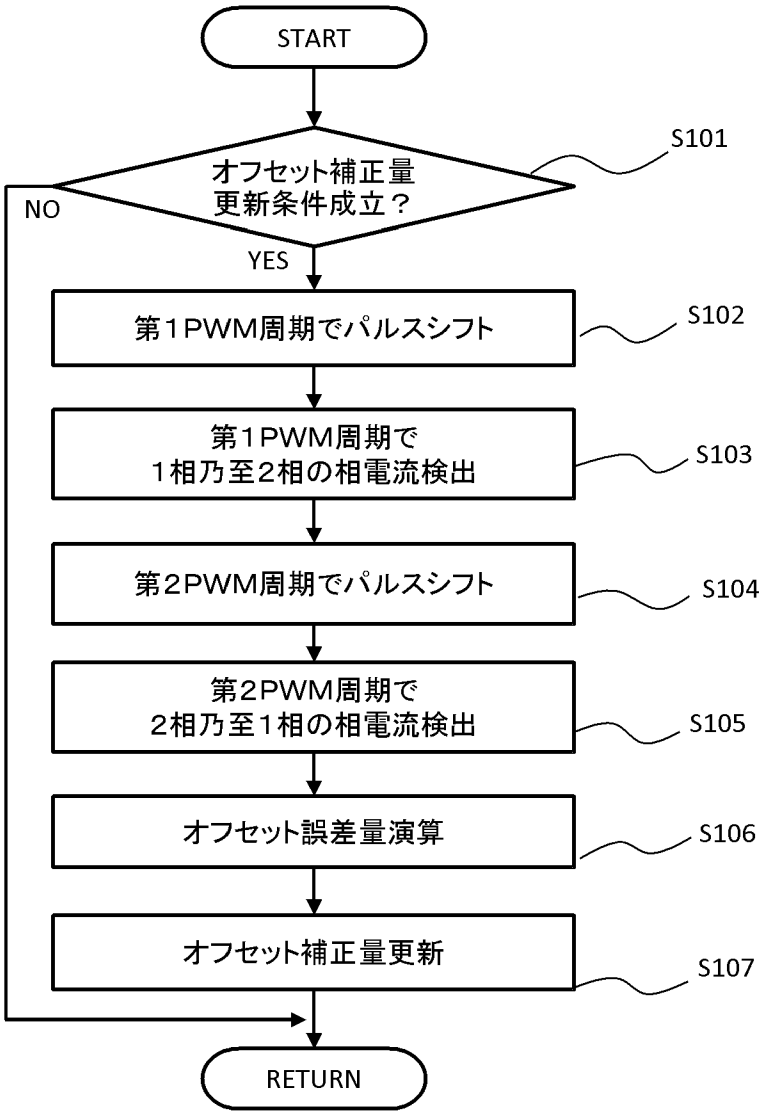
[図1]


1
215u
215w
216
215v
212
W
V
U
218e
218f
217e
218c
218d
217f
217c
218a
218b
217d
217a
217b
212a
219
220a
220
220b
検出回路
213
制御部
マイコン
A/D
213b
213a
ゲート信号
2

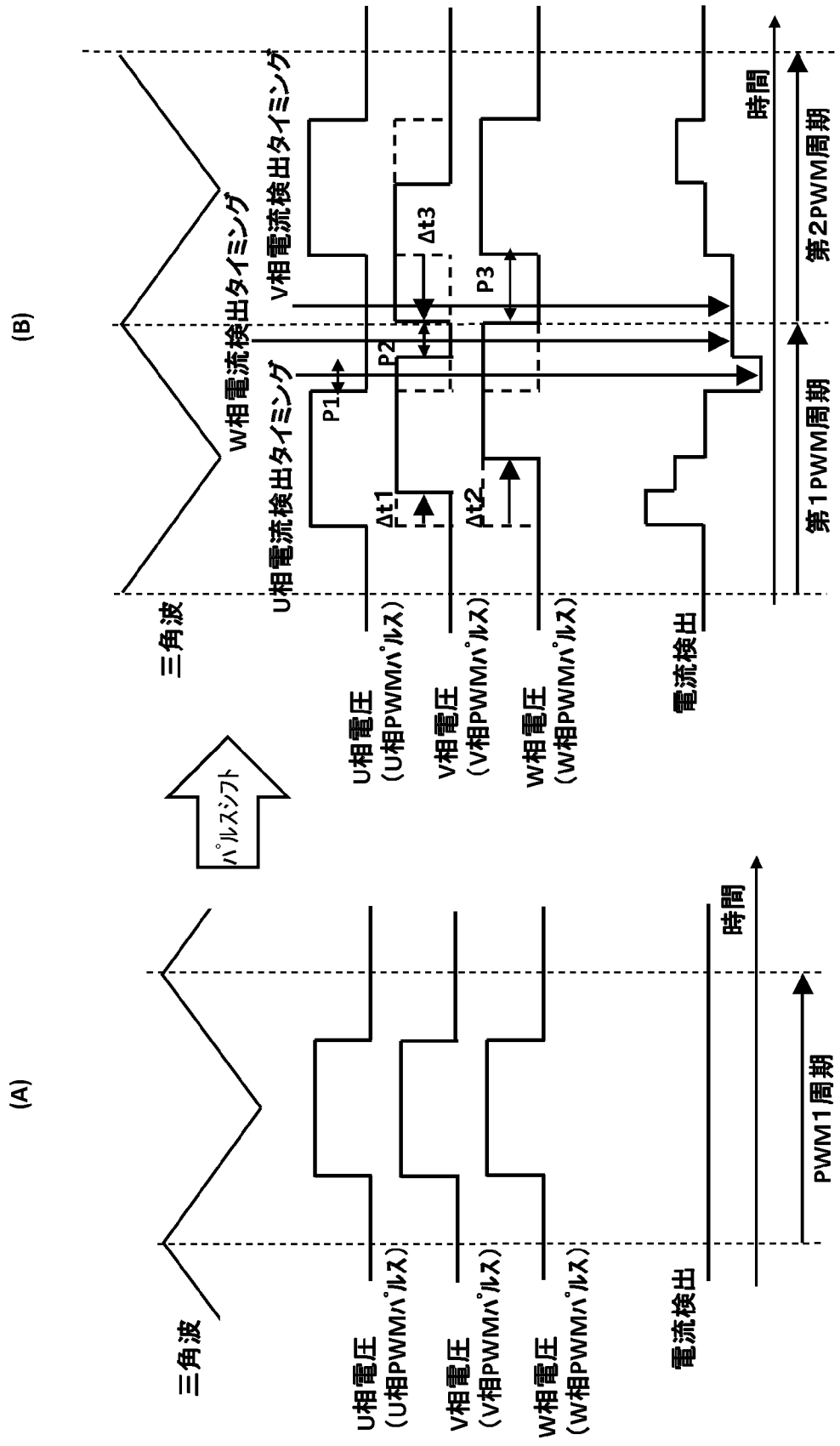
[図2]


506
PWM
変調
Vu
Vv
Vw
505
2軸⇒3相&
パルスシフト
d軸電圧
q軸電圧
503
3相⇒
2軸変換
Iw
Iv
Iu
3相実電流
Id
Iq
504
ベクトル制御
d軸電流指令
q軸電流指令
507
角度、
角速度演算
相電流
検出部
オフセット
補正部
502
501
検出
回路
220b
電源219
インバータ
212a
220a

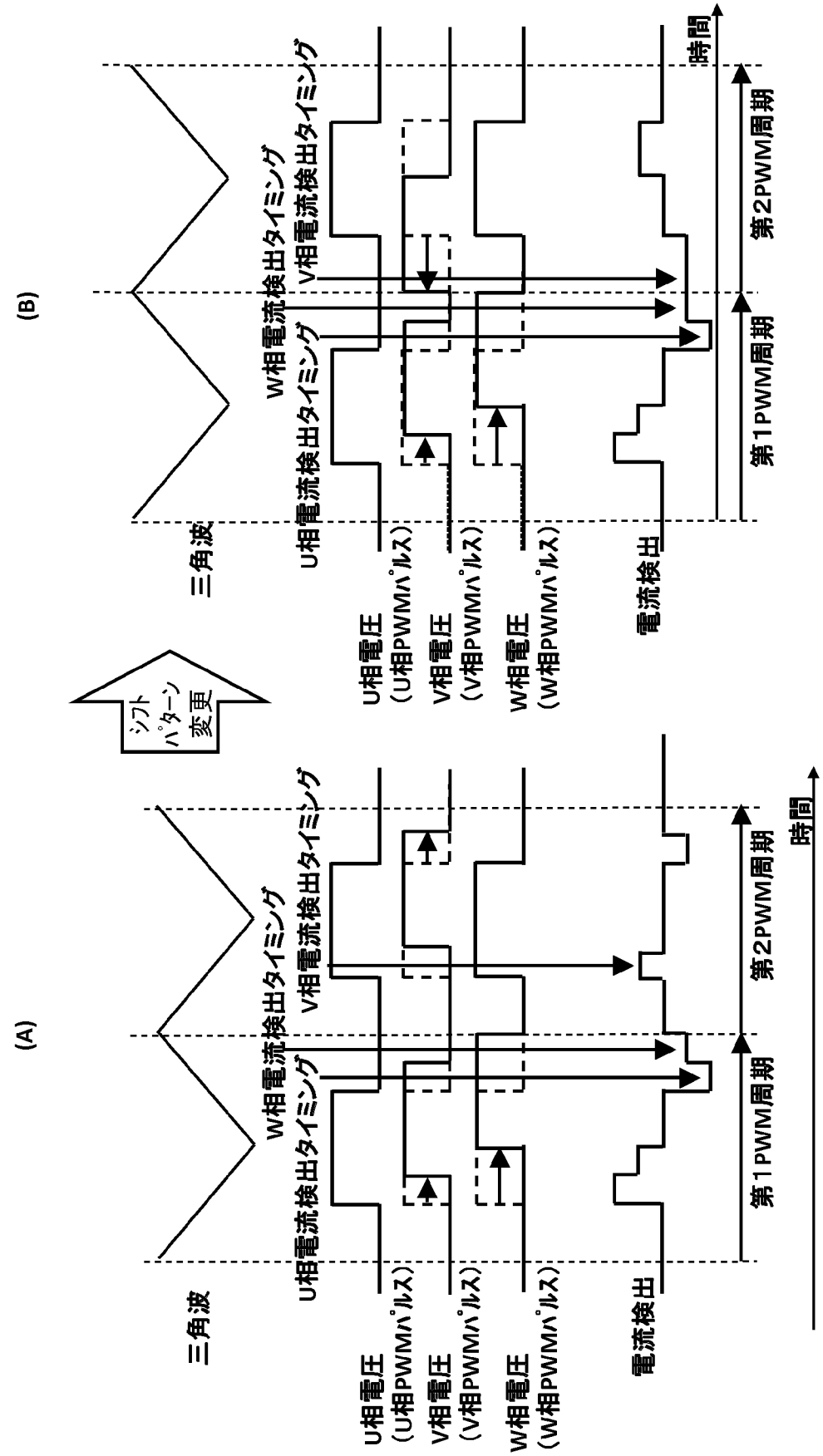
[図3]


START
オフセット補正量
更新条件成立？
S101
NO
YES
第１PWM周期でパルスシフト
S102
第１PWM周期で
１相乃至２相の相電流検出
S103
第２PWM周期でパルスシフト
S104
第２PWM周期で
２相乃至１相の相電流検出
S105
オフセット誤差量演算
S106
オフセット補正量更新
S107
RETURN

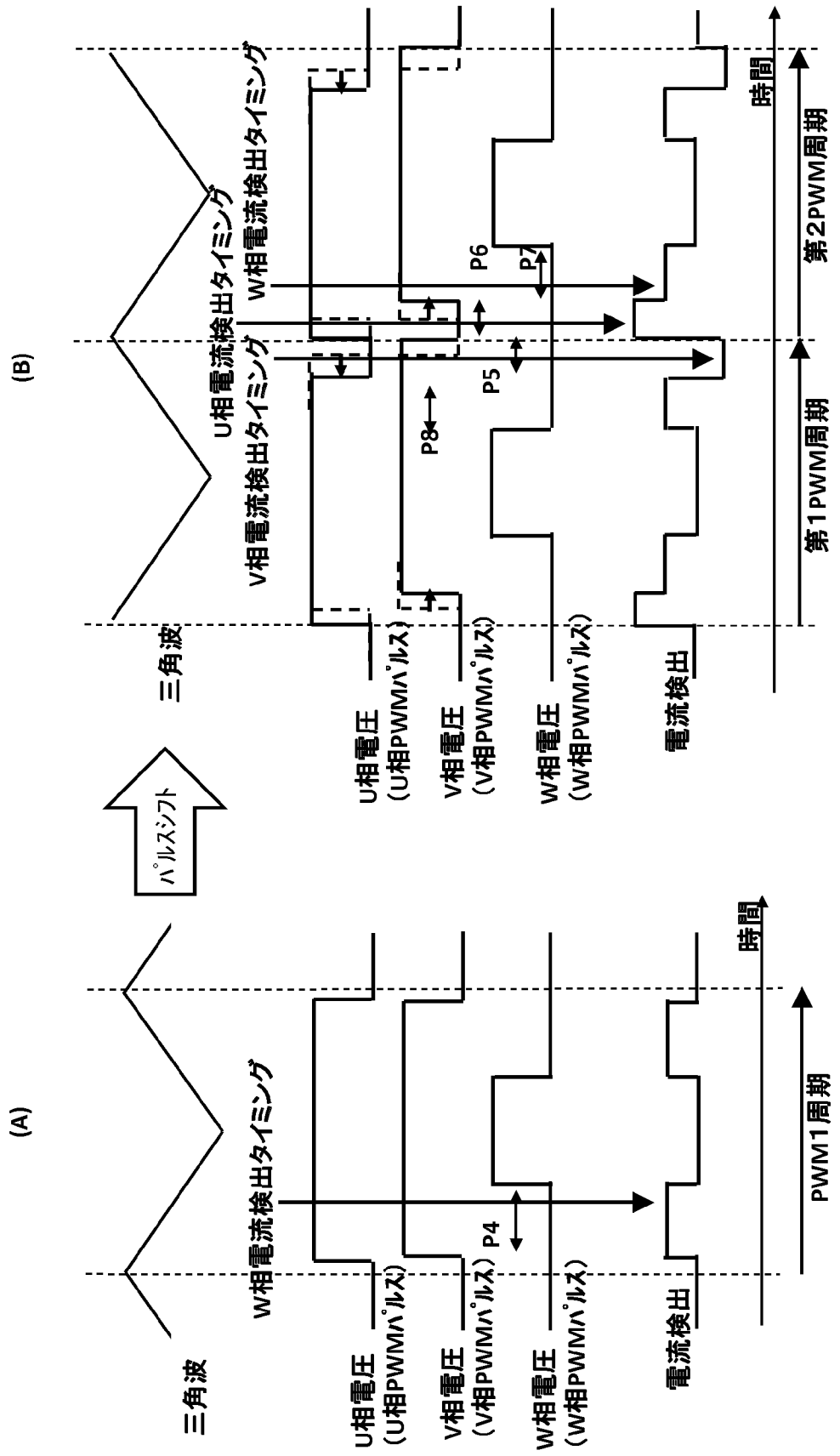
[図4]


(A)
三角波
U相電圧
(U相PWMパルス)
V相電圧
(V相PWMパルス)
W相電圧
(W相PWMパルス)
電流検出
時間
PWM1周期
パルスシフト
(B)
三角波
U相電流検出タイミング
W相電流検出タイミング
V相電流検出タイミング
P1
P2
P3
Δt1
Δt2
Δt3
U相電圧
(U相PWMパルス)
V相電圧
(V相PWMパルス)
W相電圧
(W相PWMパルス)
電流検出
時間
第1PWM周期
第2PWM周期

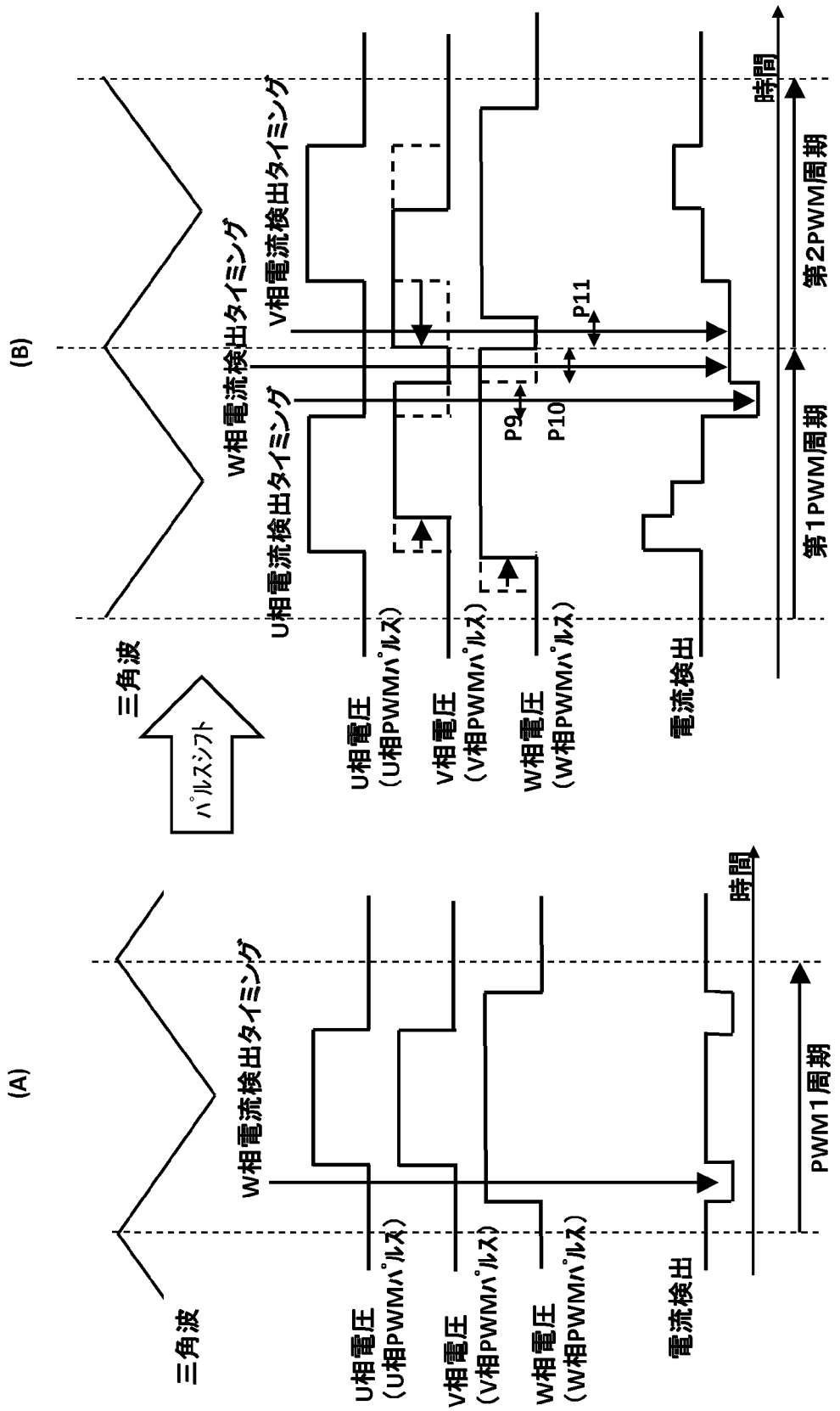
[図5]


(A)
三角波
W相電流検出タイミング
V相電流検出タイミング
U相電流検出タイミング
U相電圧
(U相PWMパルス)
V相電圧
(V相PWMパルス)
W相電圧
(W相PWMパルス)
電流検出
第1PWM周期
第2PWM周期
時間
シフト
パターン
変更
(B)
三角波
W相電流検出タイミング
V相電流検出タイミング
U相電流検出タイミング
U相電圧
(U相PWMパルス)
V相電圧
(V相PWMパルス)
W相電圧
(W相PWMパルス)
電流検出
第1PWM周期
第2PWM周期
時間

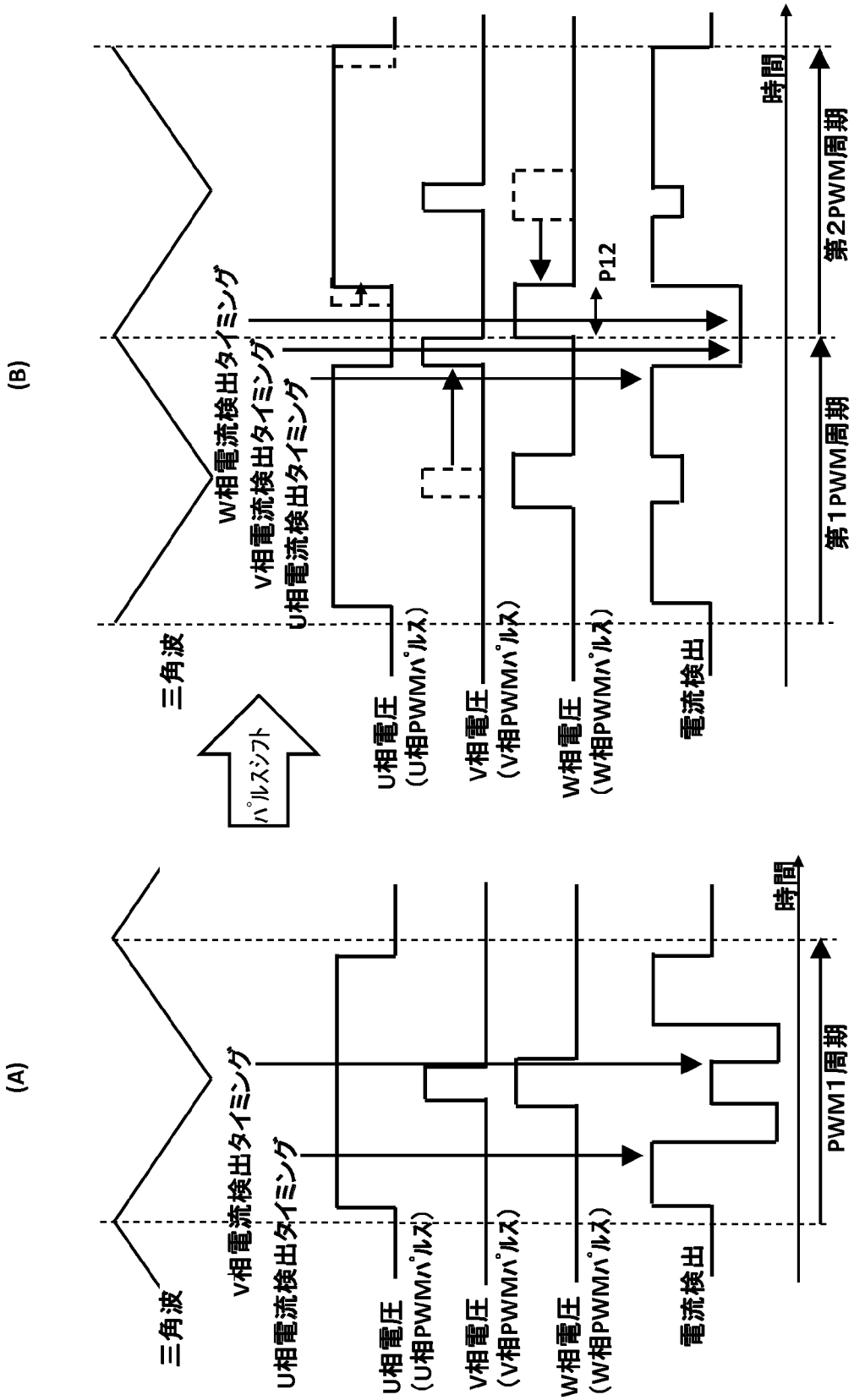
[図6]


(A)
三角波
W相電流検出タイミング
U相電圧
(U相PWMパルス)
V相電圧
(V相PWMパルス)
W相電圧
(W相PWMパルス)
電流検出
P4
時間
PWM1周期
パルスシフト
(B)
三角波
U相電流検出タイミング
V相電流検出タイミング
W相電流検出タイミング
U相電圧
(U相PWMパルス)
V相電圧
(V相PWMパルス)
W相電圧
(W相PWMパルス)
電流検出
P5
P6
P7
P8
時間
第1PWM周期
第2PWM周期

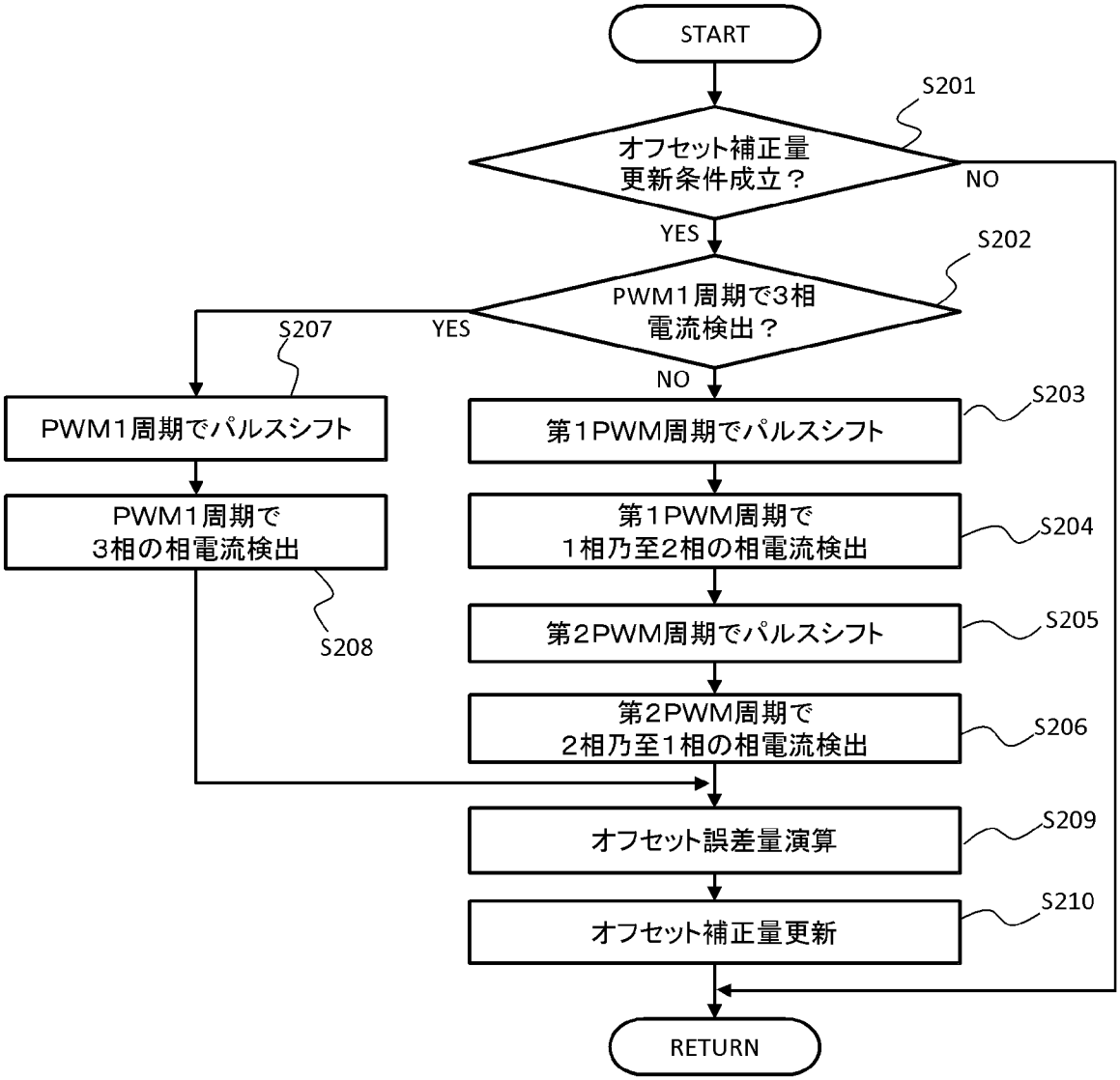
[図7]


(A)
三角波
W相電流検出タイミング
U相電圧
(U相PWMパルス)
V相電圧
(V相PWMパルス)
W相電圧
(W相PWMパルス)
電流検出
時間
PWM1周期
(B)
三角波
パルスシフト
W相電流検出タイミング
U相電流検出タイミング
V相電流検出タイミング
P9
P10
P11
U相電圧
(U相PWMパルス)
V相電圧
(V相PWMパルス)
W相電圧
(W相PWMパルス)
電流検出
時間
第1PWM周期
第2PWM周期

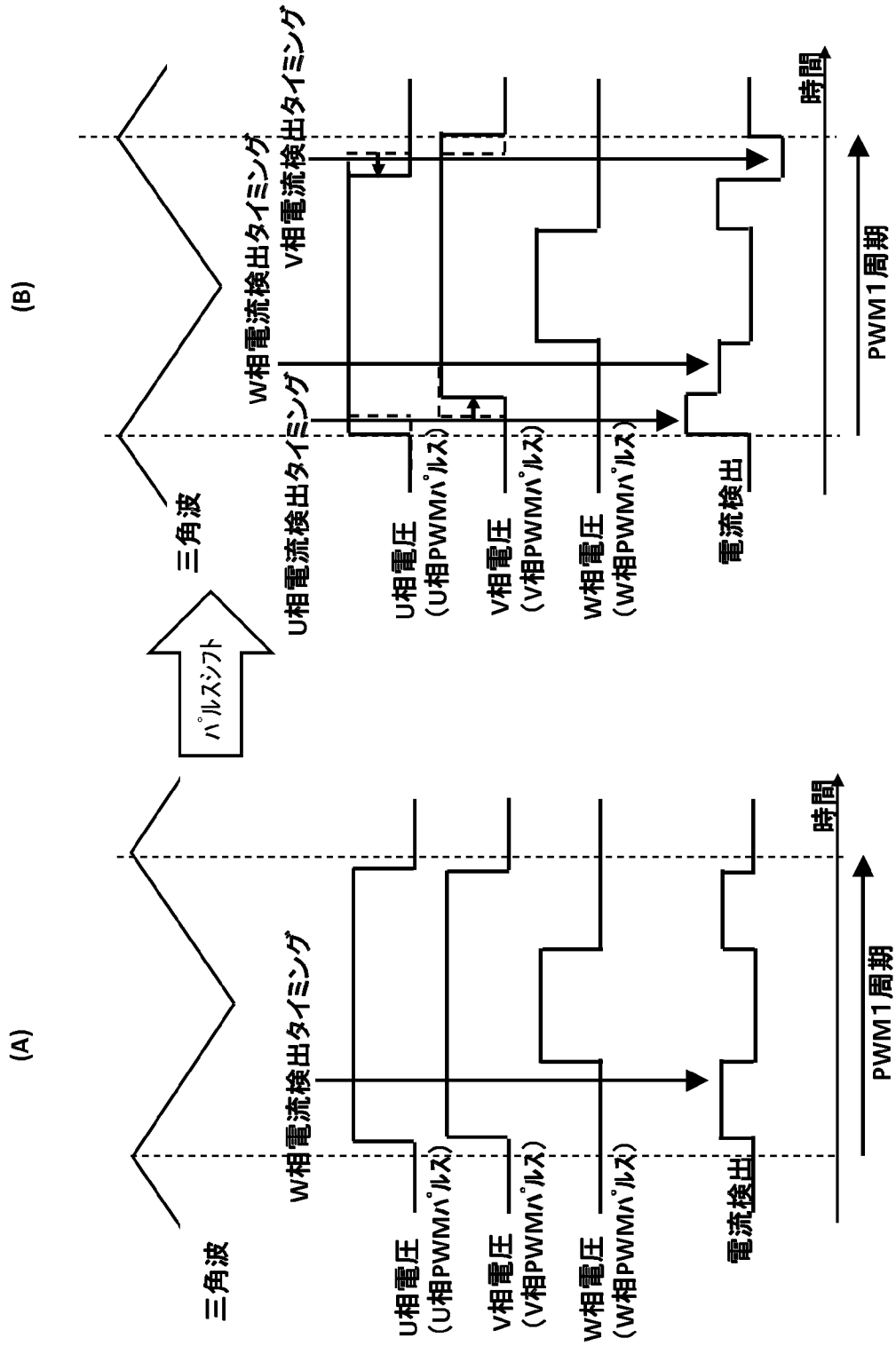
[図8]


(A)
三角波
V相電流検出タイミング
U相電流検出タイミング
U相電圧
(U相PWMパルス)
V相電圧
(V相PWMパルス)
W相電圧
(W相PWMパルス)
電流検出
時間
PWM1周期
(B)
三角波
W相電流検出タイミング
V相電流検出タイミング
U相電流検出タイミング
パルスシフト
P12
U相電圧
(U相PWMパルス)
V相電圧
(V相PWMパルス)
W相電圧
(W相PWMパルス)
電流検出
時間
第1PWM周期
第2PWM周期

[図9]


START
S201
オフセット補正量
更新条件成立？
NO
YES
S202
PWM1周期で3相
電流検出？
YES
S207
NO
PWM1周期でパルスシフト
PWM1周期で
3相の相電流検出
S208
S203
第1PWM周期でパルスシフト
第1PWM周期で
1相乃至2相の相電流検出
S204
第2PWM周期でパルスシフト
S205
第2PWM周期で
2相乃至1相の相電流検出
S206
オフセット誤差量演算
S209
オフセット補正量更新
S210
RETURN

[図10]


(A)
三角波
W相電流検出タイミング
U相電圧
(U相PWMパルス)
V相電圧
(V相PWMパルス)
W相電圧
(W相PWMパルス)
電流検出
時間
PWM1周期
パルスシフト
(B)
三角波
W相電流検出タイミング
V相電流検出タイミング
U相電流検出タイミング
U相電圧
(U相PWMパルス)
V相電圧
(V相PWMパルス)
W相電圧
(W相PWMパルス)
電流検出
時間
PWM1周期

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/074599

A. CLASSIFICATION OF SUBJECT MATTER
*H02P27/08*(2006.01)i, *H02P21/22*(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02P27/08, H02P21/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---|---|---|---|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2016 |
| Kokai Jitsuyo Shinan Koho | 1971-2016 | Toroku Jitsuyo Shinan Koho | 1994-2016 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2013-66340 A (Toshiba Corp.), 11 April 2013 (11.04.2013), entire text; all drawings (Family: none) | 1-8 |
| A | JP 2008-61486 A (Matsushita Electric Industrial Co., Ltd.), 13 March 2008 (13.03.2008), entire text; all drawings & US 2009/0263260 A1 entire text; all drawings & WO 2007/049473 A1 & CN 101273517 A | 1-8 |
| A | JP 2009-118622 A (Omron Corp.), 28 May 2009 (28.05.2009), entire text; all drawings (Family: none) | 1-8 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 09 November 2016 (09.11.16) | 22 November 2016 (22.11.16) |

| Name and mailing address of the ISA/ | Authorized officer |
|---|---|
| Japan Patent Office<br>3-4-3,Kasumigaseki,Chiyoda-ku,<br>Tokyo 100-8915,Japan | Telephone No. |

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2016/074599

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2015-178328 A (Hitachi Automotive Systems Steering, Ltd.), 08 October 2015 (08.10.2015), entire text; all drawings & WO 2015/141482 A1 | 1-8 |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０７４５９９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02P27/08(2006.01)i, H02P21/22(2016.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02P27/08, H02P21/22

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０１６年 |
| 日本国実用新案登録公報 | １９９６－２０１６年 |
| 日本国登録実用新案公報 | １９９４－２０１６年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | JP 2013-66340 A (株式会社東芝) 2013.04.11, 全文, 全図 (ファミリーなし) | 1-8 |
| A | JP 2008-61486 A (松下電器産業株式会社) 2008.03.13, 全文, 全図 & US 2009/0263260 A1, 全文, 全図 & WO 2007/049473 A1 & CN 101273517 A | 1-8 |
| A | JP 2009-118622 A (オムロン株式会社) 2009.05.28, 全文, 全図 (ファミリーなし) | 1-8 |

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| ０９．１１．２０１６ | ２２．１１．２０１６ |


国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　３Ｖ　３９２４
森山　拓哉
電話番号　０３－３５８１－１１０１　内線　３３５７

C（続き）．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | JP 2015-178328 A（日立オートモティブシステムズステアリング株式会社）2015.10.08, 全文, 全図 & WO 2015/141482 A1 | 1-8 |