

(12) 发明专利

(10) 授权公告号 CN 101627314 B

(45) 授权公告日 2012. 10. 03

(21) 申请号 200880007491. 5

(51) Int. Cl.

(22) 申请日 2008. 01. 02

G01R 31/3185(2006. 01)

(30) 优先权数据

(56) 对比文件

11/683, 608 2007. 03. 08 US

US 6070260 A, 2000. 05. 30, 全文.

(85) PCT申请进入国家阶段日

US 5663966 A, 1997. 09. 02, 说明书第 5 栏第

2009. 09. 07

60 - 第 7 栏第 50 行, 附图 5 - 9.

(86) PCT申请的申请数据

US 2006129900 A1, 2006. 06. 15, 附图 2 - 4,

PCT/US2008/000046 2008. 01. 02

摘要, 说明书第 0029 - 0054.

(87) PCT申请的公布数据

US 2004088618 A1, 2004. 05. 06, 全文.

W02008/108902 EN 2008. 09. 12

审查员 韦斌

(73) 专利权人 晶像股份有限公司

地址 美国加利福尼亚州

(72) 发明人 薛真成 金宪哲

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 张政权

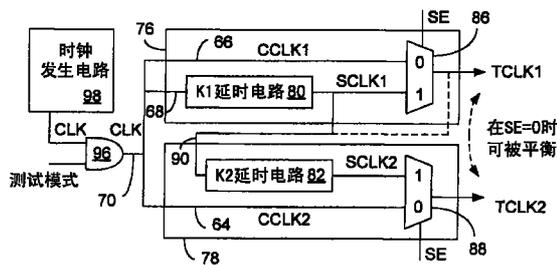
权利要求书 3 页 说明书 7 页 附图 7 页

(54) 发明名称

用来防止扫描移位期间的峰值功率问题的电路系统

(57) 摘要

在某些实施例中, 一种芯片包括第一和第二扫描链部分, 它们分别包括寄存器和多路复用器, 该多路复用器用来在扫描输入周期期间向寄存器提供扫描输入信号, 且在捕获周期期间提供捕获到的输出信号。该芯片还包括用来分别向第一和第二扫描链部分的寄存器提供第一和第二测试时钟信号的电路系统, 其中在扫描输入周期期间, 第二测试时钟信号通过电路系统中的与捕获周期期间不同的信号路径提供, 而且在扫描输入周期期间, 第二测试时钟信号相对于第一测试时钟信号偏移。描述并要求保护其它实施例。



1. 一种集成电路芯片,包括:

第一和第二扫描链部分,它们分别包括寄存器和多路复用器,所述多路复用器在扫描输入周期期间向所述寄存器提供扫描输入信号,且在捕获周期期间提供捕获到的输出信号;以及

电路系统,用来分别向所述第一和第二扫描链部分的寄存器提供第一和第二测试时钟信号,其中所述第二测试时钟信号在所述扫描输入周期期间通过所述电路系统中的与所述捕获周期期间不同的信号路径提供,而且在所述扫描输入周期期间,所述第二测试时钟信号相对于所述第一测试时钟信号偏移,

其中,所述提供第一和第二测试时钟信号的电路系统包括:

第一测试时钟电路,其包括第一延迟电路和第一多路复用器,用来在所述扫描输入周期期间传送第一延迟时钟信号作为所述第一测试时钟信号,所述第一延迟时钟信号为至少经所述第一延迟电路延迟的扫描移位时钟信号,且在所述捕获周期期间传送第一捕获时钟信号作为所述第一测试时钟信号;以及

第二测试时钟电路,其与所述第一测试电路耦合,包括第二延迟电路和第二多路复用器,用来在所述扫描输入周期期间传送第二延迟信号作为所述第二测试时钟信号,所述第二延迟时钟信号是来自至少由所述第二延迟电路附加延迟的所述第一测试时钟电路的第一延迟时钟信号,在所述捕获周期期间传送第二捕获时钟信号作为所述第二测试时钟。

2. 如权利要求 1 所述的芯片,其特征在于,所述第一和第二测试时钟电路包括在所述第一和第二多路复用器的输出端处的第一和第二延时电路,用来在将所述第一和第二测试时钟信号分别提供给所述第一和第二扫描链部分的寄存器之前将它们延时。

3. 如权利要求 1 所述的芯片,其特征在于,所述扫描移位时钟信号和所述第一和第二信号捕获时钟信号发源于公共信号。

4. 如权利要求 1 所述的芯片,其特征在于,所述第一测试电路进一步包括第三多路复用器和第三延迟电路,所述第三多路复用器将输出信号传送到所述第一多路复用器,且其中,所述第三多路复用器配置成将所述第三延迟电路与所述第一延迟电路串联连接,由所述第三延迟电路附加延迟所述扫描移位时钟信号,以及

所述第二测试电路进一步包括第四多路复用器和第四延迟电路,所述第四多路复用器将输出信号传送到所述第二多路复用器,且其中,所述第四多路复用器配置成将所述第四延迟电路与所述第二延迟电路串联连接,由所述第四延迟电路附加延迟所述第一延迟时钟信号。

5. 如权利要求 1 所述的芯片,其特征在于,还包括用来向另外的扫描链部分提供另外的测试时钟信号的另外的测试时钟电路,该另外的扫描链部分包含第三测试时钟电路,而且其中所述第二扫描链部分的输出端连接至所述第三扫描链部分的输入端。

6. 一种集成电路芯片,包括:

第一和第二扫描链部分,它们分别包括寄存器和多路复用器,所述多路复用器在扫描输入周期期间向所述寄存器提供扫描输入信号,且在捕获周期期间提供捕获到的输出信号;以及

电路系统,用来分别向所述第一和第二扫描链部分的寄存器提供第一和第二测试时钟信号,其中所述第二测试时钟信号在所述扫描输入周期期间相对于所述第一测试时钟信号

偏移,而所述第一和第二测试时钟信号在所述捕获周期期间对准,

其中,提供所述第一和第二测试时钟信号的电路系统包括:

第一测试时钟电路,其包括第一延迟电路和第一多路复用器,用来在所述扫描输入周期期间传送第一延迟时钟信号作为所述第一测试时钟信号,所述第一延迟时钟信号是至少由所述第一延迟电路延迟的扫描移位时钟信号,且在所述捕获周期期间传送第一捕获时钟信号作为所述第一测试时钟信号;以及

第二测试时钟电路,其与所述第一测试电路耦合,包括第二延迟电路和第二多路复用器,用来在所述扫描输入周期期间传送第二延迟信号作为所述第二测试时钟信号,所述第二延迟时钟信号是来自所述第一测试时钟电路的至少由所述第二延迟电路另外延迟的第一延迟时钟信号,而在所述捕获周期期间传送第二捕获时钟信号作为所述第二测试时钟。

7. 如权利要求 6 所述的芯片,其特征在于,所述第一和第二测试时钟电路包括位于所述第一和第二多路复用器输出端的第一和第二延迟电路,以便在它们被提供给第一和第二扫描链部分的寄存器之前分别延迟所述第一和第二测试时钟信号。

8. 如权利要求 6 所述的芯片,其特征在于,所述第一测试电路进一步包括第三多路复用器和第三延迟电路,所述第三多路复用器将输出信号传送到所述第一多路复用器,且其中,所述第三多路复用器配置成将所述第三延迟电路与所述第一延迟电路串联连接,由所述第三延迟电路附加延迟所述扫描移位时钟信号,以及

所述第二测试电路进一步包括第四多路复用器和第四延迟电路,所述第四多路复用器将输出信号传送到所述第二多路复用器,且其中,所述第四多路复用器配置成将所述第四延迟电路与所述第二延迟电路串联连接,由所述第四延迟电路附加延迟所述第一延迟时钟信号。

9. 一种测试系统,包括:

芯片,其包括:第一和第二扫描链部分,它们分别包括寄存器和多路复用器,所述多路复用器在扫描输入周期期间向所述寄存器提供扫描输入信号,且在捕获周期期间提供捕获到的输出信号;以及电路系统:

(1) 所述电路系统分别向所述第一和第二扫描链部分的寄存器提供第一和第二测试时钟信号,其中所述第二测试时钟信号在所述扫描输入周期期间相对于所述第一测试时钟信号偏移,而所述第一和第二测试时钟信号在所述捕获周期期间对准,以及

(2) 所述第二测试时钟信号在所述扫描输入周期期间通过所述电路系统中的与所述捕获周期期间不同的信号路径提供;以及

测试仪,其耦合至所述芯片以接收与所述已捕获的输出信号有关的信号,

其中,所述电路系统包括:

第一测试时钟电路,其包括第一延迟电路和第一多路复用器,用来在所述扫描输入周期期间传送第一延迟时钟信号作为所述第一测试时钟信号,所述第一延迟时钟信号是至少由所述第一延迟电路延迟的扫描移位时钟信号,且在所述捕获周期期间传送第一捕获时钟信号作为所述第一测试时钟信号;以及

第二测试时钟电路,其与所述第一测试电路耦合,包括第二延迟电路和第二多路复用器,用来在所述扫描输入周期期间传送第二延迟信号作为所述第二测试时钟信号,所述第二延迟时钟信号是来自所述第一测试时钟电路的至少由所述第二延迟电路另外延迟的第

一延迟时钟信号,而在所述捕获周期期间传送第二捕获时钟信号作为所述第二测试时钟。

10. 如权利要求 9 所述的系统,其特征在于,所述芯片包括用来产生所述扫描链输入信号的测试图形发生器和用来分析所捕获的输出信号的分析电路系统。

11. 如权利要求 9 所述的系统,其特征在于,所述测试仪包括用来产生所述扫描链输入信号的测试图形发生器和用来分析与所捕获的输出信号有关的信号的分析电路系统。

12. 一种用于电路测试的方法,包括:

通过在扫描输入周期期间产生第一延迟信号或者在捕获周期期间传送捕获时钟信号的方式,经由第一测试时钟电路产生第一测试时钟信号,其中,所述第一延迟信号是通过至少经由第一延迟电路延迟扫描移位时钟而产生的;

通过在扫描输入周期期间产生第二延迟信号或者在捕获周期期间传送所述捕获时钟信号的方式产生第二测试时钟信号,其中所述第二延迟信号是通过至少经由第二延迟电路另外延迟所述第一延迟信号而产生的;

将所述第一测试时钟信号提供给第一扫描链部分的寄存器;以及

将所述第二测试时钟信号提供给第二扫描链部分的寄存器。

13. 如权利要求 12 所述的方法,其特征在于,所述第二测试时钟信号在扫描输入周期期间相对于所述第一测试时钟信号偏移,而所述第一和第二测试时钟信号在所述捕获周期期间对准。

14. 如权利要求 12 所述的方法,其特征在于,所述第二测试时钟信号在所述扫描输入周期期间通过第二测试时钟电路中的与所述捕获周期期间不同的信号路径提供,且所述第二测试时钟信号在扫描输入周期期间相对于所述第一测试时钟信号偏移。

15. 如权利要求 12 所述的方法,其特征在于,所述产生第一延迟信号的步骤还包括经由第三延迟电路另外延迟所述扫描移位时钟。

16. 如权利要求 15 所述的方法,其特征在于,所述产生第二延迟信号的步骤还包括经由第四延迟电路另外延迟所述第一延迟时钟信号。

用来防止扫描移位期间的峰值功率问题的电路系统

技术领域

[0001] 本发明的实施例一般涉及扫描技术。

[0002] 背景

[0003] 扫描设计在用于数字电路的面向测试的设计 (DFT) 中使用。扫描设计提供测试接入以改进待测器件 (DUT) 的可测试性并降低测试成本。在现有技术图 1 中描述了扫描设计的示例。扫描设计的目的是提供测试接入以增加组合电路的可测试性。扫描设计可用扫描寄存器替换普通内部寄存器。扫描寄存器向普通寄存器添加被成为扫描路径的信号路径, 从而可直接从外部访问该普通寄存器。如果扫描启用 (SE) 信号被设置成例如逻辑高信号 (可称为 1), 则扫描路径有效。或者, 普通路径被选择, 且扫描寄存器起普通寄存器的作用。扫描寄存器的扫描路径以串行方式连接, 以形成被称为扫描链的移位寄存器。因为用来加载和卸载扫描链的时间占据了全部测试时间, 所以可以有并联的多个扫描链以减少测试时间。可通过诸如内建的自检 (BIST) 之类的片上测试电路系统在内部接入扫描链, 和 / 或通过外部测试仪接入扫描链。

[0004] 参考图 1, 集成电路芯片中的组件 10 包括包括扫描链 14, 其包括耦合至组合逻辑 18 中的电路的多路复用器 $20-1 \cdots 20-N$ 和寄存器 (诸如触发器) $22-1 \cdots 22-N$ 。寄存器 $22-1 \cdots 22-N$ 由时钟信号 CLK 进行时钟控制。首先, 选择扫描路径 ($SE = 1$), 且将输入测试图形 (SI) 移至扫描链中以初始化扫描寄存器。寄存器 $22-1 \cdots 22-N$ 的输出对诸如逻辑门 30、36 以及 40 中的一个或多个之类的组合逻辑有效。第二, 选择普通功能路径, 而且强制初级输入 (PI)。然后, 测量初级输出 (PO) 并与期望输出比较。将诸如门 30、36、40 和 / 或 42 的输出之类的组合逻辑 18 的某些输出提供作为多路复用器 $20-1 \cdots 20-N$ 的 0 输入, 当 $SE = 0$ 时, 多路复用器 $20-1 \cdots 20-N$ 将他们提供给寄存器 $22-1 \cdots 22-N$ 的输入端。应用时钟 (CLK) 脉冲以将组合逻辑 18 的测试响应捕获到寄存器中。然后选择扫描路径 ($SE = 1$), 并当移入下一输入测试图形时, 将测试响应 (测试向量) 移出 (扫描输出 SO)。将所获得的测试响应 SO 与期望响应比较, 以确定 DUT 是好还是坏。此过程重复直到使用了所有测试图形。当 $SE = 1$ 时为扫描输入周期, 而当 $SE = 0$ 时为捕获周期。

[0005] 图 2 示出包括如图 1 的扫描链中所示的多个多路复用器和寄存器的扫描链部分 46 和用来接收扫描链部分 46 的输出并保持该输出直到时钟转变为低的锁定锁存器 48。锁定锁存器用来容许最多例如半个时钟周期的时钟偏移。

[0006] 在现有技术的图 3 中示出了在扫描移位期间的峰值功率问题, 图 3 包括由 CLK1 信号进行时钟控制的一个链中的寄存器 52-1、52-2 以及 52-3, 和由 CLK2 信号进行时钟控制的另一扫描链中的寄存器 54-1 和 54-2, 每一个寄存器均耦合到组合逻辑 50。(由于空间有限, 没有示出多路复用器。) 当然, 这些链可以更大。当扫描链被加载时, 可将可能过多数量的转变从扫描寄存器注入组合逻辑器中。那些注入的转变会引起逻辑门的输出切换, 并在 DUT 内产生更多转变。

[0007] 转变的产生需要从电源电压 (VDD) 供给的功率。这样过多的瞬时功率需求会产生如图 4 中所示的供电电压噪声。所得的供电电压噪声会改变 DUT 的工作频率, 而且会引起

诸如保持时间违规之类的时序问题。所得的时序问题会使想要的测试功能失效,而且引起错误的测试决策。

[0008] 为帮助解决此问题,诸如图 3 中的现有技术组件提供不同相位(在不同时间)的扫描移位时钟,这称为时钟偏移。例如,在图 5 中,移位时钟 CLK1、CLK2、...CLKn 在不同时刻具有上升沿。然而,现有技术电路并未有效地使用时钟偏移。

[0009] 概述

[0010] 在某些实施例中,一种芯片包括第一和第二扫描链部分,它们分别包括寄存器和多路复用器,该多路复用器用来在扫描输入周期期间向寄存器提供扫描输入信号,且在捕获周期期间提供捕获到的输出信号。该芯片还包括用来分别向第一和第二扫描链部分的寄存器提供第一和第二测试时钟信号的电路系统,其中在扫描输入周期期间,第二测试时钟信号通过电路系统中的与捕获周期期间不同的信号路径提供,而且在扫描输入周期期间,第二测试时钟信号相对于第一测试时钟信号偏移。

[0011] 在某些实施例中,一种芯片包括第一和第二扫描链部分,它们分别包括寄存器和多路复用器,该多路复用器用来在扫描输入周期期间向寄存器提供扫描输入信号,且在捕获周期期间提供捕获到的输出信号。该芯片还包括用来分别向第一和第二扫描链部分的寄存器提供第一和第二测试时钟信号的电路系统,其中在扫描输入期间,第二测试时钟信号相对于第一测试时钟信号偏移,而在捕获周期期间,第一和第二测试时钟信号对准。

[0012] 在某些实施例中,该芯片在测试系统中。

[0013] 在某些实施例中,一种方法包括:通过第一测试时钟电路产生第一测试时钟信号;以及延时来自第一测试时钟电路的信号。该方法还包括通过提供捕获时钟信号或来自第一测试时钟电路的延时信号作为第二测试时钟信号来产生第二测试时钟信号。该方法还包括向第一扫描链部分的寄存器提供第一测试时钟信号,并向第二扫描链部分的寄存器提供第二测试时钟信号。

[0014] 描述并要求保护其它实施例。

附图说明

[0015] 通过参考用来说明本发明的实施例的以下描述和附图,可理解本发明的实施例。然而,本发明不限于这些附图的细节。

[0016] 图 1 是包括扫描链和组合逻辑的现有技术组件的框图表示。

[0017] 图 2 是现有技术的扫描链部分和锁定锁存器的框图表示。

[0018] 图 3 是包括扫描链和组合逻辑的现有技术组件的框图表示。

[0019] 图 4 是与图 3 的组件有关的供电电压噪声的表示。

[0020] 图 5 示出现有技术的扫描移位安排。

[0021] 图 6 是根据本发明的某些实施例的用来提供第一和第二测试时钟信号的测试时钟电路系统的框图表示。

[0022] 图 7 是根据本发明的某些实施例的用来提供第一和第二测试时钟信号的第一和第二测试时钟电路的框图表示。

[0023] 图 8 是根据本发明的某些实施例的用来提供第一和第二测试时钟信号的第一和第二测试时钟电路以及时钟发生电路的框图表示。

[0024] 图 9 是根据本发明的某些实施例的用来提供第一和第二测试时钟信号的第一和第二测试时钟电路以及控制信号锁存器的框图表示。

[0025] 图 10 示出根据本发明的某些实施例的扫描移位安排。

[0026] 图 11 是根据本发明的某些实施例的用来提供第一和第二测试时钟信号的第一和第二测试时钟电路以及控制信号锁存器的框图表示。

[0027] 图 12 是根据本发明的某些实施例的扫描链部分和锁定锁存器的框图表示。

[0028] 图 13 是根据本发明的某些实施例的耦合到组合逻辑和测试时钟电路的扫描链部分 (SCS) 的框图表示。

[0029] 图 14 和 15 分别是首先根据本发明的某些实施例的耦合到外部测试仪的芯片的框图表示。

[0030] 详细描述

[0031] 参考图 6, 电路系统 60 向扫描链部分 (诸如图 13 中所示) 中的时钟寄存器提供第一和第二测试时钟信号 TCLK1 和 TCLK2。TCLK1 信号是导线 62 上的 CLK1 信号, 它在扫描输入周期期间表示扫描移位时钟信号, 且在捕获周期期间表示捕获时钟。TCLK2 信号由测试时钟电路 78 提供, 测试时钟电路 78 包括延时值为 K2 (它是某些时间量, 诸如半时钟周期的一部分) 的延时电路 82。作为示例, 延时电路 82 可包括时钟缓冲器、均匀的一系列反相器或其它延时单元。延时电路 82 接收导线 90 上的 TCLK1 信号。多路复用器 88 接收延时电路 82 的输出和导线 64 上的时钟信号 2 (CLK2)。当扫描启用信号在扫描输入周期期间为 1 (例如高) 时, 多路复用器 88 将来自延时电路 82 的输出提供作为 TCLK2 信号。因此, 延时电路 82 的输出被称为扫描移位时钟 (SCLK2)。当扫描启用信号在捕获周期期间为 0 (例如低) 时, 多路复用器 88 将 CLK2 信号提供作为 TCLK2 信号。因此, CLK2 信号被称为捕获时钟信号 (CCLK2)。

[0032] 由于延时电路 82 引起的延时, TCLK2 在扫描输入周期期间相对于 TCLK1 偏移, 但在捕获周期期间, 当多路复用器 88 选择 CCLK2 信号时, 只要 CLK1 和 CLK2 对准, 则 TCLK1 和 TCLK2 对准。信号 CLK1 和 CLK2 可发源于公共信号, 因为承载的导体接合 (如图 8 中所示), 或者它们可被电路系统分开。可取决于实现方式对准或不对准 CLK1 与 CLK2。此外, 如图 6 中可见, TCLK2 在扫描输入周期期间 (导线 62 至导线 90 至延时电路 82 至多路复用器 88) 由与接收周期期间 (导线 64 至多路复用器 88) 不同的信号路径提供。

[0033] 图 7 示出用来提供第一和第二测试时钟信号 TCLK1 和 TCLK2 的电路系统 74。TCLK1 信号由第一测试时钟电路 76 提供, 该第一测试时钟电路 76 包括延时值为 K1 (它是某些时间量, 诸如半时钟周期的一部分) 的延时电路 80。延时电路 80 接收导线 68 上的扫描移位时钟信号 (SCLK)。延时电路 80 的输出被称为第一扫描移位时钟信号 (SCLK1), 以将其区别于第二扫描移位时钟信号 (SCLK2)。多路复用器 86 接收延时电路 80 的输出和导线 66 上的第一捕获时钟信号 (CCLK1)。第二测试时钟电路 78 包括具有延时 K2 的延时电路 82, K2 可与 K1 相同或不同 (更高或更低)。延时电路 82 在导线 90 上接收来自第一测试时钟电路 76 的信号。在图 7 中示出两个示例。作为第一示例, 在导线 90 上将延时电路 80 的输出处的 SCLK1 提供给延时电路 82。作为第二示例 (以虚线示出), 在导线 90 上将多路复用器 86 的输出提供给延时电路 82。当扫描启用信号在扫描输入周期期间为 1 (例如高) 时, 多路复用器 86 传送来自延时电路 80 的输出端处的 SCLK1 作为 TCLK 1 信号, 而多路复用器 88 传

送来自延时电路 82 的输出端处的 SCLK2 作为 TCLK2 信号。当扫描启用信号在捕获周期期间为 0 (例如低) 时,多路复用器 86 传送 CCLK1 信号作为 TCLK2 信号,而多路复用器 88 传送导线 64 上的 CCLK2 信号作为 TCLK2 信号。

[0034] 在图 7 中,在扫描输入周期期间,TCLK2 相对于 TCLK1 偏移,但在捕获周期期间,只要 CCLK1 和 CCLK2 对准,则 TCLK1 和 TCLK2 对准。此外,在扫描输入周期期间(导线 68 至延时电路 80 至多路复用器 86,和导线 68 至延时电路 80 至导线 90 至延时电路 82 至多路复用器 88),与捕获周期期间(导线 66 至多路复用器 86,和导线 64 至多路复用器 88),TCLK1 和 TCLK2 由不同的信号路径提供。

[0035] 图 8 类似于图 7,其不同之处在于它示出 CCLK1、SLK 以及 CCLK2 信号发源于导线 70 上的公共信号 CLK,该公共信号 CLK 是与 (AND) 门 96 的输出。对与门 96 的输入是测试模式信号和来自时钟发生电路 98 (它可以是锁相环 (PLL)、延时锁定环 (DLL) 或其它电路) 的 CLK 信号。有多种其它方法来实现本发明的实施例。例如,某些实施例不包括与门 96 和测试模式信号。

[0036] 图 7 表明 TCLK1 在 $SE = 0$ 时(接收周期)可被平衡,因为 CCLK1 可与 CCLK2 对准。在图 8 中,CCLK1 与 CCLK2 对准,因此它们被平衡。

[0037] 图 9 和 11 示出具有可编程延时的测试时钟电路的示例。该编程可从串行输入到串行输出串行地实现。取决于寄存器 116 (或 116-1、116-2) 的内容,当 $SE = 1$ 时,可传送 SCLK 或经延时的 SCLK 作为 TCLK。通过在 TCLK1 中包括或避开延时,还可控制 TCLK2 中的延时(或时钟偏移量)。如果相似的可编程性在各个测试时钟中实现,则所提出的全部测试时钟结构可以非常灵活地实现用于扫描移位的各种安排。

[0038] 参考图 9,测试时钟电路 110 包括延时电路 120 (具有延时值 m_1) 和多路复用器 124,它们中的每一个接收扫描移位时钟信号 (SCLK)。多路复用器 124 由来自延时控制信号通过寄存器(锁存器,触发器)116 的值控制,以允许 SCLK 或经延时的 SCLK 信号输入多路复用器 86 的输入端,多路复用器 86 还接收第一捕获时钟信号 (CCLK1) 并将输出提供至延时电路 128 (具有延时值 n_1)。延时控制信号和多路复用器 124 允许可编程的延时量。测试时钟电路 112 包括延时电路 132 (具有延时值 m_2),其接收导线 90 上的来自测试时钟电路 110 的来自延时电路 128 之前或之后(或来自某些其它位置)的信号。如虚线所示,在某些实施例中,电路 112 包括类似于多路复用器 124 的多路复用器 134;但在其它实施例中,它不包括多路复用器。多路复用器 88 接收延时电路 132 或多路复用器 134 的输出和第二捕获时钟信号 (CCLK2)。在某些实施例中,多路复用器 134 可由触发器 116 或未在图 9 中示出的另一触发器控制。在扫描输入周期中(扫描启用信号为 1),多路复用器 86 传送 SCLK 或经延时的 SCLK,且多路复用器 88 传送延时电路 132 或多路复用器 134 的输出,这取决于其它实现选择是另外的经延时的 SCLK 信号还是与来自多路复用器 86 的 SCLK 信号基本对准。在捕获周期中(扫描启用信号为 0),多路复用器 86 传送 CCLK1,且多路复用器 88 传送 CCLK2。延时电路 138 (具有延时值 n_2) 使多路复用器 134 的输出延时。在某些实施例中不包括延时电路 128 和 138。

[0039] 在某些实施例中,延时值 m_1+n_1 与来自图 7 和 8 的 K_1 相同,而 m_2+n_2 与 K_2 相同,但在其它实施例中不是这种情况。在某些实施例中,为了减少用来实现延时的时钟缓冲器的数量,可利用功能或捕获时钟路径中的时钟缓冲器。在某些实施例中,作为特殊情况,如

果 $m_1 = m_2 = 0$, 则所提出的测试时钟电路可利用现有的时钟缓冲器 (已在该设计中) 实现, 而且不需要额外的缓冲器, 但在其它实施例中不是这种情况。

[0040] 在图 9 中, 在扫描输入周期期间, TCLK2 可相对于 TCLK1 偏移, 但在捕获周期期间, 只要 CCLK1 和 CCLK2 对准, 则 TCLK1 和 TCLK2 对准。此外, TCLK1 和 TCLK2 在扫描输入周期期间由不同于捕获周期期间的信号路径提供。

[0041] 图 11 类似于图 9, 不同之处在于测试时钟电路 152 包括由多路复用器 148 接收的延时电路 120-1、120-2 以及 120-3, 多路复用器 148 由通过寄存器 116-1 和 116-2 的延时控制信号 1 和 2 控制。取决于控制信号 1 和 2 的值, 多路复用器 148 选择具有 m_1 、 m_2 或 m_3 延时水平的 SCLK 或 SCLK, 这允许比图 9 更高的可编程性。测试时钟电路 112 可包括类似的电路系统。

[0042] 在图 6-9 和 11 中, TCLK1 和 TCLK2 是用于两个测试时钟域的信号。例如, 由测试时钟电路 78 添加的测试时钟域可与该设计层级内的功能时钟域或局部时钟域重合。在某些实施例中, 可从最高级的单个移位时钟 (SCLK) 推导例如局部扫描移位时钟 SCLK1 和 SCLK2 的集合。在某些实施例中, 各个局部时钟可用来移位各个测试时钟域中的扫描链部分。可引入期望的延时以偏移各个推导出的局部时钟以避免并发扫描移位。在局部移位时钟中插入的延时可以串联方式连接以形成串联延时链。在某些实施例中, 串联链可实现顺序扫描移位的安排, 而且可保证在某些安排的时钟域中的非并发扫描移位。

[0043] 图 10 示出测试时钟 TCLK1、TCLK2...TCLKn 中的不同扫描移位时钟信号 SCLK1、SCLK2...SCLKn。SCLK1 与 SCLK2 之间的相位差可为增加的延时量 (例如, 增加的缓冲器数量)。SCLK1 与 SCLKn 之间的延时可以是总的延时量 (例如总的缓冲器数量)。在某些实施例中, 局部移位时钟路径中的延时的串联连接可确保扫描移位可以是非并发的。在某些实施例中, 通过在执行下一次扫描移位之前在供电总线上设定包括小波动的转变的时间, 可确定该延时。通过引入延时而增加的测试时间与总测试时间相比是可忽略的。在图 10 中, SCLK1 被示为与 SCLK 对准, 但可将它延时, 从而 SCLK1 在 SCLK2 的位置, 而且进一步延时 SCLK2 等。

[0044] 当扫描数据从一个测试时钟域移位至其它时钟域时, 引入有意的延时以安排扫描移位会引起保持时间违规。为防止保持时间问题, 可将诸如图 12 中所示的锁定锁存器 164-1 之类的锁定锁存器置于扫描链部分 160-1 的末端。参考图 12, 扫描链部分 160-1 包括多路复用器 166-1...166-N, 它们将来自组合逻辑 162 的扫描输入信号 (SI) 或捕获输出信号提供给寄存器 (例如触发器) 168-1...168-N。来自寄存器 168-N 的扫描输出信号 (可以是 SI 或捕获信号) 被提供给锁定锁存器 164-1, 它在 TCLK1 的下一下降沿将该信号输出。在某些实施例中, 锁定锁存器可帮助容许高达半个 SCLK 时钟周期的时钟偏移。

[0045] 有多种方法来实现具有扫描链部分的测试时钟电路。例如, 图 13 示出电路系统, 其包括用来向扫描链部分 (SCS) 160-1、160-2、160-3、160-4、160-5 以及 160-6 (它们与逻辑 162 通信) 和锁定锁存器 164-1、164-2、164-3、164-4、164-5 以及 164-6 提供测试时钟信号 TCLK1、TCLK2、TCLK3、TCLK4、TCLK5 以及 TCLK6 的测试时钟电路 188-1、188-2、188-3、188-4、188-5 以及 188-6。测试时钟信号可如上所述地偏移。所提供的延时量在不同的测试时钟电路中可不同。在某些实施例中, 测试时钟电路 188-1 和 / 或 188-4 仅仅是类似于图 6 中的导线 62 的导线。在某些实施例中, 锁定锁存器 164-3 的 SO 输出是扫描链部分 160-4 的

SI 输入,但在其他实施例中不是这种情况。可按照除图 13 中所示以外的顺序排列扫描链部分。捕获时钟信号 CCLK1、CCLK2、CCLK3、CCLK4、CCLK5 以及 CCLK6 可发源于公共信号(如图 8 中一样),或它们中的两个或多个可被电路系统分开;而且它们可对准,或它们中的两个或多个可不对准(从而它们不被平衡)。在某些实施例中,测试时钟域可以是分层模块内的局部时钟域、功能时钟域或任何功能时钟域的子时钟域。

[0046] 在某些实施例中,所提出的扫描结构抑制了向测试时钟域扫描移位期间的时序问题,包括保持时间违规。因此,在这些实施例中,可局部地解决那些时序问题。这在层级设计环境中是显著优点,在该层级设计环境中时序问题可在设计层级内局部地解决。

[0047] 图 13 可显示两个并发的顺序扫描移位安排。测试时钟域 1、2 以及 3 中的扫描移位有次序而且非并发,类似于域 4、5 以及 6。然而,那两个顺序扫描移位安排可以是并发的。通过施加顺序约束,可使并发的顺序扫描移位安排成为顺序的。例如,如果 TCLK3 连接至 TCC 188-4 的输入端(或者 TCLK6 连接至 TCC 188-1),则两个并发的顺序扫描移位安排可变成单个顺序安排。

[0048] 以下概括了可用于某些实施例的时序时钟电路插入。在其它实施例中可使用其它技术。

[0049] 1. 建立测试时钟域

[0050] 2. 安排用于扫描移位的测试时钟域

[0051] 3. 对于每一组扫描链部分,确定移位时钟路径($TM = 1$ 且 $SE = 1$)中所需的时钟延时,并确定局部域

[0052] 4. 在移位时钟路径中插入所确定的时钟延时

[0053] 5. 在 $SE = 0$ 的情况下使功能和扫描移位时钟平衡

[0054] 6. (可选)通过在功能或捕获时钟树中使用时钟缓冲器优化插入的延时

[0055] 有关这些项目,可结合某些实施例使用以下信息,但对于其它实施例它不是必需的。首先,通过插入所提出的测试时钟电路(TCC)可建立测试时钟域。TCC 的输出端将时钟提供给测试时钟域。如果建立测试时钟域,则可安排它们用于扫描移位。可将测试时钟域划分成有顺序的测试时钟域集合。通过在移位时钟路径中插入时钟缓冲器可使各组测试时钟域有顺序。安排好的移位时钟可以串联方式连接,以确保非并发扫描移位。在插入延时之后所得的时钟树电路系统可在图 7-9 和 11 中示出,且仅缓冲器被插入移位时钟路径。在插入延时之后,在不考虑移位时钟的情况下,可平衡功能和捕获时钟。这可通过在 $SE = 0$ 时约束 CTS(时钟树合成)来实现,如以上提到地。CTS 放置时钟树缓冲器以平衡功能时钟树或时钟路径。一旦 CTS 完成,移位时钟路径中插入的时钟缓冲器可被功能时钟路径中可用的时钟缓冲器代替,如图 9 和 11 中所示。在优化之后需要少量增加的 CTS 运行,以确保 CTS 结果的有效性。在某些实施例中,因为不需要平衡移位时钟,所以在捕获时钟树的合成期间可忽略移位时钟。因为在时钟树综合(CTS)期间可忽略移位时钟,所以所提出的电路不需要使 CTS 和下层设计流程复杂。如上所述,并非所有实施例均需要以上这些细节。

[0056] 峰值功率问题的不正确处理会引起时序问题,从而导致不正确测试决策。它还会引起诸如片上系统(SOC)器件之类的大系统芯片中的功率故障。在某些实施例中,所提出的解决方案通过避免并发扫描移位来降低峰值功率。在某些实例中,为实现较低峰值功率,捕获时钟可与移位时钟分离。而且在移位时钟路径中实施峰值功率降低安排。该安排对捕

获时钟路径无影响。通过使用时钟缓冲器或延时单元使扫描移位时钟偏移可实现该安排。而且,在某些实施例中,延时的极端精确性并不重要,而且可使用其延时大到足以避免并发扫描移位的任何小时钟缓冲器。不过,其它实施例使用特殊的时钟缓冲器。

[0057] 图 14 示出具有芯片 214 的系统 210,该芯片 214 包括组合逻辑 222 和扫描链电路系统 224(例如类似于图 13 的扫描链电路系统)。扫描链电路系统 224 从测试图形发生器 218 接收 SI 信号,并将输出信号提供给分析电路系统 228。分析电路系统 228 的结果可通过芯片接口 234 提供给外部测试仪 216。

[0058] 图 15 示出具有芯片 252 的系统 250,该芯片 252 包括组合逻辑 222 和扫描链电路系统 224。扫描链电路系统 224 从外部测试仪 256 中的测试图形发生器 262 接收 SI 信号,并通过芯片接口 254 将输出信号提供给外部测试仪 216 中的分析电路系统 228。

[0059] 本发明不限于任何特定的信令技术或协议。例如,信令可以是单端的或差分的。该信令可包括仅两个电压电平或两个以上电压电平。该信令可以是单数据率、双数据率、四倍数据率或八倍数据等。该信令可涉及经编码的码元和 / 或分组信号。可使用选通信号而不是时钟信号。当提到逻辑高电压时,可修改该电路系统,从而可替代地使用逻辑低电压,反之亦然。

[0060] 在所示组件之间可能有中间结构。此处所描述或示出的各种芯片可具有未示出或描述的附加的输入或输出。在这些附图的系统的实际实现中,可能有未示出的附加的电路系统、控制线以及可能的互连。当附图示出通过导线连接的两个框时,可能有未示出的中间电路系统。此处提到的导线不需要是连续性材料。例如,它们可包括通孔或其它连接结构。框的形状和相对大小不旨在涉及实际的形状和相对大小。

[0061] 实施例是本发明的实现或示例。在本说明书中对“实施例”、“一个实施例”、“某些实施例”的引用意味着结合这些实施例所描述的特定特征、结构或特性被包括在至少某些实施例中,但不一定被包括在所有实施例中。“实施例”、“一个实施例”、“某些实施例”的多次出现不一定都指代相同的实施例。

[0062] 当提到元件“A”耦合至元件“B”时,元件 A 可直接耦合至元件 B,或通过例如元件 C 间接地耦合。当说明书或权利要求声明组件、特征、结构、过程、或特征 A “引起”组件、特征、结构、过程或特征 B 时,它意味着“A”至少是“B”的部分起因,但还可能有帮助引起“B”的至少一个其它组件、特征、结构、过程或特征。

[0063] 如果说明书声明“可”、“可能”或“可以”包括组件、特征、结构、过程或特征,则不一定必须包括该特定组件、特征、结构、过程或特性。如果说明书或权利要求引用“一个”元件,这不意味着仅有一个该元件。

[0064] 本发明不限于此处所描述的特定细节。实际上,在本发明的范围内可作出对上述说明和附图的许多其它改变。因此,限定本发明的范围的是所附权利要求及其任何修改,而非上述描述。

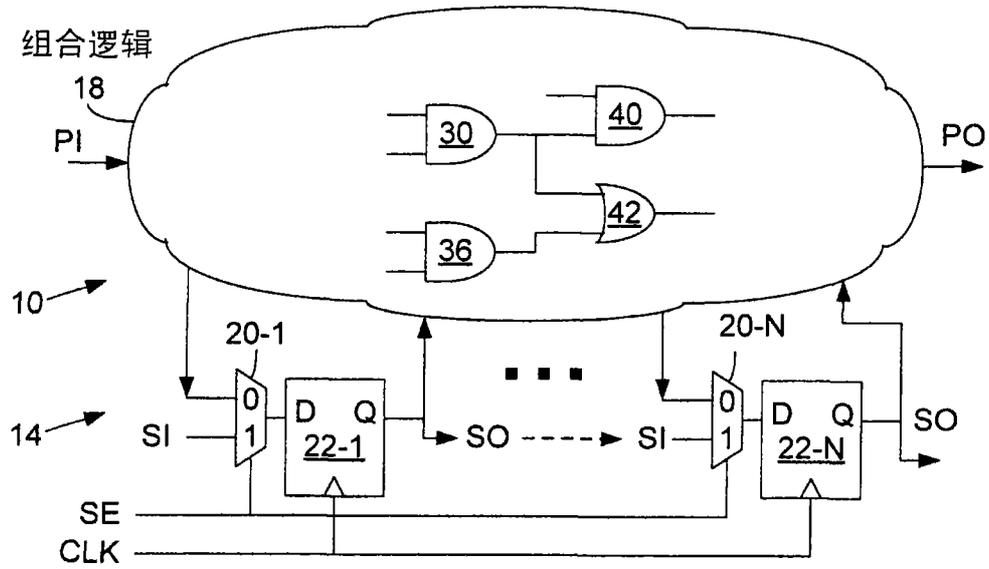


图 1

现有技术

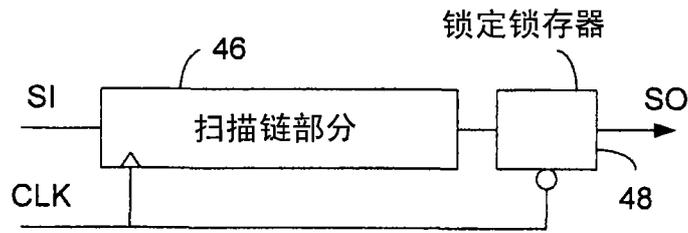


图 2

现有技术

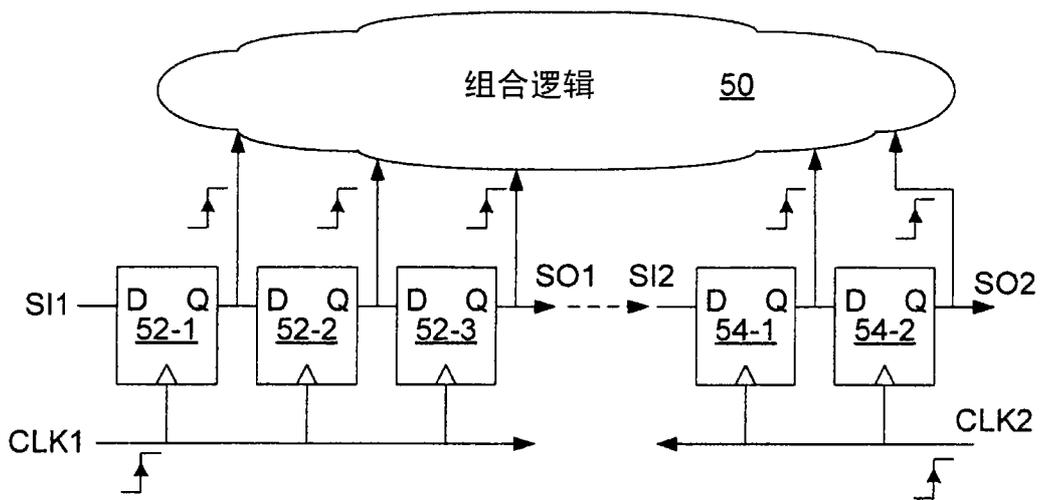


图 3

现有技术

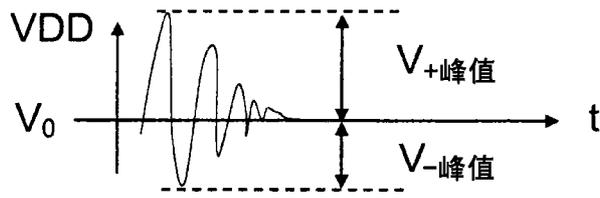


图 4

现有技术

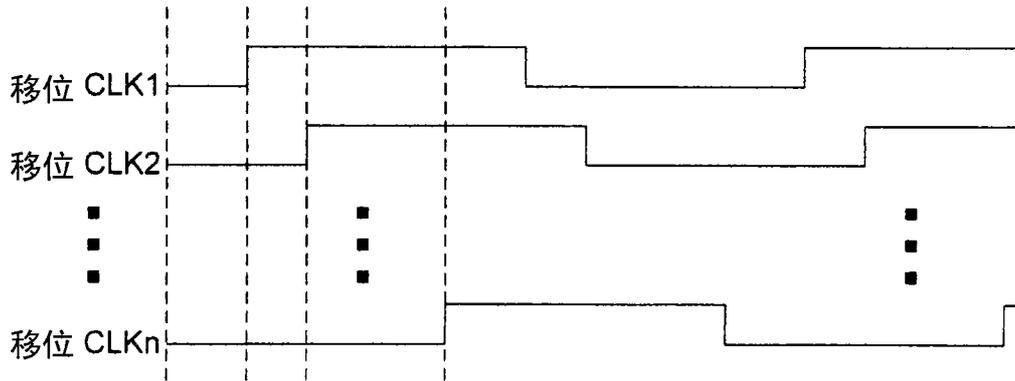


图 5

现有技术

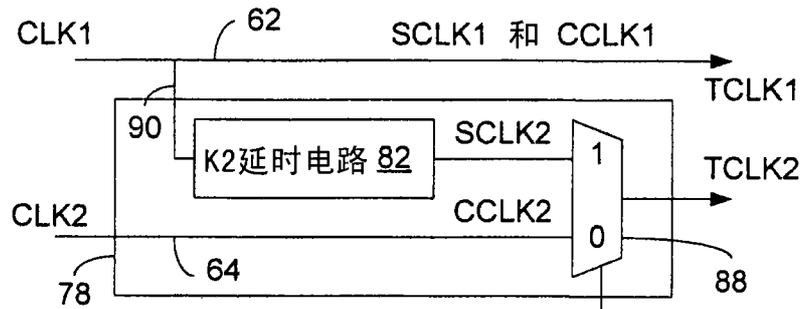


图 6

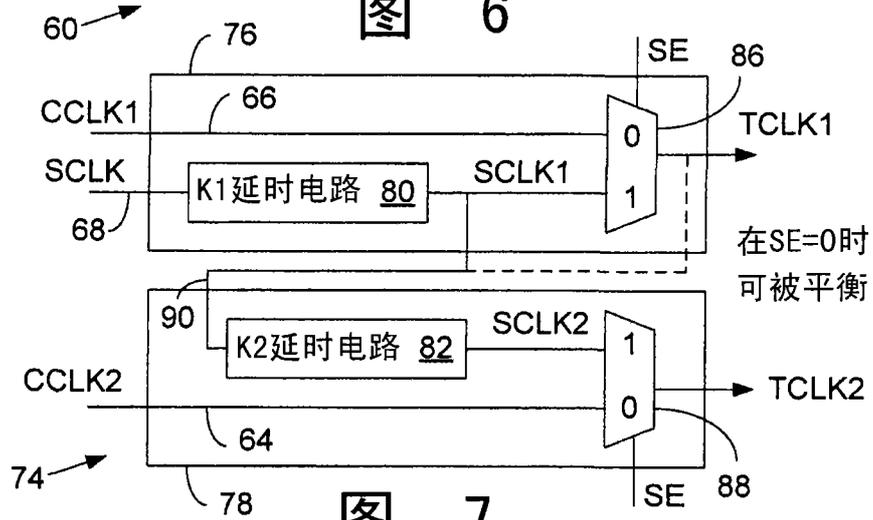


图 7

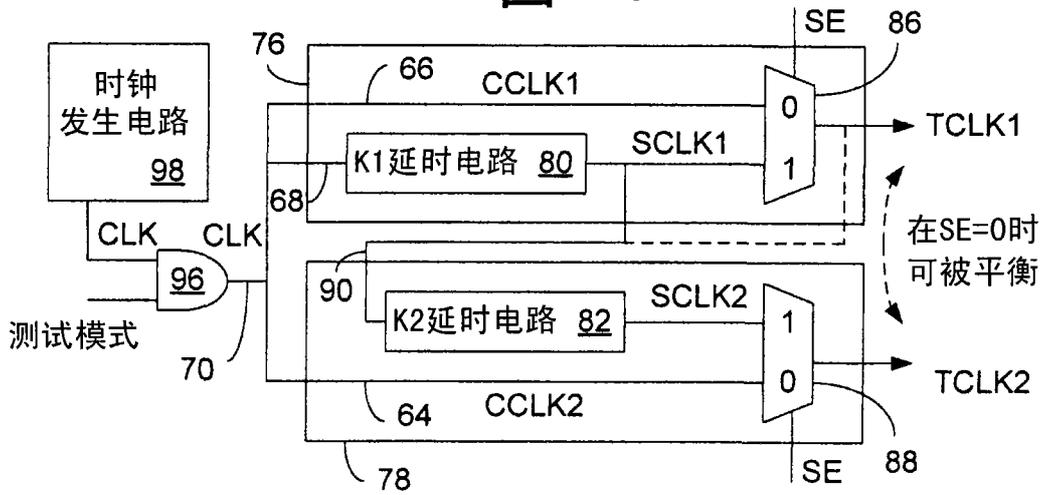


图 8

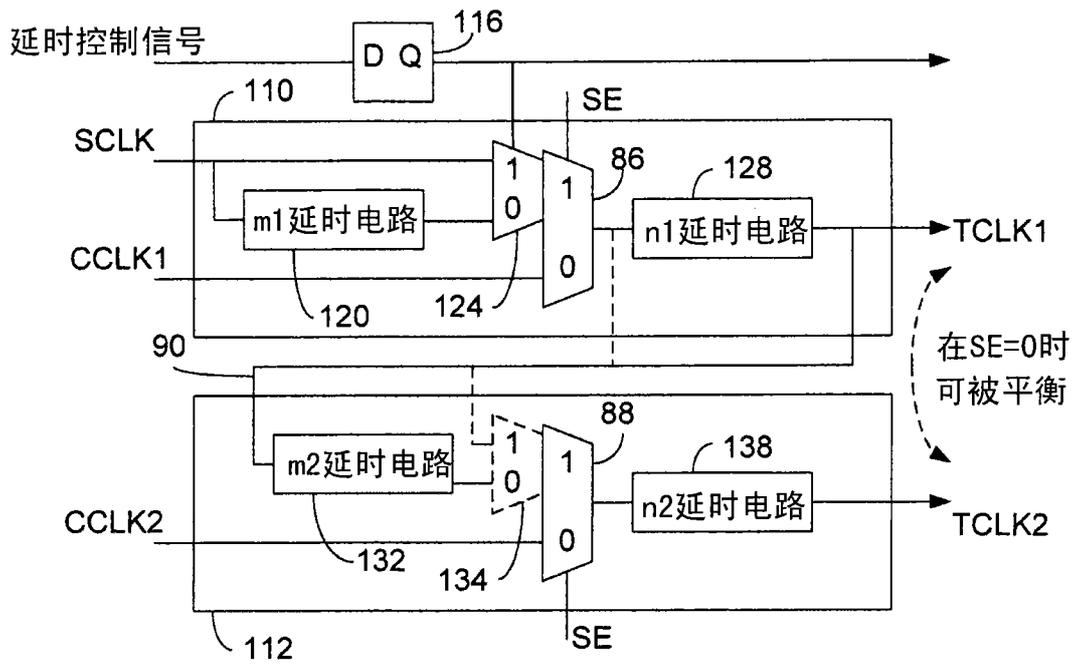


图 9

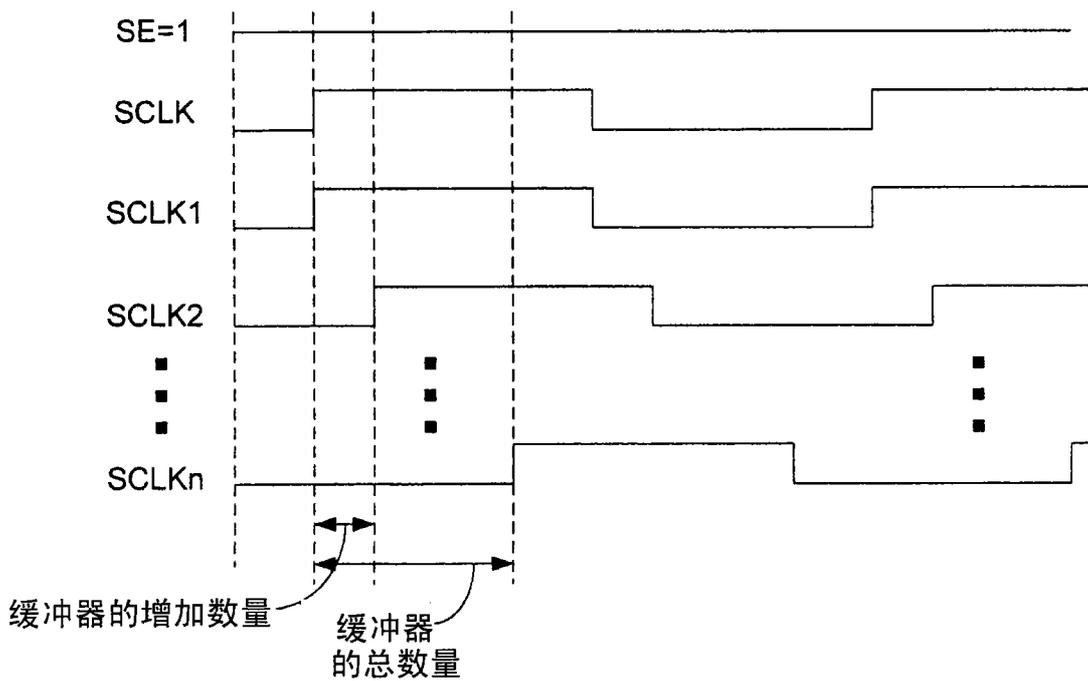


图 10

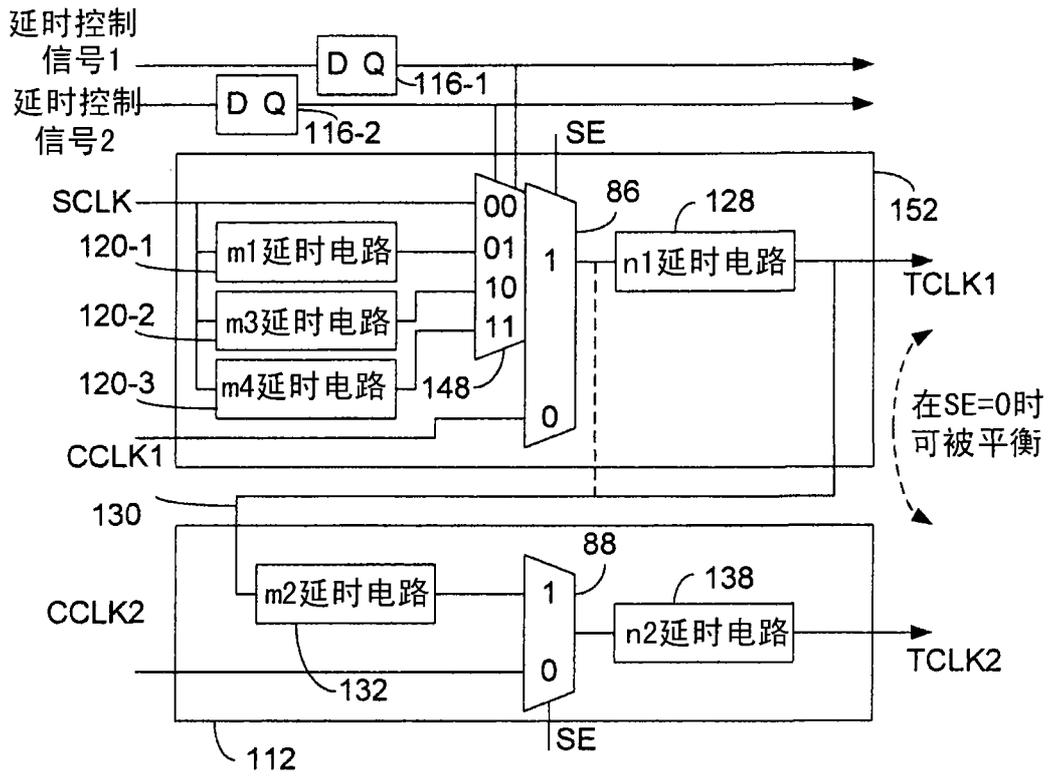


图 11

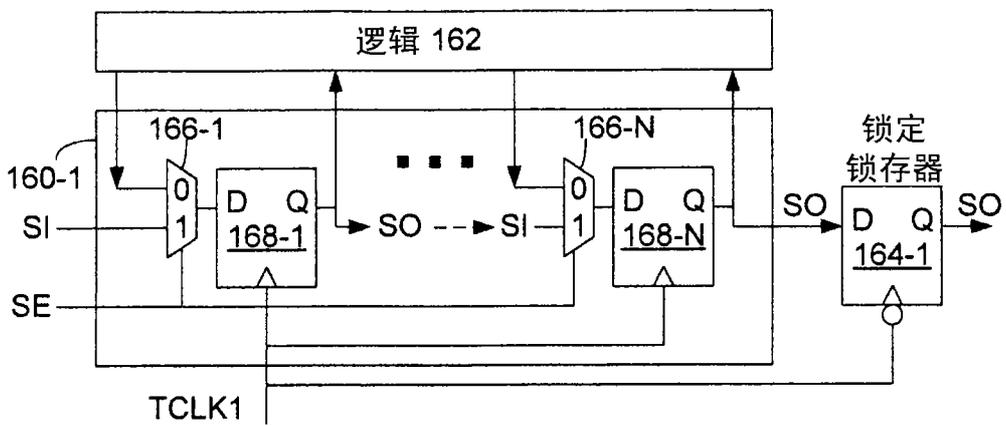


图 12

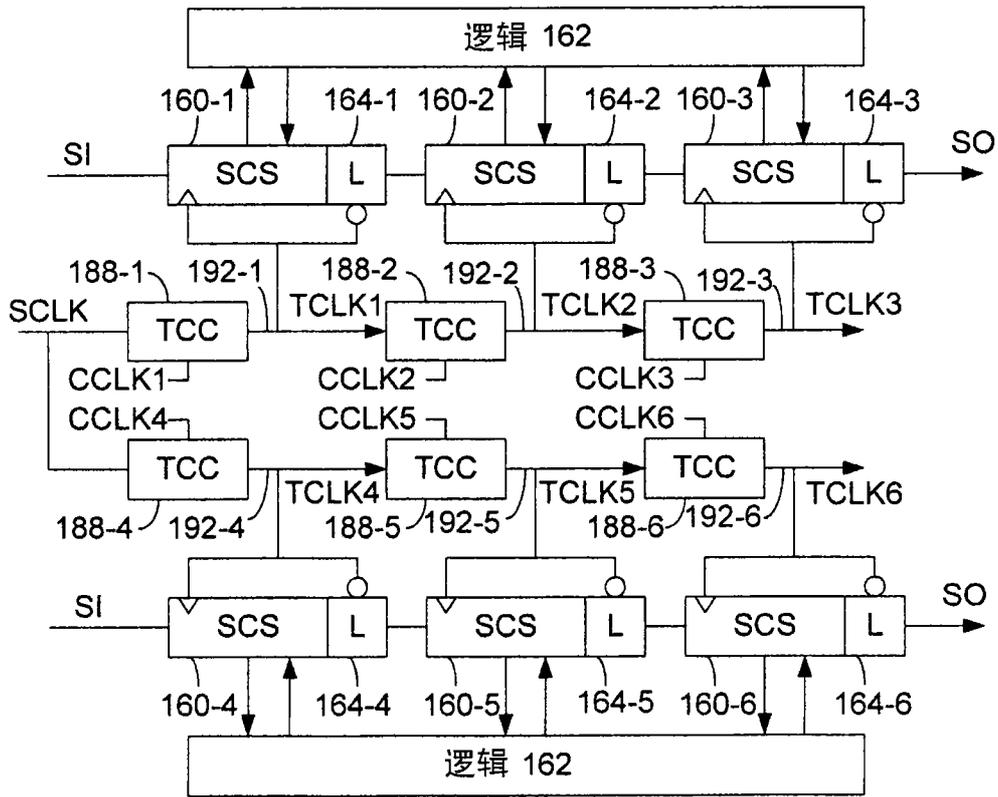


图 13

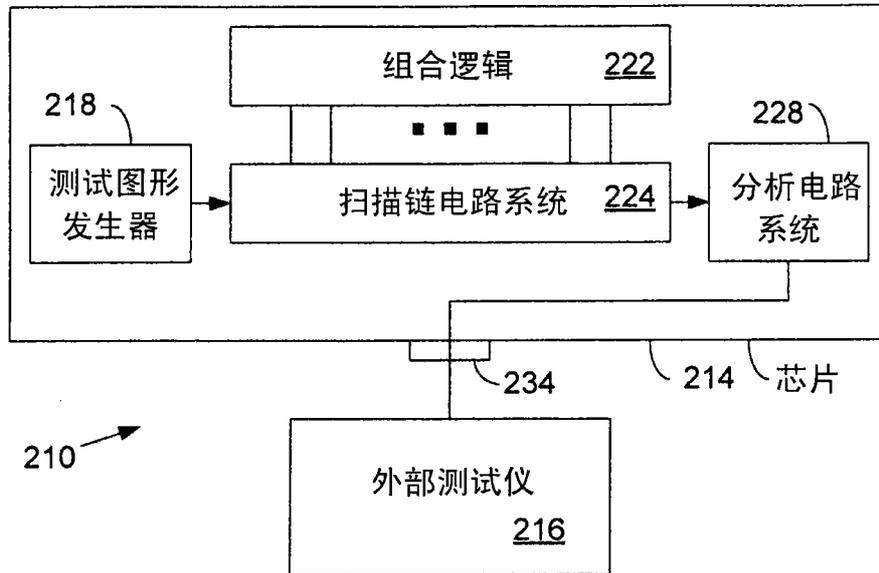


图 14

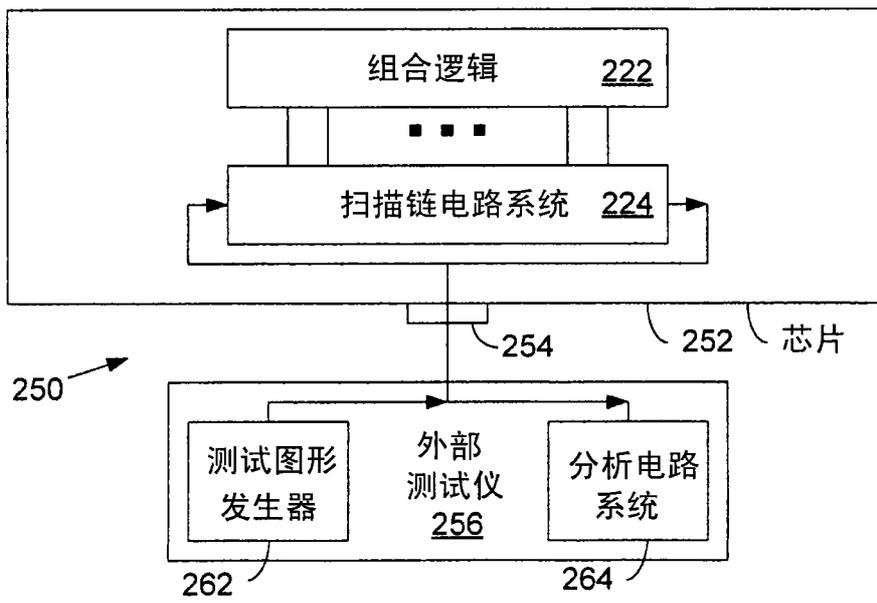


图 15