

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년07월25일
<i>H01L 21/8232</i> (2006.01)	(11) 등록번호	10-0574301
	(24) 등록일자	2006년04월20일

(21) 출원번호	10-1998-0005898	(65) 공개번호	10-1998-0071678
(22) 출원일자	1998년02월25일	(43) 공개일자	1998년10월26일

(30) 우선권주장	97-045235	1997년02월28일	일본(JP)
------------	-----------	-------------	--------

(73) 특허권자	가부시끼가이샤 히다치 세이사꾸쇼 일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고
-----------	---

(72) 발명자	이토 기요오 일본국 도쿄도 히가시쿠루메시 가쿠엔쵸2-17-6 미즈노 히로유키 일본국 도쿄도 고쿠분지시 니시코이가쿠보3-8-1-87
----------	---

(74) 대리인	장수길 이중희 구영창
----------	-------------------

심사관 : 정희환

(54) 반도체장치

요약

일반적으로 반도체장치에 관한 것으로서, 낮은 임계값전압의 MOSFET를 포함하는 CMOS회로의 전원인가시 또는 전원차 단시에 발생하는 래치업을 저지하기 위해, 임계값전압이 각각 0. 5V이하인 여러개의 MOSFET를 갖는 CMOS회로, CMOS 회로의 여러개의 MOSFET의 각각의 웰에 웰전압을 인가하는 웰전압 인가수단 및 CMOS회로에 전원전압을 인가하는 전원전압 인가수단을 포함하고, 웰전압 인가수단이 웰전압을 인가한 후 전원전압 인가수단이 전원전압을 인가하는 구성으로 하였다.

이와 같은 구성으로 하는 것에 의해, 고속이고 저소비전력이이며 또한 동작이 안정한 CMOS회로 및 그것에 의해 구성된 CMOS LSI칩 및 반도체장치를 실현할 수 있다는 효과가 얻어진다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 기술에 의해 구성된 CMOS반도체장치를 도시한 도면,
 도 2는 도 1에 도시한 CMOS반도체장치의 타이밍도,
 도 3은 본 발명의 기술에 의해 구성된 CMOS LSI칩을 도시한 도면,
 도 4는 도 3의 CMOS LSI칩의 단면을 도시한 도면,
 도 5는 본 발명의 기술에 의해 구성된 CMOS회로를 도시한 도면,
 도 6은 도 5에 도시한 CMOS회로의 타이밍도,
 도 7은 도 5의 회로의 레이아웃을 도시한 도면,
 도 8a는 도 7에 도시한 레이아웃의 VIII-VIII선을 따른 단면을 도시한 도면,
 도 8b는 도 5의 회로의 다른 레이아웃의 VIII'-VIII'선을 따른 단면을 도시한 도면,
 도 9는 본 발명에 의한 회로서브블럭의 선택 및 구동을 도시한 도면,
 도 10a는 행선택회로를 도시한 도면,
 도 10b는 도 10a의 회로의 동작타이밍을 도시한 도면,
 도 11은 본 발명의 기술에 의해 구성된 CMOS인버터를 도시한 도면,
 도 12는 도 11에 도시한 CMOS인버터의 타이밍도,
 도 13은 도 11의 회로의 레이아웃을 도시한 도면,
 도 14는 도 13에 도시한 레이아웃의 XIV-XIV선을 따른 단면을 도시한 도면,
 도 15는 도 11에 도시한 회로의 변형예를 도시한 도면,
 도 16은 도 11의 회로의 다른 변형예를 도시한 도면,
 도 17은 본 발명을 인버터열에 적용한 예를 도시한 도면,
 도 18의 (a)는 본 발명의 기술에 의해 구성된 PMOS NOR논리회로를 도시한 도면,
 도 18의 (b)는 본 발명의 기술에 의해 구성된 NMOS NOR논리회로를 도시한 도면,
 도 19의 (a)는 본 발명의 기술에 의해 구성된 NMOS NAND논리회로를 도시한 도면,
 도 19의 (b)는 프리차지된 MOSFET가 공통웰을 공유하는 다른 NMOS NAND논리회로를 도시한 도면,
 도 19의 (c)는 본 발명의 기술에 의해 구성된 PMOS NAND논리회로를 도시한 도면,
 도 20a는 높은 임계값전압MOSFET만을 사용한 입력버퍼를 도시한 도면,
 도 20b는 스위치로서 작용하는 높은 임계값전압MOSFET 및 낮은 임계값전압MOSFET을 사용한 입력버퍼를 도시한 도면,

도 21a는 본 발명의 기술에 의해 구성된 데이터 출력회로를 도시한 도면,
 도 21b는 도 21a에 도시한 회로의 타이밍도,
 도 22a 및 도 22b는 본 발명의 기술에 의해 구성된 웰구동회로를 도시한 도면,
 도 23은 본 발명의 기술에 의한 웰전압을 인가하는 방식을 도시한 도면,
 도 24는 부의 전압전원회로의 종래예를 도시한 도면,
 도 25는 승압전원회로의 종래예를 도시한 도면,
 도 26은 강압전원회로의 종래예를 도시한 도면,
 도 27은 본 발명의 기술에 의해 구성된 2전원칩의 구성을 도시한 도면,
 도 28은 본 발명의 기술에 의해 구성된 단일전원칩을 도시한 도면,
 도 29는 본 발명의 기술에 의해 구성된 다른 단일전원칩을 도시한 도면,
 도 30은 본 발명의 기술에 의해 구성된 2전원칩의 다른 구성을 도시한 도면,
 도 31은 본 발명의 기술에 의해 구성된 2전원칩의 내부회로를 도시한 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 반도체장치에 관한 것으로서, 특히 고속성과 저전력소비를 겸비한 반도체장치에 관한 것이다.

기관바이어스제어에 의한 저전력기술로서는 예를 들면 1996 IEEE International Solid-State Circuit, Digest of Technical Papers, 1996, pp. 166-167에 기재되어 있다.

발명이 이루고자 하는 기술적 과제

최근, 저전력의 CMOS LSI(Complementary Metal Oxide Semiconductor Large Scale Integrated Circuit)의 일반화에 대해 동작전원전압의 저하에 따라 MOSFET(트랜지스터)의 임계값전압 V_T 를 작게 하여 고속동작을 유지하는 움직임이 활발하게 되고 있다. 그러나, 전원전압이 2V이하로 저하되고 그것에 따라 임계값전압이 0.5V이하로 작아지면 트랜지스터를 완전하게 차단할 수 없게 되어 서브임계값 누설전류가 증가한다. 이 때문에, LSI칩의 대기전류가 증대하고 예를 들면 전지동작을 전제로 하는 CMOS LSI칩으로 구성되는 시스템을 설계할 때 애로로 되고 있다. 또한, 임계값전압 V_T 가 증가함에 따라 통상 동작시의 전류도 증가한다.

이 애로를 타개하기 위해서 통상 동작기간에는 칩내의 각각의 MOSFET의 임계값전압을 작게 하여 고속동작시키고, 대기시에는 임계값전압을 크게 해서 대기전류를 저감시키는 방법이 잘 알려져 있다. 그러나, 이 방식에는 이하의 3가지의 문제점이 있다.

[1] 종래에는 전원인가시에 래치업 등에 의해 과대전류가 흘러 CMOS LSI칩내의 배선이 용단되거나 또는 부하가 전원의 전류용량을 초과하여 정상적인 전원전압을 인가할 수 없게 되기도 한다. 이것은 MOSFET의 기관(웰)과 소오스가 등전위로 되는 않도록 회로의 레이아웃과 결선이 설계된 것에 기인한다.

예를 들면, 상기 소오스(p층)에 정의 전압전원(예를 들면, 1.8V)을 인가하는 p채널 MOSFET(P MOSFET)인 경우 정의 전압전원의 인가직전까지 웰(n웰)이 플로팅 0V를 유지하므로, 소오스와 웰간의 pn접합은 순방향으로 과도하게 바이어스되어 CMOS레치업의 원인으로 된다. 종래의 2V이상의 CMOS LSI의 제품에서는 MOSFET의 웰과 소오스를 가능한 한 등전위로 되도록 양자를 결선하고 있으므로, 전원전압의 인가에서도 그 후의 통상동작시와 마찬가지로 상기 pn접합은 순방향으로 바이어스되는 일은 없다. 또한, 임계값전압 V_T 가 대략 0.5V이상의 값으로 항상 일정하므로 서브임계값전류가 문제로 되는 일은 없다.

n채널 MOSFET(NMOSFET)의 경우에는 PMOSFET만큼 심각한 문제는 아니다. 그의 드레인에 전원전압이 인가된 경우(드레인과 웰 사이에 형성되는 pn접합이 순방향으로 바이어스되지 않으므로), NMOSFET의 기판(p웰)은 플로팅이 0V이고 소오스도 0V인 접지전위로 고정되어 있다. 그러나, 임계값전압이 0.5V이하일 때 드레인과 소오스 사이에는 서브임계값전류가 흐른다. 웰과 소오스를 분리해서 제어하는 것에 의해 CMOS LSI내의 임계값전압은 낮아지게 된다.

[2] 통상동작모드에서 대기모드로의 전환시간 또는 대기모드에서 통상동작모드로의 전환시간이 μs 의 단위로 되어 매우 길다. 기판전압이 칩내의 캐패시터를 펌핑하는 차지펌프회로에 의해 칩내에서 발생된다고 가정하면, 출력전류는 낮은 레벨로 한정된다. 한편, 기판전원단자는 칩내의 트랜지스터에서 공통으로 결선되어 있으므로, 전체 기판용량은 매우 큰 값(100pF이상)으로 된다. 따라서, 모드전환시에는 전류구동능력이 낮은 기판전압발생회로로 큰 부하(기판)용량을 구동하게 되어 그의 응답시간이 길어진다.

[3] 서브임계값전류는 CMOS회로내의 어느 곳이나 흐르므로 칩 전체의 동작전류를 증가시킨다. 이것은 비활성상태에서 통상동작시 CMOS회로 또는 회로블럭내의 트랜지스터의 임계값전압이 작게 된다는 문제가 있다.

본 발명은 상기 3가지의 과제를 해결하는 트랜지스터의 기판 또는 웰전압의 제어법에 관한 것이다.

본 발명의 목적은 낮은 임계값전압의 MOSFET를 포함하는 CMOS회로의 전원인가시 또는 전원차단시에 발생하는 래치업을 저지하는 것이다.

본 발명의 다른 목적은 통상동작중의 서브임계값전류를 저감하는 것이다.

본 발명의 또 다른 목적은 2V이하의 전압으로 동작시킨 CMOS회로 및 그것을 사용한 CMOS LSI 및 반도체장치에 있어서, 고속성을 유지한 상태에서 저소비전력을 실현하는 것이다.

본 발명의 상기 및 그 밖의 목적은 동작시 전원을 인가하고 차단하는 CMOS회로의 웰전압을 제어하는 것에 의해 달성된다.

발명의 구성 및 작용

본 발명의 1실시예에서는 통상동작시에는 실질적으로 충분히 차단할 수 없는 MOSFET로 이루어지는 CMOS회로의 웰이 MOSFET를 차단할 수 있도록 웰전압을 인가한 후 상기 CMOS회로에 전원전압을 인가한다.

본 발명의 다른 실시예에서는 상기 웰전압으로서 CMOS회로의 웰(전압 변환회로에 의해 제1 전원전압에서 발생하는) 제3 전원전압을 인가한 후, 상기 CMOS회로에 제2 전원전압을 인가한다.

본 발명의 다른 실시예에 있어서, 본 발명은 CMOS회로의 웰전위를 고정하는 회로 및 상기 CMOS회로의 입력신호의 변화에 따른 용량결합에 의해 상기 MOSFET의 웰전위를 변화시키는 회로를 마련한다.

본 발명의 다른 실시예에 있어서, 본 발명은 MOSFET와 캐패시터를 갖는 다이내믹 메모리셀과 CMOS회로를 포함하고, 상기 CMOS회로를 구성되는 MOSFET의 웰전위를 펄스변화시키고, 상기 다이내믹 메모리셀의 기판전압은 실질적으로 직류전원전압인 반도체장치를 마련한다.

본 발명의 다른 실시예에 있어서, 본 발명은 높은 전압에서 동작하고 높은 임계값전압의 MOSFET로 이루어지는 스테이틱 메모리셀과 낮은 전압에서 동작하고 낮은 임계값전압의 MOSFET로 이루어지는 CMOS회로를 포함하는 반도체장치를 제공한다. 상기 CMOS회로를 구성하는 MOSFET의 웰전위는 펄스변화된다.

본 발명의 또 다른 실시예에 있어서, 본 발명은 적어도 1개의 CMOS회로, 대기제어회로 및 전압변환회로를 포함하고, 상기 전압변환회로에 의해 발생된 전압을 상기 대기제어회로로 공급하고, 상기 대기제어회로는 상기 전압변환회로의 출력을 사용해서 상기 CMOS회로의 웰전위를 동작상태에 따라 변화시키는 반도체장치를 제공한다. 상기 웰용량보다 큰 용량을 갖는 캐패시터는 상기 전압변환회로의 출력에 접속되어 있다.

[발명의 실시예]

도 1에 도시한 본 발명의 1실시예에 있어서, 높은 전원전압 V_{CC1} (예를 들면 3.3V)에서 동작하는 회로블럭CT1에서는 동작시 예를 들면 0.5V이상의 선택가능한 임계값전압을 갖는 MOSFET를 사용한다. 충분히 높은 전원(동작)전압이므로 임계값전압을 0.1V 등으로 낮게 하지 않아도 고속동작이 가능하다. 따라서, 통상동작시와 대기시의 임계값전압을 일부를 전환하지 않아도 존재하는 서브임계값전류가 무시할 수 있을 만큼 충분히 작으므로, 그들 트랜지스터의 소오스와 기판을 공통 전압으로 결선할 수 있다.

또한, 도 1은 제어신호 ψ_p, ψ 에 의해 제어되는 기판전압발생/제어회로VB를 도시한 것이다.

한편, 낮은 전원전압 V_{CC2} (예를 들면 1.8V)에서 동작하는 회로블럭CT2는 통상동작시 임계값전압을 예를 들면 0.1V로 저하시켜 고속동작하는 내부트랜지스터를 구비한다. 대기시에는 대기전류를 감소시키기 위해 임계값전압을 예를 들면 0.5V로 크게 하지 않으면 안된다. 이 임계값전압의 제어는 트랜지스터의 기판NW, PW를 제어하는 것에 의해 실행된다.

이 경우, 회로블럭CT2내 트랜지스터의 기판전압은 도 2에 도시한 바와 같이 제어된다.

기판NW, PW의 전압 V_{BP}, V_{BN} 은 V_{CC1} 로서 최초에 인가된 3.3V에 따라 생성되고, 이 전압은 저전압동작시 회로블럭CT2내의 트랜지스터를 충분히 차단하는 값으로 선택된다. 예를 들면, V_{BP} 는 3.3V로 설정되고 V_{BN} 은 -1.5V로 설정된다.

우선, 회로블럭CT2에 기판전압을 인가한 후 낮은 전원전압 V_{CC2} 를 인가한다. 따라서, 낮은 전원전압을 인가하는 과정에서 회로블럭CT2내의 트랜지스터의 임계값전압이 충분히 높으므로, 각 트랜지스터로부터의 서브임계값전류가 누적되어 과대한 칩전류로 되는 일이 없고, 각 트랜지스터의 기판전압이 0V 정도의 플로팅상태로는 되지 않으므로 래치업을 일으키는 일도 없다.

그 후, 회로블럭CT2내의 트랜지스터의 임계값전압을 낮게 하도록 기판NW, PW의 전압 V_{BP}, V_{BN} 을 작게 하여(예를 들면, 2.3V와 -0.5V 정도), 통상동작으로 이행시킨다. 슬립시 또는 칩의 비선택시에 회로블럭내의 클럭을 정지(하이레벨 또는 로우레벨로 고정한다)시키는 경우, 대기시에 기판전압 V_{BP}, V_{BN} 을 승압(예를 들면, 3.3V와 -1.5V)하여 임계값전압을 높게 하는 것에 의해 서브임계값전류에 의한 소비전력증가를 감소시킬 수 있다.

전원차단시에는 기판전압 V_{BP}, V_{BN} 을 충분히 승압하고 나서 전원전압 V_{CC2} 를 오프로 한다. 또, 전원전압 V_{CC1} 도 오프로 한다. 따라서, 전원전압의 인가순서는 높은 전원전압 V_{CC1} 이 인가되고 나서 타이머에 의해 시간간격을 설정한 후, 낮은 전원전압 V_{CC2} 를 입력하는 순서이다.

회로블럭CT1과 회로블럭CT2는 다른 반도체칩으로 구성하거나 또는 단일 칩상에 집적해도 좋다.

도 3은 회로블럭CT1과 회로블럭CT2를 1개의 칩상에 집적한 실시예를 도시한 것이다. 도 3에 있어서, I/O는 칩 외부와 인터페이스 하는 인터페이스회로, LG1-LG4는 기판전압을 제어하고 낮은 임계값전압의 트랜지스터를 포함하는 회로로 구성되는 회로블럭, SRAM은 스테이틱 메모리셀로 구성된 메모리 어레이SARY를 포함하는 스테이틱 메모리, V_{CCS} 는 메모리셀로 전력을 공급하는 전원전압, DRAM은 MOSFET와 캐패시터 전극전압 V_p 가 1개의 전극상에 공급되는 캐패시터를 각각 갖는 다이내믹 메모리셀로 구성되는 메모리 어레이를 포함하는 다이내믹 메모리셀이다. 스테이틱 메모리 및 다이내믹 메모리셀에 있어서 DL, /DL은 데이터선이고 WL은 워드선이다. 특히, 한정하지는 않지만 메모리 어레이SARY 및 DARY는 여기에서는 높은 임계값전압의 트랜지스터로 구성되어도 좋다.

VB는 기판전압 발생회로로서 기판전압 제어회로CLG로부터의 신호군($\psi_p, /\psi_p, \psi_1, / \psi_1, \psi_2, / \psi_2, \psi_3, / \psi_3, \psi_4, / \psi_4$)에 의해 제어된다. VBA는 기판전압 발생회로로서 메모리 어레이SARY 및 메모리 어레이DARY내에 기판전압 V_{PS}, V_{NS}, V_{ND} 를 공급하고 있다. 이들 기판전압 V_{PS}, V_{NS}, V_{ND} 의 각각은 통상적으로 직류전압 또는 준직류전압(즉, AC리플을 갖는 직류전압)이다.

기판전압 발생회로VB, 기판전압 제어회로CLG 및 기판전압 발생회로VBA로 이루어지는 회로블럭CT1의 주요부는 높은 임계값전압의 MOSFET로 구성되어 있다. 또, 인터페이스회로I/O 및 기판전압 발생회로VB에는 높은 전원전압(V_{CC1})이 공급되고 그 외의 회로블럭에는 낮은 전원전압(V_{CC2})가 공급되고 있다.

메모리 어레이SARY 및 메모리 어레이DARY는 어레이를 형성하는 메모리셀이 고밀도이므로 다른 방식으로 그들의 기판전압을 받는다(메모리 어레이부는 칩전체에서 차지하는 면적의 비율이 높으므로 일반적으로 고밀도가 바람직하다). 셀의 고밀도를 위해 소자간 분리폭을 좁게 하지 않으면 안된다. 그러나, 메모리 어레이 전체에 일정하고 실질적으로 직류인 기판전압을 인가하는 기판바이어스방식이므로, 기판용량이 커 칩 전체의 소비전력을 증대시킨다. 그 결과, 이 부분의 기판용량을 구동하면 소자간 분리특성이 저하된다. 따라서, 메모리 어레이SARY내의 기판전압 V_{NS} 는 0V이고, 기판전압 V_{PS} 는 전원전압 V_{CCS} 와 동등하게 설정되고, 메모리 어레이DARY내의 기판전압 V_{ND} 는 -1.5V 정도의 실질적으로 직류인 전압이다.

메모리 어레이SARY내의 메모리셀은 플립플롭이다. 1개의 플립플롭을 구성하는 트랜지스터의 임계값전압이 너무 작으면 메모리셀내의 서브임계값전류가 증가한다. 메모리 어레이SARY는 다수의 셀로 구성되므로, 전체 메모리 어레이SARY를 위해 필요한 전류는 큰 값으로 된다. 그래서, 각각의 셀내의 트랜지스터의 임계값전압은 0.5V 정도로 높게 하고, 또한 이 높은 임계값전압에 대응하는 높은 전원전압 V_{CCS} 로 설정하면 셀은 고속으로 동작한다. 예를 들면, 전원전압의 수를 증가시키지 않으므로 전원전압 V_{CCS} 는 전원전압 V_{CC2} (1.8V)보다 높은 전원전압 V_{CC1} (3.3V)로 유효하게 설정할 수 있다.

도 4는 도 3의 대표적인 장치의 단면구조의 개략도이다. 도 4에 있어서, 스테이틱 메모리SRAM의 메모리 어레이부 및 다이내믹 메모리DRAM의 메모리 어레이부내의 캐패시터는 도면을 알기 쉽게 하기 위해 생략하였다.

다음에, 도 3에 도시한 칩을 전제로 내부의 각 회로블럭에 본 발명을 적용한 예를 기술한다.

도 5는 도 3의 서브회로블럭 LG(예를 들면 LG1~LG4)에 적용한 본 발명의 1실시예이다. 회로블럭CT2내의 낮은 임계값전압을 갖는 MOSFET의 기판(NW, PW)전압은 회로블럭CT1 및 회로블럭/CT1에 의해 제어되고 있다. 본 실시예에 서는 이 제어에 캐패시터 C_P, C_N 를 이용한다. 기판전압발생/제어회로VB는 높은 전원전압 V_{CC1} (예를 들면 3.3V)에서 기판바이어스전압(V_{BP}, V_{BN})와 제어신호($\psi_p, \psi, / \psi_p, / \psi$)를 발생하여 출력한다. p채널 트랜지스터(PMOSFET) Q_{PP} 및 n채널 트랜지스터(NMOSFET) Q_{PN} 은 높은 임계값전압을 갖는다.

도 6은 도 5에 도시한 회로의 동작을 설명하는 타이밍도이다. 기판바이어스전압 V_{BP}, V_{BN} 은 일반적으로 기판전압발생/제어회로VB에 의해 최초에 인가된 3.3V에 따라 생성되지만, 기판바이어스전압 V_{BP} 를 직접 V_{CC1} (3.3V)로 대응하는 예로 설명한다.

우선, 회로블럭CT2에 기판바이어스전압 V_{BP} 를 인가한 후, 회로블럭CT2에 낮은 전원전압 V_{CC2} 를 인가한다. 따라서, 낮은 전원전압 V_{CC2} 를 인가하는 과정에서는 회로블럭CT2내의 각각의 트랜지스터의 임계값 V_T 는 예를 들면 0.5V로 충분히 높다. 그래서, pn접합은 순방향으로 바이어스되는 일은 없다. 그 결과, 각각의 트랜지스터로부터의 서브임계값전류가 누적되지 않아 과대한 칩전류로 되는 일이 없고 래치업을 일으키는 일도 없다.

상기 회로가 통상동작으로 이행할 때는 트랜지스터 Q_{PP}, Q_{PN} 을 오프시키도록 제어신호 ψ_p 및 $/\psi_p$ 를 각각 높은 전압레벨H와 낮은 전압레벨L로 설정한 후 제어신호 ψ_p 및 $/\psi_p$ 를 각각 L, H레벨로 설정한다. 그래서, 캐패시터결합(C_P, C_N)에 의해 기판NW, PW상의 기판전압은 각각 예를 들면 2.3V 및 -0.5V 정도로 변화된다. 기판의 전압이 작아지므로, 회로블럭CT2내의 각각의 트랜지스터의 임계값전압이 작아지고 또한 고속동작이 가능하게 된다.

다음에, 이 상태에서 대기, 슬립 또는 칩의 비선택으로 동작을 변경하기 위해서는 제어신호 ψ_p 및 ψ_n 를 각각 L 및 H로 설정해서 트랜지스터 Q_{PP} , Q_{PN} 을 온시키고 그 후 제어신호 ψ_p 및 ψ_n 를 각각 H, L로 되돌린다. 기판에 깊은 전압이 인가되므로, 회로블럭CT2내의 각각의 트랜지스터의 임계값전압이 0.5V로 커진다. 따라서, 서브임계값전류에 의한 소비전력증가를 방지할 수 있다.

이와 같이 동작모드에 따라서 기판전압을 변화시키는 것은 캐패시터 C_p , C_n 에 을 통한 용량결합에 의해 실행되므로 순식간에 실행할 수 있다는 잇점이 있다. 그러나, 소오스나 드레인의 pn접합 누설전류 또는 MOSFET의 기판전류에 의해 기판전압은 서서히 감소하게 된다. 특히, 상기 기판전류는 동작주파수에 비례해서 커진다.

도 6에 도시한 기판(웰)리프래시는 전위를 2.3V와 -0.5V로 리세트하는 동작이다. 특히 한정하지는 않지만, 리프래시동작은 기판전압을 감시하는 것에 의해 실행된다. 또는, 타이머에 의해 정해진 시간동안 리프래시동작을 실행할 수 있다. 이 리프래시동작은 통상동작상태로부터 회로를 대기상태로 하고 재차 통상동작상태로 되돌리는 것에 의해 구성된다. 또한, 기판전류(예를 들면, 칩을 고속동작시키는 경우의 리프래시간격을 저속동작시키는 경우보다 짧게 한다)의 크기에 따라 리프래시간격을 가변으로 하는 것은 동작의 신뢰성을 향상시키는 데 유효하다.

도 7은 도 5의 트랜지스터(Q_{PP} , Q_{PN}) 및 캐패시터(C_p , C_n)의 레이아웃의 예를 도시한 것이다. 도 8a는 도 7의 레이아웃의 VIII-VIII선을 따른 단면도이다. 도 8b는 도 7의 레이아웃의 VIII'-VIII'선을 따른 단면도이다. 기판바이어스전압 V_{BP} , V_{BN} 은 제2배선층(제2 금속배선층)을 거쳐 트랜지스터 Q_{PP} 및 Q_{PN} 의 소오스에 각각 접속된다. 트랜지스터 Q_{PP} 및 Q_{PN} 의 드레인은 제2 배선층에 접속되고 주요회로의 기판NW 및 PW로 기판전압을 출력한다. 또, 캐패시터 C_p , C_n 은 MOS용량에 의해 형성된다.

도 9는 도 5의 응용예를 도시한 것으로서 2개의 서브회로블럭CT2(1), CT2(2)중의 어느 한쪽을 선택적으로 구동하는 예이다. 선택된 서브회로에 있어서, 웰블럭선택신호WB와 기동클럭 ψ 에 의해, 예를 들면 서브회로블럭CT2(1)에 속하는 기판전압발생회로CT(1), /CT(1)만이 선택적으로 구동되고, 이것에 따라 웰NW(1), PW(1)의 전압은 CT2(1)내의 MOSFET의 임계값전압을 저하시키도록 구동된다. 한편, 비선택 서브회로블럭CT2(2)내의 웰은 구동되지 않으므로 서브회로블럭CT2(2)의 MOSFET의 임계값전압은 높게 유지된다.

상기한 바와 같이 분할선택하여 구동하지 않으면, 서브회로블럭CT2(1)과 서브회로블럭CT2(2)의 전체의 웰을 구동시켜야 하고, 통상동작중에 낮은 임계값전압에 의해 흐르는 서브임계값전류는 서브회로블럭CT2(1)과 서브회로블럭CT2(2)내의 모든 MOSFET에서 흐른다. 따라서, 본 발명의 실시예에서는 펄스구동에 수반하는 전력과 서브임계값전류도 반감하게 된다.

도 10은 도 9의 예를 메모리 어레이(DRAM 및 SRAM)의 행디코더와 드라이버에 적용한 예를 도시한 것이다. 통상적으로 메모리어레이는 다수의 서브어레이로 분할되고, 이 각각의 서브어레이에 대응하도록 행디코더와 워드선 구동회로(워드선 드라이버)가 배치되어 있다. 그러나, 실제로 선택 구동되는 서브어레이는 소수이므로, 선택되는 서브어레이에 속하는 행디코더와 워드드라이버내의 MOSFET의 웰은 임계값전압이 작아지도록 구동되고, 다른 대부분의 행디코더와 비선택 서브어레이는 (임계값전압이 큰 상태로 유지되도록)구동되지 않고, 이것에 의해 전체로서는 소비전력과 서브임계값전류가 현저하게 격감한다.

도 10에 있어서는 2개의 서브어레이ARY1, ARY2의 예를 개념적으로 도시하였다. 서브어레이ARY1, ARY2는 각각 128개의 워드선WL과 여러개의 데이터선DL(간단히 1개만 도시하였다)로 이루어진다. 워드선과 데이터선의 교점에 메모리셀MC가 접속되어 있다. 각각의 워드선WL에는 워드드라이버drv와 행디코더dec가 접속되어 있다. 상기 워드드라이버drv는 CMOS인버터 Q_{DP} , Q_{DN} 을 포함한다. 상기 행디코더dec는 NMOSFET가 직렬접속된 NAND논리회로로서 각각의 게이트에는 내부어드레스신호 a_i, \dots, a_j 등이 입력된다.

행디코더는 외부클럭이 3.3V인 상태에서는 프리차지된다. 클럭CLK가 L(0V)로 되면, PMOSFET Q_{PP} 는 오프로 되고 내부어드레스신호는 외부어드레스 A_i, \dots, A_j 의 논리상태에 따라 0V에서 1.8V 또는 0V로 된다. 예를 들면, 워드선WL₁을 선택하는 어드레스신호의 경우에 있어서, 디코더dec의 NMOSFET의 전체가 워드선WL₁에 접속되고 워드드라이버drv의 입력력은 0V로 방전되고 PMOSFET Q_{DP} 는 온한다. 이 결과, 워드선WL에는 1.8V의 펄스전압이 인가된다. 여기에서 임계값전압이 감소되도록 선택된 워드선WL을 포함하는 회로블럭CT2(1)내의 웰NW(1), PW(1)을 구동하면, 행디코더dec에서

위드선WL₁로 펄스를 출력할 때까지 요구되는 시간을 짧게 할 수 있다. 또, 비선택 회로블럭CT2(2)내의 웰이 구동되지 않으면, 펄스구동에 수반하는 전력 및 서브임계값전류는 증가하지 않는다. 웰블럭 셀렉터는 내부어드레스신호에 의해 어느 회로블럭의 웰을 구동할지를 선택한다.

도 11은 도 5의 회로블럭CT2와 같이 1개의 인버터로 해서 형성한 것으로서 제어신호 ψ 및 $\bar{\psi}$ 를 입력신호IN에서 생성한 경우의 실시예를 도시한 것이다. 입력신호IN의 레벨이 L에서 H으로 변화하면, 기관(NW, PW)의 전압은 각각 캐패시터C_P, C_N에 의한 결합에 의해 높아진다. 따라서, NMOSFET의 임계값전압이 커지므로 서브임계값전류는 작아진다. 또, NMOSFET의 임계값전압이 낮아지므로 인버터의 부하구동력이 증가한다.

반대로, 입력신호IN의 레벨이 H에서 L로 변화하면 기관전압은 낮아진다. 따라서, PMOSFET의 임계값전압은 더 낮아지고 부하구동력이 증가한다. 또, NMOSFET의 임계값전압이 높아지는 것에 의해 서브임계값전류가 작아진다. 이와 같이, 입력신호에 의해 자동적으로 MOSFET의 임계값전압이 변화하고 서브임계값전류를 억제하면서 인버터의 부하구동력을 증가시킬 수 있다.

도 5에 도시한 바와 같이, 제어신호 ψ_p 및 $\bar{\psi}_p$ 는 전원인가시에 또는 기관(웰)의 리프레시에 사용한다.

상기한 동작에 대한 상세한 타이밍도를 도 12에 도시한다. V_{TP} 및 T_{TN}은 각각 PMOSFET와 NMOSFET의 임계값전압으로서 여기에서는 구별해서 표현하고 있다. 웰(NW, PW)의 최고전압과 최저전압은 트랜지스터Q_{PP} 및 Q_{PN}이 다이오드로서 작용하므로 V_{BP}+V_{TP}, V_{BN}-V_{TN}으로 클램프된다.

도 13은 도 11의 회로의 레이아웃의 예를 도시한 것이다. 도 14는 도 11의 레이아웃의 XIV-XIV선을 따른 단면도이다. 트랜지스터Q_{PP} 및 Q_{PN}은 웰에서 분리해서 형성되고, 캐패시터C_P, C_N은 기관으로 전원을 공급하는 표면고농도층까지 각각의 게이트전극을 연장하는 것에 의해 실현된다.

도 15는 도 11의 회로와 마찬가지로의 기능을 갖는 본 발명의 다른 회로의 실시예를 도시한 것이다. 캐패시터C_P, C_N은 인버터열INV를 거쳐 접속되어 있다. 이 인버터열INV는 게이트폭W 대 게이트길이L의 비가 작지만 높은 임계값전압V_T의 MOSFET 또는 낮은 임계값전압V_T의 MOSFET로 구성되어도 좋다. 도 11의 인버터의 입력용량은 캐패시터C_P, C_N에 의해 커지지만, 본 실시예에서는 인버터가 버퍼로 되므로 입력용량의 증가를 억제할 수 있다.

도 16은 2개의 인버터열INV를 결합한 실시예를 도시한 것으로서, 입력용량과 면적을 더욱 작게 할 수 있다.

도 17은 도 15에 도시한 것과 같은 여러개의 인버터열에 적용한 실시예를 도시한 것이다. 도 17에서는 인버터IV1, IV2, IV3, IV4가 직렬로 접속된 회로를 도시하고 있다. 트랜지스터Q_{PP} 및 Q_{PN}과 캐패시터C_P, C_N을 여러개의 인버터열에 의해 공용하고 있으므로 실효적으로 소면적으로 된다. 즉, 도통시키는 MOSFET의 임계값전압을 작게 하고 비도통으로 한 MOSFET의 임계값전압은 크게 하기 위해 기관은 와이어에 의해 각각 접속된 2종류의 웰배선이 필요하게 되지만, 트랜지스터Q_{PP1} 및 Q_{PN1}, INV와 캐패시터C_P의 조합 및 INV와 캐패시터C_N의 조합이 인버터IV2와 IV4에 공용되고, 또 트랜지스터Q_{PP2} 및 Q_{PN2}, INV와 캐패시터C_P의 조합 및 INV와 캐패시터C_N이 인버터열IV1과 IV3에 공용된다. 이와 같은 공용은 도 11 및 도 16에 도시한 실시예에도 적용할 수 있다.

도 18의 (a) 및 도 18의 (b)는 도 11의 회로를 NOR논리회로에 적용한 예를 도시한 것이다. 도 18의 (a)의 PMOS회로에서는 입력(I₁, I₂)의 적어도 한쪽의 레벨이 L로 되면 출력OUT은 L에서 H로 변화한다. 도 18의 (b)의 NMOS회로에서는 입력(I₁, I₂)의 적어도 한쪽의 레벨이 H으로 되면 출력OUT은 H에서 L로 변화한다.

도 19의 (a)~도 19의 (c)는 도 11의 회로를 NAND논리회로에 적용한 예를 도시한 것이다. 출력OUT은 최초에 프리차지 신호 ψ_p 와 낮은 임계값전압의 PMOSFET에 의해 1.8V로 프리차지되고 입력(I₁, I₂)는 모두 L(0V)이다. 그 후, 입력 전체가 H(1.8V)로 되면, 직렬 접속된 NMOSFET는 도통하고 출력은 0V로 방전된다. 이 회로는 도 10의 행디코더에도 적용할 수 있다.

또한, 도 19의 (b)는 공통웰의 프리차지된 MOSFEET를 마련하는 것에 의해 면적을 감소시킨 예를 도시한 것이다. 웰의 용량이 도 19의 (a)에 비해 2배로 되어도 입력 I_1 과 입력 I_2 에 접속된 2개의 캐패시터에 의해 웰을 구동한다. 따라서, 웰전위의 변화는 도 19의 (a)와 동일하게 되어 출력OUT을 고속으로 방전할 수 있다. 도 19의 (c)의 NAND회로는 PMOSFET에 의해 구성한 것이다. 입력 I_1 , I_2 가 동시에 L로 되면, 0V로 프리차지되어 있던 출력OUT은 H로 변화된다.

다음에, 도 3의 인터페이스회로I/O에 본 발명을 적용하는 경우에 대해서 기술한다.

도 20a 및 도 20b는 칩외로부터의 입력(IN)버퍼를 도시한 것이다. 도 20a는 3.3V의 전압과 높은 임계값전압 V_T 에서 동작하는 MOSFET를 사용한 주지의 회로를 도시한 것이다. 도 20b는 트랜지스터 Q_P 와 Q_N 을 위해 사용된 작은 임계값전압 V_T 의 MOSFET를 도시한 것이다. 트랜지스터 Q_{PP} 와 Q_{PN} 은 높은 임계값전압을 갖고 스위치로서 작용한다. 입력버퍼가 필요하지 않으면 트랜지스터 Q_{PP} , Q_{PN} 을 오프로 해서 전원전압 V_{CC1} 와 접지 사이에 트랜지스터 Q_P , Q_N 의 서브임계값전류가 흐르는 것을 저지한다. 유효한 신호가 입력되면 트랜지스터 Q_{PP} , Q_{PN} 을 온으로 한다.

도 21a 및 도 21b는 인터페이스회로I/O의 데이터 출력단에 도 11의 회로를 적용한 경우를 도시한 것이다. 이 실시예는 범용의 다이내믹 메모리(DRAM)칩 등에 다용되고 있는 바와 같이, 인터페이스회로I/O내의 데이터출력단을 동일 구성, 예를 들면 NMOSFET로 구성하여 저전원전압 V_{CC2} 로 구동한 것이다. 출력(D_{OUT})부는 다수의 유사한 출력버퍼회로가 공통으로 접속된 배선(wired) OR회로로 형성되어 있다.

배선 OR접속의 경우에는 임의의 1개의 출력회로가 선택되어 공통으로 접속된 출력 D_{OUT} 부로 데이터가 출력되면 다른 출력버퍼회로는 완전히 오프한다. 또, 모든 출력버퍼회로가 비선택이면 공통출력(D_{OUT})부는 완전히 오프한다. 낮은 동작전압, 낮은 임계값전압동작에 따라 이것을 실현하기 위해서는 상술한 발명이 유효하다.

도 21a에서 트랜지스터 Q_{N1} , Q_{N2} 는 낮은 임계값전압 V_T 의 출력단NMOSFET이고, 그들 기판(웰)전압을 인가하는 트랜지스터 Q_{PN1} , Q_{PN2} 는 높은 임계값전압의 PMOSFET이다. 이 회로의 특징은 1쌍의 데이터출력신호do, /do의 정보에 따라 출력단MOSFET(Q_{N1} , Q_{N2})의 임계값전압을 변화시키는 것이다. 우선, 트랜지스터 Q_{PN1} , Q_{PN2} 를 온으로 하여 기판PW1, PW2를 기판바이어스전압 V_{BN} 의 전위로 프리차지한다. 트랜지스터 Q_{N1} , Q_{N2} , Q_N 사이에 흐르는 서브임계값전류는 무시할 수 있는 값으로 되도록 설정해 둔다. 그 후, 출력신호do, /do가 정보에 따라 H와 L 또는 L과 H의 조합이면 출력 D_{OUT} 에 데이터가 출력된다. 그 때, 도통하는 NMOSFET의 임계값전압은 캐패시터에 의한 결합에 의해 더욱 낮아지므로 부하구동능력이 향상하여 고속동작으로 된다. 다른쪽의 (구동되지 않는) NMOSFET의 임계값전압은 높은 레벨을 유지하므로 서브임계값전류는 무시할 수 있다.

도 22a 및 도 22b는 웰(NW)구동회로의 구체적인 예를 도시한 것이다. 도 22a는 도 5의 제어신호 ψ 를 CMOS인버터에서 발생시키는 예를 도시한 것이다. 웰의 기생용량과 캐패시터 C_P 의 기생용량의 비를 조정하는 것에 의해, 예를 들면 도 6의 웰NW의 전압(2.3V)를 발생시킬 수 있다. 도 22b는 캐패시터 C_P 를 사용하지 않고 직접 2.3V 전원전압을 웰NW로 인가하는 회로이다. 제어신호 ψ 이 0V에서 3.3V로 되면, 트랜지스터 Q_N 의 소오스전압은 2.3V로 된다. 따라서, 제어신호 ψ 가 0V이고 트랜지스터 Q_N 이 낮은 임계값전압이라도 트랜지스터 Q_N 을 충분히 차단할 수 있다. 또, 제어신호 ψ 의 레벨이 3.3V로 되면 낮은 임계값전압이므로 고속으로 웰NW를 구동할 수 있다. 이 경우, 외부전압3.3V를 칩내부에서 강압시켜 2.3V의 소오스전압을 형성할 수 있다.

도 23은 본 발명의 다른 실시예를 도시한 것이다. VB1, VB2는 전원전압 V_{CC1} 로부터 칩내부에서 기판(웰)전압을 발생시키는 회로(후술함)이다. 높은 임계값전압 V_T 의 MOSFET Q_{PP} 및 Q_{PN} 는 발생된 기판전압이 주요회로내의 MOSFET의 기판에 인가될 때 온되는 스위치로서 작용한다(예를 들면, 상술한 바와 같이 대기시 등이다).

또, 캐패시터 C_{BP} , C_{BN} 은 주요회로의 MOSFET의 기판용량이다. 캐패시터 C_{PP} , C_{PB} 는 캐패시터 C_{BP} 및 C_{BN} 보다 충분히 큰 값을 갖도록 배치되므로, 상기 스위치가 온으로 되어도 기판전압의 변동은 최소화된다. 이들 캐패시터는 다른 회로와 함께 동일 칩상에 탑재되거나, 칩외부의 탄탈캐패시터나 전해캐패시터로서 실현되어도 좋다.

이들 캐패시터가 칩외부에 형성되는 경우, 도 23의 노드N1, N2가 패키지단자로서 작용하고, 그곳에 캐패시터가 외부에서 부착되므로 단자수가 증가한다. 그러나, 큰 용량을 용이하게 얻을 수 있다. 따라서, 캐패시터 C_{PP} , C_{PB} 에 미리 저장해 둔 대량의 전하의 일부를 캐패시터 C_{BP} , C_{BN} 으로 옮기는 것만으로 좋으므로, 대기상태에 필요한 기판전압을 고속으로 설정할 수 있다.

기판전압 발생회로VB1 및 VB2의 전원전압용량은 일반적으로 작으므로, 그들을 통해서 캐패시터 C_{BP} 및 C_{BN} 을 충전하는 문제점은 없다. 물론, 기판전압 발생회로VB1, VB2는 사용하지 않고 패키지단자를 거쳐 칩외부에서 직접 노드N1, N2에 필요한 기판전압을 인가할 수도 있다.

도 24~도 26은 지금까지 사용을 전제로 한 기판바이어스전압VBN, 기판바이어스전압 V_{BP} 및 강압전압 V_{CL} 을 발생하는 전원전압회로의 개념도이다. 상세한 것은 「초LSI」(이토 스미오 저, 바이후간, 1994년 11월 5일 발행, pp. 239~328)에 기재되어 있다.

도 24는 링 발진기와 다이오드접속의 MOSFET를 사용하는 3.3V의 전원에 따라 부의 전원전압(예를 들면, -1.5V)을 형성하는 회로를 도시한 것이다.

도 25는 칩내의 링발진기를 사용하는 3.3V이상의 승압전원전압을 형성하는 회로를 도시한 것이다. 또한, 지금까지는 $V_{BP}=3.3V$ 를 가정해서 설명했지만, 이 경우에는 승압전원을 필요로 하지 않는다. 그러나, 기판바이어스전압 V_{BP} 의 값은 MOSFET의 특성에 의해 정해지므로, 일반적으로는 V_{CC1} (3.3V)이상의 승압전원이 요구된다.

도 26은 3.3V전원을 사용해서 강압전압 V_{CL} (2.3V)를 얻는 회로를 도시한 것이다. 강압전압 V_{CL} 의 값은 칩상에서 발생시킨 참조전압 V_{REF} 와 비교기에 의해 정해지므로 좋다.

이상, 도 3의 내부회로로의 적용예를 중심으로 기술해 왔지만, 본 발명의 적용은 이것에 한정되는 것은 아니다. 도 27은 도 3에 도시한 실시예를 보다 간단히 도시한 것으로서, 이것에 따라 또 다른 실시예를 설명한다.

도 27에 있어서, 인터페이스회로I/O는 주로 높은 임계값전압 V_T 의 MOSFET로 구성되고 높은 전원전압 V_{CC1} 이 인가된다. 기판바이어스전압 V_{BP} 및 V_{BN} 을 발생하도록 기판전압 발생회로VB에는 높은 전원전압 V_{CC1} (V_{CC2})가 인가된다. 주요회로는 낮은 임계값전압의 MOSFET로 구성되고 낮은 전원전압(V_{CC2})이 인가된다.

상술한 바와 같이, 인터페이스회로I/O는 임계값전압 V_T 의 MOSFET로 구성되어 있지 않아도 좋고, 또한 주요회로가 낮은 임계값전압 V_T 의 MOSFET로 구성되어 있을 필요는 없다. 또, 도시한 바와 같이 기판바이어스전압 V_{BP} 를 주요회로내로 인가하는 대신 주요회로의 PMOSFET의 임계값전압을 충분히 높게 할 수 있으면, 전원전압 V_{CC1} 을 직접 기판바이어스전압 V_{BP} 로 해서 주요회로에 인가해도 좋다.

도 28은 도 2를 부가적으로 참조해서 단일칩상에 단일전원전압을 사용하여 배치한 본 발명의 예를 도시한 것이다. 기판바이어스 감시회로DT는 전원전압이 온하면 기판전위를 충분히 안정하게 공급할 수 있는지를 검출하는 회로이다. 이 검출된 출력이 높은 임계값전압 V_T 의 PMOSFET를 온시키는 것에 의해 인터페이스회로I/O와 주요회로에 전원전압 V_{CC} 를 공급하고 있다.

도 29는 강압전원회로VD를 사용한 실시예를 도시한 것이다. 강압전원회로VD가 높은 전원전압 V_{CC} 에서 낮은 전원전압 V_{CL} 을 생성하여 주요회로로 전원을 공급한다. 이 경우, 단일 전원전압 V_{CC} 에 의해 주요회로를 구성하는 장치의 최적동작 전압으로 되도록 강압전압 V_{CL} (기판바이어스전압 V_{BP} , V_{BN} 을 인가하고 나서 강압전압 V_{CL} 을 인가한다), 기판바이어스전압 V_{BP} , V_{BN} 을 내부에서 조정할 수 있다는 잇점이 있다.

도 30은 외부전원전압이 2종(V_{CC1} , V_{CC2})인 경우에서도 사용자에게 전원이 온하는 순서에 대한 제약을 가하지 않는 방식 예를 도시한 것이다.

낮은 임계값전압 V_T MOSFET를 이용하는 주요회로는 도 28에 도시한 본 발명을 적용하는 것에 의해 저전압(V_{CC2})전원으로 동작시킨다. 한편, 높은 임계값전압 V_T 의 MOSFET를 사용하는 인터페이스회로I/O는 다른 전원전압(예를 들면, V_{CC1})으로 동작시킨다. 인터페이스회로I/O와 주요회로 사이에 동작전압의 차가 있으므로, 소규모의 전압레벨 변환회로가 필요하다. 그러나, 전원전압 V_{CC1} 에서 동작하는 회로블럭과 전원전압 V_{CC2} 에서 동작하는 회로블럭이 거의 독립적으로 동작하므로, 주요회로의 래치업을 방지한다.

도 31은 도 30에 도시한 실시예의 내부회로의 동작을 도시한 것으로서 도 5에 도시한 내부회로동작과 대응된다. 본 실시예에서 인터페이스회로I/O는 1.8V의 고전압전원으로 동작하고, 주요회로는 1.2V의 저전압전원으로 동작하는 것으로 한다. 전원전압 V_{CC2} 로 동작하는 승압회로에 의해 승압($V_{BP}=2.7V$)전원을 형성하고, 제어신호 ψ_p 는 0V에서 기판바이어스전압 V_{BP} 까지의 펄스폭을 취한다. 또, 제어신호 ψ_n 는 예를 들면 0V에서 기판바이어스전압 V_{BP} 까지의 펄스폭을 취한다. 부전압전원회로에 의해 $V_{BN}(-1.5V)$ 를 형성하고, 제어신호 ψ_p 는 0V에서 기판바이어스전압 V_{BP} 까지의 펄스폭을 취한다. 따라서, 전원전압 V_{CC2} 가 인가되면 트랜지스터 Q_{PP} , Q_{PN} 이 온으로 되고, 낮은 임계값전압 V_T 의 트랜지스터 Q_P , Q_N 에 충분한 웰전압이 인가되는 것에 의해, 도 30의 트랜지스터Q가 온으로 되어 도 31의 낮은 임계값전압 V_T 의 주요회로에 전원전압 V_{CC2} (V_{CC2} 인가보다 후에 인가되므로 V_{CC2} 와 구별된다)가 인가된다.

상술한 본 발명의 실시예에서 트랜지스터의 구조 및 기판구조는 특히 한정되지 않는다. 예를 들면, 기판전압에 의해 그의 임계값전압 V_T 를 제어하는 한 SOI (Silicon(Semiconductor) on Insulator)구조와 같은 MOSFET를 사용해도 좋다. 전원전압(예를 들면 V_{CC1})이 인가되는 MOSFET의 게이트산화막의 두께를 낮은 전원전압(예를 들면, V_{CC2})이 인가되는 MOSFET의 두께보다 게이트산화막을 두껍게 하면 칩 전체에서 고신뢰성이 보증된다.

또, 도 3에서는 모든 기능블럭을 집적한 예를 도시했지만, 본 발명은 각각 독립된 칩, 예를 들면 다이내믹 메모리(DRAM) 칩, 스테이틱 메모리(DRAM)칩 또는 마이크로프로세서칩에도 적용할 수 있다.

본 발명은 상술한 실시예에 한정되는 것은 아니고 범위를 이탈하지 않는 범위에서 여러가지로 변경가능한 것은 물론이다.

발명의 효과

본원에 있어서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 다음과 같다.

즉, 고속이고 저소비전력이고 동작이 안정한 CMOS회로 및 그것에 의해 구성된 CMOS LSI칩 및 반도체장치를 실현할 수 있다.

(57) 청구의 범위

청구항 1.

각각의 임계값이 0.5V이하인 여러개의 MOSFET를 갖는 CMOS회로;

제1 전압을 받아서 상기 여러개의 MOSFET의 각각의 웰전압으로서 제2 전압을 출력하는 전압변환회로;

상기 CMOS회로로 제3 전압을 공급하기 위한 전압공급수단 및;

상기 전압변환회로가 상기 제1 전압을 받은 후, 상기 CMOS회로로 제3 전압의 공급을 개시하기 위한 제어수단을 구비하는 것을 특징으로 하는 반도체장치.

청구항 2.

제1항에 있어서,

상기 전압변환회로와 상기 CMOS회로는 동일칩상에 포함되고,

상기 제1 전압은 상기 제3 전압보다 큰 것을 특징으로 하는 반도체장치.

청구항 3.

제1항 또는 제2항에 있어서,

상기 전압변환회로는 상기 CMOS회로에 포함되는 여러개의 MOSFET의 임계값보다 큰 임계값을 갖는 MOSFET를 포함하는 회로블럭의 일부인 것을 특징으로 하는 반도체장치.

청구항 4.

제3항에 있어서,

상기 회로블럭은 다른 칩과의 입출력 인터페이스회로를 포함하는 것을 특징으로 하는 반도체장치.

청구항 5.

제1항 또는 제2항에 있어서,

상기 회로블럭은 다른 칩과의 입출력 인터페이스회로를 포함하는 것을 특징으로 하는 반도체장치.

청구항 6.

제1항에 있어서,

상기 제3전압은 2V 이하인 것을 특징으로 하는 반도체장치.

청구항 7.

각각의 임계값이 0.5V이하인 여러개의 MOSFET를 갖는 CMOS회로의 웰전위를 고정시키기 위한 회로 및;

상기 CMOS회로의 입력신호의 변화에 대응해서 웰전위에 접속되는 캐패시터에 의해 상기 여러개의 MOSFET의 웰전위를 변화시키기 위한 회로를 구비하는 것을 특징으로 하는 반도체장치.

청구항 8.

제7항에 있어서,

상기 반도체장치는 상기 MOSFET가 플로팅상태인 경우에 상기 MOSFET가 차단되는 방향의 전위로 상기 MOSFET의 웰전위를 리프레시하기 위한 회로를 더 갖는 것을 특징으로 하는 반도체장치.

청구항 9.

1개의 MOSFET와 1개의 캐패시터를 갖는 다이내믹 메모리셀 및;
 각각의 임계값이 0.5V이하인 여러개의 MOSFET를 갖는 CMOS회로를 구비하고,
 상기 CMOS회로에 포함되는 여러개의 MOSFET의 웰전위는 펄스변화되는 것이고,
 상기 다이내믹 메모리셀의 기관전압은 실질적으로 직류 전원전압인 것을 특징으로 하는 반도체장치.

청구항 10.

CMOS회로, 대기제어회로 및 전압변환회로를 포함하고,
 상기 전압변환회로에 의해서 발생된 출력전압은 상기 대기제어회로로 공급되고,
 상기 대기제어회로는 상기 출력전압을 사용해서 상기 CMOS회로의 웰전위를 동작상태에 따라서 변화시키고,
 상기 대기제어회는 웰용량보다 큰 용량의 캐패시터를 상기 전압변환회로의 출력에 접속하고 있는 것을 특징으로 하는 반도체장치.

청구항 11.

전압변환회로에 제1 전압을 입력하고, CMOS회로에 포함되고, 각각의 임계값이 0.5V이하인 여러개의 MOSFET의 각각의 웰전압으로서 상기 제1 전압을 변환하여 각각의 제2 전압을 출력하는 스텝 및;
 상기 CMOS회로의 동작전압으로서 상기 CMOS회로로 제3 전압을 공급하는 스텝을 포함하고,
 상기 CMOS회로로 상기 제3 전압을 공급하는 스텝은 상기 전압변환회로에 상기 제1 전압을 입력한 후에 실행되는 것을 특징으로 하는 반도체장치의 동작방법.

청구항 12.

제11항에 있어서,
 상기 제1 전압은 상기 제3 전압보다 큰 것을 특징으로 하는 반도체장치의 동작방법.

청구항 13.

제1항에 있어서,
 상기 CMOS회로로 공급되는 전압은 2V이하인 것을 특징으로 하는 반도체장치의 동작방법.

청구항 14.

제11항에 있어서,

상기 CMOS회로의 상기 제3 전압을 공급하는 스텝은 상기 CMOS회로에 포함되는 상기 여러개의 MOSFET로 각각의 웰전압이 공급되기 시작하는 스텝 후에 실행되는 것을 특징으로 하는 반도체장치의 동작방법.

청구항 15.

각각의 임계값이 0.5V이하인 여러개의 MOSFET를 갖는 CMOS회로의 웰전위를 고정시키는 스텝 및

상기 CMOS회로의 입력신호의 변화에 대응해서 웰전위에 접속되는 캐패시터에 의해 상기 여러개의 MOSFET의 웰전위를 변화시키는 스텝을 갖는 것을 특징으로 하는 반도체장치의 동작방법.

청구항 16.

제15항에 있어서,

상기 MOSFET가 플로팅상태인 경우에, 상기 MOSFET가 차단되는 방향의 전위로 상기 MOSFET의 전위를 리프레시하는 스텝을 더 갖는 것을 특징으로 하는 반도체장치의 동작방법.

청구항 17.

전압변환회로에서 출력전압을 대기제어회로로 공급하는 스텝 및;

반도체장치의 동작상황에 따라서 상기 출력전압을 사용해서 CMOS회로의 웰전위를 변화시키기 위해 상기 대기제어회로에서 CMOS회로로 상기 출력전압을 출력하는 스텝을 갖고,

상기 웰의 용량보다 큰 용량을 갖는 캐패시터는 상기 전압변환회로의 출력에 접속되는 것을 특징으로 하는 반도체장치의 동작방법.

청구항 18.

각각의 임계값이 0.5V 이하인 여러개의 MOSFET를 갖는 CMOS회로 및;

제1 전압을 받아서 상기 여러개의 MOSFET의 각각의 웰전압으로서 제2 전압을 출력하는 전압변환회로를 갖고,

상기 CMOS회로는 공급전압으로서 제3 전압을 받기 위해 배치되고,

상기 전압변환회로는 상기 CMOS회로가 제3 전압을 받기 전에 각각의 상기 제2 전압을 상기 전압변환회로가 출력하도록 제어하는 제어신호를 받도록 배치되는 것을 특징으로 하는 반도체장치.

청구항 19.

제18항에 있어서,

상기 전압변환회로와 상기 CMOS회로는 동일칩상에 포함되고,

상기 제2 전압은 상기 제3 전압보다 큰 것을 특징으로 하는 반도체장치.

청구항 20.

제18항에 있어서,

상기 전압변환회로는 상기 CMOS회로에 포함되는 여러개의 MOSFET의 임계값보다 큰 임계값을 가는 MOSFET를 포함하는 회로블록의 일부인 것을 특징으로 하는 반도체장치.

청구항 21.

제20항에 있어서,

상기 회로블록은 다른 칩과의 입출력 인터페이스회로를 포함하는 것을 특징으로 하는 반도체장치.

청구항 22.

제18항에 있어서,

상기 제3 전압은 2V이하인 것을 특징으로 하는 반도체장치.

청구항 23.

제1 공급전압이 공급되도록 배치되고, 제1 임계값전압을 갖는 제1 트랜지스터를 포함하는 인터페이스회로;

상기 제1 공급전압보다 작은 제2 전압을 받도록 배치되고, 상기 제1 임계값 전압보다 작은 제2 임계값전압을 갖는 제2 트랜지스터를 포함하는 논리회로 및;

상기 제2 임계값전압보다 큰 제3 임계값전압을 갖는 제3 트랜지스터를 포함하는 스테이틱 메모리셀을 갖는 제1 메모리어레이를 구비하고,

상기 제2 임계값전압은 상기 제1 공급전압으로 구동되는 상기 논리회로의 기관 전압에 의해서 변화하고,

상기 제1 메모리어레이는 상기 제3 임계값전압 및 상기 제3 트랜지스터의 동작속도에 따라서 제3 공급전압이 공급되도록 배치되고,

상기 제3 임계값전압은 상기 제1 공급전압으로 구동된 상기 제1 메모리어레이의 기관전압에 의해서 변화하고,

상기 제3 공급전압은 상기 제2 공급전압보다 큰 것을 특징으로 하는 반도체장치.

청구항 24.

제23항에 있어서,

상기 제1 공급전압은 상기 제3 공급전압으로서 사용되는 것을 특징으로 하는 반도체장치.

청구항 25.

제23항에 있어서,

상기 제2 트랜지스터의 게이트-소오스간의 전압차가 없는 경우에도 상기 제2 트랜지스터의 소오스-드레인경로에 누설전류가 흐르는 것을 특징으로 하는 반도체 장치.

청구항 26.

제25항에 있어서,

상기 제3 트랜지스터로 실질적으로 직류전류의 제1 웰전위가 공급되는 것을 특징으로 하는 반도체장치.

청구항 27.

제26항에 있어서,

상기 제2 트랜지스터로 공급되는 제2 웰전위는 용량결합에 의해 생성되는 것을 특징으로 하는 반도체장치.

청구항 28.

제23항에 있어서,

1개의 제4 트랜지스터와 1개의 캐패시터를 갖는 다이내믹 메모리셀을 갖는 제2 메모리어레이를 더 구비하고,

상기 제4 트랜지스터의 임계값전압은 상기 제2 임계값전압보다 큰 것을 특징으로 하는 반도체장치.

청구항 29.

제1 공급전압이 공급되도록 배치되고, 제1 임계값전압을 갖는 제1 트랜지스터를 포함하는 인터페이스회로;

상기 제1 공급전압보다 작은 제2 공급전압을 받도록 배치되고 상기 제1 임계값전압보다 작은 제2 임계값전압을 갖는 제2 트랜지스터를 포함하는 논리회로 및;

상기 제2 임계값전압보다 큰 제3 임계값전압을 갖는 제3 트랜지스터를 포함하는 플립플롭회로를 갖는 메모리어레이를 구비하고,

상기 메모리어레이의 상기 제3 트랜지스터를 위한 제1 웰전위를 생성하는 제1 기관전압 발생회로 및;

상기 논리회로의 상기 제2 트랜지스터를 위한 제2 웰전위를 생성하는 제2 기관전압 발생회로를 구비하고,

상기 메모리어레이는 상기 제3 임계값전압과 상기 제3 트랜지스터의 동작속도에 따라서 제3 공급전압이 공급되도록 배치되고,

상기 제1 공급전압은 상기 제1 및 제2 기관전압 발생회로로 공급되고,

상기 제3 공급전압은 상기 제2 공급전압보다 큰 것을 특징으로 하는 반도체장치.

청구항 30.

제29항에 있어서,

상기 제2 트랜지스터의 게이트-소오스간의 전압차가 없는 경우에도 상기 제2 트랜지스터의 소오스-드레인경로에 누설전류가 흐르고,

상기 제1 임계값전압과 상기 제3 임계값전압은 상기 제2 임계값전압보다 큰 것을 특징으로 하는 반도체장치.

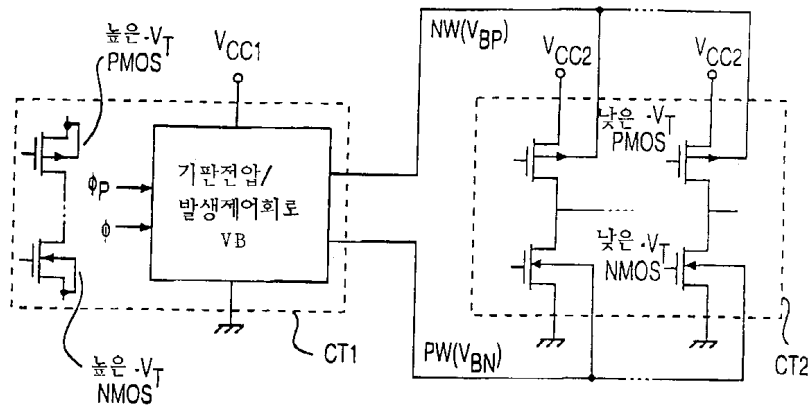
청구항 31.

제30항에 있어서,

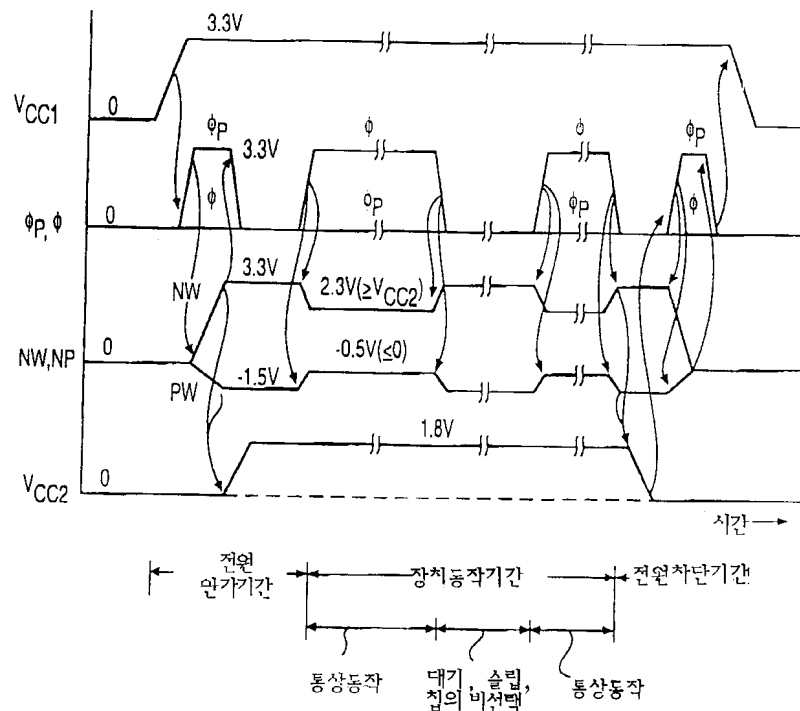
상기 제1 기관전압 발생회로는 실질적으로 직류전류인 상기 제1 웰전압을 생성하고, 상기 제2 기관전압 발생회로는 용량 결합에 의해서 상기 제2 웰전압을 생성하는 것을 특징으로 하는 반도체장치.

도면

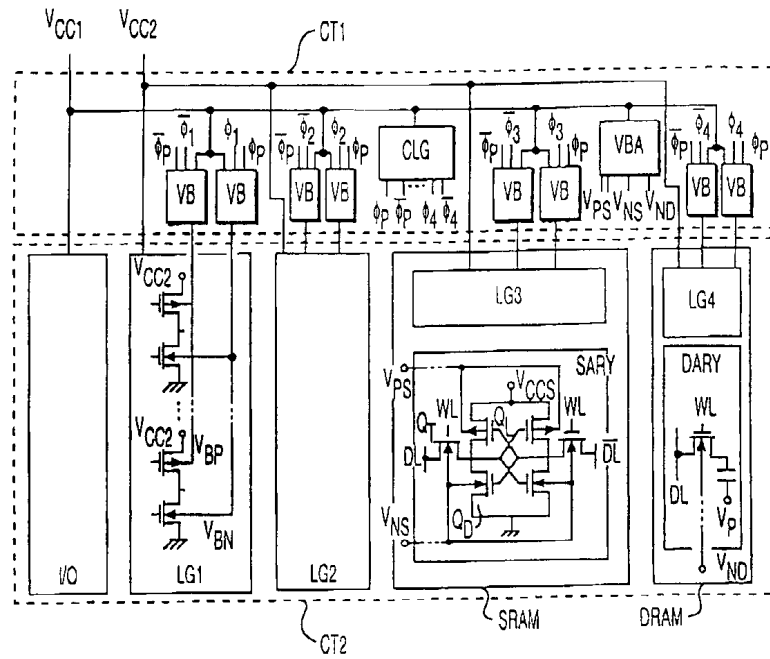
도면1



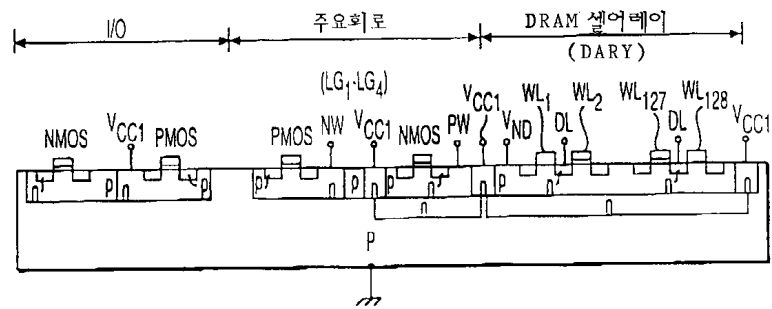
도면2



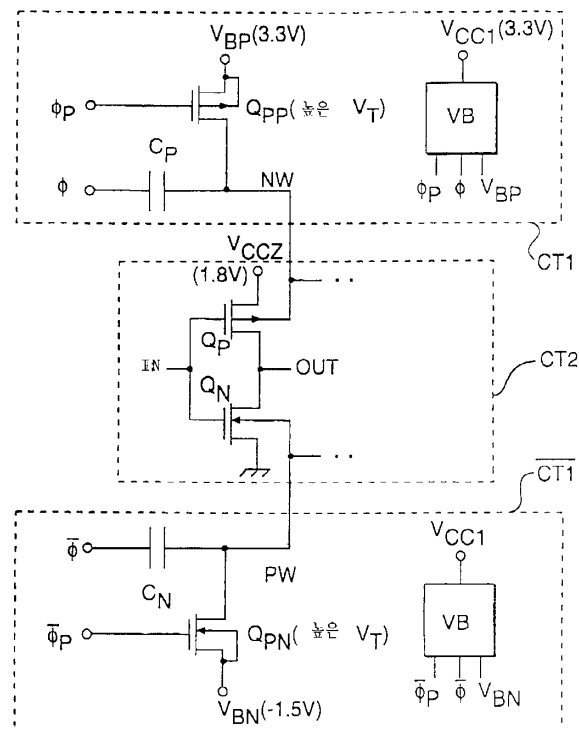
도면3



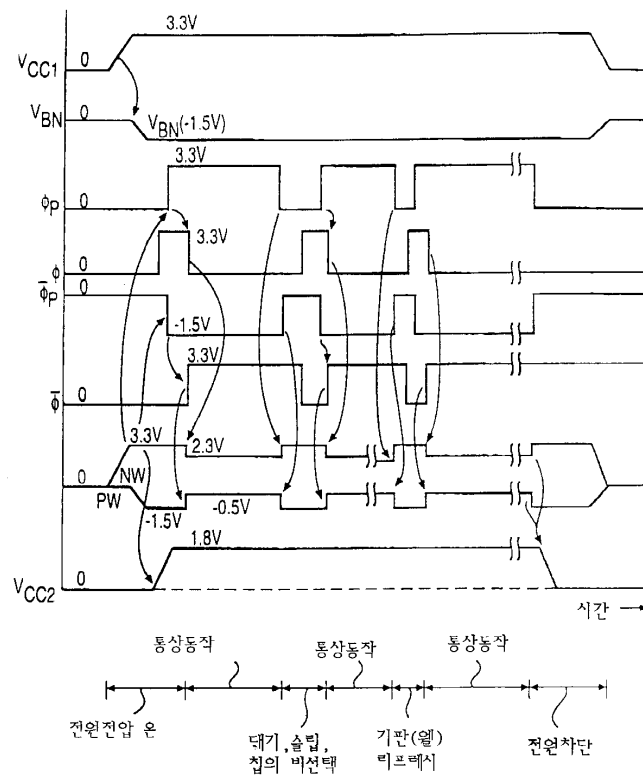
도면4



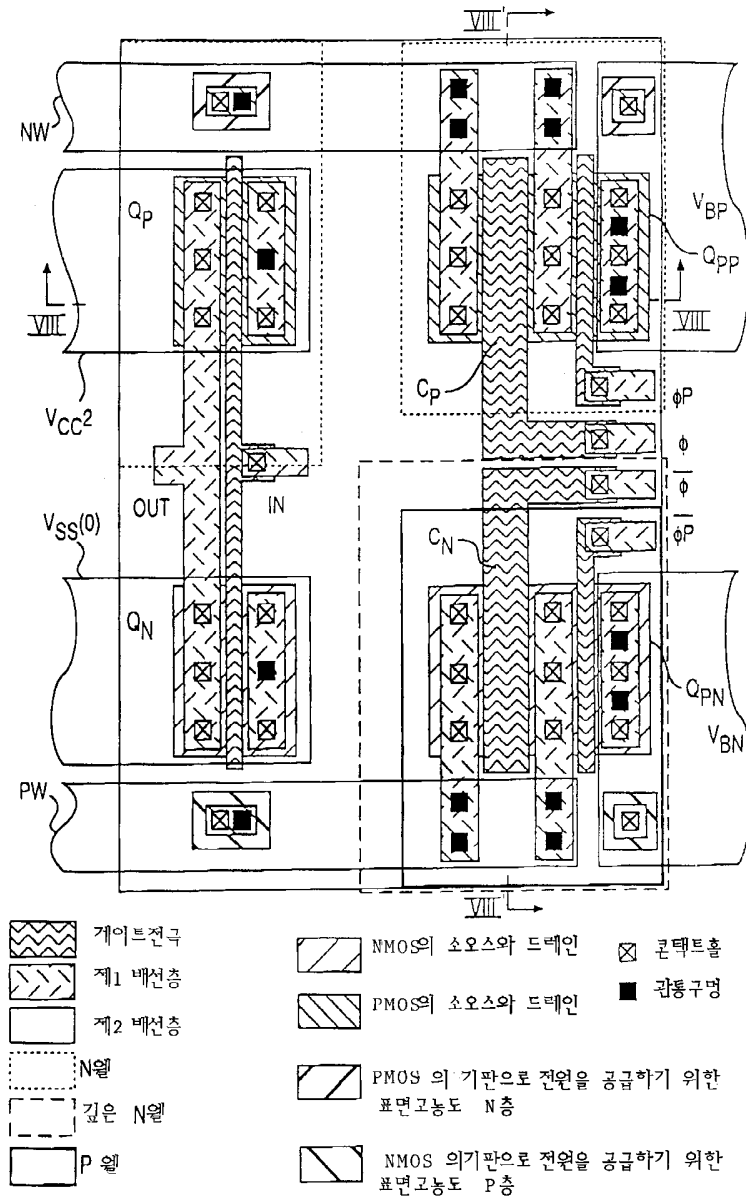
도면5



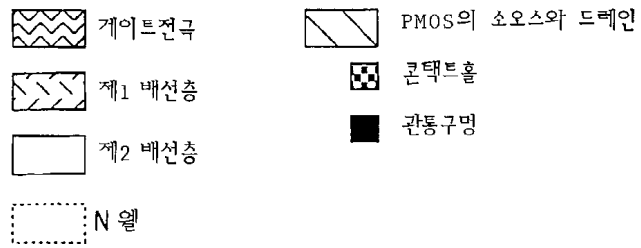
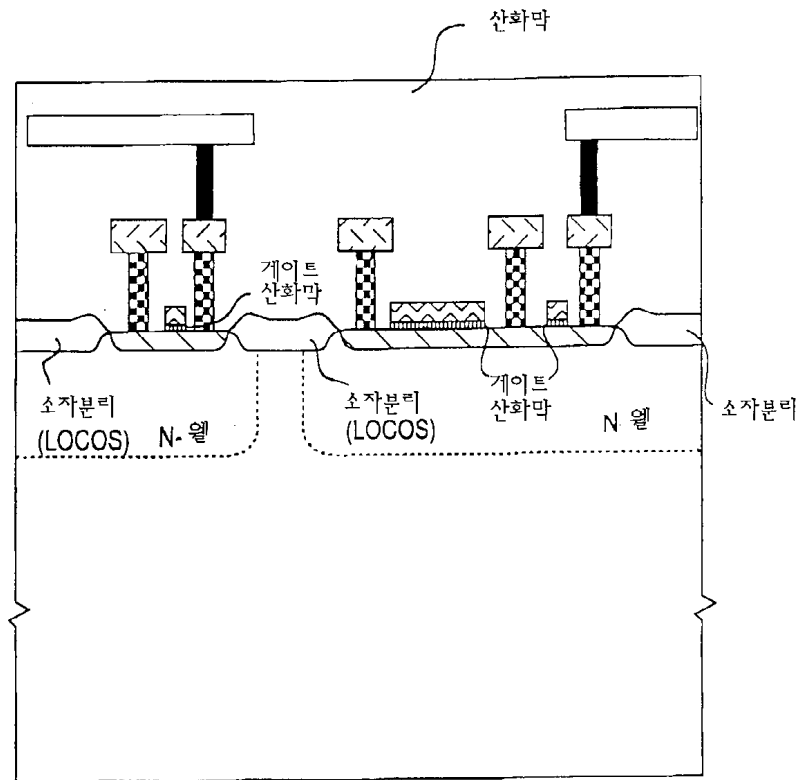
도면6



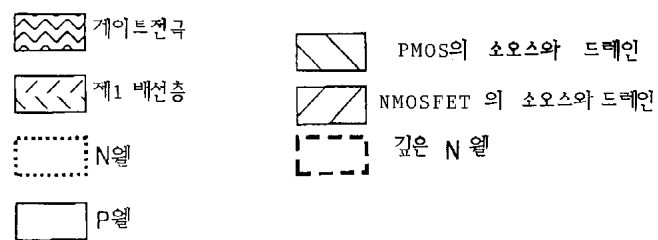
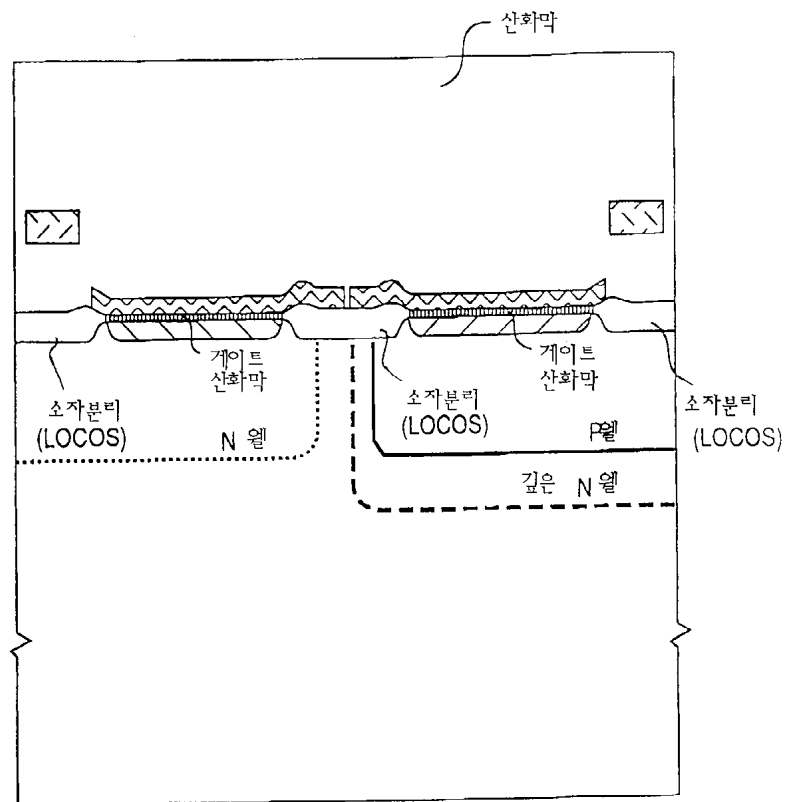
도면7



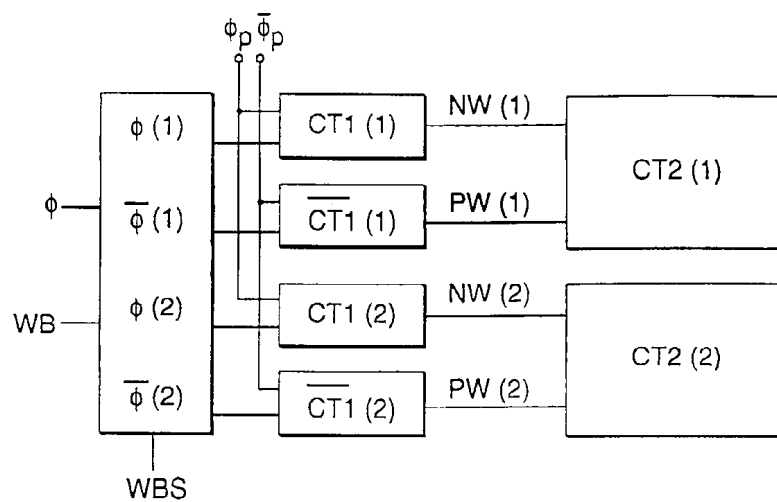
도면8a



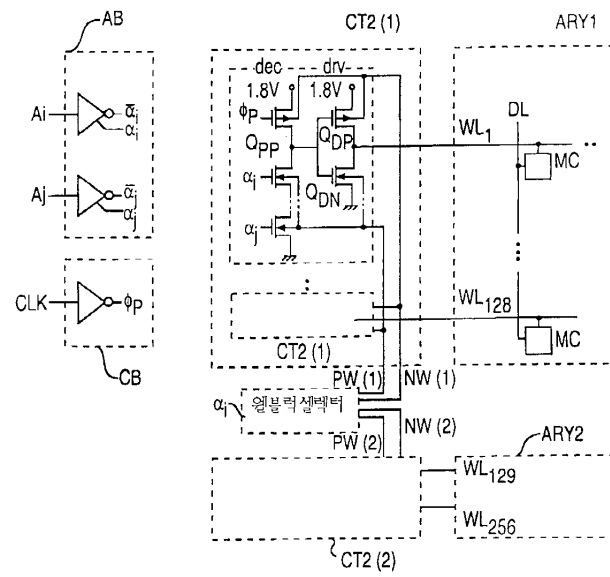
도면8b



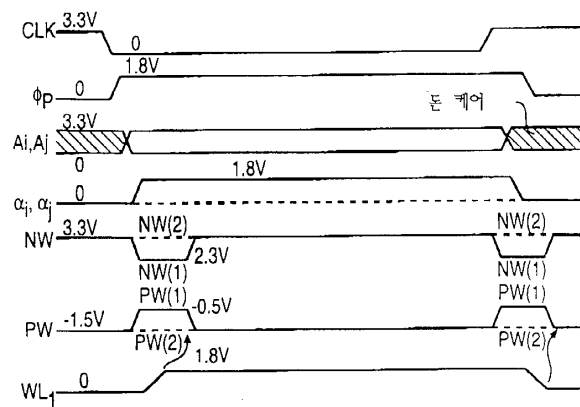
도면9



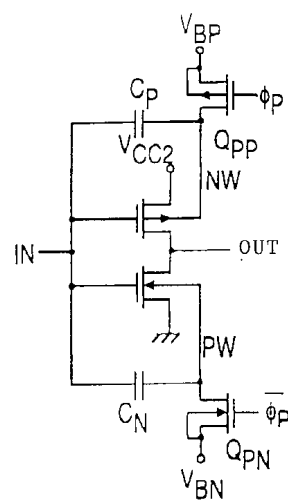
도면 10a



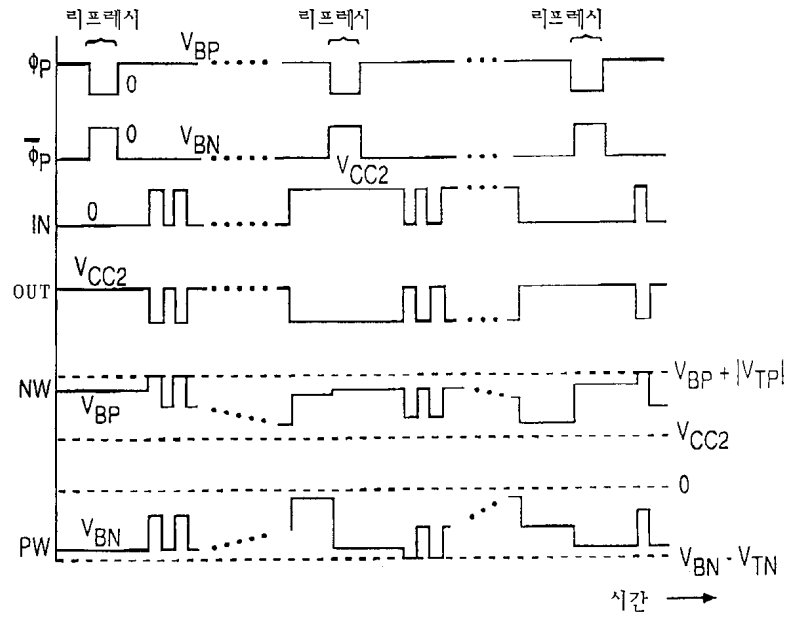
도면 10b



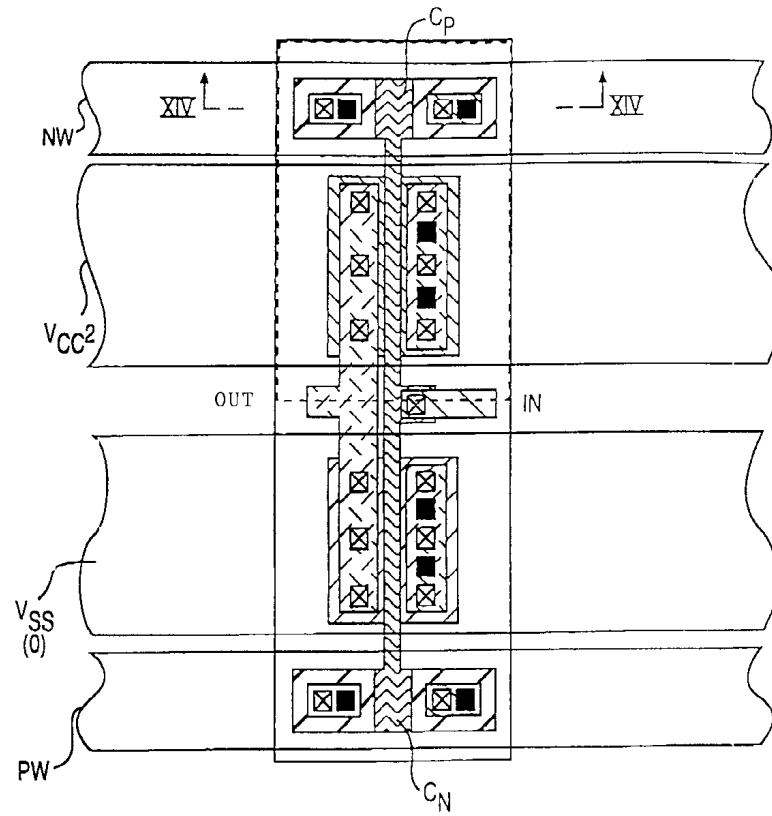
도면11













도면12

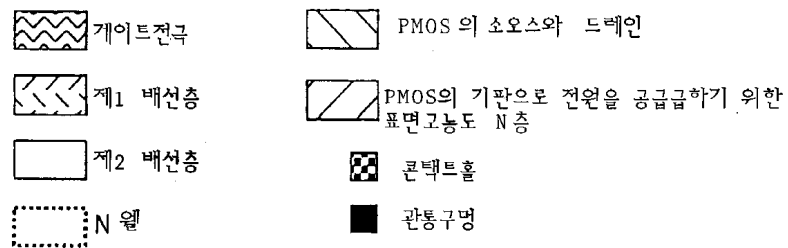
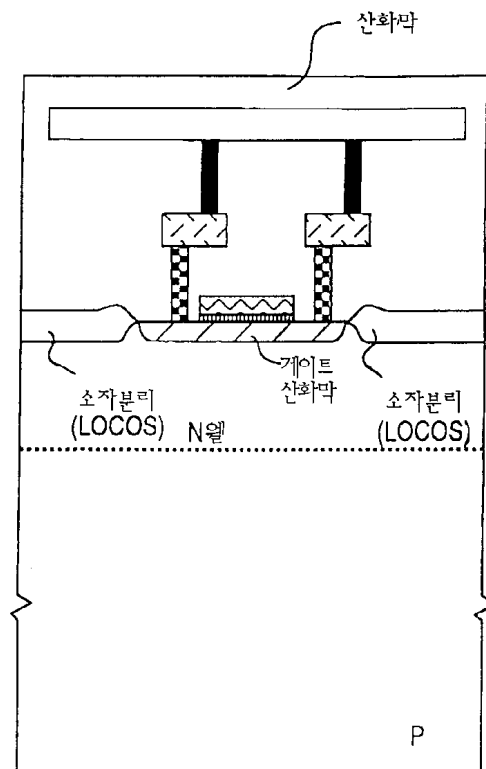


도면13

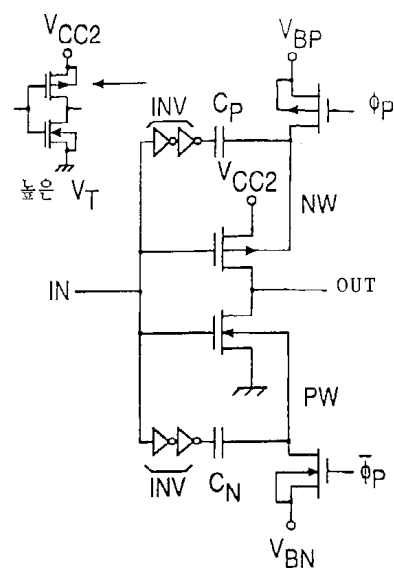


- | | | | |
|---|--------|---|----------------------------------|
|  | 게이트전극 |  | NMOS의 소오스와 드레인 |
|  | 제1 배선층 |  | PMOS의 소오스와 드레인 |
|  | 제2 배선층 |  | PMOS의 기판으로 전원을 공급하기 위한 표면고농도 N 층 |
|  | N 웰 |  | NMOS의 기판으로 전원을 공급하기 위한 표면고농도 N 층 |
|  | 콘택트홀 | | |
|  | 관통구멍 | | |

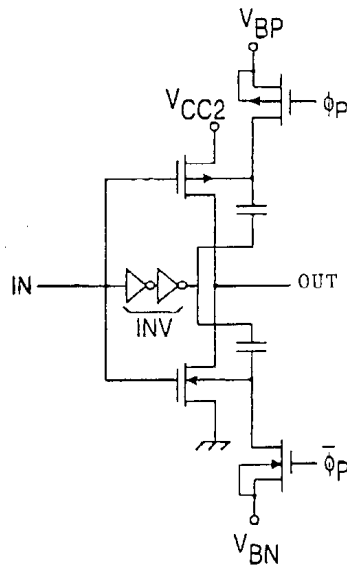
도면14



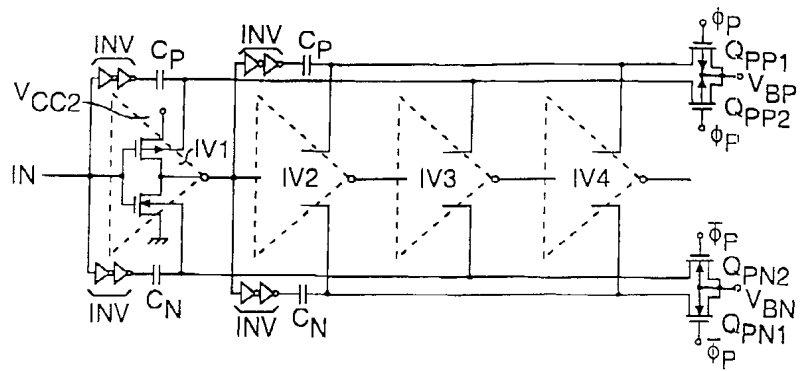
도면15



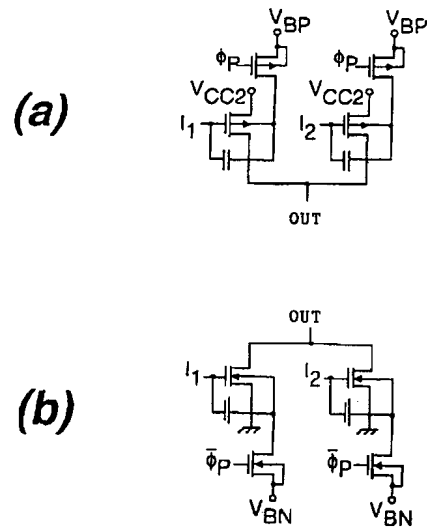
도면16



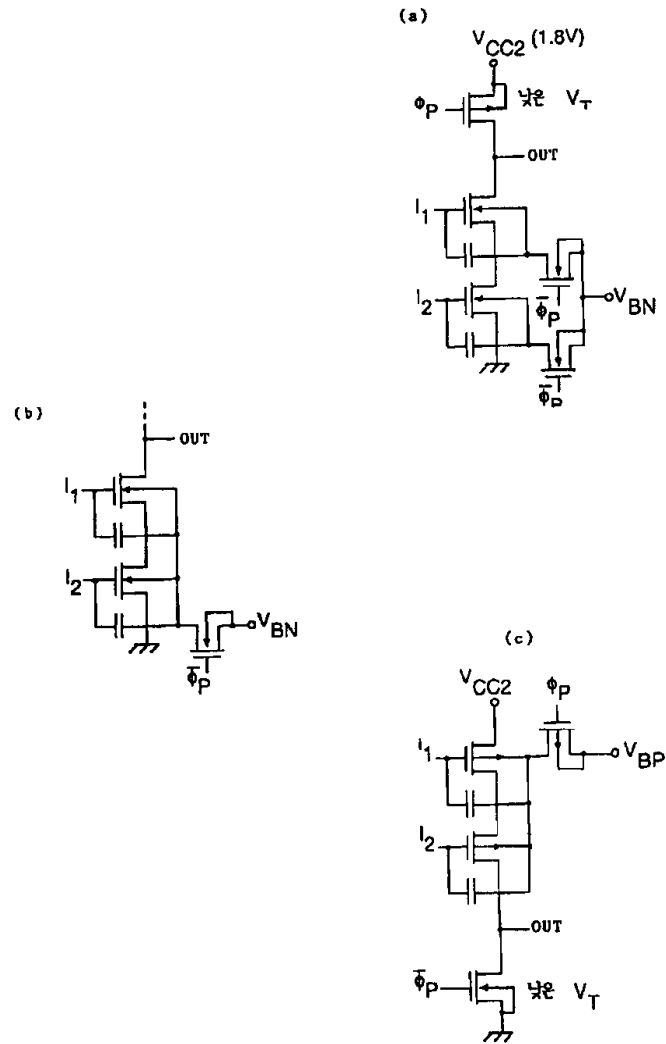
도면17



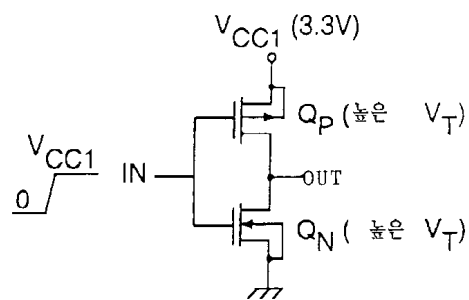
도면18



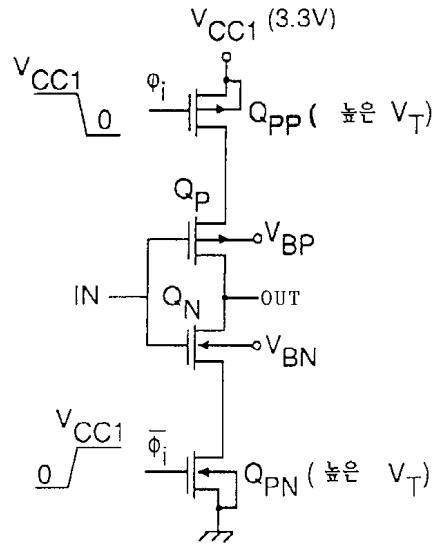
도면19



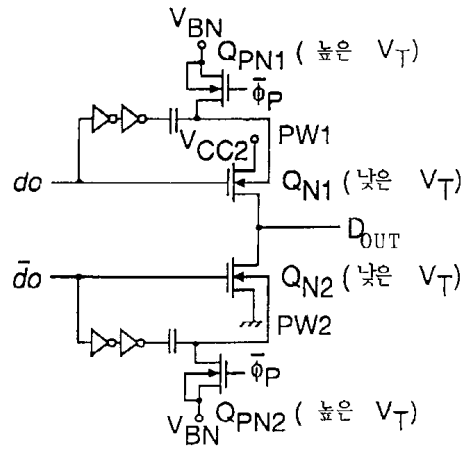
도면20a



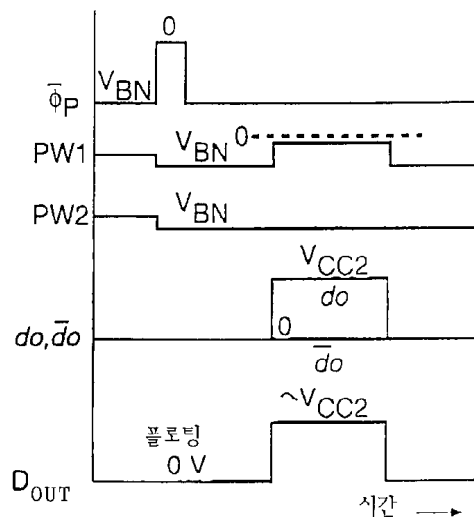
도면20b



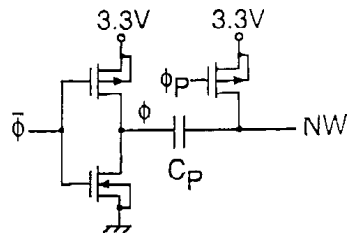
도면21a



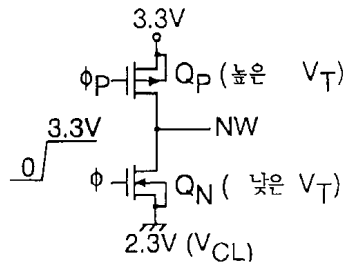
도면21b



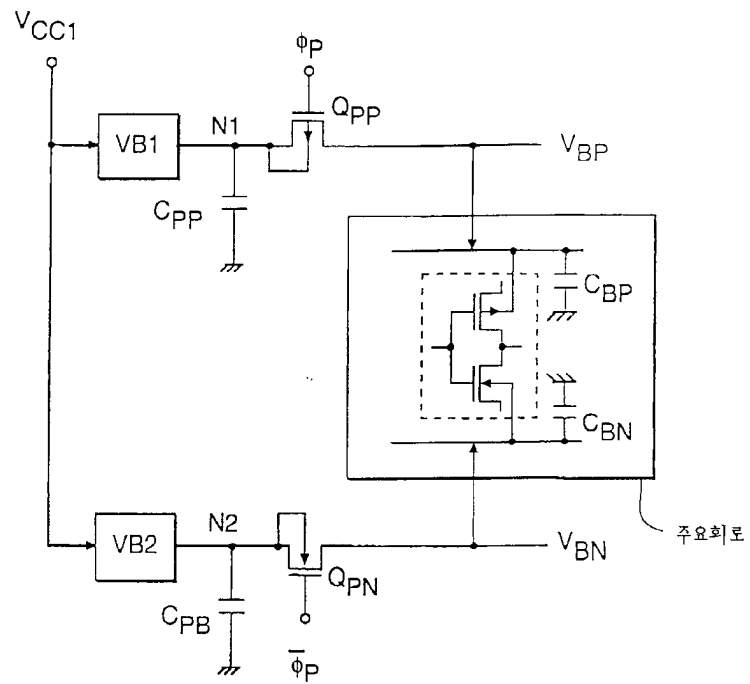
도면22a



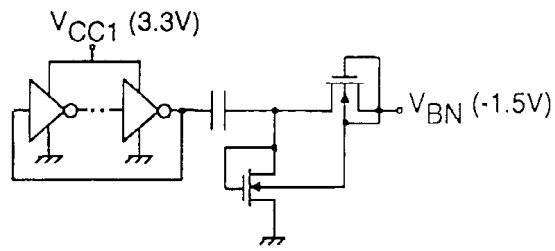
도면22b



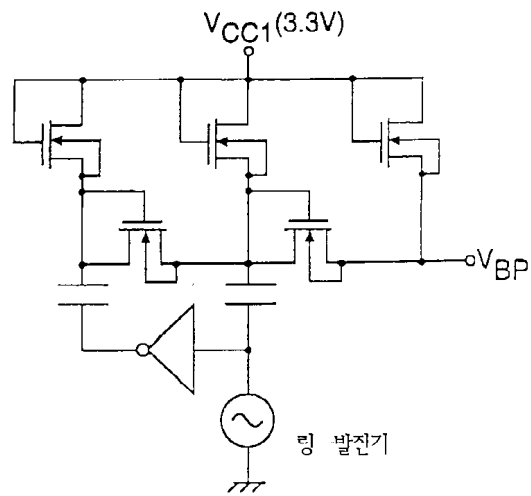
도면23



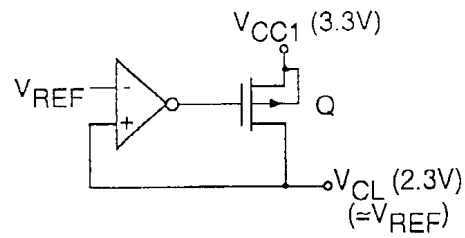
도면24



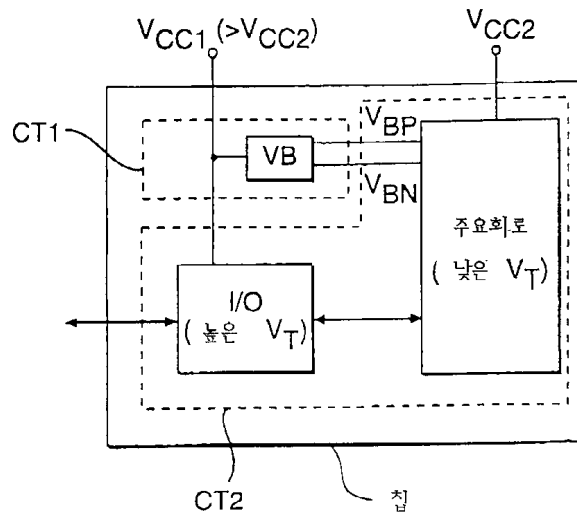
도면25



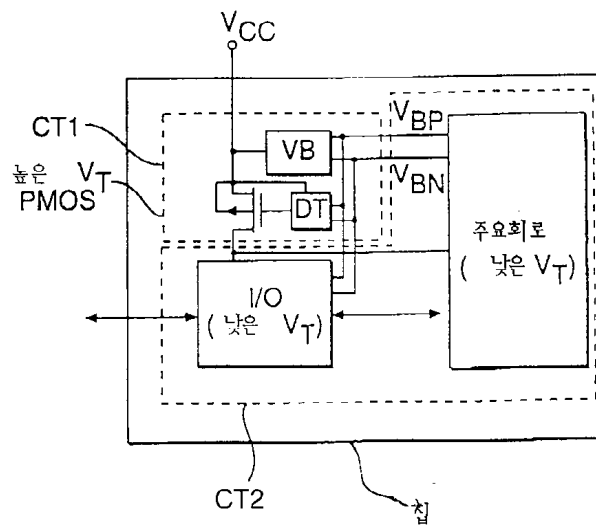
도면26



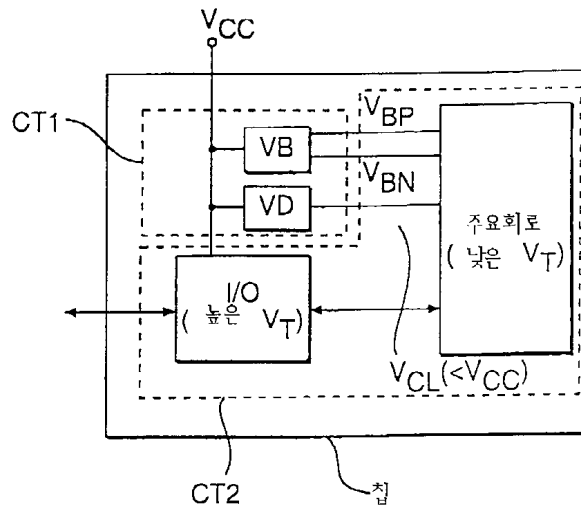
도면27



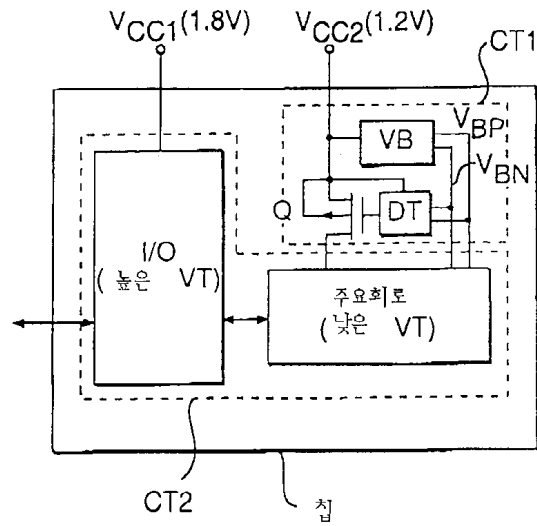
도면28



도면29



도면30



도면31

