(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4928797号
(P4928797)

(45)発行日　平成24年5月9日(2012.5.9)　(24)登録日　平成24年2月17日(2012.2.17)

(51)Int.Cl.			F I		
G02F	1/133	(2006.01)	G02F	1/133	575
G02F	1/1368	(2006.01)	G02F	1/1368	
G09G	3/36	(2006.01)	G09G	3/36	
G09G	3/20	(2006.01)	G09G	3/20	624B
			G09G	3/20	623C

請求項の数 20　(全 23 頁)　最終頁に続く

(21)出願番号　特願2006-35340(P2006-35340)
(22)出願日　平成18年2月13日(2006.2.13)
(65)公開番号　特開2006-221182(P2006-221182A)
(43)公開日　平成18年8月24日(2006.8.24)
審査請求日　平成21年1月28日(2009.1.28)
(31)優先権主張番号　10-2005-0011671
(32)優先日　平成17年2月11日(2005.2.11)
(33)優先権主張国　韓国(KR)

(73)特許権者　390019839
三星電子株式会社
Samsung Electronics Co., Ltd.
大韓民国京畿道水原市靈通区梅灘洞416
416, Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do, Republic of Korea
(74)代理人　100121382
弁理士　山下　託嗣
(74)代理人　100094145
弁理士　小野　由己男
(74)代理人　100106367
弁理士　稲積　朋子

最終頁に続く

(54)【発明の名称】液晶表示装置

(57)【特許請求の範囲】
【請求項１】
ゲートオン電圧を伝達する第１ゲート線と第２ゲート線との複数の対；
前記第１ゲート線と前記第２ゲート線との各対と交差し、データ電圧を伝達する複数のデータ線；
第１副画素電極と、前記第１副画素電極より面積の小さい第２副画素電極と、を含む画素電極；
前記第１ゲート線の一つ、前記データ線の一つ、及び前記第１副画素電極に接続され、ゲートオン電圧の印加で導通する第１スイッチング素子；並びに、
前記第２ゲート線の一つ、前記データ線の一つ、及び前記第２副画素電極に接続され、ゲートオン電圧の印加で導通する第２スイッチング素子；
を有する液晶表示装置であり、
一定の階調の輝度を得るために前記第１副画素電極に対して印加されるデータ電圧が、前記階調の輝度を得るために前記第２副画素電極に対して印加されるデータ電圧より低い、垂直配向方式の液晶表示装置。
【請求項２】
前記第１副画素電極に対するデータ電圧の印加を、前記第２副画素電極に対するデータ電圧の印加より先に開始する、請求項１に記載の垂直配向方式の液晶表示装置。
【請求項３】
前記第１副画素電極に対するデータ電圧の印加期間の一部を、前記第２副画素電極に対

するデータ電圧の印加期間と重複させる、請求項２に記載の垂直配向方式の液晶表示装置。
【請求項４】
前記データ線の一つに対するデータ電圧の印加開始時点から前記第１ゲート線に対するゲートオン電圧の印加開始時点までの時間より、前記第２ゲート線に対するゲートオン電圧の印加完了時点から前記データ電圧の印加完了時点までの時間、及び、前記第１ゲート線に対するゲートオン電圧の印加完了時点から前記データ電圧のレベルの上昇時点までの時間、がいずれも長い、
請求項３に記載の垂直配向方式の液晶表示装置。
【請求項５】
前記第１ゲート線に対して印加されるゲートオン電圧の持続時間が、前記第２ゲート線に対して印加されるゲートオン電圧の持続時間より短い、請求項３に記載の垂直配向方式の液晶表示装置。
【請求項６】
前記第１副画素電極が前記第２副画素電極を囲んでいる、請求項１に記載の垂直配向方式の液晶表示装置。
【請求項７】
前記第１ゲート線と前記第２ゲート線とのいずれか一方が前記画素電極と重なっている、請求項６に記載の垂直配向方式の液晶表示装置。
【請求項８】
前記画素電極と重なっている維持電極、をさらに有する、請求項１に記載の垂直配向方式の液晶表示装置。
【請求項９】
前記第２ゲート線が前記画素電極の境界に位置し、前記第１ゲート線が前記第２ゲート線と前記維持電極との間に位置する、
請求項８に記載の垂直配向方式の液晶表示装置。
【請求項１０】
前記第１ゲート線が前記画素電極と重なっている、請求項９に記載の垂直配向方式の液晶表示装置。
【請求項１１】
前記第１ゲート線は前記第２ゲート線より幅が小さい、請求項１０に記載の垂直配向方式の液晶表示装置。
【請求項１２】
前記画素電極に対向する共通電極、及び、
前記画素電極と前記共通電極との間に挟まれている液晶層、
を前記液晶表示装置が更に有し；
前記共通電極、前記第１副画素電極、及びそれらの間に挟まれた前記液晶層の部分が第１液晶キャパシタを構成し、
前記共通電極、前記第２副画素電極、及びそれらの間に挟まれた前記液晶層の部分が第２液晶キャパシタを構成し、
前記第１スイッチング素子が遮断された後、前記第１液晶キャパシタが前記共通電極と前記第１副画素電極との間の電圧（以下、第１画素電圧という）を維持し、
前記第２スイッチング素子が遮断された後、前記第２液晶キャパシタが前記共通電極と前記第２副画素電極との間の電圧（以下、第２画素電圧という）を維持し、
前記第１画素電圧が前記第２画素電圧より低い、
請求項１に記載の垂直配向方式の液晶表示装置。
【請求項１３】
前記第１画素電圧と前記第２画素電圧とを同じ輝度情報に基づいて選択する、請求項１２に記載の垂直配向方式の液晶表示装置。
【請求項１４】

前記第１画素電圧を前記第１液晶キャパシタに対して印加し、かつ前記第２画素電圧を前記第２液晶キャパシタに対して印加するとき、前記第１スイッチング素子を前記第２スイッチング素子より先に導通させる、請求項１３に記載の垂直配向方式の液晶表示装置。

【請求項１５】

前記データ線の一つに対するデータ電圧の印加開始時点から第１時間差が経過した時、前記第１スイッチング素子を導通させ、

前記第１スイッチング素子を遮断する前に前記第２スイッチング素子を導通させ、

前記第１スイッチング素子の遮断時点から第２時間差が経過した時、前記データ電圧のレベルを上昇させ、

前記第２スイッチング素子の遮断時点から第３時間差が経過した時、前記データ電圧の印加を終え、

前記第２時間差と前記第３時間差とをいずれも、前記第１時間差より長く設定する、請求項１４に記載の垂直配向方式の液晶表示装置。

【請求項１６】

前記第１スイッチング素子の導通時間を前記第２スイッチング素子の導通時間より短く設定する、請求項１５に記載の垂直配向方式の液晶表示装置。

【請求項１７】

前記第１副画素電極が前記第２副画素電極を囲んでいる、請求項１２に記載の垂直配向方式の液晶表示装置。

【請求項１８】

前記第１ゲート線が、前記第１副画素電極と前記第２副画素電極との少なくとも一つと重なっている、請求項１７に記載の垂直配向方式の液晶表示装置。

【請求項１９】

前記第１ゲート線は前記第２ゲート線より幅が小さい、請求項１８に記載の垂直配向方式の液晶表示装置。

【請求項２０】

前記第１副画素電極に接続されている前記第１スイッチング素子の第１電極と、前記第２副画素電極に接続されている前記第２スイッチング素子の第２電極と、の両方と重なっている維持電極、をさらに有する、請求項１２に記載の垂直配向方式の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は液晶表示装置に関し、特に表示パネルに含まれている電極に関する。

【背景技術】

【０００２】

液晶表示装置は現在最も広く使用されている平板表示装置の一つである。液晶表示装置に含まれている表示パネルは、画素電極が形成されている下部パネル、共通電極が形成されている上部パネル、及びそれら二枚のパネルの間に挟まれている液晶層を含む。画素電極と共通電極との間に電圧が印加されるとき、それらの間に挟まれた液晶層では電界が発生し、その液晶層に含まれている液晶分子の配向を変化させる。それにより、表示パネルの各画素の光透過率が制御される結果、表示パネルに映像が再現される。

【０００３】

近年の液晶表示装置では特に、垂直配向方式が採用されている。垂直配向方式では、液晶層に対して電界が印加されていないとき、液晶分子の長軸が表示パネルに対して垂直である。垂直配向方式の液晶表示装置は、コントラスト比が高く、基準視野角が広い。ここで、基準視野角とは、表示パネルを斜めから見たときと正面から見たときとの間でのコントラスト比が所定の閾値（例えば1：10）以下に収まる視野角（または、階調が反転することなく正しく表現される限界の角度）を意味する。垂直配向方式の液晶表示装置で更なる広視野角化を実現させるための手段としては例えば、画素電極や共通電極に切開部を形成する方法（例えばＰＶＡ（patterned vertically aligned）方式）や、各電極の上に突

起を形成する方法などが知られている。切開部や突起により液晶層内の電界を歪ませ、表示パネルの法線方向に対する液晶分子の傾斜方向を様々な方向に分散させる。それにより、基準視野角を更に拡大できる。

【発明の開示】

【発明が解決しようとする課題】

【０００４】

垂直配向方式の液晶表示装置には、「表示パネルを正面から見たときの視認性に比べて斜めから見たときの視認性が劣る」という問題点がある。例えばＰＶＡ方式の液晶表示装置では、表示パネルを斜めから見るほど映像が明るくなり、極端な場合、高い階調間で輝度差が失われる。その結果、画像がぼやけてしまう。このような問題点を改善するために、例えば次のような方法が提案されている。まず、一つの画素が二つの副画素に分割される。次に、二つの副画素間に容量性結合が形成される。一方の副画素に対しては直接、電圧が印加される。そのとき、他方の副画素には容量性結合による電圧降下が生じる。従って、二つの副画素間では、液晶層に対して印加される電圧が異なるので、光透過率が異なる。その結果、見る方向（視角）による画素の輝度変化が抑えられるので、表示パネルを斜めから見たときの視認性が向上する。

【０００５】

しかし、この方法には、「二つの副画素のそれぞれで光透過率を目標の水準に正確に合わせることが難しい」という問題点がある。特に、色相によって各副画素の光透過率の目標値が異なるので、色相ごとに副画素間での印加電圧比が異なる。従来の液晶表示装置では、そのような印加電圧比の正確な制御が困難である。更に、副画素間での容量性結合の形成には導体の追加が必要であるので、画素の開口率の更なる向上が阻まれている。その他に、「容量性結合による電圧降下が、副画素の光透過率の更なる向上を阻む」という問題点がある。

【０００６】

本発明の目的は、一つの画素に含まれている複数の副画素のそれぞれでの光透過率を階調ごとに正確に制御することで、更に広い視野角で視認性の更なる向上を実現させる液晶表示装置、の提供である。

【課題を解決するための手段】

【０００７】

本発明による液晶表示装置は、

ゲートオン電圧を伝達する第１ゲート線と第２ゲート線との複数の対；

第１ゲート線と第２ゲート線との各対と交差し、データ電圧を伝達する複数のデータ線；

第１副画素電極と、それより面積の小さい第２副画素電極と、を含む画素電極；

第１ゲート線の一つ、データ線の一つ、及び第１副画素電極に接続され、ゲートオン電圧の印加で導通する第１スイッチング素子；並びに、

第１スイッチング素子に接続された第１ゲート線と対を成す第２ゲート線、第１スイッチング素子に接続されたデータ線、及び第２副画素電極に接続され、ゲートオン電圧の印加で導通する第２スイッチング素子；

を有する。この液晶表示装置では特に、一定の階調の輝度を得るために第１副画素電極に対して印加されるデータ電圧が、同じ階調の輝度を得るために第２副画素電極に対して印加されるデータ電圧より低い。

【０００８】

好ましくは、第１副画素電極に対するデータ電圧の印加が、前記第２副画素電極に対するデータ電圧の印加より先に開始される。そのとき、更に好ましくは、第１副画素電極に対するデータ電圧の印加期間の一部が第２副画素電極に対するデータ電圧の印加期間と重複する。そのとき、好ましくは、データ線に対するデータ電圧の印加開始時点から第２ゲート線に対するゲートオン電圧の印加開始時点までの時間より、第２ゲート線に対するゲートオン電圧の印加完了時点から上記のデータ電圧の印加完了時点までの時間、及び、第

１ゲート線に対するゲートオン電圧の印加完了時点から上記のデータ電圧のレベルの上昇時点までの時間、がいずれも長い。その他に、第１ゲート線に対して印加されるゲートオン電圧の持続時間が、第２ゲート線に対して印加されるゲートオン電圧の持続時間より短くても良い。

【０００９】

本発明による上記の液晶表示装置では好ましくは、面積の大きい第１副画素電極が、面積の小さい第２副画素電極を囲んでいる。そのとき、第１ゲート線と第２ゲート線とのいずれか一方が上記の画素電極と重なっている。

【００１０】

本発明による上記の液晶表示装置は好ましくは、画素電極と重なっている維持電極、をさらに有する。そのとき、好ましくは、第２ゲート線が画素電極の境界に位置し、第１ゲート線が第２ゲート線と維持電極線との間に位置する。更に、第１ゲート線が画素電極と重なっている。特に、第１ゲート線は第２ゲート線より幅が小さい。

【００１１】

本発明による上記の液晶表示装置は好ましくは、画素電極に対向する共通電極、及び、画素電極と共通電極との間に挟まれている液晶層、を更に有する。その場合、

共通電極、第１副画素電極、及びそれらの間に挟まれた液晶層の部分が第１液晶キャパシタを構成し、

共通電極、第２副画素電極、及びそれらの間に挟まれた液晶層の部分が第２液晶キャパシタを構成している。更に好ましくは、

第１スイッチング素子が遮断された後、第１液晶キャパシタが共通電極と第１副画素電極との間の電圧（以下、第１画素電圧という）を維持し、

第２スイッチング素子が遮断された後、第２液晶キャパシタが共通電極と第２副画素電極との間の電圧（以下、第２画素電圧という）を維持する。特に、好ましくは、第１画素電圧が第２画素電圧より低い。

【００１２】

好ましくは、第１画素電圧と第２画素電圧とが同じ輝度情報に基づいて選択される。更に好ましくは、第１画素電圧を第１液晶キャパシタに対して印加し、かつ第２画素電圧を第２液晶キャパシタに対して印加するとき、第１スイッチング素子が第２スイッチング素子より先に導通する。好ましくは、

データ線に対するデータ電圧の印加開始時点から第１時間差が経過した時、第１スイッチング素子が導通し、

第１スイッチング素子が遮断される前に第２スイッチング素子が導通し、

第１スイッチング素子の遮断時点から第２時間差が経過した時、上記のデータ電圧のレベルが上昇し、

第２スイッチング素子の遮断時点から第３時間差が経過した時、上記のデータ電圧の印加が終了する。ここで、好ましくは、第２時間差と第３時間差とがいずれも、第１時間差より長く設定される。更に、第１スイッチング素子の導通時間が第２スイッチング素子の導通時間より短く設定されても良い。

【００１３】

この液晶表示装置でも、好ましくは、面積の大きい第１副画素電極が、面積の小さい第２副画素電極を囲んでいる。その場合、第１ゲート線が第１副画素電極と第２副画素電極との少なくとも一つと重なっている。そのとき更に、第１ゲート線は第２ゲート線より幅が小さい。

この液晶表示装置は更に、好ましくは、第１副画素電極に接続されている第１スイッチング素子の第１電極と、第２副画素電極に接続されている第２スイッチング素子の第２電極と、の両方と重なっている維持電極、を有する。

【発明の効果】

【００１４】

本発明による上記の液晶表示装置は、一つの画素に含まれている二つの副画素のそれぞ

れに印加されるべき電圧を、階調ごとに異なる目標の水準に正確に合わせる。それにより、更に広い視野角で視認性を更に向上させること、それと同時に、画素の開口率と光透過率とを共に更に向上させることができる。

【発明を実施するための最良の形態】

【００１５】

以下、添付した図面を参照しながら、本発明の実施形態を詳細に説明する。

本発明の実施形態による液晶表示装置は、液晶表示パネル300、信号制御部600、階調電圧生成部800、ゲート駆動部400a、400b（又は400）、及びデータ駆動部500を備える（図1A、1B、1C参照）。

【００１６】

液晶表示パネル300は、下部パネル100、上部パネル200、及び液晶層3を備える（図3参照）。下部パネル100と上部パネル200とは液晶層3を間に挟んで対向している。液晶表示パネル300は更に、複数の表示信号線と複数の画素PXとを備える（図1A、1B、1C参照）。画素PXは液晶表示パネル300内にマトリックス状に配置されている。表示信号線は下部パネル100に備えられ、2n本（n＞1）のゲート線G1a－Gnbとm本（m＞1）のデータ線D1－Dmとを含む。ゲート線G1a－Gnbは画素PXのマトリックスの行方向（液晶表示パネル300の横方向）に対して平行に延び、ゲート信号（走査信号ともいう）を画素PXに伝達する。データ線D1－Dmは画素PXのマトリックスの列方向（液晶表示パネル300の縦方向）に対して平行に延び、データ信号を画素PXに伝達する。表示信号線は更に、ゲート線とデータ線との他に、維持電極線を含む（図1A、1B、1Cには示されていない）。維持電極線は下部パネル100の上をゲート線とほぼ平行に延びている。

【００１７】

図2の等価回路に示されているように、各画素PXは一対の副画素PXa、PXbを含む。各副画素PXa、PXbは、スイッチング素子Qa、Qb、液晶キャパシタClca、Clcb、及びストレージキャパシタCsta、Cstb、を含む。スイッチング素子Qa、Qbはそれぞれ、ゲート線GLa、GLb、及びデータ線DLに接続されている。各副画素PXa、PXbのスイッチング素子は好ましくは、下部パネル100の表面に設置された薄膜トランジスタである（図3参照）。スイッチング素子Qの制御端子はゲート線GLに接続され、入力端子はデータ線DLに接続され、出力端子は液晶キャパシタClcとストレージキャパシタCstとに接続されている。液晶キャパシタClcは、下部パネル100の表面に設置された副画素電極PE、上部パネル200の表面に設置された共通電極CE、及び二つの電極PE、CE間に挟まれた液晶層3の組み合わせと等価な回路素子である（特に、液晶層3は誘電体として機能する）。副画素電極PEはスイッチング素子Qの出力端子に接続されている。一方、共通電極CEは上部パネル200の全面を覆う。共通電極CEに対しては外部から共通電圧Vcomが印加される。尚、図３とは異なり、共通電極CEが下部パネル100に設置されても良い。その場合、二つの電極PE、CEの少なくとも一つが線形または棒形に形成される。ストレージキャパシタCstはスイッチング素子Qの出力端子と維持電極線SLとの間に接続され、液晶キャパシタClcの容量を補っている（図2、3参照）。具体的には、副画素電極PEと維持電極線SLとの間の重なり部分（両者間には絶縁体が挟まれている）が、ストレージキャパシタCstとして利用される。維持電極線SLに対しては外部から所定の電圧（好ましくは共通電圧Vcom）が印加される。尚、副画素電極PEとゲート線との間の重なり部分が、ストレージキャパシタCstとして利用されても良い。更に、ストレージキャパシタCstは必要に応じて省略されても良い。この時には、維持電極線SLも不要である。

【００１８】

液晶表示装置による色表示方式には、各画素が三原色の特定の一つのみを表示する空間分割方式や、各画素が三原色のそれぞれの表示時間を変化させる時間分割方式がある。三原色間での空間的分布の差又は表示時間の差によって所望の色相が表現される。図３は空間分割方式の一例であって、各画素が、好ましくは上部パネル200にカラーフィルタCFを備えている。カラーフィルタCFの色は赤、緑、または青のいずれかであり、画素ごとに異なる。図３とは異なり、カラーフィルタCFが下部パネル100に含まれ、特に副画素電極PE

の上または下に形成されても良い。

【００１９】

信号制御部600は外部のグラフィックコントローラ（図示せず）から、好ましくは、映像信号R、G、Bと入力制御信号とを受信する。映像信号R、G、Bは各画素PXの輝度情報を含む。ここで、各画素の輝度は所定数（例えば、1024（＝2^{10}）、256（＝2^{8}）、または64（＝2^{6}））の階調で表されている。入力制御信号は好ましくは、垂直同期信号Vsync、水平同期信号Hsync、メインクロックMCLK、データイネーブル信号DEを含む。信号制御部600は液晶表示パネル300の動作条件に合わせて映像信号R、G、Bを適切に処理し（例えばガンマ補正を施し）、データ信号DATに変換する。信号制御部600は更に、水平同期信号Hsyncと垂直同期信号Vsyncとに基づいてゲート制御信号CONT1とデータ制御信号CONT2とを生成する。ゲート制御信号CONT1は好ましくは、ゲートオン電圧Vonの出力開始を指示する走査開始信号、及び、ゲートオン電圧Vonの出力時間を制御するクロック信号を含む。ゲート制御信号CONT1はその他に、ゲートオン電圧Vonの持続時間を限定する出力イネーブル信号OEを含んでも良い。データ制御信号CONT2は好ましくは、マトリックスの行ごとに画素PXへの映像データDATの伝送開始を知らせる水平同期開始信号、データ線D1－Dmに対するデータ電圧の印加を指示するロード信号、及びデータクロック信号を含む。データ制御信号CONT2はその他に、共通電圧Vcomに対するデータ電圧の極性（以下、データ電圧の極性と略す）の反転を指示する反転信号を含んでも良い。ゲート制御信号CONT1はゲート駆動部400a、400b（または400）に送られ、データ制御信号CONT2とデータ信号DATとはデータ駆動部500に送られる。

【００２０】

階調電圧生成部800は二つの階調電圧群（または二つの基準階調電圧）を生成する。二つの階調電圧群（または基準階調電圧）はそれぞれ、一つの画素に含まれている二つの副画素電極のそれぞれに対するデータ電圧のレベルを定める。二つの階調電圧群（または基準階調電圧）の設定により、各画素では、二つの副画素電極に面した液晶層の部分間（すなわち副画素間）で光透過率が異なる。好ましくは、二つの階調電圧群が異なるガンマ曲線Ta、Tbで表される（図12参照）。そのとき、それらのガンマ曲線Ta、Tbの合成Tが各画素の全体のガンマ曲線を表す。各階調電圧群は更に好ましくは、共通電圧Vcomに対してプラスの値とマイナスの値との両方を含む。尚、階調電圧生成部800が、二つの階調電圧群（または基準階調電圧）に代え、一つの階調電圧群（基準階調電圧）のみを生成しても良い。

【００２１】

ゲート駆動部400a、400b（または400）はゲート線G1a－Gnbに接続されている（図1A、1B、1C参照）。ゲート駆動部400a、400b（または400）は外部から印加されるゲートオン電圧Vonとゲートオフ電圧Voffとをゲート信号としてゲート線G1a－Gnbに伝達する。図１Ａに示されている例では、二つのゲート駆動部400a、400bが一つずつ、液晶表示パネル300の左右に配置されている。ゲート駆動部の一方400aは奇数番目のゲート線（以下、第１ゲート線という）Gia（i＝1、2、…、n）に接続され、ゲート駆動部の他方400bは偶数番目のゲート線（以下、第２ゲート線という）Gib（i＝1、2、…、n）に接続されている。すなわち、一つの画素PXに含まれている二つのスイッチング素子Qa、Qbはそれぞれ異なるゲート駆動部400a、400bに接続されている。一方、図１Ｂ及び図１Ｃに示されている例では、一つのゲート駆動部400が液晶表示パネル300の片側に配置され、全てのゲート線G1a－Gnbに接続されている。但し、図１Ｃに示されている例では、ゲート駆動部400の中に二つの駆動回路401、402が内蔵され、一方が第１ゲート線Gia（i＝1、2、…、n）に接続され、他方が第２ゲート線Gib（i＝1、2、…、n）に接続されている。すなわち、一つの画素PXに含まれている二つのスイッチング素子Qa、Qbはそれぞれ異なる駆動回路401、402に接続されている。

【００２２】

データ駆動部500はデータ線D1－Dmに接続されている（図1A、1B、1C参照）。データ駆動部500はデータ信号DATに従い、階調電圧生成部800から出力される二つの階調電圧群の

いずれか一つを選択し、選択された階調電圧群に属する一つの階調電圧をデータ電圧として選択する。選択されたデータ電圧は特定のデータ線D1－Dmに対し、データ制御信号CONT2のタイミングに従って印加される。ここで、階調電圧生成部800が階調電圧群に代え、基準階調電圧を出力する場合、データ駆動部500は基準階調電圧を分圧して各階調に対する階調電圧を生成し、その中からデータ電圧を選択する。

【００２３】

ゲート駆動部400a、400b（または400）、及びデータ駆動部500は好ましくは複数の集積回路チップの集合体である。それらのチップ群は好ましくはＴＣＰ（Tape Carrier Package）に実装されている（図示せず）。そのＴＣＰは更に、液晶表示パネル300の周囲に接着されている。その他に、ＴＣＰに代え、上記のチップ群が直接、液晶表示パネル300の上に実装されても良い。更に、ゲート駆動部400a、400b（または400）、及びデータ駆動部500が、表示信号線G1a－Gnb、D1－Dmやスイッチング素子Qa、Qbなどと共に、液晶表示パネル300の上に集積されても良い。

【００２４】

本発明の実施形態による液晶表示パネルは、特に各画素の近傍で、好ましくは以下のような詳細な構造を持つ（図４～１１参照）。尚、以下の説明では、一例として、ゲート駆動部が図1Aに示されている構造400a、400bを持つ場合を想定する。下部パネル100は各画素の近傍で図４に示されている構造を持つ。一方、上部パネル200は同じ画素の近傍で図５に示されている構造を持つ。両者を重ねたときの状態が図６に示され、そのときの断面が図７、８に示されている（図６では各断面が折線VII－VII'とVIII－VIII'とで示されている）。図7、8では、下部パネル100と上部パネル200との間に液晶層3が挟まれている。

【００２５】

下部パネル100は基板110を含む（図7、8参照）。基板110は透明な絶縁物であり、好ましくはガラスである。基板110の上には、第１ゲート線121a、第２ゲート線121b、及び維持電極線131の組み合わせが複数、形成されている（図4、6～8参照）。第１ゲート線121aは画素と重なり、第２ゲート線121bは画素の境界に沿っている（図4、6参照）。維持電極線131は第１ゲート線121aと第２ゲート線121bとの各対の間に一本ずつ配置され、各画素の中央部と重なっている。維持電極線131は特に、第２ゲート線121bより第１ゲート線121aに近い。第１ゲート線121aは各画素と重なっている部分に、維持電極線131に向かって突出した第１ゲート電極124aを含む。第２ゲート線121bは各画素の右側の一角に、維持電極線131に向かって突出した第２ゲート電極124bを含む。第１ゲート線121aの端部129aは下部パネル100の左側に配置され、第２ゲート線121bの端部129bは下部パネル100の右側に配置されている。各ゲート線121a、121bの端部129a、129bは面積が広く、他の層またはゲート駆動部400a、400bに接続される。尚、ゲート駆動部が図1B、1Cに示されている構造を持つ場合、それらの端部129a、129bがいずれも、下部パネル100の同じ側に配置されても良い。維持電極線131は各画素と重なっている部分に、下部パネル100の縦方向に拡がった第１維持電極137aと第２維持電極137bとを含む。第１維持電極137aは第２維持電極137bより、下部パネル100の縦方向では長く、横方向では狭い。尚、維持電極137a、137bを始め、維持電極線131の全体のパターンや配置は、図4、6に示されている形態以外の様々な形態に変更可能である。ゲート線121と維持電極線131との各側面は好ましくは、基板110の表面に対して約30°～80°の角度で傾斜している（図7、8参照）。

【００２６】

ゲート線121a、121b、及び維持電極線131はそれぞれ、導電膜を含む（図7、8参照）。その導電膜は好ましくは、アルミニウム系金属（アルミニウム（Al）やアルミニウム合金等）、銀系金属（銀（Ag）や銀合金等）、銅系金属（銅（Cu）や銅合金等）、モリブデン系金属（モリブデン（Mo）やモリブデン合金等）、クロム（Cr）、チタニウム（Ti）、タンタル（Ta）を含む。ゲート線121a、121b、及び維持電極線131は更に、物理的な性質の異なる二つの導電膜（図示せず）を含む多層構造であっても良い。その場合、好ましくは、導電膜の一方が比抵抗の低い金属（例えば、アルミニウム系金属、銀系金属、または銅系金属）を含み、ゲート線121と維持電極線131との信号遅延や電圧降下を低減させる。更

に好ましくは、導電膜の他方が、特にＩＴＯ（Indium Tin Oxide）またはＩＺＯ（Indium Zinc Oxide）に対する接触特性の優れた物質（例えば、モリブデン系金属、クロム、チタニウム、タンタルなど）を含む。そのような二つの導電膜の組み合わせは好ましくは、クロム下部膜とアルミニウム上部膜との組み合わせ、または、アルミニウム下部膜とモリブデン上部膜との組み合わせである。

【００２７】

ゲート線121a、121b、維持電極線131、及びそれらの近傍の基板110の表面はゲート絶縁膜140で覆われている（図7、8参照）。ゲート絶縁膜140は好ましくは、窒化ケイ素（SiNx）を含む。ゲート絶縁膜140の上には線状半導体151が形成されている（図4、6、8参照）。線状半導体151は好ましくは水素化非晶質シリコンまたは多結晶シリコンを含む。線状半導体151はデータ線171の下地に相当し、下部パネル100の縦方向で画素の境界に沿って延び、ゲート線121a、121b、及び維持電極線131と交差している。線状半導体151は、第１ゲート線121aと交差している部分には第１突出部154aを含み、第２ゲート線121bと交差している部分には第２突出部154bを含む。第１突出部154aが第１ゲート電極124aに向かって突出し、第２突出部154bが第２ゲート電極124bに向かって突出している。更に、線状半導体151は、ゲート線121a、121b、及び維持電極線131のそれぞれとの交差点付近で下部パネル100の横方向に拡がり、ゲート線121a、121b、及び維持電極線131を広く覆っている。それにより、ゲート線121a、121b、及び維持電極線131のそれぞれとデータ線171との間では電界の局所的な集中が生じにくいので、絶縁破壊に起因するデータ線171の断線が防止される。

【００２８】

線状半導体151の上には線状のオーミック接触部材（ohmic contact。以下、線状接触部材という）161が形成され、線状半導体151の各突出部154a、154bの上には島状のオーミック接触部材（以下、島状接触部材という）165aが形成されている（図4、6、7、8参照）。オーミック接触部材161、165aは好ましくは、シリサイドまたはｎ＋水素化非晶質シリコン（ｎ型不純物が高濃度にドーピングされている水素化非晶質シリコン）を含む。線状接触部材161は線状半導体151と同様にデータ線171の下地に相当し、下部パネル100の縦方向に延び、線状半導体151を覆う。線状接触部材161は更に、ゲート線121a、121bと交差している部分に一つずつ、突出部を含む。突出部の一方163aと島状接触部材165aとの対が線状半導体151の第１突出部154aの上に配置されている（図7参照）。線状半導体151の第２突出部154bの上にも同様に、線状接触部材161の突出部の他方と別の島状接触部材との対が配置されている。線状半導体151とオーミック接触部材161、165aとの各側面は好ましくは、基板110の表面に対して30°～80°の角度で傾斜している。

【００２９】

線状接触部材161の上にはデータ線171が形成され、島状接触部材165aの上にはドレイン電極175a、175bの棒状の端部が形成されている（図4、6、7、8参照）。データ線171は下部パネル100の縦方向で画素の境界に沿って延び、ゲート線121a、121b、及び維持電極線131と交差している。データ線171はゲート線121a、121bと交差する部分に一つずつ、ソース電極173a、173bを含む。第１ソース電極173aは第１ドレイン電極175aの棒状の端部を囲むように拡がり、第２ソース電極173bは第２ドレイン電極175bの棒状の端部を囲むように拡がっている（図4、6参照）。データ線171の端部179は幅が広く、他の層またはデータ駆動部500（図1A参照）に接続されている。第１ドレイン電極175aは拡張部177aを含む。拡張部177aは面積が広く、第１維持電極137aを覆っている（図4、6参照）。同様に、第２ドレイン電極175bは拡張部177bを含み、拡張部177bは第２維持電極137bを覆っている。データ線171、及びドレイン電極175a、175bは、ゲート線121a、121b、及び維持電極線131と同様に、各側面が約30°～80°の角度で傾斜している。

【００３０】

第１ゲート電極124a、それを覆う絶縁膜140、線状半導体151の第１突出部154a、第１ソース電極173a、及び第１ドレイン電極175aが第１薄膜トランジスタ（ＴＦＴ）Qaを構成し、上記のスイッチング素子の一方Qa（図2参照）として利用される。第１薄膜トランジス

タQaのチャンネルは、第１ソース電極173aと第１ドレイン電極175aとの間に露出している、線状半導体151の第１突出部154aの一部に形成される（図4、6、7参照）。同様に、第２ゲート電極124b、それを覆う絶縁膜140、線状半導体151の第２突出部154b、第２ソース電極173b、及び第２ドレイン電極175bが第２薄膜トランジスタQbを構成し、上記のスイッチング素子の他方Qb（図2参照）として利用される。第２薄膜トランジスタQbのチャンネルは、第２ソース電極173bと第２ドレイン電極175bとの間に露出している、線状半導体151の第２突出部154bの一部に形成される（図4、6参照）。ここで、オーミック接触部材161、165aにより、線状半導体151とデータ線171との間、及び、線状半導体151とドレイン電極175a、175bとの間ではいずれも、接触抵抗が低い。

【００３１】

データ線171とドレイン電極175a、175bとは好ましくは、耐熱性金属（例えば、クロム、モリブデン系金属、タンタル、及びチタニウム等）を含む。それらは更に好ましくは、耐熱性金属を含む下部膜と低抵抗物質を含む上部膜との多層構造を有する。そのような多層構造は好ましくは、クロム下部膜とアルミニウム上部膜との二重膜、または、アルミニウム下部膜とモリブデン上部膜との二重膜である。その他に、モリブデン膜－アルミニウム膜－モリブデン膜の三重膜であっても良い。

【００３２】

データ線171、ドレイン電極175a、175b、及び線状半導体151の露出部分は、保護膜180で覆われている（図7、8参照）。保護膜180は好ましくは、窒化ケイ素、若しくは酸化ケイ素等の無機物、平坦化特性に優れて感光性を有する有機物、または、低誘電率絶縁物質（例えば、a－Si：C：0やa－Si：0：F。プラズマ化学気相蒸着（ＰＥＣＶＤ）で形成される）を含む。保護膜180は更に、下部無機膜と上部有機膜との二重膜構造を有しても良い。それにより、有機膜の優れた特性が生かされると同時に、線状半導体151の露出部分が確実に保護される。

【００３３】

保護膜180とゲート絶縁膜140とには複数のコンタクトホール181a、181bが形成されている（図4、6、8参照）。第１コンタクトホール181aでは第１ゲート線121aの端部129aが露出し、第２コンタクトホール181bでは第２ゲート線121bの端部129bが露出している。保護膜180には更に、複数のコンタクトホール182、187a、187bが形成されている（図4、6、7、8参照）。第３コンタクトホール182ではデータ線171の端部179が露出している（図8参照）。一方、第４コンタクトホール187aでは第１ドレイン電極175aの拡張部177aが露出し、第５コンタクトホール187bでは第２ドレイン電極175bの拡張部177bが露出している（図7参照）。

【００３４】

保護膜180の上には、画素電極190、遮蔽電極88、及び接触補助部材81a、81b、82が形成されている（図4、6、7、8参照）。それらの上には更に、配向膜11が塗布されている。画素電極190と接触補助部材81a、81b、82とは好ましくは、透明な導体（ＩＴＯ、若しくはＩＺＯ等）、または光反射率の高い導体（アルミニウム等）を含む。画素電極190は各画素で、二つの副画素電極190a、190bに分かれている。以下、二つの副画素電極のうち、面積の大きい方を第１副画素電極190aと呼び、面積の小さい方を第２副画素電極190bと呼ぶ。第１副画素電極190aは第４コンタクトホール187aを介して第１ドレイン電極175aに接続されている。第１副画素電極190aに対しては、第１ドレイン電極175aからデータ電圧が印加される。第２副画素電極190bは第５コンタクトホール187bを介して第２ドレイン電極175bに接続されている。第２副画素電極190bに対しては、第２ドレイン電極175bからデータ電圧が印加される。

【００３５】

第１副画素電極190aと第２副画素電極190bとの全体の外周はほぼ四角形状である（図4参照）。但し、第２副画素電極190bでは、左側の二つの角が下部パネル100の横方向に対して約45°の角度で面取りされている。第１副画素電極190aの外周はほぼ等辺台形であり、その上底と下底とが下部パネル100の縦方向に対して平行である。第１副画素電極190a

の左端はその等辺台形の上底に相当し、第２維持電極137bの近傍に位置する。一方、第１副画素電極190aの右端はその等辺台形の下底に相当し、データ線171の近傍に位置する。第１副画素電極190aは維持電極線131に対して対称的に配置されている。下部パネル100の縦方向での第１副画素電極190aの端は下部パネル100の横方向（特に維持電極線131）に対してほぼ45°の角度で傾いている。第２副画素電極190bは、一対の台形部と、それらの台形部の間を接続する縦部とを含む。一対の台形部はそれぞれ、下部パネル100の縦方向での第１副画素電極190aの端と対向している。縦部は第１副画素電極190aの左端と対向している。それにより、第１副画素電極190aと第２副画素電極190bとの間にはギャップ94が形成されている。ギャップ94は、二つの斜線部91、93（下部パネル100の横方向に対して約45°の角度で傾いている）、及びそれら斜線部91、93の間を接続する縦部92を含む。ギャップ94の幅はほぼ均一である。更に、第１副画素電極190aは第１ゲート線121aと重なり、第２副画素電極190bは第１ゲート線121aと第２ゲート線121bとの両方と重なっている。

【００３６】

第１副画素電極190aには、維持電極線131に沿って切開部95が形成されている。切開部95の入口は第１副画素電極190aの右端にあり、ギャップ94の二つの斜線部91、93のそれぞれに対して平行な一対の斜辺を含む。ギャップ94と切開部95とはいずれも、維持電極線131に対して対称的である。尚、切開部の数や形は、画素の大きさ、画素電極190の縦横の比、または液晶層3の種類や特性等、様々な設計要素に応じて変更可能である。

【００３７】

データ電圧が印加されたとき、副画素電極190a、190bのそれぞれと共通電極270との間には電界が生じる（図7、8参照）。その電界が、画素電極190と共通電極270との間に挟まれている液晶層3の部分で液晶分子の配向を決定する。ここで、各副画素電極190a、190bと共通電極270との間の容量（液晶キャパシタ）Clca、Clcb、及び、各ドレイン電極175a、175bと各維持電極137a、137bとの間の容量（ストレージキャパシタ）Csta、Cstbが、薄膜トランジスタQa、Qbの遮断後もデータ電圧を維持する（図2、3参照）。それにより、上記の液晶分子の配向が維持される。

【００３８】

遮蔽電極88はデータ線171に沿って延び、データ線171を完全に覆っている（図4、6、7、8参照）。遮蔽電極88は好ましくは、保護膜180とゲート絶縁膜140とに設けられたコンタクトホール（図示せず）を介して維持電極線131に接続されている。それにより、遮蔽電極88に対しては外部から共通電圧が印加される。従って、データ線171と画素電極190との間、及びデータ線171と共通電極270との間では電界が遮断される。その結果、データ電圧に起因する画素電極190の歪曲が抑えられ、かつデータ線171でのデータ電圧の遅延が減少する。好ましくは、画素電極190と遮蔽電極88との間に十分な距離が設定され、それらの間の短絡が防止される。そのとき更に、画素電極190とデータ線171との間の距離が増大するので、それらの間の寄生容量が減少する。その上、液晶層3の誘電率が保護膜180の誘電率より高いので、データ線171と遮蔽電極88との間の寄生容量が（遮蔽電極88が含まれない場合での）データ線171と共通電極270との間の寄生容量より小さい。尚、遮蔽電極88は、維持電極線131に代え、共通電圧を下部パネル100から上部パネル200に伝達する短絡点（図示せず）に接続されても良い。それにより、遮蔽電極88と画素電極190との間の距離が最小化されるので、画素の開口率の低下が最小限に抑えられる。

【００３９】

本発明の上記の実施形態では、画素電極190と遮蔽電極88とが同一の層から形成されるので、それらの間の距離が一定に維持される。従って、それらの間の寄生容量が一定である。尚、画素電極190とデータ線171とはリソグラフィによるパターン形成時、複数の領域に分割されて露光される。その結果、画素電極190とデータ線171との間の寄生容量は、分割された露光領域ごとに異なる。しかし、上記の実施形態では、画素電極190とデータ線171との間の寄生容量が既に小さいので、「画素電極190の全体で寄生容量が一定である」とみなされても良い。こうして、画素電極190やデータ線171のパターンに現れ得るステッチ状の欠陥が最小限に抑えられる。

【００４０】
接触補助部材81a、81b、82はそれぞれ、コンタクトホール181a、181b、182を介し、第１ゲート線121aの端部129a、第２ゲート線121bの端部129b、及びデータ線171の端部179と接続される。接触補助部材81a、81b、82は、ゲート線121a、121bの端部129a、129bやデータ線171の端部179と各駆動部400a、400b、500との間の接着を補完し、更に各接着部を保護する。特に、ゲート駆動部400a、400b、またはデータ駆動部500が液晶表示パネル300に集積され、ゲート線121a、121b、またはデータ線171がそれらの駆動部と直結される場合、接触補助部材81a、81b、82がゲート線121a、121b、またはデータ線171と各駆動部400a、400b、500との間を良好に接続する。
【００４１】
上部パネル200は、透明な絶縁物（好ましくはガラス）製の基板210を含む（図7、8参照）。基板210の上には遮光部材（ブラックマトリックス）220が形成されている（図6、7、8参照）。遮光部材220は複数の開口部を含む。それらの開口部は画素電極190と対向し、画素電極190とほぼ同一な形状を有する。そのような構造により、遮光部材220は画素以外の場所からの光漏れを防止する。尚、遮光部材220は、データ線171を覆う部分と薄膜トランジスタQa、Qbを覆う部分とを含んでも良い。更に、遮光部材220は、画素電極190と薄膜トランジスタQa、Qbとの近傍での光漏れを遮断できる限り、その他の様々な形状であっても良い。
【００４２】
基板210の上には更に、複数のカラーフィルタ230が形成されている（図7、8参照）。カラーフィルタ230の大部分は遮光部材220によって囲まれた領域内に配置されている。カラーフィルタ230は、画素電極190に沿って上部パネル200の縦方向に長く延びていても良い。カラーフィルタ230は三原色のいずれか一つ（赤、緑、及び青）の光のみを透過させる。カラーフィルタ230と遮光部材230との上にはオーバーコート膜250が形成されている。オーバーコート膜250はカラーフィルタ230を覆って保護し、かつ上部パネル200の表面を平坦にする。
【００４３】
オーバーコート膜250の上には共通電極270が形成されている（図5、6、7、8参照）。共通電極270は透明な導体（好ましくは、ＩＴＯ、またはＩＺＯ）を含む。共通電極270には、各画素に、上側切開部271、中央切開部275、及び下側切開部273が形成されている（図5参照）。各切開部271、273、275は同じ画素電極190に対向している。上側切開部271は第２副画素電極190bの一方の台形部に対向し、中央切開部273は第１副画素電極190aに対向し、下側切開部275は第２副画素電極190bの他方の台形部に対向している（図6参照）。上側切開部271は、斜線部271o、横部271t、及び縦部271lを含む。斜線部271oは画素電極190のギャップ94の上側斜線部91に対して平行であり、すなわち上部パネル200の横方向に対して約45°の角度で傾斜している。横部271tは上側斜線部271oの上端から画素電極190の周に沿って延びている。特に、横部271tと上側斜線部271oとの間の角度が鈍角である。縦部271lは上側斜線部271oの下端から画素電極190の周に沿って延びている。特に、縦部271lと上側斜線部271oとの間の角度が鈍角である。下側切開部273は上側パネル200の横方向に対して上側切開部271と対称的である。すなわち、下側切開部273は、上側切開部271の三つの部分271o、271t、271lと同様な三つの部分273o、273t、273lを含む。特に、斜線部273oは画素電極190のギャップ94の下側斜線部93に対して平行であり、横部273tと縦部273lとはそれぞれ、下側斜線部273oの両端から画素電極190の周に沿って延びている。中央切開部275は、一対の斜線部275o1、275o2と一対の縦部275l1、275l2とを有する。一対の斜線部275o1、275o2は、画素電極190の左端中央付近から斜めに（特に上部パネル200の横方向に対して約45°の角度で）、画素電極190の右端に向けて延びている。上側斜線部275o1は、画素電極190のギャップ94の上側斜線部91に対して平行である。下側斜線部275o2は、画素電極190のギャップ94の下側斜線部93に対して平行である。上側縦部275l1は上側斜線部275o1の上端から画素電極190の右端に沿って延びている。上側縦部275l1と上側斜線部275o1との間の角度は鈍角である。下側縦部275l2は下側斜線部275o2の下端から画素電極19

0の右端に沿って延びている。下側縦部275l2と下側斜線部275o2との間の角度は鈍角である。以上の構造により、共通電極270の切開部271、273、275の斜線部は、画素電極190のギャップ94の斜線部と第１副画素電極190aの切開部95の斜辺と交互に配置されている（図6参照）。更に、それらの全体が維持電極線131に対して対称的である。尚、遮光部材220が切開部271、273、275と重なって切開部271、273、275付近の光漏れを防ぐので、切開部271、273、275の数や形状は設計要素に応じて比較的自由に変更可能である。

【００４４】

共通電極270上には配向膜21が塗布されている（図7、8参照）。下部パネル100と上部パネル200との各外面には偏光板12、22が設置されている。二つの偏光板12、22の透過軸は直交している。それらのいずれか一方の透過軸（または吸収軸）は液晶表示パネル300の横方向に対して平行である。尚、液晶表示パネル300が反射型である場合、二つの偏光板12、22のいずれか一方は省略できる。

【００４５】

液晶層3は負の誘電率異方性を示す。すなわち、画素電極190と共通電極270との間に電界が生じていないとき、液晶層3に含まれている液晶分子の長軸が二つのパネル100、200の表面に対して実質的に垂直である。共通電極270に対して共通電圧が印加され、画素電極190に対してデータ電圧が印加されるとき、液晶層3では、各パネル100、200の表面に対してほぼ垂直な電界が生成される。ここで、画素電極190がギャップ94と切開部95とを含み、共通電極270が切開部271、273、275を含む。それらの近傍では上記の電界が歪曲され、画素電極190のギャップ94と切開部95、及び共通電極270の切開部271、273、275の各辺に対して垂直で、かつパネル100、200の表面に対して平行な電界の成分が生じる。すなわち、電界がパネル100、200の各表面の法線方向に対して傾く。一方、液晶分子の長軸は電界に対して垂直な方向に向かう傾向を持つ。その結果、画素電極190のギャップ94、切開部95、及び周囲、並びに、共通電極270の切開部271、273、275の付近では、液晶分子の長軸がパネル100、200の各表面に対して完全には平行になり得ず、一定の角度で傾く。更に、画素電極190のギャップ94、切開部95、及び周囲、並びに共通電極270の切開部271、273、275の形状は電界の歪曲パターンに応じて、各画素を複数のドメインに細分する。パネル100、200の各表面に対する液晶分子の長軸の傾きはドメインごとに異なる。それにより、液晶表示パネル300の基準視野角が広い。尚、画素電極190のギャップ94と切開部95、及び共通電極270の切開部271、273、275の少なくともいずれかは、突起や凹部で代替可能である。

【００４６】

本発明の実施形態による液晶表示パネルの構造は、上記の他に以下のような構造でも良い（図9～11参照）。尚、図9～11では、上記の液晶表示パネルの構成要素と同様な構成要素に対し、図4～8に示されている符号と同じ符号が付されている。更に、それら同様な構成要素の説明については上記の説明を援用する。

【００４７】

図9～11に示されている液晶表示パネルは、図4～8に示されている上記の液晶表示パネルとは（各画素内でのデータ線171と薄膜トランジスタQa、Qbとの位置が左右逆である点の他に）以下の点で異なる。第一に、ゲート駆動部が図1B、1Cに示されている構造400を持つ場合が想定されている。それに併せ、第１ゲート線121aの端部129aと第２ゲート線121bの端部129bとが共に下部パネル100の同じ側（図9では左側）に配置されている。第二に、第１ゲート線121aの幅が第２ゲート線121bの幅より狭い。それにより、画素の開口率が更に向上する。ここで、一定の階調の輝度を得るために第１副画素電極190aに対して印加されるデータ電圧は、同じ階調の輝度を得るために第２副画素電極190bに対して印加されるデータ電圧より低い（詳細は後述参照）。従って、第１ゲート線121aの幅を第２ゲート線121bの幅より狭くすることは容易である。第三に、維持電極線131の各画素に含まれている部分の全体が下部パネル100の縦方向に拡がり、一つの維持電極137として一対の副画素電極190a、190bに共有されている（図9参照）。すなわち、一対のドレイン電極175a、175bの両方が同じ維持電極137の上に重なっている。

【００４８】
第四に、画素電極190と共通電極270との各形状が（斜線部の傾きの左右が反転している点の他に）次の点で異なる（図9参照）。
まず、第１副画素電極190a（面積が大きい副画素電極）が第２副画素電極190b（面積が小さい副画素電極）の周囲を完全に囲んでいる。従って、第１副画素電極190aと第２副画素電極190bとの間のギャップ94が第２副画素電極190bの全周に沿っている。第１副画素電極190aの外周はほぼ四角形状である。但し、第１副画素電極190aでは、右側の二つの角が下部パネル100の横方向に対して約45°の角度で面取りされている。第１副画素電極190aには更に、上側の辺から右側の辺に向けて延びた上側切開部96、下側の辺から右側の辺に向けて延びた下側切開部97、及び左側の辺の中央部に形成された二等辺三角形状の中央切開部98、が形成されている。いずれの切開部97、98、99もその斜辺が下部パネル100の横方向に対して約45°の角度で傾いている。一方、第２副画素電極190bの外周は、等辺台形から、それより小さく、それと相似で、かつ下辺を共有する等辺台形を切り取った形状である。その等辺台形の上底と下底とは下部パネル100の縦方向に対して平行であり、斜辺は下部パネル100の横方向に対して約45°の角度で傾いている。第２副画素電極190bは更に、維持電極線131に対して対称的である。
【００４９】
次に、共通電極270では、図5に示されている三つの切開部271、273、275と同様な切開部に加え、更に三つの切開部272、274、276が形成されている。第２上側切開部274は、画素の左上隅から右端に向けて延び、ギャップ94と上側切開部96との間に挟まれている第１副画素電極190aの部分に対向している。第２下側切開部276は、画素の左下隅から右端に向けて延び、ギャップ94と下側切開部97との間に挟まれている第１副画素電極190aの部分に対向している。第２上側切開部274と第２下側切開部276とはいずれも上部パネル200の横方向に対して約45°の角度で傾いている。第２中央切開部272は、二つの斜線部と縦部とを含み、第２副画素電極190bに対向している。第２中央切開部272の斜線部はいずれも上部パネル200の横方向に対して約45°の角度で傾き、特に第２副画素電極190bの斜辺に対して平行である。第2中央切開部272の縦部は上部パネル200の縦方向に延び、二つの斜線部の間を接続している。
以上の構造により、共通電極270の切開部271、272、273、274、275の斜線部は、画素電極190のギャップ94の斜線部と第２副画素電極190bの切開部96、97、98の各斜辺と交互に配置されている。更に、それらの全体が維持電極線131に対して対称的である。
【００５０】
本発明の実施形態による上記の液晶表示装置は以下のように表示動作を行う。
まず、信号制御部600が、外部のグラフィック制御部（図示せず）から映像信号R、G、Bと入力制御信号とを受信する（図1A、1B、1C参照）。信号制御部600は映像信号R、G、Bを映像データDATに変換し、入力制御信号に基づいてゲート制御信号CONT1とデータ制御信号CONT2とを生成する。次に、データ駆動部500がデータ制御信号CONT2に従い、マトリックスの行ごとに副画素PXa（またはPXb。図2参照）に対する映像データDATを受信する。データ駆動部500はそのとき、階調電圧生成部800から出力される二つの階調電圧群のいずれか一つを選択し、選択された階調電圧群の中から、各副画素PXaに対する映像データDATに対応する階調電圧を選択する。選択された階調電圧がその副画素Pxaに伝達されるべきデータ電圧として、その副画素PXaに接続されたデータ線D1－Dmに対して印加される。ここで、データ駆動部500に代え、別の選択回路（図示せず）が二つの階調電圧群のいずれか一つを予め選択してデータ駆動部500に伝達しても良い。その他に、階調電圧生成部800が階調電圧群に代え、基準階調電圧をデータ駆動部500に提供し、データ駆動部500が基準階調電圧を分圧して所望の階調電圧に変換しても良い。
【００５１】
一方、ゲート駆動部400がゲート制御信号CONT1に従い、ゲートオン電圧Vonをゲート線G1a－Gnbに対して順番に印加する（図1A、1B、1C参照）。そのとき、ゲートオン電圧Vonが印加されたゲート線GLa、GLbに接続されたスイッチング素子Qa、Qbが導通する（図2、3参

照）。それにより、データ線DLに対して印加されたデータ電圧が導通したスイッチング素子Qa、Qbを介して副画素電極PEに対して印加される（図3参照）。副画素電極PEに対して印加されたデータ電圧と共通電極CEに対して印加された共通電圧Vcomとの間の差（すなわち画素電圧）により、液晶キャパシタClcとストレージキャパシタCstとが充電される。従って、画素電圧がデータ電圧と共通電圧Vcomとの間の差に維持される。そのとき、その液晶キャパシタClcに含まれている液晶層3の部分では、液晶分子の配向が画素電圧のレベルに応じて変化する。その結果、液晶層3を通過する光の偏光方向が変化する。その偏光方向の変化により、パネル100、200の各外面に接着された偏光板12、22を同時に透過可能な光の光量が変化する。こうして、各副画素PXa、PXbの輝度が変化し、特に映像データDATの示す階調の輝度に調節される。

【００５２】

階調電圧生成部800から出力される２つの階調電圧群は上記の通り、異なるガンマ曲線Ta、Tbに対応する（図12参照）。好ましくは、データ駆動部500が、第１副画素電極190a（面積が大きい副画素電極）に対して印加されるデータ電圧を、下側のガンマ曲線Taに対応する階調電圧群から選択し、第２副画素電極190b（面積が小さい副画素電極）に対して印加されるデータ電圧を、上側のガンマ曲線Tbに対応する階調電圧群から選択する。すなわち、一定の階調の輝度を得るために第１副画素電極190aに対して印加されるデータ電圧が、同じ階調の輝度を得るために第２副画素電極190bに対して印加されるデータ電圧より低い。このように、同じ画素PXに含まれている二つの副画素PXa、PXb間ではガンマ特性が異なる。従って、その画素PXの全体のガンマ特性は二つの副画素PXa、PXbのガンマ特性の合成で表される（図12に示されている合成ガンマ曲線T参照）。好ましくは、液晶表示パネルを正面から見たときは合成ガンマ曲線Tが最適な基準ガンマ曲線に一致し、液晶表示パネルを左（または右）斜め前方から見たときは合成ガンマ曲線Tがその基準ガンマ曲線に近似するように、二つの階調電圧群が決定される。例えば、図12に示されている下側のガンマ曲線Taが低階調領域（最低階調GS1に近い領域）で特に低く設定される。こうして、液晶表示パネルの視認性が、視角に依らず、更に向上する。

【００５３】

データ駆動部500とゲート駆動部400とは上記の動作を、1／2水平周期（＝1／2H＝水平同期信号Hsyncの一周期＝ゲート制御信号CONT1に含まれているクロック信号の一周期）ごとに繰り返す。それにより、１フレームの間に全てのゲート線G1a－Gnbに対してゲートオン電圧Vonが印加され、全ての副画素に対してデータ電圧が印加される。更に、データ駆動部500に伝達される反転信号の状態が制御され、フレームごとにデータ電圧の極性が反転する（フレーム反転）。その上、反転信号を利用し、同じフレーム内で、画素マトリックスの行ごとにデータ電圧の極性が反転し（例：行反転、ドット反転）、または、隣接する二つのデータ線間でデータ電圧の極性が反転しても良い（例：列反転、ドット反転）。

【００５４】

本発明の上記の実施形態による液晶表示装置では更に、二つの副画素電極間の面積比に応じて液晶表示パネルの特性が以下のように変化する（図１３、１４参照）。まず、面積の大きい第１副画素電極190aに対する全体的に低い階調電圧群（図12に示されている下側のガンマ曲線Taに対応する）と、面積の小さい第２副画素電極190bに対する全体的に高い階調電圧群（図12に示されている上側のガンマ曲線Tbに対応する）とが予め調節される。それにより、液晶表示パネルを正面から見たときの合成ガンマ曲線が最適な基準ガンマ曲線T0に一致している（図13参照）。その条件下で測定された、液晶表示パネルを右斜め前方から見たときの合成ガンマ曲線I、IIが図13に示されている。ここで、上側の曲線Iでは第１副画素電極190aと第２副画素電極190bとの間の面積比が1：1であり、下側の曲線IIでは面積比が2：1である。図13から明らかな通り、副画素電極間の面積比が1：1である場合の合成ガンマ曲線Iより、面積比が2：1である場合の合成ガンマ曲線IIが基準ガンマ曲線に近い。更に、図１４に示されているように、第２副画素電極190bの面積が画素電極190全体の面積（第１副画素電極190aと第２副画素電極190bとの面積の和）の50％より小さいとき、液晶表示パネルを斜めから見たときの視認性の歪曲量（測定されたガンマ曲線の基

準ガンマ曲線からのずれ）が、第２副画素電極190bの面積が画素電極190全体の面積の50％であるときの歪曲量より減少する。特に、第２副画素電極190bの面積が画素電極190全体の面積の30％であるとき、その歪曲量は最少である。

【００５５】

本発明の実施形態による上記の液晶表示装置は好ましくは、各画素に含まれている二つのスイッチング素子Qa、Qbに対するオンオフ制御により、同じ画素に接続された第１ゲート線と第２ゲート線との間でゲートオン電圧Vonの持続期間の一部を以下のように重複させる（図15参照）。この重複は、特に、図1Aに示されている一対のゲート駆動部400a、400bの採用により、または、図1Cに示されている二つの駆動回路401、402を含むゲート駆動部400の採用により、実現可能である。

【００５６】

マトリックスの一行に含まれている画素に対するデータ電圧Vdataがデータ線に対して印加される期間Tdtでは好ましくは、それらの画素に接続されている第１ゲート線に対する第１ゲート信号Vg(A)が先にゲートオン電圧Vonまで上昇し、続いて、同じ画素に接続されている第２ゲート線に対する第２ゲート信号Vg(B)がゲートオン電圧Vonまで上昇する（図15参照）。それにより、面積の大きい第１副画素電極190aに対するデータ電圧の印加が、面積の小さい第２副画素電極190bに対するデータ電圧の印加より先に開始される。そのとき更に、第１ゲート信号Vg(A)でのゲートオン電圧Vonの持続期間Tg1の末端部が、第２ゲート信号Vg(B)でのゲートオン電圧Vonの持続期間Tg2の先端部と重なっている。その重なっている期間Toでは、二つの副画素電極190a、190bの両方に対してデータ電圧が同時に印加される。従って、第２副画素電極190bに対するデータ電圧の印加期間が十分に長いので、第２副画素電極190bを含む副画素では液晶キャパシタとストレージキャパシタとが十分に充電される。すなわち、データ電圧Vdataの印加期間Tdt内に画素電圧が目標のレベルに確実に到達する。一方、データ電圧が先に印加される第１副画素電極190aに対しては、二つの階調電圧群のうち、全体的に低い一群（図12に示されている下側のガンマ曲線Taに対応する）が選択されている。従って、第１ゲート信号Vg(A)でのゲートオン電圧Vonの持続期間Tg1が、第２ゲート信号Vg(B)でのゲートオン電圧Vonの持続期間Tg2より短く制限されても良い。その場合でも、第１副画素電極190aを含む副画素では液晶キャパシタとストレージキャパシタとが十分に充電され、画素電圧が目標のレベルに確実に到達する。

【００５７】

ここで、データ電圧Vdataが第１副画素電極190aに対して印加されるべき低レベルLaに維持される期間を第１期間Td1とし、データ電圧Vdataが第２副画素電極190bに対して印加されるべき高レベルLbに維持される期間を第２期間Td2とする（図15参照）。そのとき、好ましくは、第１期間Td1が第２期間Td2より長く設定される。それにより、共通電圧Vcomに対するデータ電圧Vdataの極性が反転する場合でも、第１副画素電極190aを含む副画素では液晶キャパシタとストレージキャパシタとの充電時間が十分に長く確保される。更に好ましくは、データ電圧Vdataと二つのゲート信号Vg(A)、Vg(B)とのタイミングが次のように設定される。まず、データ電圧Vdataの極性反転時点から第１ゲート信号Vg(A)の立ち上がり時点までの時間を第１時間差Toe1とする。次に、第１ゲート信号Vg(A)の立ち下がり時点からデータ電圧Vdataのレベルの上昇時点までの時間を第２時間差Toe2とする。そのとき、第１時間差Toe1より第２時間差Toe2が長く設定される。それにより、第１ゲート信号Vg(A)が遅延しても、第２副画素電極190bに対して印加されるべき高いレベルLbのデータ電圧が、第１副画素電極190aに対しては印加されない。更に、第２ゲート信号Vg(B)の立ち下がり時点からデータ電圧Vdataの次の極性反転時点までの第３時間差Toe3が、第１時間差Toe1より長く設定される。それにより、第２ゲート信号Vg(B)が遅延しても、次行の第１副画素電極190aに対して印加されるべき逆極性のデータ電圧が、第２副画素電極190bに対しては印加されない。

【００５８】

以上、本発明の好適な実施形態について詳細に説明した。しかし、本発明の技術的範囲は上記の実施形態には限定されるべきではない。実際、当業者であれば、特許請求の範囲

に定義されている本発明の基本概念を利用し、多様な変形や改良が可能であろう。従って、それら多様な変形や改良も当然に、本発明の技術的範囲に属すると解されるべきである。

【図面の簡単な説明】

【００５９】

【図１Ａ】本発明の実施形態による液晶表示装置の一例を示すブロック図

【図１Ｂ】本発明の実施形態による液晶表示装置の別例を示すブロック図

【図１Ｃ】本発明の実施形態による液晶表示装置の更に別の例を示すブロック図

【図２】本発明の実施形態による一つの画素の等価回路を示す図

【図３】本発明の実施形態による一つの副画素の構成と等価回路とを模式的に示す図

【図４】本発明の実施形態による下部パネルの一例を示す平面図

【図５】本発明の実施形態による上部パネルの一例を示す平面図

【図６】図４に示されている下部パネルと図５に示されている上部パネルとを重ねたときの平面図

【図７】図６に示されている折線VII－VII'に沿った断面を示す展開図

【図８】図６に示されている折線VIII－VIII'に沿った断面を示す展開図

【図９】本発明の実施形態による液晶表示パネルの別例を示す平面図

【図１０】図９に示されている折線X－X'に沿った断面を示す展開図

【図１１】図９に示されている折線XI－XI'に沿った断面を示す展開図

【図１２】本発明の実施形態による液晶表示装置のガンマ曲線の概形を示すグラフ

【図１３】本発明の実施形態による液晶表示装置について、実際に測定されたガンマ曲線を示すグラフ

【図１４】本発明の実施形態による液晶表示装置について、同じ画素に含まれている二つの副画素電極間の面積比と画像の歪曲量との関係を示すグラフ

【図１５】本発明の実施形態による液晶表示装置により生成されるデータ信号とゲート信号とのタイミングチャート

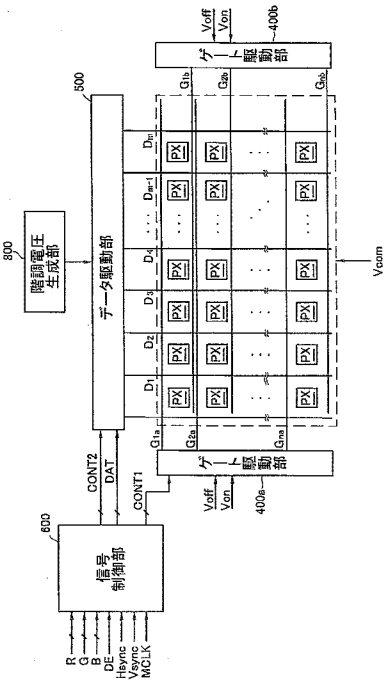
【符号の説明】

【００６０】

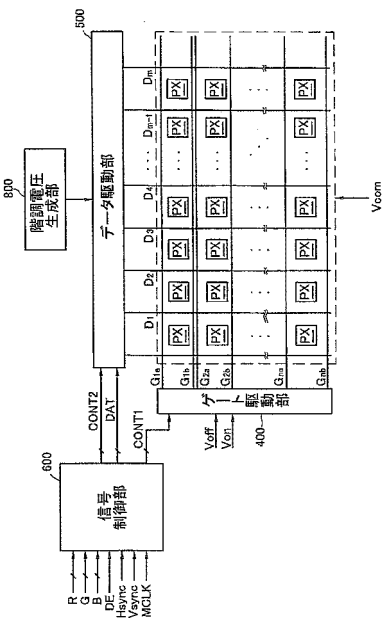
300　液晶表示パネル
400a、400b、400　ゲート駆動部
500　データ駆動部
600　信号制御部
800　階調電圧生成部
3　液晶層
100　下部パネル
110　基板
121a、121b　ゲート線
124a、124b　ゲート電極
131　維持電極線
137a、137b、137　維持電極
140　ゲート絶縁膜
151　線状半導体
171　データ線
173a、173b　ソース電極
175a、175b　ドレイン電極
180　保護膜
190　画素電極
190a、190b　副画素電極
200　上部パネル
210　基板

220　遮光部材
230　カラーフィルタ
250　オーバーコート膜
270　共通電極

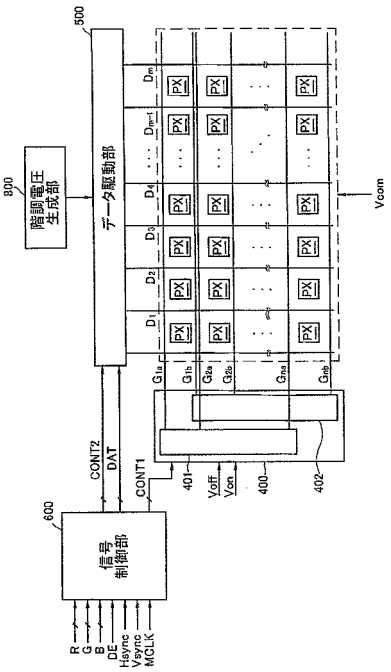
【図１Ａ】



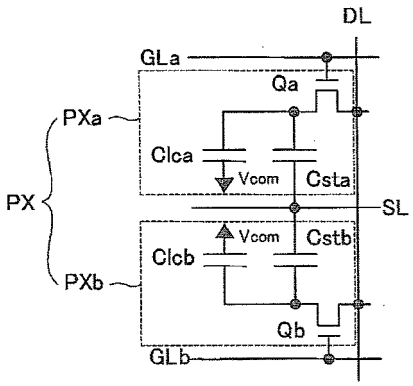
【図１Ｂ】



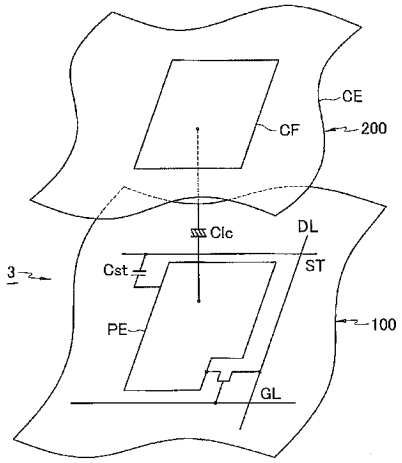
【図１Ｃ】


500
階調電圧生成部
800
データ駆動部
Vcom
CONT2
DAT
CONT1
600
信号制御部
R
G
B
DE
Hsync
Vsync
MCLK
401
Voff
Von
400
402

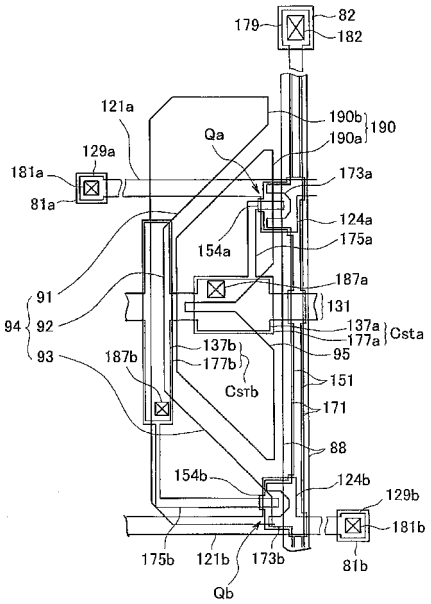
【図２】


DL
GLa
Qa
PXa
Clca
Vcom
Csta
PX
SL
Vcom
Cstb
Clcb
PXb
Qb
GLb

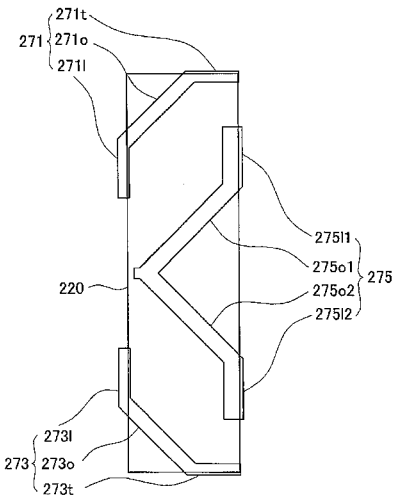
【図３】


CE
CF
200
Clc
DL
3
Cst
ST
PE
100
GL

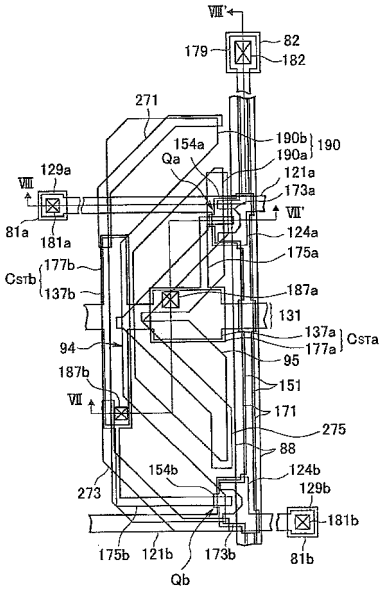
【図４】


179
82
182
121a
190b
190
190a
Qa
129a
181a
173a
81a
124a
175a
154a
187a
91
131
94
92
137a
177a
Csta
137b
95
93
187b
177b
151
Cstb
171
88
154b
124b
129b
181b
175b
121b
173b
81b
Qb

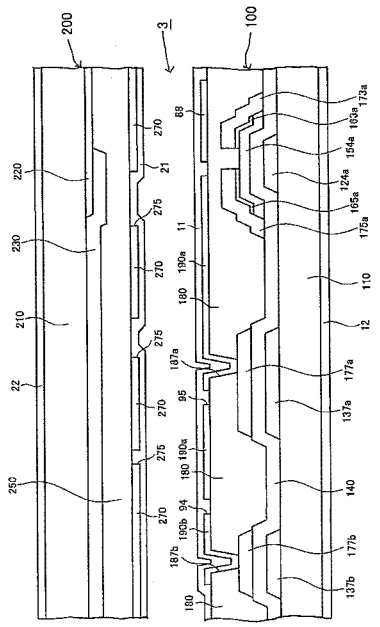
【図５】


271t
271
271o
271l
275l1
275o1
275
220
275o2
275l2
273l
273
273o
273t

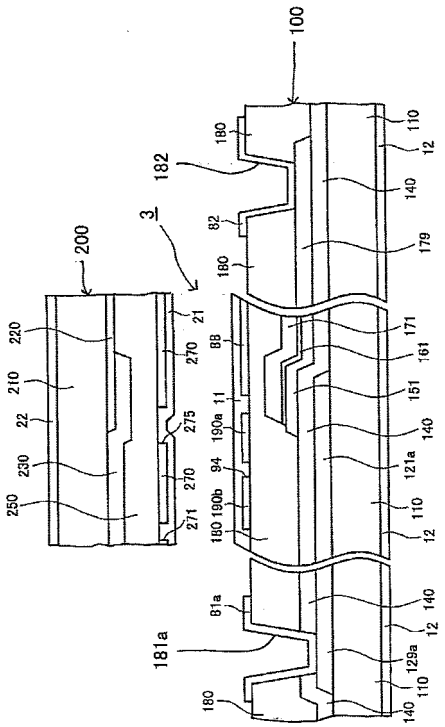
【図６】


VIII'
179
82
182
271
190b
190
190a
154a
Qa
129a
121a
173a
VIII
VII'
81a
181a
124a
175a
177b
CSTb
137b
187a
131
137a
CSTa
177a
94
95
187b
151
VII
171
275
88
154b
124b
273
129b
181b
175b
121b
173b
81b
Qb

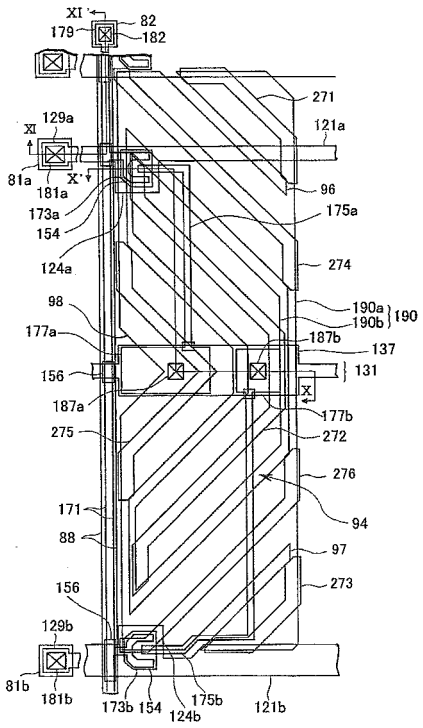
【図７】


200
3
100
220
230
210
22
250
270
21
275
88
11
190a
180
187a
95
94
190b
187b
173a
163a
154a
124a
165a
175a
110
12
177a
137a
140
177b
137b

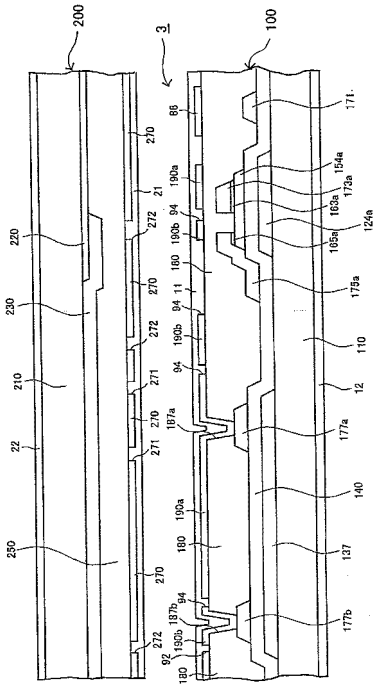
【図８】


100
180
182
110
12
140
82
179
3
200
220
210
22
230
250
21
270
275
271
88
11
190a
94
190b
180
171
161
151
121a
81a
181a
129a

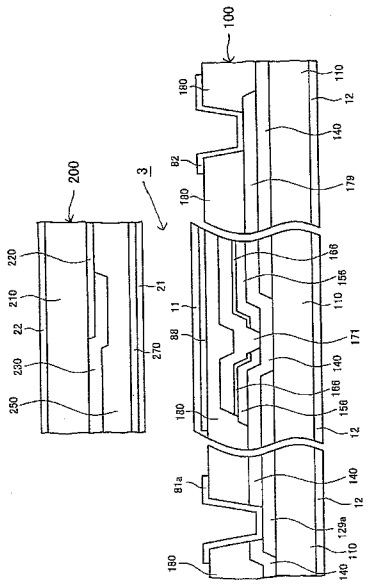
【図９】



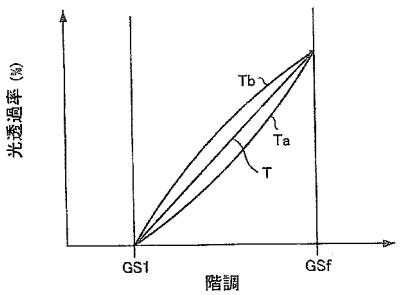
【図１０】



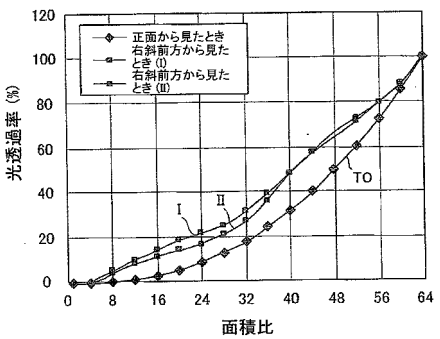
【図１１】



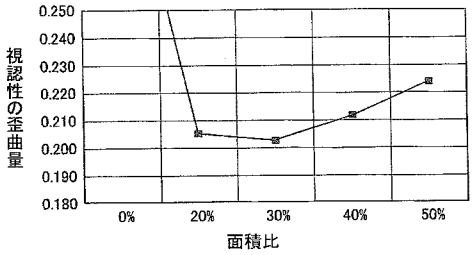
【図１２】



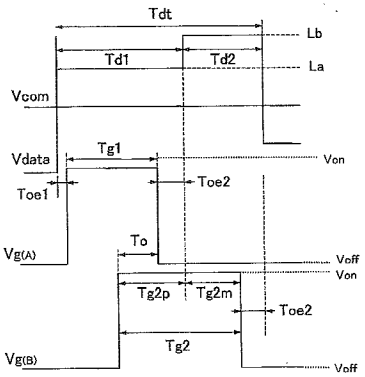
【図１３】



【図１４】


0.250
0.240
0.230
0.220
0.210
0.200
0.190
0.180
視認性の歪曲量
0%
20%
30%
40%
50%
面積比

【図１５】


Tdt
Lb
Td1
Td2
La
Vcom
Vdata
Tg1
Von
Toe1
Toe2
To
Vg(A)
Voff
Von
Tg2p
Tg2m
Toe2
Tg2
Vg(B)
Voff

フロントページの続き

(51)Int.Cl. FI

G09G	3/20	622D
G09G	3/20	621A
G09G	3/20	622C

(72)発明者 金 東 奎
大韓民国京畿道龍仁市豊徳川洞三星5次アパート523棟1305号
(72)発明者 金 相 洙
大韓民国ソウル市江南区道谷2洞三星タワーパレスF棟3104号

審査官 小濱 健太

(56)参考文献 特開平09－189922（JP，A）
特開平08－211407（JP，A）
特開2000－333918（JP，A）
特開2003－186451（JP，A）
特開2004－279904（JP，A）

(58)調査した分野(Int.Cl.，DB名)

G02F	1／133
G02F	1／1368
G09G	3／20
G09G	3／36