



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0121082
(43) 공개일자 2017년11월01일

- (51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) H01L 21/02 (2006.01)
H01L 21/28 (2006.01) H01L 29/51 (2006.01)
H01L 29/78 (2006.01)
- (52) CPC특허분류
H01L 29/6684 (2013.01)
H01L 21/02181 (2013.01)
- (21) 출원번호 10-2017-0051593
- (22) 출원일자 2017년04월21일
심사청구일자 없음
- (30) 우선권주장
JP-P-2016-086570 2016년04월22일 일본(JP)

- (71) 출원인
고쿠리츠켄큐카이하츠호진 상교기쥬츠 소고켄큐쇼
일본국 도오쿄도 치요다쿠 가스미가세키1-3-1
가부시키가이샤 와코무겐큐쇼
일본 도쿄도 쥬오쿠 니혼바시무로마치 4초메 2방
16고
- (72) 발명자
사카이 시게키
일본국 305-8568 이바라키켄 츠쿠바시 우메조노
1초메, 1-1, 츠쿠바 센트럴 2, 고쿠리츠켄큐카이
하츠호진 상교기쥬츠 소고켄큐쇼 내
타카하시 미쯔에
일본국 305-8568 이바라키켄 츠쿠바시 우메조노
1초메, 1-1, 츠쿠바 센트럴 2, 고쿠리츠켄큐카이
하츠호진 상교기쥬츠 소고켄큐쇼 내
(뒷면에 계속)
- (74) 대리인
방해철, 김용인

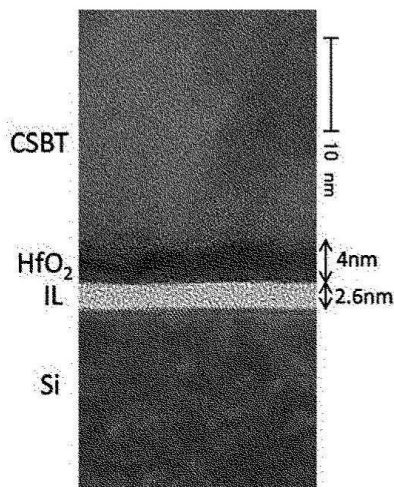
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 반도체 강유전체 기억소자의 제조방법 및 반도체 강유전체 기억 트랜지스터

(57) 요약

종래 개발되어 온 FeFET가 가지는 10^5 초 이상의 데이터 보유 특성과 10^8 회 이상의 데이터 리라이팅 내성 특성을 손상시키지 않고, 강유전체의 막두께(d_f)를 미세화에 적합하도록 $59\text{nm} < d_f < 150\text{nm}$ 의 범위까지 작게 하며, 입력 전압의 절대치가 3.3V 이하의 데이터 입력이 가능한 FeFET와, 그 제조방법을 제공하는 것이다. 반도체 기체 상에 절연체와 비스무트 층상 페로브스카이트 결정의 강유전체의 구성 원소로 구성된 막과 금속을 이 순서로 형성한 후에, 강유전체 결정화 어닐링을 행하여 제조된 반도체 기체와 절연체와 강유전체와 금속으로 이루어지는 소자의 제조방법으로서, 상기 막은 Ca와 Sr과 Bi와 Ta와 산소원자로 구성하고, 상기 금속은 Ir 또는 Pt 또는 Ir과 Pt의 합금 또는 Ru로 구성하며, 상기 강유전체 결정화 어닐링은, 질소에 산소를 더한 혼합가스 중 또는 아르곤에 산소를 더한 혼합가스 중에서 행하는 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

대표도 - 도5



(52) CPC특허분류

H01L 21/02197 (2013.01)

H01L 21/02337 (2013.01)

H01L 21/02356 (2013.01)

H01L 21/28291 (2013.01)

H01L 29/516 (2013.01)

H01L 29/78391 (2015.01)

(72) 발명자

쿠스하라 마사키

일본국 103-0022 도쿄도 주오쿠 니혼바시무로마치
4초메 2방 16고 가부시키가이샤 와코무겐큐쇼 내

토다 마사유키

일본국 103-0022 도쿄도 주오쿠 니혼바시무로마치
4초메 2방 16고 가부시키가이샤 와코무겐큐쇼 내

우메다 마사루

일본국 103-0022 도쿄도 주오쿠 니혼바시무로마치
4초메 2방 16고 가부시키가이샤 와코무겐큐쇼 내

사사키 요시카즈

일본국 103-0022 도쿄도 주오쿠 니혼바시무로마치
4초메 2방 16고 가부시키가이샤 와코무겐큐쇼 내

명세서

청구범위

청구항 1

반도체 기체 상에 절연체와 비스무트 층상 페로브스카이트 결정의 강유전체의 구성 원소로 구성된 막과 금속을 이 순서로 형성한 후에 강유전체 결정화 어닐링을 행하는, 반도체 기체와 절연체와 강유전체와 금속으로 이루어지는 소자의 제조방법으로서,

상기 막은 스트론튬과 비스무트와 탄탈과 산소의 원소로 구성되는 막, 칼슘과 스트론튬과 비스무트와 탄탈과 산소의 막, 스트론튬과 비스무트와 탄탈과 니오브와 산소의 막, 칼슘과 스트론튬과 비스무트와 탄탈과 니오브와 산소의 막이고,

상기 금속은 Ir, 또는 Pt, 또는 Ir과 Pt의 합금, 또는 Ru로 구성하고,

상기 강유전체 결정화 어닐링은, 질소에 산소를 더한 혼합가스 중 또는 아르곤에 산소를 더한 혼합가스 중에서 행하는 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 2

제 1 항에 있어서,

상기 반도체 기체가 소스 영역과 드레인 영역을 가지고, 상기 반도체 강유전체 기억소자가 트랜지스터인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 3

제 1 항 및 제 2 항에 있어서,

상기 강유전체 결정화 어닐링의 온도가 730℃ 이상 800℃ 이하인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 4

제 1 항 및 제 2 항에 있어서,

상기 금속이 Ir이고, 또한 상기 질소에 산소를 더한 혼합가스의 산소의 질소에 대한 체적비율이 0.0002 이상 0.02 이하인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 5

제 1 항 및 제 2 항에 있어서,

상기 금속이 Pt이고, 또한 상기 질소에 산소를 더한 혼합가스의 산소의 질소에 대한 체적비율이 0.0007보다 크고 0.01 이하인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 6

제 1 항 및 제 2 항에 있어서,

상기 금속이 중량비 1:1의 Ir과 Pt의 합금이고, 또한 상기 질소에 산소를 더한 혼합가스의 산소의 질소에 대한 체적비율이 0.0001보다 크고 0.0004 이하인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 7

제 1 항 및 제 2 항에 있어서,

상기 강유전체 결정화 어닐링시의 압력이 0.001MPa 이상이고, 1기압 이하인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 8

제 1 항 및 제 2 항에 있어서,

상기 절연체가, 하프늄, 지르코늄, 란탄, 이트륨, 알루미늄, 마그네슘, 망간의 금속원소를 적어도 1종류 포함하는 금속산화물, 및 그 금속산화물의 적층금속산화물인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 9

제 1 항 및 제 2 항에 있어서,

상기 절연체가, 질화하프늄 또는 질화알루미늄의 질화물인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 10

제 1 항 및 제 2 항에 있어서,

상기 절연체가, 상기 질화물과 상기 금속산화물, 또는 상기 질화물과 상기 적층금속산화물의 적층인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 11

제 10 항에 있어서,

상기 질화물이 질화하프늄이고, 상기 금속산화물이 HfO_2 인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 12

제 8 항에 있어서,

상기 금속산화물이 HfO_2 이고, HfO_2 의 막두께가 1.3nm 이상 13nm 이하인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 13

제 1 항 및 제 2 항에 있어서,

상기 강유전체 결정화 어닐링을 행한 이후에, 특성 조정 어닐링을 행하고, 그 특성 조정 어닐링은 산소 가스 중에서의 어닐링 또는 질소에 수소를 혼합한 혼합가스에서의 어닐링의 적어도 한쪽 어닐링인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 14

제 13 항에 있어서,

상기 특성 조정 어닐링에 있어서의 상기 산소 가스 중에서의 어닐링의 온도는, 600℃ 이상 700℃ 이하인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 15

제 13 항에 있어서,

상기 특성 조정 어닐링에 있어서의 상기 질소에 수소를 혼합한 혼합가스의 어닐링의 온도는 350℃ 이상 450℃ 이하인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 16

제 13 항에 있어서,

상기 특성 조정 어닐링에 있어서의 상기 질소에 수소를 혼합한 혼합가스의 어닐링의 시간은 3분 이상 30분 이하

인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 17

반도체 기체 상에 절연체와 비스무트 층상 페로브스카이트 결정의 강유전체의 구성 원소로 구성된 막과 금속을 이 순서로 형성한 후에 강유전체 결정화 어닐링을 행하는, 반도체 기체와 절연체와 강유전체와 금속으로 이루어지는 소자의 제조방법으로서,

상기 막은 스트론튬과 비스무트와 탄탈과 산소의 원소로 구성되는 막, 칼슘과 스트론튬과 비스무트와 탄탈과 산소의 막, 스트론튬과 비스무트와 탄탈과 니오브와 산소의 막, 칼슘과 스트론튬과 비스무트와 탄탈과 니오브와 산소의 막이고,

상기 금속은 Ir, 또는 Pt, 또는 Ir과 Pt의 합금, 또는 Ru로 구성하며,

상기 강유전체 결정화 어닐링은, 압력이 10Pa 이상 100Pa 이하의 산소분위기 중에서 행하는 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 18

제 9 항에 있어서,

Hf를 포함하는 착체를 용매에 용해한 원료용액을 반응가스 중에 분산한 기액 2상 상태의 원료가스를, 기액 2상 상태를 유지한채로 기화실에 도입하여 기화실에 있어서 기화를 행한 후, 성막실로 도입하는 유기금속 화학기상 퇴적법에 의하여, Hf를 포함하는 착체와 NH₃ 가스가 성장실에서 반응하여 상기 질화하프늄이 형성되는 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 19

제 18 항에 있어서,

상기 하프늄을 포함하는 착체가, TEMAHF 또는 TDEAHF인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법.

청구항 20

소스 영역과 드레인 영역을 가지는 반도체 기체와 절연체와 강유전체와 금속이 이 순서로 적층되고,

상기 강유전체는, 스트론튬과 비스무트와 탄탈과 산소로 구성된 비스무트 층상 페로브스카이트 강유전체, 또는 칼슘과 스트론튬과 비스무트와 탄탈과 산소로 구성된 비스무트 층상 페로브스카이트 강유전체, 또는 스트론튬과 비스무트와 탄탈과 니오브와 산소로 구성된 비스무트 층상 페로브스카이트 강유전체, 또는 칼슘과 스트론튬과 비스무트와 탄탈과 니오브와 산소로 구성된 비스무트 층상 페로브스카이트 강유전체이며,

상기 금속은, Ir, 또는 Pt, 또는 Ir과 Pt의 합금, 또는 Ru이고,

상기 강유전체의 막두께가 59nm보다 크고 150nm보다 작으며, 데이터 입력은 입력 전압의 절대치가 3.3V 이하에도 이용하는 것이 가능한 것을 특징으로 하고, 10⁵초 이상 데이터 보유가 가능한 것을 특징으로 하는 반도체 강유전체 기억 트랜지스터.

청구항 21

제 20 항에 있어서,

상기 반도체 강유전체 기억 트랜지스터가 10⁸회 이상 데이터 리라이팅 가능한 것을 특징으로 하는 반도체 강유전체 기억 트랜지스터.

청구항 22

제 20 항에 있어서,

상기 반도체 기체와 상기 절연체의 계면에 형성되는 반도체 기체 표면의 계면층의 두께가 3.4nm보다 작은 것을 특징으로 하는 반도체 강유전체 기억 트랜지스터.

발명의 설명

기술 분야

[0001] 본 발명은, 반도체 강유전체 기억소자의 제조방법 및 반도체 강유전체 기억 트랜지스터에 관한 것으로, 보다 상세하게는, 저전압 동작형의 반도체 강유전체 기억 트랜지스터 및 반도체 강유전체 기억소자의 제조방법에 관한 것이다.

배경 기술

[0002] 게이트 절연체에 강유전체를 포함하는 강유전체 게이트 전계효과 트랜지스터(Ferroelectric-gate field effect transistor, FeFET)는, 메모리 기능을 구비한 트랜지스터로서 주목되어 왔다. 오랜 기간, 데이터 보유 시간이 짧다는 문제가 있었지만, 특허문헌 1에서, 전극도체/강유전체/절연체/반도체의 게이트 적층이 금속 Pt와 Bi 층상 페로브스카이트(perovskite) 구조의 결정의 1종인 SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)와 고유전율의 절연체 Hf-Al-O와 반도체 Si($\text{Pt/SrBi}_2\text{Ta}_2\text{O}_9/\text{Hf-Al-O/Si}$)로 구성된 FeFET에 있어서, 드레인 전류의 온 상태와 오프 상태를 각각 장기간 측정한 결과, 양쪽 상태가 매우 안정적으로 지속되고, 1주간 후의 온 상태와 오프 상태의 드레인 전류의 비가 10^5 이상이라는 실시예가 개시되었다. 마찬가지로 특허문헌 1에서 $\text{Pt/SrBi}_2\text{Ta}_2\text{O}_9/\text{HfO}_2/\text{Si}$ 로 구성된 FeFET에서도 뛰어난 데이터 보유 특성이 개시되었다. 이와 같이 특허문헌 1에 의하여 FeFET가, 데이터가 정말로 보유된 메모리 트랜지스터로서 작동하는 것이 실증되었다. 특허문헌 1에서는, 데이터의 리라이팅(rewriting) 내성이 평가되어 10^{12} 회의 리라이팅 후에도 관독 온 상태와 오프 상태가 충분히 식별 가능하였다. 이와 같은 뛰어난 데이터의 리라이팅 내성의 이유는 명확하게는 알 수 없지만, 강유전체가 Bi 층상 페로브스카이트 구조 결정으로 구성되어 있는 것 때문으로 사료된다. Bi 층상 페로브스카이트 구조에서는 주로 강유전체성(즉, 원자가 가한 전계의 방향에 따라 변형되어, 전계를 제거한 후에도 그 변형이 남아 전기분극이 제로로 돌아가지 않는 성질)이 페로브스카이트 부분에 일어난다. 페로브스카이트 사이에 있는 Bi의 층상 산화물이 완충층과 같이 작용하므로, 데이터의 리라이팅, 즉 입력을 위한 전계의 반전을 반복하여도 Pt 등의 다른 층과의 계면에 불량이 발생하기 어렵고, 이것이 FeFET에 있어서의 뛰어난 리라이팅 내성으로 이어진다고 사료된다.

[0003] 특허문헌 2에는 Bi 층상 페로브스카이트인 $(\text{Bi}, \text{Nd})_4\text{Ti}_3\text{O}_{12}$ 를 강유전체로서 이용한 FeFET가 개시되어 있다. 비특허문헌 1에는, Bi 층상 페로브스카이트인 $(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$ 를 강유전체로서 이용한 FeFET가 개시되어 있다.

[0004] 특허문헌 3에는 Bi 층상 페로브스카이트의 강유전체로서 $\text{CSBT}(\text{Ca}_x\text{Sr}_{1-x}\text{Bi}_2\text{Ta}_2\text{O}_9)$ 를 이용하고, $\text{Pt/Ca}_x\text{Sr}_{1-x}\text{Bi}_2\text{Ta}_2\text{O}_9/\text{Hf-Al-O/Si}$ 로 구성된 FeFET가 뛰어난 데이터 보유 특성과 뛰어난 데이터 리라이팅 내성을 가지는 것이 개시되어 있다.

[0005] 상술한 Bi 층상 페로브스카이트를 절연체/반도체 상에 형성하고, 더욱이 그 위에 전극반도체를 형성한 후에 Bi 층상 페로브스카이트를 결정화시켜 강유전성을 발현시키기 위하여, 산소 분위기 중에서 10분~60분 정도의 시간 어닐링한다. 온도는 $700^\circ\text{C}\sim 830^\circ\text{C}$, 더욱 바람직하게는 $730^\circ\text{C}\sim 813^\circ\text{C}$ 이다. 이러한 어닐링 공정을 거침으로써 상기의 뛰어난 데이터 보유, 리라이팅 내성이 실현된다. 이러한 어닐링을 거치면 비특허문헌 2 내지 4가 나타내는 바와 같이 실리콘과 절연체의 계면에 계면층이 형성된다. 비특허문헌 3은 이러한 계면층의 주성분이 SiO_2 로 형성되어 있는 것을 개시하고 있다. 이것은, Bi 층상 페로브스카이트를 결정화시키기 위한 산소 분위기에서의 어닐링 중에 실리콘 표면이 산화되고, SiO_2 를 주성분으로 하는 계면층이 형성된 것을 의미한다. 이러한 계면층은 균일하게 형성되어, 결과적으로 FeFET의 양호한 전기 특성의 발현에 공헌하고 있다. 비특허문헌 5에는 이러한 기술에 의한 FeFET를 메모리셀로 하는 64k비트의 NAND 플래시 메모리의 개발예가 개시되어 있다.

[0006] 절연체를 2층으로 하는 다음의 보고가 있다. 비특허문헌 6에서는 실리콘 상에 실리콘 질화막을 형성한 후에 HfO_2 막을 형성하고 있다. 비특허문헌 7에서는 실리콘 상에 실리콘 산질화막을 형성한 후에 HfO_2 막을 형성하고 있다. 어떤 경우도 Bi 층상 페로브스카이트를 결정화시켜 강유전성을 발현시키는 어닐링을 거치면, SiO_2 를 주성분으로 하는 계면층이 Si와 HfO_2 사이에 형성되어 있다. 실리콘 질화막이나 실리콘 산질화막 유래의 질소가 계면층에 포함되어 있어도 주성분은 SiO_2 이다. 이와 같이, 계면층은, 주로 Si가 산화됨으로써 형성되는데, 상부의 절연체와 융합하는 경우도 있고, 상부 절연체 재료가 계면층에 불순물로서 포함되는 경우도 있다. 한편, 비특허문헌 7에

서는, 게이트 전압 소인범위가 $1 \pm 3V$ 의 데이터가 나타나 있는데, 강유전체 SBT의 막두께가 450nm로 두꺼워서 FeFET의 미세화에 적합하지 않다.

[0007] 투과전자현미경 단면 관찰에 의한 상기 SiO_2 를 주성분으로 하는 계면층의 두께에 관한 보고가 있다. 비특허문헌 2에서는, 800°C 60분 산소 중에서의 어닐링을 행한 Pt/SrBi₂Ta₂O₉/Hf-Al-O/Si의 구성의 FeFET의 SiO_2 를 주성분으로 하는 계면층의 두께는 4.4nm이었다. 특허문헌 2에서는, HfO₂와 Si 사이에 2nm-5nm의 SiO_2 를 배치하는 것은 개시되어 있지만, 이것은 SiO_2 를 주성분으로 하는 계면층의 두께가 아니다. 강유전체 결정화 어닐링을 행하기 전의 절연체 층의 SiO_2 의 두께이다. 강유전체 결정화 어닐링을 위한 산소 분위기 하 700~800°C의 온도에서 30분간 어닐링한 후의 SiO_2 를 주성분으로 하는 계면층의 두께에 관한 기술은 없다.

[0008] 비특허문헌 8에서는, 750°C 30분 산소 중에서의 어닐링을 행한 400nm 두께의 (Bi,La)₄Ti₃O₁₂와 8nm 두께의 HfO₂와 Si의 적층에 있어서의 계면층의 두께는 약 5nm이었다. 비특허문헌 4에서는, 778°C 30분 산소 중에서의 어닐링을 행한 Pt/Ca_xSr_{1-x}Bi₂Ta₂O₉/Hf-Al-O/Si로 구성되는 FeFET의 계면층의 두께는 3.4nm이었다. 비특허문헌 6에서는, Pt/SrBi₂Ta₂O₉/HfO₂/SiN/Si로 구성되는 게이트 적층에 대하여 산소 중 800°C 1시간의 어닐링을 행한 결과, 두께 4nm의 SiO_2 를 주성분으로 하는 계면층이 형성되었다. 이와 같이, 산소 중 750°C~800°C, 30분~60분의 어닐링으로 두께 3.4nm~5nm의 계면층이 형성된다. 어닐링의 온도를 더욱 낮추면 계면층의 두께도 감소하는 경향은 있지만, 그렇게 제작된 FeFET는 전기 특성이 뛰어나지 않다. 적합한 어닐링 온도에서 적합한 특성을 나타내는 FeFET에서는 계면층은 두께 3.4nm~5nm이었다.

[0009] FeFET 사이즈의 축소에 있어서는, 게이트 적층의 높이를 축소시키는 것이 에칭 기술 등의 미세화 기술로부터 요청되고 있다. 특허문헌 1, 비특허문헌 6 내지 8에 개시되어 있는 바와 같이 강유전체 막두께는 400nm 이상이 통례였다. 특허문헌 3에서는, 강유전체 Ca_xSr_{1-x}Bi₂Ta₂O₉의 막두께가 200nm인 실시예가 대부분이지만, 막두께가 120nm의 실시예도 나타나 있다. 하지만, 입력 전압의 절대치는 5V로 크다.

[0010] 비특허문헌 9에서는, 데이터 입력을 위한 양의 전압이 Pt/SrBi₂Ta₂O₉/Hf-Al-O/Si의 FeFET의 게이트에 가해졌을 때의 게이트 각 부분에 걸리는 전압분할과 게이트 깊이 방향의 에너지대 다이어그램이, SiO_2 를 주성분으로 하는 계면층의 존재를 포함시키는 형태로 논해지고 있다. 마찬가지로 계산하면 비특허문헌 9와 등가의 에너지대 다이어그램(도 31)이 얻어진다. SrBi₂Ta₂O₉(SBT)는 200nm, Hf-Al-O(HAO)는 7nm, SiO_2 를 주성분으로 하는 계면층(IL)은 3.5nm의 두께를 가정하고 있다. 입력 전압이 가해졌을 때, $P_{max}=2.7 \mu C/cm^2$ 의 전기분극이 강유전체 내에서 형성되었다고 하면, 등량의 전하가 게이트 전극 Pt에 유기되며, 강유전체에는 1.20V의 전압이 가해지고, Hf-Al-O에는 1.06V, 계면층에 2.74V의 전압이 가해지며, Si는 표면의 정전포텐셜이 0.95V이다. 이들의 총합의 5.95V의 전압이 게이트 금속 Pt에 가해지고 있다. 계면층에 가해지는 전압 V_{i1} 은 $d_{i1}P_{max}/(\epsilon_0 k_{i1})$ 에 의하여 $V_{i1}=2.74V$ 가 얻어진다. 여기에서, d_{i1} 은 SiO_2 를 주성분으로 하는 계면층의 두께, k_{i1} 은 그 계면층의 비유전률로, SiO_2 의 비유전율 3.9를 이용하였다, ϵ_0 는 진공 중의 유전율이다. 입력 시의 전기분극은 $1 \mu C/cm^2 \sim 3 \mu C/cm^2$ 정도의 양이고, $3 \mu C/cm^2$ 보다 큰 경우에는, 계면층에 가해지는 전압과 전계가 커져서 반도체층으로부터 게이트 절연체층에 전자의 주입의 현상이 나타나고, 강유전체의 분극반전의 기구 이외의 현상이 가해지게 되어 FeFET의 동작이 매우 복잡해져 버린다.

[0011] 비특허문헌 10에서는, Al/PTO/Si의 FeFET가 개시되어 있다. PTO는 lead titanate(납티탄 산화물)이다. PTO의 두께는 90nm이다. -4V와 4V 사이의 게이트 전압의 왕복 소인과 -2V와 2V 사이의 게이트 전압의 왕복 소인에 대한 I_d-V_g 특성이 나타나 있다. -4와 4V를 입력 전압으로 하는 데이터 보유 특성이 측정되며, 약 10⁴초에서 on 상태와 off 상태의 식별이 곤란한 결과를 나타내고 있다. -2V와 2V를 입력 전압으로 하는 경우에 대하여 데이터 보유 특성은 나타나 있지 않고, 리라이팅 내성 시험 결과도 나타나 있지 않다. 비특허문헌 11에서는, TiN/HfSiO/SiO₂/Si의 FeFET가 보고되어 있다. 이 경우, HfSiO가 강유전체라는 주장이고, 그 두께는 8.5nm이다. 입력 전압은 -3V와 4V이며, 후술하는 본 발명의 입력방식에 따르면 입력 전압의 절대치는 3.5V이다. 데이터 보유 특성은 3×10^4 초까지 나타나고 있지만, 리라이팅 내성시험의 결과는 개시되어 있지 않다.

선행기술문헌

특허문헌

- [0012] (특허문헌 0001) 특허문헌 1: 일본공개특허공보 2004-304143호
- (특허문헌 0002) 특허문헌 2: 일본공개특허공보 2006-108648호
- (특허문헌 0003) 특허문헌 3: W0/2013/183547

비특허문헌

- [0013] (비특허문헌 0001) 비특허문헌 1: AppliedPhysics Letters 85권, 페이지: 3199-3201, 발행: 2004년
- (비특허문헌 0002) 비특허문헌 2: JapaneseJournal of Applied Physics 43권, 페이지: 7876-7878, 발행: 2004년
- (비특허문헌 0003) 비특허문헌 3: IEEE International Electron DevicesMeeting Technical Digest, 페이지: 915-918, 발행: 2004년
- (비특허문헌 0004) 비특허문헌 4: Semiconductor Science and Technology 28권, 원고번호(페이지수) 085003(7), 발행: 2013년
- (비특허문헌 0005) 비특허문헌 5: JapaneseJournal of Applied Physics 51권, 원고번호(페이지수) 04DD01(7), 발행: 2012년
- (비특허문헌 0006) 비특허문헌 6: SemiconductorScience and Technology 24권, 원고번호(페이지수) 105026(5), 발행: 2009년
- (비특허문헌 0007) 비특허문헌 7: SemiconductorScience and Technology 25권, 원고번호(페이지수) 055005(5), 발행: 2010년
- (비특허문헌 0008) 비특허문헌 8: JapaneseJournal of Applied Physics 44권, 페이지: 6218-6220, 발행: 2005년
- (비특허문헌 0009) 비특허문헌 9: IEEE Non-Volatile Memory Technology Symposium 2012 Proceeding. 페이지: 55-59, 발행: 2013
- (비특허문헌 0010) 비특허문헌 10: AppliedPhysics Letters 85권, 페이지: 4726-4728, 발행: 2004년
- (비특허문헌 0011) 비특허문헌 11: IEEE International Electron DevicesMeeting Technical Digest, 페이지: 547-550, 발행: 2011년

발명의 내용

해결하려는 과제

- [0014] 상기한 바와 같이, 선행기술의 방법에서는, 3.4nm~5nm 두께의 SiO₂를 주성분으로 하는 계면층이 Si 반도체 표면에 형성되며, 예를 들어 계면층 3.5nm에서 입력 시의 강유전체 분극이 2.7 μC/cm²로 하면 계면층에는 2.74V의 전압이 가해지고, 이것은 가하는 게이트 전압 5.95V의 46%가 된다., 필연적으로, 비특허문헌 5에서 개시되는 바와 같이 입력 전압, 동작 전압이 6V~7.5V로 커진다. 이 전압은, 입력에 20V 정도의 전압을 사용하는 부유 게이트를 가지는 전계 효과 트랜지스터를 메모리셀로 하는 NAND 플래시 메모리에 비하면 충분히 작지만, 다양한 요구에 응답하기 위하여는, FeFET는 동작 전압이 보다 한층 저감되는 것이 요망된다.
- [0015] 선행기술에서 제작한 FeFET에 대하여, -2.3V와 4.3V의 사이에서 게이트 전압을 왕복으로 소인하였을 때(즉, 소인의 범위는 0.5V±3.3V, 소인진폭 3.3V)의 드레인 전류는 도 30의 (a)와 (b)에 나타내는 바와 같이 되며, 히스테리시스 곡선의 폭인 메모리 윈도우는 0.26V보다 작다. 도 30의 (a)는 막두께 120nm, (b)는 막두께 160nm의 예

이다. 도 30의 (c)는, 막두께 120nm, 160nm, 200nm의 강유전체 $Ca_{0.2}Sr_{0.8}Bi_2Ta_2O_9$ 에 대하여 산소 중 775℃와 800℃에서 30분 어닐링한 6개의 FeFET의 메모리 윈도우를 나타내고 있다. 도 30의 (c)에서 사용한 동일한 6개의 FeFET에 대하여 소인범위 0.5V±5.0V에서도 측정하였다. 소인진폭 3.3V와 5.0V에 대한 메모리 윈도우를 도 30의 (d)에 나타낸다. 소인진폭 3.3V에 있어서의 메모리 윈도우의 소인진폭 5.0V에 대한 메모리 윈도우를 도 30의 (d)에 나타낸다. 소인진폭 3.3V에 있어서의 메모리 윈도우의 소인진폭 5.0V에 있어서의 메모리 윈도우에 대한 감소율은 가장 큰 경우를 제외하여도 38.8%이다. 이와 같이, 선행기술의 방법에서 제작한 FeFET는, 소인진폭 3.3V에서는 충분한 메모리 윈도우는 얻어지지 않는다. 종래기술에서는 계면층의 두께는 3.4nm~5nm로 두껍게 전 계층에 전압이 가해지므로, 전기분극 반전의 현상을 일으키기 위하여 불필요한 입력 전압이 필요하다. 이 때문에, 작은 소인진폭 3.3V에서는 충분한 메모리 윈도우는 얻어지지 않는다.

[0016] SiO_2 를 주성분으로 하는 계면층의 두께를 Δd_{il} 만큼 저감시킬 수 있다고 하면, $\Delta V_{il} = \Delta d_{il} \times P_{max} / (\epsilon_0 \kappa_{il})$ 만큼 입력 전압은 저감시킬 수 있다. 입력시의 강유전체 분극이 $P_{max} = 2.7 \mu C/cm^2$ 로 하면, 계면층의 1nm 저감은, 0.78V의 입력 전압의 저감으로 이어진다고 추측된다. 계면층의 형성 두께는 단순히 어닐링의 시간을 짧게 하면 되는 것이 아니라, 어닐링 공정은 강유전체층이 강유전성을 발현하기에 충분한 공정이지 않으면 안된다. 반도체 강유전체 기억소자를 게이트 길이 100nm보다 작게 미세화하기 위하여는 포토리소그래피나 가공기술로부터 게이트 적층의 두께를 얇게 하는 것이 요청된다. 얇으면 얇을수록 좋지만, 강유전체의 막두께는 150nm보다 작게 하는 것이 요구된다. 강유전체의 두께의 하한은 다음과 같이 정해진다. 상기한 바와 같이 입력 시에 전자 주입의 현상이 현저하게 일어나지 않는 전기분극의 한계는 $3 \mu C/cm^2$ 이다. $+3 \mu C/cm^2$ 와 $-3 \mu C/cm^2$ 의 분극의 왕복 소인에 대한 강유전체 SBT($SrBi_2Ta_2O_9$)의 항전계 E_c 는 metal/SBT/metal에 대하여 약 33kV/cm가 공지이고, 0.39V의 메모리 윈도우를 얻기에 필요한 막두께를 하한의 막두께로 정의하면, $V_w / (2E_c) = 0.39 / (2E_c)$ 로부터 하한의 막두께는 59nm로 추측할 수 있다. $Ca_xSr_{1-x}Bi_2Ta_2O_9$ 의 E_c 는 SBT보다 크기 때문에, 하한의 막두께는 더욱 낮아지게 된다.

[0017] 본 발명이 해결하고자 하는 과제는, 종래 개발해 온 FeFET가 가지는 10^5 초 이상의 데이터 보유 특성과 10^8 회 이상의 데이터 리라이팅 내성 특성을 손상시키지 않고, 강유전체의 막두께(d_f)를 미세화에 적합하도록 $59nm < d_f < 150nm$ 의 범위까지 작게 하여, 입력 전압의 절대치가 3.3V 이하의 데이터의 입력이 가능한 FeFET와, 그 제조방법을 제공하는 것이다.

과제의 해결 수단

[0018] 상기의 과제를 해결하기 위하여, 본 발명에 따르면, 반도체 기체(基體) 상에 절연체와 비스무트 층상 페로브스카이트 결정의 강유전체의 구성 원소로 구성된 막과 금속을 이 순서로 형성한 후에 강유전체 결정화 어닐링을 행하는, 반도체 기체와 절연체와 강유전체와 금속으로 이루어지는 소자의 제조방법으로서, 상기 막은 스트론튬과 비스무트와 탄탈과 산소의 원소로 구성되는 막, 칼슘과 스트론튬과 비스무트와 탄탈과 산소의 막, 스트론튬과 비스무트와 탄탈과 니오브와 산소의 막, 칼슘과 스트론튬과 비스무트와 탄탈과 니오브와 산소의 막이며, 상기 금속은 Ir, 또는 Pt, 또는 Ir과 Pt의 합금, 또는 Ru로 구성하고, 상기 강유전체 결정화 어닐링은, 질소에 산소를 더한 혼합가스 중 또는 아르곤에 산소를 더한 혼합가스 중에서 행하는 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법을 제공한다.

[0019] 또한, 본 발명에 따르면, 상기 반도체 기체가 소스 영역과 드레인 영역을 가지며, 상기 반도체 강유전체 기억소자가 트랜지스터인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법을 제공한다.

[0020] 그리고, 상기 강유전체 결정화 어닐링의 온도는 730℃ 이상 800℃ 이하인 것이 바람직하다.

[0021] 또한, 상기 금속이 Ir이고, 또한 상기 질소에 산소를 더한 혼합가스의 산소의 질소에 대한 체적비율이 0.0002 이상 0.02 이하인 것이 바람직하다.

[0022] 그리고, 상기 금속이 Pt이고, 또한 상기 질소에 산소를 더한 혼합가스의 산소의 질소에 대한 체적비율이 0.0007보다 크고 0.01 이하인 것이 바람직하다.

[0023] 또한, 상기 금속이 중량비 1:1의 Ir과 Pt의 합금이고, 또한 상기 질소에 산소를 더한 혼합가스의 산소의 질소에 대한 체적비율이 0.0001보다 크고 0.0004 이하인 것이 바람직하다.

[0024] 그리고, 상기 강유전체 결정화 어닐링 시의 압력은 0.001MPa 이상이고 1기압 이하인 것이 바람직하다. 한편, 1

기압은 0.1013MPa이다.

- [0025] 또한, 본 발명에 따르면, 상기 절연체가, 하프늄, 지르코늄, 란탄, 이트륨, 알루미늄, 마그네슘, 망간의 금속 원소를 적어도 1종류 포함하는 금속산화물, 및 그 금속산화물의 적층금속산화물인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법을 제공한다.
- [0026] 그리고, 본 발명에 따르면, 상기 절연체가, 질화하프늄 또는 질화알루미늄의 질화물인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법을 제공한다.
- [0027] 또한, 본 발명에 따르면, 상기 절연체가, 상기 질화물과 상기 금속산화물, 또는 상기 질화물과 상기 적층금속산화물의 적층인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법을 제공한다.
- [0028] 더욱이, 상기 질화물이 질화하프늄이고, 상기 금속산화물이 HfO₂인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법을 제공한다.
- [0029] 그리고, 상기 금속산화물은 HfO₂이고 HfO₂의 막두께가 1.3nm 이상 13nm 이하인 것이 바람직하다.
- [0030] 또한, 본 발명에 따르면, 상기 강유전체 결정화 어닐링을 행한 이후에, 특성 조정 어닐링을 행하고, 그 특성 조정 어닐링은 산소 가스 중에서의 어닐링 혹은 질소에 수소를 혼합한 혼합가스에서의 어닐링의 적어도 한쪽 어닐링인 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법을 제공한다.
- [0031] 더욱이, 상기 특성 조정 어닐링에 있어서의 상기 산소 가스 중에서의 어닐링의 온도는 600℃ 이상 700℃ 이하인 것이 바람직하다.
- [0032] 그리고, 상기 특성 조정 어닐링에 있어서의 상기 질소에 수소를 혼합한 혼합가스의 어닐링의 온도는 350℃ 이상 450℃ 이하인 것이 바람직하고, 시간은 3분 이상 30분 이하인 것이 바람직하다.
- [0033] 또한, 본 발명에 따르면, 반도체 기체 상에 절연체와 비스무트 층상 페로브스카이트 결정의 강유전체의 구성 원소로 구성된 막과 금속을 이 순서로 형성한 후에 강유전체 결정화 어닐링을 행하는, 반도체 기체와 절연체와 강유전체와 금속으로 이루어지는 소자의 제조방법으로서, 상기 막은 스트론튬과 비스무트와 탄탈과 산소의 원소로 구성되는 막, 칼슘과 스트론튬과 비스무트와 탄탈과 산소의 막, 스트론튬과 비스무트와 탄탈과 니오브와 산소의 막, 칼슘과 스트론튬과 비스무트와 탄탈과 니오브와 산소의 막이고, 상기 금속은 Ir, 또는 Pt, 또는 Ir과 Pt의 합금, 또는 Ru로 구성하며, 상기 강유전체 결정화 어닐링은, 압력이 10Pa 이상 100Pa 이하의 산소 분위기 중에서 행하는 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법을 제공한다.
- [0034] 그리고, 본 발명에 따르면, Hf를 포함하는 착체를 용매에 용해한 원료용액을 반응가스 중에 분산한 기액 2상 상태의 원료가스를, 기액 2상 상태를 유지한채로 기화실에 도입하여 기화실에 있어서 기화를 행한 후 성막실에 도입하는 유기금속 화학기상 퇴적법에 의하여, Hf를 포함하는 착체와 NH₃ 가스가 성장실에서 반응하여 상기 질화하프늄이 형성되는 것을 특징으로 하는 반도체 강유전체 기억소자의 제조방법을 제공한다.
- [0035] 더욱이, 상기 하프늄을 포함하는 착체는, TEMAHf 또는 TDEAHf인 것이 바람직하다.
- [0036] 또한, 본 발명에 따르면, 소스 영역과 드레인 영역을 가지는 반도체 기체와 절연체와 강유전체와 금속이 이 순서로 적층되고,
- [0037] 상기 강유전체는, 스트론튬과 비스무트와 탄탈과 산소로 구성된 비스무트 층상 페로브스카이트 강유전체, 또는 칼슘과 스트론튬과 비스무트와 탄탈과 산소로 구성된 비스무트 층상 페로브스카이트 강유전체, 또는 스트론튬과 비스무트와 탄탈과 니오브와 산소로 구성된 비스무트 층상 페로브스카이트 강유전체, 또는 칼슘과 스트론튬과 비스무트와 탄탈과 니오브와 산소로 구성된 비스무트 층상 페로브스카이트 강유전체이며,
- [0038] 상기 금속은, Ir, 또는 Pt, 또는 Ir과 Pt의 합금, 또는 Ru이고,
- [0039] 상기 강유전체의 막두께가 59nm보다 크고 150nm보다 작으며, 데이터의 입력은 입력 전압의 절대치가 3.3V 이하여도 이용이 가능한 것을 특징으로 하고, 10⁵초 이상 데이터 보유가 가능한 것을 특징으로 하는 반도체 강유전체 기억 트랜지스터를 제공한다.
- [0040] 더욱이, 상기 반도체 강유전체 기억 트랜지스터가 10⁸회 이상 데이터 리라이팅 가능한 것을 특징으로 하는 상기 반도체 강유전체 기억 트랜지스터를 제공한다.

[0041] 그리고, 상기 반도체 기판과 상기 절연체의 계면에 형성되는 반도체 기체 표면의 계면층의 두께가 3.4nm보다 작은 것을 특징으로 하는 반도체 강유전체 기억 트랜지스터를 제공한다.

발명의 효과

[0042] 반도체 기체 상에 절연체와 강유전체와 금속으로 이루어지는 적층구조를 가지는 반도체 강유전체 기억소자에 있어서, 본 발명에서는 금속과 그것에 이어지는 강유전체를 결정화시키기 위한 어닐링에 있어서의 가스의 조건을 적합하게 선택함으로써, 반도체 표면에 생기는 SiO₂를 주성분으로 하는 계면층의 막두께를 저감하고, 저전압으로 충분히 넓은 메모리 윈도우를 가지는 강유전체 소자 및 트랜지스터가 실현된다. 더욱이, 본 발명에서는 특성 조정용 어닐링을 그 후에 행함으로써, 게이트 전압의 변화에 대하여 드레인 전류의 변화가 커지는 것과 같은 특성 개선의 효과가 있다.

[0043] 종래기술이 가지고 있는 뛰어난 데이터 보유 특성과 데이터 리라이팅 내성을 손상하지 않고, 입력 전압의 절대치가 3.3V로 종래에 없이 작은 FeFET가 실현된다.

도면의 간단한 설명

- [0044] 도 1은 본 발명의 제1 실시형태의 반도체 강유전체 기억소자의 제작 도중을 나타내는 단면도이다.
- 도 2는 본 발명의 제2 실시형태의 반도체 강유전체 기억소자의 제작 도중을 나타내는 단면도이다.
- 도 3은 본 발명의 제1 실시형태의 반도체 강유전체 기억소자의 단면도이다.
- 도 4는 본 발명의 제2 실시형태의 반도체 강유전체 기억소자의 단면도이다.
- 도 5는 실시예 02B의 단면 TEM 사진이다.
- 도 6은 실시예 02B의 (a) FeFET의 드레인 전류와 게이트 전압의 관계를 나타내는 그래프와, (b) 소인전폭 V_{amp}와 메모리 윈도우의 관계를 나타내는 그래프이다.
- 도 7은 실시예 21C의 단면 TEM 사진이다.
- 도 8은 실시예 02A의 금속과 반도체 기체 사이의 게이트 전압에 대한 전기용량의 관계이다.
- 도 9는 게이트 적층의 구조와 두께가 Ir(75nm)/CSBT(x=0.2, 135nm)/Hf-La-Al-O(5nm)/Si인 실시예 26C의 드레인 전류와 게이트 전압의 관계이다. 절연체(5)(I층)의 조성비는 HfO₂:LaAlO₃=7:3이다.
- 도 10은 게이트 적층의 구조와 두께가 Ir(75nm)/CSBT(x=0.25, 135nm)/Zr-Y-O(5nm)/Si인 실시예 16A의 드레인 전류와 게이트 전압의 관계를 나타내는 그래프이다. 절연체(5)(I층)는 Zr-Y-O이다.
- 도 11은 게이트 적층의 구조와 두께가 Ir(75nm)/CSBT(x=0.2, 135nm)/HfO₂(4nm)/Si인 실시예 302B의 드레인 전류와 게이트 전압의 관계를 나타내는 그래프이다.
- 도 12는 게이트 적층의 구조와 두께가 Ir(75nm)/CSBT(x=0.2, 135nm)/HfO₂(4nm)/Hf-N(2nm)/Si인 실시예 12B의 드레인 전류와 게이트 전압의 관계를 나타내는 그래프이다.
- 도 13은 게이트 적층의 구조와 두께가 Ir(75nm)/CSBT(x=0.15, 120nm)/HfO₂(5nm)/Si인 실시예 09F의 드레인 전류와 게이트 전압의 관계를 나타내는 그래프이다.
- 도 14는 게이트 적층의 구조와 두께가 Ir(75nm)/CSBT(x=0.2, 135nm)/Hf-Mg-O(5nm)/Si인 실시예 03C의 드레인 전류와 게이트 전압의 관계를 나타내는 그래프이다. Ar-O₂ 중에서 결정화 어닐링을 실시한다.
- 도 15는 강유전체 결정 어닐링시의 N₂에 대한 O₂의 체적비율 y와, 그 적층비율을 이용하여 제조하여 금속(4)이 Ir인 실시예 FeFET의 I_d-V_g 특성의 메모리 윈도우와의 관계를 나타내는 그래프이다.
- 도 16은 강유전체 결정화 어닐링의 공정에 있어서의 어닐링 온도와 제조한 FeFET의 I_d-V_g 특성의 메모리 윈도우의 관계를 나타내는 그래프이다.
- 도 17은 1기압보다 작은 감압환경에서의 강유전체 결정화 어닐링도 행한 실시예의 정리도이다.

도 18은 절연체(2)에 HfO₂를 채용한 경우의 HfO₂의 두께와 메모리 윈도우의 관계를 나타내는 그래프이다.

도 19는 실시예 02B에 대하여 제1 방법의 특성 조정 어닐링을 행하기 전과 행한 후의 I_d-V_g 특성을 나타내는 그래프이다.

도 20은 제1 방법의 어닐링 온도와 메모리 윈도우 변화율 및 SS값의 변화율의 관계를 나타내는 그래프이다.

도 21은 실시예 21C를 400℃에서 30분간 제2 방법의 특성 조정 어닐링을 행한 후(실선커브)와 행하기 전(점선커브)의 드레인 전류와 게이트 전압의 관계를 나타내는 그래프이다.

도 22는 실시예 23C를 400℃에서 5분간 제2 방법의 특성 조정 어닐링을 행한 후(실선커브)와 행하기 전(점선커브)의 드레인 전류와 게이트 전압의 관계를 나타내는 그래프이다.

도 23은 실시예 02B에 대한 데이터 리라이팅 내성 시험의 결과를 나타내는 그래프이다. 입력 펄스는 -3.3V와 +3.3V의 교류 펄스이다.

도 24는 실시예 02B에 대한 데이터 보유 특성 측정 결과를 나타내는 그래프이다(입력 전압은 ±3.3V).

도 25는 실시예 27E에 대한 데이터 리라이팅 내성 시험 결과를 나타내는 그래프이다.

도 26은 실시예 12H에 대한 데이터 리라이팅 내성 시험 결과를 나타내는 그래프이다.

도 27은 실시예 27F에 대한 데이터 보유 특성 측정 결과를 나타내는 그래프이다.

도 28은 실시예 12H에 대한 데이터 보유 특성 측정 결과를 나타내는 그래프이다.

도 29는 실시예 302B의 제조 과정의 설명도이다.

도 30은 선행기술에서 제작한 FeFET의 드레인 전류-게이트 전압의 관계를 나타내는 그래프: (a) 강유전체 Ca_{0.2}Sr_{0.8}Bi₂Ta₂O₉의 막두께 120nm의 FeFET의 특성과, (b) Ca_{0.2}Sr_{0.8}Bi₂Ta₂O₉의 막두께 160nm의 FeFET의 특성이다.

(c) 막두께 120nm, 160nm, 200nm의 Ca_{0.2}Sr_{0.8}Bi₂Ta₂O₉를 강유전체로 하는 선행기술로 제작한 FeFET의 메모리 윈도우와 강유전체의 막두께와의 관계를 나타내는 그래프이다. ○표시는 산소 중 775℃와 ●표시는 산소 중 800℃에서 30분 어닐링을 행하였다. 메모리 윈도우를 얻기 위한 게이트 전압 소인범위는, 0.5V±3.3V이다. (d) 소인진폭 3.3V와 5.0V에 대한 메모리 윈도우이다.

도 31은 데이터 입력을 위한 양의 전압이 Pt/SrBi₂Ta₂O₉/Hf-Al-O/Si의 FeFET의 게이트에 가해졌을 때의 게이트 각 부분에 걸리는 전압분할과 게이트 깊이 방향의 에너지대 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

[0045] (실시형태)

도 1은, 본 발명의 제1 실시형태의 반도체 강유전체 기억소자의 제작 도중을 나타내는 단면도이다. 1이 반도체 기체이다. 도 2는, 본 발명의 제2 실시형태의 반도체 강유전체 기억소자의 제작 도중을 나타내는 단면도이다. 제2 실시형태에서는, 반도체 기체(1)가 소스 영역(6)과 드레인 영역(7)을 가진다. 반도체 기체(1)는 실리콘 혹은 실리콘을 성분으로 하여 가지는 반도체이다. Si와 Ge의 결정이어도 SiC여도 좋다. 반도체 기판 대신에 SOI(silicon on insulator) 기판을 사용하여도 좋다. 3a는 Bi 층상 페로브스카이의 구성 원소로 구성되는 층이다. 결정화 어닐링 전이기 때문에 Bi 층상 페로브스카이가 결정 구조로 되어 있지는 않다. 대표적인 것은 스트론튬과 비스무트와 탄탈과 산소의 원소로 구성되는 막, 칼슘과 스트론튬과 비스무트와 탄탈과 산소의 막, 스트론튬과 비스무트와 탄탈과 니오브와 산소의 막, 칼슘과 스트론튬과 비스무트와 탄탈과 니오브와 산소의 막이다. 비스무트와 티탄과 산소의 막, 비스무트와 란타넘과 티탄과 산소의 막, 비스무트와 네오디뮴과 티탄과 산소의 막이어도 좋다. 금속(4)은, Ir, Pt, Ru 혹은 그들의 합금이 좋다.

[0047] 금속(4)까지 형성한 후에, 강유전체 결정화 어닐링을 적합한 온도환경에서 행한다. 이에 따라 막(3a)이 강유전체(3)로 변화한다. 강유전체(3)는 강유전체 분극 반전피로에 강한 Bi 층상 페로브스카이트를 주성분으로 하는 재료로 구성한다. 상기 막(3a)의 원소 조성에 따라서 주성분은 SrBi₂Ta₂O₉, SrBi₂Ta₂O₉의 Sr의 일부를 Ca로 치환한 Ca_xSr_{1-x}Bi₂Ta₂O₉, SrBi₂Ta₂O₉과 Ca_xSr_{1-x}Bi₂Ta₂O₉의 Ta의 일부를 Nb로 치환한 SrBi₂(Ta₁₋₂Nb₂)₂O₉과 Ca_xSr_{1-x}Bi₂(Ta₁₋₂Nb₂)₂O₉, 및 Bi₄Ti₃O₁₂, (Bi,La)₄Ti₃O₁₂, (Bi,Nd)₄Ti₃O₁₂로 된다. Ca_xSr_{1-x}Bi₂Ta₂O₉, SrBi₂(Ta₁₋₂Nb₂)₂O₉과 Ca_xSr₁₋

$x\text{Bi}_2(\text{Ta}_{1-z}\text{Nb}_z)_2\text{O}_9$ 은, $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 과 유사한 결정구조와 물성을 가지므로, 호환하여 사용할 수 있다. 금속(4)까지 형성한 후에 어닐링을 행하는 것은, 어닐링의 결과로서 강유전체(3)와 금속(4)의 계면 부근의 성질이 안정화되기 때문이다. 이것은 뛰어난 데이터 보유 특성, 뛰어난 리라이팅 내성으로 이어진다. 예의 검토를 거듭하여, 강유전체 결정화 어닐링은, N_2 나 Ar 등의 비활성 가스에 산소를 더한 혼합가스 환경에서 행하는 것이 매우 중요한 것을 발견하였다. 강유전체 결정화 어닐링을 거쳐, 제1 실시형태가 완성되며, 그 단면도는 도 3이 된다. 강유전체 결정화 어닐링을 거쳐, 제2 실시형태도 완성되며, 단면도는 도 4가 된다. SiO_2 를 주성분으로 하는 계면층(5)이 반도체 기체(1) 표면부에 형성된다. 한편, SiO_2 를 주성분으로 하는 계면층(5)은 이후 본 명세서에서 단순히 계면층(5)으로 표기하는 경우도 있지만 같은 의미이다. 계면층(5)은 전기적으로 절연성을 가지므로, 절연체(2)에 포함시켜 정의하는 것도 가능한데, 본 발명에서는, 반도체 기체의 일부로 간주한다. 어느것이나 이것은 정의, 형식의 문제에 불과하다. 반도체 내의 전기전도는 계면층(5)과 내부 반도체의 계면에서 일어난다.

[0048] 강유전체 결정화 어닐링을 행한 후의 실시예에 대하여 단면투과 전자현미경(단면 TEM) 분석을 행하고, SiO_2 를 주성분으로 하는 계면층(5)을 3.4nm보다 얇게 하는 것이 가능해졌다. 도 5에 개시하는 실시예 02B에서는, SiO_2 를 주성분으로 하는 계면층(5)의 두께는 2.6nm이었다. 도 5 중의 IL로 표기한 층이 계면층(5)이다. 이 실시예의 FeFET는 75nm 두께의 Ir, 135nm 두께의 $x=0.2$ 의 CSBT, 4nm 두께의 HfO_2 가 Si의 반도체 기체 상에 형성되어 있다. $x=0.2$ 의 CSBT는 강유전체의 주성분이 $x=0.2$ 의 $\text{Ca}_x\text{Sr}_{1-x}\text{Bi}_2\text{Ta}_2\text{O}_9$ 인 것을 의미하고 있다. 이러한 게이트 적층을 Ir(75nm)/CSBT($x=0.2, 135\text{nm}$)/ HfO_2 (4nm)/Si로 약칭한다. 이하, 혼란이 없는 범위에서 그 약칭은 적절히 사용한다. n채널의 FeFET이고, 드레인 전류와 게이트 전압(I_d-V_g)의 관계를 도 6의 (a)에 개시한다. 드레인 전류는 로그로 표현하고 있다. 이러한 FeFET의 게이트 길이(L)는 $10\mu\text{m}$, 게이트 폭은 $200\mu\text{m}$ 이다. V_g 의 소인의 중심 V_c 는 $V_c=0\text{V}$ 이다. 소인진폭 V_{amp} 는 $V_{amp}=3.3\text{V}$ 이다. V_g 의 소인범위는 $V_c-V_{amp}=-3.3\text{V}$ 에서 $V_c+V_{amp}=3.3\text{V}$ 이고, V_g 는 -3.3V 와 3.3V 의 사이를 왕복 소인하였다. 이후 제로가 아닌 V_c 로 측정하는 실시예도 있지만, 이온주입기술 등을 이용하여 반도체층의 불순물의 종류와 농도를 적절히 선택함으로써 $V_c=0\text{V}$ 는 실현할 수 있다. 한편, 소인진폭 V_{amp} 는, 즉 FeFET로의 데이터의 입력 전압의 절대치이다. 이후 I_d-V_g 의 측정에서는 소인범위를 $V_c \pm V_{amp}$ 로 표기하는 경우가 있는데, V_c-V_{amp} 와 V_c+V_{amp} 의 사이, V_g 를 왕복소인하였다는 의미이다. 도면에 기재한 화살표의 방향을 따라서 드레인 전류가 변화하였다. 드레인 전류(I_d)는, 이 도면에서는 게이트 폭 $1\mu\text{m}$ 당 전류로 규격화되어 있다. 이러한 I_d-V_g 의 관계를 얻었을 때의 드레인 전압(V_d), 소스 전압(V_s), 기판 전압(V_{sub})의 조건은, $V_d=0.1\text{V}$, $V_s=V_{sub}=0\text{V}$ 이었다. 이하, 특별히 한정되지 않는 한, 다른 실시예에서도 이 V_d , V_s , V_{sub} 의 전압 조건에서 I_d-V_g 의 관계를 측정하였다. 임계값 전압을 $I_d=1 \times 10^{-8} \text{A}/\mu\text{m}$ 에 대응한 게이트 전압으로 정의하면, 도 6의 (a)에서는 점 a와 점 b에 있어서의 게이트 전압 V_a 와 V_b 이다. 그 차이를 메모리 윈도우 V_w 로 정의하면, $V_w=V_a-V_b$ 는 이 실시예에서는, $V_w=0.59\text{V}$ 이고, 선행기술에 따른 메모리 윈도우(도 30)에 비하여 충분히 넓다. 도 6의 (b)에, 소인진폭 V_{amp} 와 메모리 윈도우의 관계를 나타낸다. 도면에 나타내는 바와 같이, $V_{amp}=2.7\text{V}$ 에서 $V_w=0.40\text{V}$, $V_{amp}=3.6\text{V}$ 에서 $V_w=0.69\text{V}$, $V_{amp}=3.9\text{V}$ 에서 $V_w=0.79\text{V}$ 이었다. 도 30의 (d)에 나타난 종래기술과 비교하여 메모리 윈도우는 각별히 넓어졌다. 특히 $V_{amp}=2.7\text{V}$ 라고 하는 작은 입력으로도 $V_w=0.40\text{V}$ 이다. 이와 같이 명확한 개선이 보인 주된 이유는 계면층의 두께가 2.6nm까지 저감된 것에 의하여 입력시에 계면층에 가해지는 전압이 낮아져, 보다 작은 입력 전압에서 전기분극 반전이 시작되게 되었기 때문이다.

[0049] 도 7에 개시하는 실시예 21C에서는, 단면 TEM 분석으로부터 SiO_2 를 주성분으로 하는 계면층(5)의 두께는 2.5nm이었다. 이러한 실시예에서는, 반도체 기체(1)는, 완충 불화수소산으로 표면의 산화막을 제거한 후에, 감압환경 하에서 실리콘 표면을 1.4nm 산질화한 것으로, $\text{SiON}(1.4\text{nm})/\text{Si}$ 로 약칭할 수 있다. 이러한 실시예의 적층은, 금속이 150nm 두께의 Ir, 강유전체가 $x=0.2$ 의 CSBT, 절연체가 6nm 두께의 HfO_2 로 구성되어 있다. 도 7에 개시하는 바와 같이, 처음에 1.4nm 산질화한 층과 용합한 SiO_2 를 주성분으로 하는 계면층(5)이 형성되어 있다. 도 7 중의 IL로 표기한 층이 계면층(5)이다. 이러한 계면층(5)의 두께는 2.5nm로, 3.4nm에 비하여 충분히 얇다.

[0050] 실시예 02A는, 실시형태 1의 실시예이다. 게이트 적층의 구조는 Ir(75nm)/CSBT($x=0.2, 135\text{nm}$)/ HfO_2 (4nm)/Si이다.

반도체 기체는 p형 Si이다. 금속과 반도체 기체 사이의 게이트 전압에 대한 전기용량(C_g-V_g)의 관계를 측정하고, 도 8을 얻었다. 금속 Ir의 평면 형상은 한 변 100 μm 의 정사각형이다. 게이트 전압(V_g)을 -3.3V에서 +3.3V까지 상승시킨 후, -3.3V까지 복귀시켰다. 교류전압의 진폭은 0.1V, 교류주파수는 100kHz이었다. 도면으로부터 알 수 있듯이 C_g-V_g 로부터 평가되는 메모리 윈도우 V_w 는 0.56V이었다. V_w 는 $C_g=100\text{nF}/\text{cm}^2$ 에 있어서의 게이트 전압으로 평가하였다.

[0051] 적층형성의 상세를 설명한다.

[0052] [반도체 기체(1)]

[0053] 반도체 기체(1)는 실리콘 혹은 실리콘을 성분으로 하여 가지는 반도체이다. Si와 Ge의 결정이어도 SiC여도 좋다. 반도체 기판 대신에 SOI(silicon on insulator) 기판을 사용하여도 좋다. 절연체(2)를 부착하기 전에는, 반도체 기체는, 표면의 산화막을 제거하는 것이 중요하다. 표면의 산화막을 제거한 후에 직접 절연체(2)의 형성 공정을 행하든지, 또는 반도체 기체 표면을 질화 또는 산질화한 후에 절연체(2)의 형성공정을 행한다. 형성된 질화 또는 산질화의 바람직한 두께는 1.5nm 이내이다. 제조방법은 어떠한 방법이어도 상관없다. 예를 들어, 표면산화물은 불산용액, 완충불산용액에 침지하여 제거한다. 질화막은, 예를 들어 감압분위기 중에서 NH_3 가스를 도입하여 고속 어닐링(RTA)을 행함으로써 형성된다. 산질화는, 예를 들어 감압분위기 중에서 O_2 가스를 도입하여 고속 어닐링(RTA)을 행한 후에 감압분위기 중에서 NH_3 가스를 도입하여 고속 어닐링(RTA)을 행함으로써 형성된다.

[0054] [절연체(2)]

[0055] 절연체(2)는, 치밀하고 게이트와 반도체 기체 표면 사이의 누설전류가 작은 것이 요청된다. 또한, FeFET의 제조 공정으로 막(3a), 강유전체(3), 반도체 기체(1)와 원소의 상호확산이나 화학반응물을 만들지 않을 것도 요청된다. 더욱이, FeFET에 가한 게이트 전압이 유효하게 강유전체(3)에 가해지도록 절연체(2)는 유전율이 큰 것이 바람직하다. 더욱이는, 절연체(2)의 전자친화력(진공준위와 전도대의 최하단의 에너지의 차이)이 강유전체(3)의 전자친화력보다 작고, 더욱이는 절연체(2)의 이온화 포텐셜(진공준위와 가전자대 최상단의 에너지의 차이)이 강유전체(3)의 이온화 포텐셜보다 큰 것이 바람직하다. 혹시 절연체(2)의 전자친화력이 강유전체(3)의 전자친화력보다 크면 반도체 기체 표면의 SiO_2 를 주성분으로 하는 계면층(5)과 강유전체(3) 사이에서 절연체(2)가 도전성 전자의 우물이 되어, 누설전류 등으로 일단 우물에 들어간 전자는 빠져나가기 어려워 들어온 전자의 집합소가 된다. 절연체(2)에 전자가 존재하여 변동하면 FeFET 임계값 전압이 강유전체의 분극의 스위치와는 다른 기구로 시프트되어 버린다. 혹시 절연체(2)의 이온화 포텐셜이 강유전체(3)의 이온화 포텐셜보다 작으면, 반도체 기체 표면의 SiO_2 를 주성분으로 하는 계면층(5)과 강유전체(3)의 사이에서 절연체(2)가 도전성 정공의 우물이 되어, 누설전류 등으로 일단 우물에 들어간 정공은 빠져나가기 어려워 들어온 정공의 집합소가 된다. 절연체(2)에 정공이 존재하여 변동하면 FeFET 임계값 전압이 강유전체의 분극의 스위치와는 다른 기구로 시프트되어 버린다. 한편, Si로부터 본 SiO_2 의 장벽 높이는 전자 쪽이 정공보다 작아 반도체 기체(1)로부터 절연체(2)로의 전하의 주입은 전자 쪽이 일어나기 쉬우므로, 절연체(2)의 이온화 포텐셜이 강유전체(3)의 이온화 포텐셜보다 큰 것보다, 절연체(2)의 전자친화력이 강유전체(3)의 전자친화력보다 작은 것이 우선적으로 바람직하다. 절연체(2)에 대한 이러한 요건을 만족하면 절연체의 종류는 상관 없지만, 예를 들어 하프늄, 지르코늄, 란탄, 이트륨, 알루미늄, 마그네슘, 망간 등 원소의 단독산화물, 및 이들 원소의 혼합산화물과 그들의 적층산화물이 적합하다. 나열한 산화물에 질소를 첨가하는 것도 특히 누설전류를 줄이는 목적으로 유용하다. 알루미늄 질화물, 하프늄 질화물, 알루미늄과 하프늄 혼합질화물은 강유전체 결정화 어닐링시에 산소의 확산을 저하시켜 SiO_2 를 주성분으로 하는 계면층(5)의 형성을 적게 하는 작용이 있으므로 절연체(2)로서 적합하다. 알루미늄 질화물, 하프늄 질화물, 알루미늄과 하프늄의 혼합질화물 등의 질화물과 상기 절연체(2)에 대한 상기 요건을 만족하는 절연체인 산화물과의 복합화합물, 적층물도 적합하다. 덧붙이자면, 강유전체 결정화 어닐링 전에는 절연체가 아니어도 어닐링 후에 상기 요건을 만족하는 강유전체(2)를 형성하면 된다.

[0056] 상기한 바와 같이 SiO_2 를 주성분으로 하는 계면층(5)은 3.4nm보다 얇게 하는 것이 바람직하므로, 절연체(2)의 SiO_2 환산 막두께(EOT)도 3.4nm보다 얇고, 0.2nm 이상 2nm 이하로 제한하는 것이 동일한 정도의 전압이 계면층(5)과 절연체(2)에 가해져 바람직하다. 절연체(2)의 비유전율을 k_{in} , SiO_2 의 비유전율을 k_{SiO_2} 로 표기하면, 절연

체(2)의 실제 막두께 d_i 는 $d_i=(k_{in}/k_{sio2})*EOT$ 이고, 절연체(2)가 HfO_2 인 경우, $k_{in}=25$, $k_{sio2}=3.9$ 를 이용하면, EOT가 0.2nm 이상 2nm 이하에 대응한 HfO_2 의 실제 막두께는 1.3nm 이상 13nm 이하이다.

[0057] 절연체(2)는, 상기 요건을 만족하는 것이라면 어떠한 제작법으로 형성하여도 좋다. 펄스 레이저 퇴적법, 스퍼터링법, 유기금속 화학기상 퇴적법, 원자층 퇴적법 등의 방법을 이용하여 적절히 절연체(2)를 형성한다.

[0058] [막(3a)]

[0059] 3a는, Bi 층상 페로브스카이의 구성 원소로 구성되는 막이다. 결정화 어닐링 전이므로 Bi 층상 페로브스카이 결정 구조로 되어 있지는 않다. 대표적인 것은 스트론튬과 비스무트와 탄탈과 산소의 원소로 구성되는 막, 칼슘과 스트론튬과 비스무트와 탄탈과 산소의 막, 스트론튬과 비스무트와 탄탈과 니오브와 산소의 막, 칼슘과 스트론튬과 비스무트와 탄탈과 니오브와 산소의 막이다. 비스무트와 티탄과 산소의 막, 비스무트와 란탄과 티탄과 산소의 막, 비스무트와 네오디뮴과 티탄과 산소의 막이어도 좋다.

[0060] 막(3a)은, 펄스 레이저 퇴적법, 스퍼터링법, 유기금속 화학기상 퇴적법, 유기금속분해(MOD)법, 졸·겔법 등으로 형성된다.

[0061] [금속(4)]

[0062] 금속(4)으로서, 순수한 금속 및 그 합금, 도전성 산화물이 선택된다. 막(3a) 상에 금속(4)을 형성하고나서 강유전체 결정화 어닐링을 하면, 데이터 보유 특성이나 데이터 리라이팅 내성이 뛰어난 FeFET가 생긴다. 강유전체 결정화 어닐링의 온도는 700°C~820°C, 시간은 10분~60분이 바람직하므로, 이러한 어닐링 조건에 견디는 재료인 것이 요청된다. 예의 검토의 결과, Ir, Pt, Ir과 Pt의 합금, 및 Ru가 적합한 것을 알 수 있었다.

[0063] 금속(4)의 형성법에 한정은 없지만, 예를 들어 스퍼터링법, 유기금속 화학기상 퇴적법, 전자빔 증착법으로 형성된다.

[0064] [강유전체 결정화 어닐링]

[0065] 금속(4)까지 형성한 후에, 강유전체 결정화 어닐링을 적합한 온도환경에서 행한다. 이에 따라, 막(3a)은 강유전체(3)로 변화한다. 강유전체(3)는 강유전체 분극 반전피로에 강한 Bi 층상 페로브스카이트를 주성분으로 하는 재료로 구성한다. 상기의 막(3a)의 원소조성에 따라서 주성분은 $SrBi_2Ta_2O_9$, $SrBi_2Ta_2O_9$ 의 Sr의 일부를 Ca로 치환한 $Ca_xSr_{1-x}Bi_2Ta_2O_9$, $SrBi_2Ta_2O_9$ 과 $Ca_xSr_{1-x}Bi_2Ta_2O_9$ 의 Ta의 일부를 Nb로 치환한 것, 및 $Bi_4Ti_3O_{12}$, $(Bi,La)_4Ti_3O_{12}$, $(Bi,Nd)_4Ti_3O_{12}$ 이 된다. 금속(4)까지 형성한 후에 어닐링을 행하면 좋은 것은, 어닐링의 결과로서 강유전체(3)와 금속(4)의 계면 부근의 성질이 안정화되기 때문으로 생각하고 있다. 이것은 뛰어난 데이터 보유 특성, 뛰어난 리라이팅 내성으로 이어진다. 예의 검토를 거듭하여, 강유전체 결정화 어닐링은, N_2 나 Ar 등의 비활성 가스에 산소를 혼합한 가스환경에서 행하는 것이 매우 중요한 것을 알 수 있었다. 강유전체 결정화 어닐링 후의 강유전체(3)가 Bi 층상 페로브스카이트 결정구조를 가지는 것을 X선 회절법으로 확인하였다. 강유전체 막두께는 상기한 바와 같이 $59nm < d_i < 150nm$ 인 것이 적합하다. 더욱 상세하게 설명하면, SiO_2 를 주성분으로 하는 계면층(5)의 형성을 작게 하기 위하여는, 강유전체 결정화 어닐링시에 분위기 가스의 성분은 산소를 최대한 줄여 질소나 아르곤을 주성분으로 하는 것이 중요하다. 동시에, 막(3a)을 Bi 층상 페로브스카이트의 강유전체로 변화시키기 위해서는, 강유전체가 산화물이므로, 분위기 가스 중에 어느 정도 산소가 존재하는 것도 요청된다. 더욱이, 금속(4)이 이러한 어닐링에 견디는 것도 필요하며, 선택한 Ir, Pt, Ir과 Pt의 합금, 및 Ru에서 각각 적합한 산소 가스량이 존재한다.

[0066] 상기 적층형성의 상세를 실시예를 통하여 개시해 간다. 실시예 26C에서는, 절연체(2)는 하프늄과 란탄과 알루미늄의 복합산화물($Hf-La-Al-O$)로, 구성 몰비는 $HfO_2:LaAlO_3=7:3$ 이다. 게이트 적층의 구조와 두께는, Ir(75nm)/CSBT($x=0.2, 135nm$)/Hf-La-Al-O(5nm)/Si이다. N_2 에 산소를 혼합한 분위기(N_2 와 O_2 의 체적비가 1:0.001) 중, 760°C에서 30분간 강유전체 결정화 어닐링을 행하였다. 도 9가 I_d-V_g 의 측정결과이고, 게이트 전압의 소인범위 $\pm 3.3V$ 에서 메모리 윈도우 $V_w=0.48V$ 이었다. 실시예 16A에서는, 절연체(2)는 지르코늄과 이트륨의 복합산화물($Zr-Y-O$)로, 구성 몰비는 $ZrO_2:Y_2O_3=92:8$ 이다. 게이트 적층의 구조와 두께는, Ir(75nm)/CSBT($x=0.25, 135nm$)/Zr-Y-O(5nm)/Si이다. N_2 에 산소를 혼합한 분위기(N_2 와 O_2 의 적층비가 1:0.001) 중, 760°C에서 30분간 강유전체 결정화 어닐링을 행하였다. 도 10이 I_d-V_g 의 측정결과이며, 게이트 전압의 소인범위 $\pm 3.3V$ 에서 메모리 윈도우

$V_w=0.37V$ 이었다. 실시예 302B에서는, 절연체(2)는 HfO_2 이다. 게이트 적층의 구조와 두께는, $Ir(75nm)/CSBT(x=0.2, 135nm)/HfO_2(4nm)/Si$ 이다. N_2 에 산소를 혼합한 분위기(N_2 와 O_2 의 체적비가 1:0.001) 중, $750^\circ C$ 에서 30분간 강유전체 결정화 어닐링을 행하였다. 도 11이 I_d-V_g 의 측정결과이고, 게이트 전압의 소인범위 $0.5V \pm 3.3V$ 에서 메모리 윈도우 $V_w=0.64V$ 이었다. 실시예 20C에서는, 강유전체는 Nb를 포함한다. 게이트 적층의 구조와 두께는, $Ir(75nm)/Ca_{0.2}Sr_{0.8}Bi_2(Ta_{0.75}Nb_{0.25})_2O_9(135nm)/HfO_2(5nm)/Si$ 이다. N_2 에 산소를 혼합한 분위기 중, $793^\circ C$ 에서 30분간 강유전체 결정화 어닐링을 행하였다. 게이트 전압의 소인범위 $0V \pm 3.3V$ 에서 메모리 윈도우 $V_w=0.28V$ 이었다.

[0067] 실시예 12B에서는, 절연체(2)는 Si 상에 질화하프늄 2nm와 그 위에 HfO_2 를 4nm 퇴적한 적층막으로, 게이트 적층의 구조와 두께는, $Ir(75nm)/CSBT(x=0.2, 135nm)/HfO_2(4nm)/Hf-N(2nm)/Si$ 이다. N_2 에 산소를 혼합한 분위기(N_2 와 O_2 의 체적비가 1:0.001) 중, $780^\circ C$ 에서 30분간 강유전체 결정화 어닐링을 행하였다. 도 12가 I_d-V_g 의 측정결과이며, 게이트 전압의 소인범위 $0.5V \pm 3.3V$ 에서 메모리 윈도우 $V_w=0.57V$ 이었다. 실시예 25C에서는, 절연체(2)는 Si 상에 질화알루미늄 2nm와 그 위에 HfO_2 를 4nm 퇴적한 적층막으로, 게이트 적층의 구조와 두께는, $Ir(75nm)/CSBT(x=0.2, 135nm)/HfO_2(4nm)/Al-N(2nm)/Si$ 이다. N_2 에 산소를 혼합한 분위기(N_2 와 O_2 의 체적비가 1:0.001) 중, $780^\circ C$ 에서 30분간 강유전체 결정화 어닐링을 행하였다. I_d-V_g 를 측정한 결과, 게이트 전압의 소인범위 $1.8V \pm 3.3V$ 에서 메모리 윈도우 $V_w=0.52V$ 이었다. 실시예 18C에서는, 절연체(2)는 질화하프늄 5nm에서, 게이트 적층의 구조와 두께는, $Ir(75nm)/CSBT(x=0.2, 135nm)/Hf-N(5nm)/Si$ 이다. N_2 에 산소를 혼합한 분위기(N_2 와 O_2 의 체적비가 1:0.0006) 중, $750^\circ C$ 에서 30분간 강유전체 결정화 어닐링을 행하였다. I_d-V_g 를 측정한 결과, 게이트 전압의 소인범위 $\pm 3.3V$ 에서 메모리 윈도우 $V_w=0.39V$ 이었다. 실시예 402A에서는, $x=0.3$ 의 CSBT를 이용한 실시예이고, 게이트 적층의 구조와 두께는, $Ir(75nm)/CSBT(x=0.3, 135nm)/HfO_2(5nm)/Si$ 이다. N_2 에 산소를 혼합한 분위기 중, $793^\circ C$ 에서 30분간 강유전체 결정화 어닐링을 행하였다. I_d-V_g 를 측정한 결과, 게이트 전압의 소인범위 $\pm 3.3V$ 에서 메모리 윈도우 $V_w=0.42V$ 이었다.

[0068] 실시예 12B와 마찬가지로, 절연체(2)가 Si 상에 질화하프늄(Hf-N)과 그 위에 HfO_2 를 퇴적한 적층에 의하여 형성된 실시예의 결과를 표 1에 정리하였다. 게이트 적층의 구조는 공통적으로 $Ir/CSBT(x=0.2)/HfO_2/Hf-N/Si$ 이다. I_d-V_g 특성의 메모리 윈도우는 게이트 전압의 소인범위가 $V_c \pm 3.3V$ 일 때의 값이다. Hf-N은 유기금속 화학기상 퇴적(MOCVD)법에 의하여 형성하였다. 각각의 실시예에 대하여 MOCVD법의 키가 되는 제조조건을 표 1에 나타내었다. NH_3 유량은 9sccm 이상 20sccm 이하가 적합하고, 이 범위로 함으로써 0.4V 이상의 메모리 윈도우를 얻었다. 또한, 서셉터 온도는 $260^\circ C$ 이상 $400^\circ C$ 이하가 적합하다. Hf-N의 두께는 1nm 이상 2nm 이하로 하였다. 단면 TEM 분석의 결과, 실시예 11A의 SiO_2 를 주성분으로 하는 계면층의 두께는 3.1nm이었다.

[0069] 상기 실시예 02B, 21C, 02A, 26C, 16A, 302B, 12B에 있어서, 금속(4)의 Ir은 스퍼터링법으로, 막(3a)은 펄스 레이저 퇴적법으로 형성하고, 절연체(2)에 대하여는, 질화하프늄과 질화알루미늄은 유기금속 화학기상 퇴적법으로, 그 이외의 재료는 펄스 레이저 퇴적법으로 형성하였다. 실시예 09F에서는, 막(3a)을 유기금속 화학기상 퇴적법으로 퇴적하였다. 강유전체(3)의 CSBT의 두께는 120nm, Ca의 조성 x는 $x=0.15$ 이었다. 게이트 적층의 구조와 두께는, $Ir(75nm)/CSBT(x=0.15, 120nm)/HfO_2(5nm)/Si$ 이다. N_2 에 산소를 혼합한 분위기(N_2 와 O_2 의 체적비가 1:0.00026) 중, $780^\circ C$ 에서 30분간 강유전체 결정화 어닐링을 행하였다. 도 13이 I_d-V_g 의 측정 결과이고, 게이트 전압의 소인범위 $0.5V \pm 3.3V$ 에서 메모리 윈도우 $V_w=0.51V$ 이었다. 실시예 09F에서는, Ir은 스퍼터링법, HfO_2 는 펄스 레이저 퇴적법으로 형성하였다.

[0070] 비활성 가스 Ar에 산소를 혼합한 분위기에서 강유전체 결정화 어닐링을 행하여도 좋다. 실시예 03C에서는, 절연체(2)는 하프늄과 마그네슘의 복합산화물(Hf-Mg-O)로, 구성 몰비는 $HfO_2:MgO=7:3$ 이다. 게이트 적층의 구조와 두께는, $Ir(75nm)/CSBT(x=0.2, 135nm)/Hf-Mg-O(5nm)/Si$ 이다. Ar에 산소를 혼합한 분위기(Ar과 O_2 의 체적비가 1:0.001) 중, $760^\circ C$ 에서 30분간 강유전체 결정화 어닐링을 행하였다. 도 14가 I_d-V_g 의 측정 결과이며, 게이트

전압의 소인범위 $\pm 3.3V$ 에서 메모리 윈도우 $V_w=0.44V$ 이었다.

[0071] 강유전체 결정화 어닐링에 관하여, 질소가스 N_2 에 산소 가스 O_2 를 혼합한 분위기, 온도, 압력에 관하여 상세하게 검토하였다. 우선은, 금속(4)으로서 Ir을 이용한 경우, 도 15는 혼합가스 중의 N_2 와 O_2 의 체적비율 y 와 그 체적비율을 이용하여 제조하여 측정된 FeFET의 I_d-V_g 특성의 메모리 윈도우와의 관계를 개시하고 있다. 세로축의 변수인 메모리 윈도우는 게이트 전압의 소인범위가 $V_c \pm 3.3V$ 일 때의 값이다. 가로축의 변수 y 는 N_2 의 체적에 대한 O_2 의 체적의 비율, 즉 $y = [\text{혼합가스 중의 } O_2 \text{의 체적}] / [\text{혼합가스 중의 } N_2 \text{의 체적}]$ 이다. 도 15 중의 마크 1개 1개가 제작한 FeFET의 실시예로 되어 있다. 도 15 중의 실시예 모두에 공통적으로, 게이트 적층의 구조와 두께는, Ir(75nm)/CSBT($x=0.2, 135nm$)/HfO₂(4nm)/Si이고, 강유전체 결정화 어닐링의 온도와 시간은 780°C, 30분이다. Ir은 스퍼터링법으로, CSBT와 HfO₂는 펄스 레이저 퇴적법으로 형성하였다. 강유전체 결정화 어닐링의 혼합가스비는, 어닐링 용기를 일단 진공으로 배기한 후에 소정의 조건으로 정리하였다. 도 15 중의 (▲)마크의 실시예는, 어닐링 중에 질소가스와 산소 가스의 흐름이 있는 경우이고, 보다 구체적으로는 N_2 유량이 1000sccm, O_2 유량은 1000y sccm이었다. (■)마크의 실시예는 어닐링 중에 질소가스와 산소 가스의 흐름이 없는 경우이다. 양호한 메모리 윈도우를 얻기 위한 좋은 조건은, 가스의 흐름의 유무에 상관없이, 가스 체적비율 y 로 나타나는 것을 알 수 있었다. Ir을 금속(4)으로 선택한 경우에는, 산소의 체적비율 y 의 적합한 조건은 0.0002 이상, 0.02 이하이고, 메모리 윈도우 0.4V 이상을 얻었다.

[0072] 다른 Ca 조성 x 로 제작한 실시예에서도 가스의 흐름의 유무에 관계없이, 양호한 메모리 윈도우를 나타내었다. 실시예 24A에서는, $x=0.25$ 이고, 게이트 적층은 Ir(75nm)/CSBT($x=0.25, 135nm$)/HfO₂(4nm)/Si이다. 가스 흐름 없음, $y=0.001$, 780°C, 30분의 조건으로 강유전체 결정 어닐링을 행하고, 게이트 전압의 소인범위 $\pm 3.3V$ 에서 메모리 윈도우는 0.51V이었다. 실시예 24B에서는, $x=0.25$ 이고, 게이트 적층은 Ir(75nm)/CSBT($x=0.25, 135nm$)/HfO₂(4nm)/Si이다. 가스 흐름이 있음, $y=0.001$, 780°C, 30분의 조건에서 강유전체 결정 어닐링을 행하고, 게이트 전압의 소인범위 $\pm 3.3V$ 에서 메모리 윈도우는 0.53V이었다. 실시예 27A에서는, $x=0.1$ 이고, 게이트 적층은 Ir(75nm)/CBST($x=0.1, 135nm$)/HfO₂(4nm)/Si이다. 가스 흐름 없음, $y=0.001$, 780°C, 30분의 조건에서 강유전체 결정 어닐링을 행하고, 게이트 전압의 소인범위 $\pm 3.3V$ 에서 메모리 윈도우는 0.48V이었다.

[0073] 도 16은 강유전체 결정화 어닐링 공정에 있어서의 어닐링 온도와 제조한 FeFET의 I_d-V_g 특성의 메모리 윈도우의 관계를 개시하고 있다. 세로축의 변수인 메모리 윈도우는 게이트 전압의 소인범위가 $V_c \pm 3.3V$ 일 때의 값이다. 어닐링 시간은 30분이다. 도 16 중의 마크 1개 1개가 제작한 FeFET의 실시예로 되어 있다. (▲)마크의 실시예는, 어닐링 중에 질소가스와 산소 가스의 흐름이 있는 경우이고, 보다 구체적으로는 N_2 유량이 1000sccm, O_2 유량은 1sccm이었다. (■)마크의 실시예는 어닐링 중에 질소가스와 산소 가스의 흐름이 없는 경우이다. (▲)마크의 실시예에서는, 게이트 적층의 구조와 두께는 Ir(75nm)/CSBT($x=0.2, 135nm$)/HfO₂(5nm)/Si이고, (■)마크의 실시예에서는, 게이트 적층의 구조와 두께는, Ir(75nm)/CSBT($x=0.2, 135nm$)/HfO₂(4nm)/Si이다. 강유전체 결정화 어닐링을 위한 적합한 온도조건은 730°C 이상 800°C 이하이고, 메모리 윈도우 04V 이상을 얻었다.

[0074] 금속(4)으로서 Ir 이외의 실시예를 표 4에 개시한다. 22A, 22B, 22C, 19E, 19B, 19C의 실시예에서는, Pt를 금속(4)으로서 이용하였다. 19E를 제외하고 메모리 윈도우는 0.40V 이상이었다. 강유전체 결정화 어닐링 시의 질소가스에 대한 산소 가스의 체적비율 y 가 상기 6개의 실시예에서 다르다. 산소를 포함하지 않는 순수한 질소 중 700°C~800°C에서 어닐링하면 Pt가 박리된다. 산소의 함유가 적은, 즉 y 가 적은 실시예에 주목하면, $y=0.0003$ 의 실시예 19E에서는, I_d-V_g 특성은 취득할 수 있는데, Pt의 손상이 크다. $y=0.0001$ 의 실시예도 시도하였지만, Pt의 박리가 심하여 I_d-V_g 측정은 불가능하였다. $y=0.0007$ 의 실시예 22C에서는, 거의 문제 없지만, FeSEM(전계방사형 주사형 전자현미경)의 관찰에서 Pt의 결함이 보이기 시작하고 있다. Pt에 의하여 금속(4)을 구성한 경우, y 는 0.0007보다 크고 0.01 이하인 것이 바람직하다. Ir에서는, 순수한 질소 중 700°C~800°C 어닐링에서 이와 같은 박리나 결함은 일어나지 않는다. 금속(4)으로서 Ir과 Pt의 중량비가 1:1의 Ir과 Pt의 합금을 스퍼터링법으로 형성한 실시예가 14A, 14B이다. $y=0.0004$ 의 실시예 14B에서는, 금속의 박리는 보이지 않았지만, $y=0.0001$ 의 실시예 14A에서는 금속의 결함이 아주 조금 관찰되었다. Ru를 금속(4)으로 하는 실시예가 17C이며, $y=0.0005$ 의 어

닐링 조건에서 Ru의 결함은 관찰되지 않았다.

- [0075] 지금까지 개시한 실시예에서는, 강유전체 결정화 어닐링은 모두 1기압(1atm) 하에서 행하였다. 1atm보다 작은 감압환경에서의 강유전체 결정화 어닐링도 행하였다. 그 결과를 도 17 및 표 2와 표 3에 정리하였다. 도면의 마크 근방에 실시예명이 표기되어 있고, 그 실시예의 어닐링 조건의 상세는 표 2와 표3에서 확인할 수 있다. 12G, 12H, 12I, 12B, 16F의 실시예는, 질소와 산소의 혼합가스 중에서 행하여지고, 체적비율 $y=0.001$ 이다. 어닐링 시의 압력(전체압)은, 도 17 및 표 2로부터 관독할 수 있다. 도 17 및 표 2로부터 알 수 있듯이, 1atm 이하이고 0.001MPa 이상의 압력 조건은, 0.4V 이상의 메모리 윈도우를 얻기 위하여 적합하다.
- [0076] 검토를 거듭해 왔지만, 강유전체 결정화 어닐링 시에 가스는 산소만으로 하여 압력을 낮추는 것도 유효한 것을 발견하였다. 도 17과 표 3에 기재한 12L, 12K의 실시예가 개시하는 바와 같이 도입가스가 산소만으로 압력이 10^{-5} MPa(즉, 10Pa) 이상이고 10^{-4} MPa(즉, 100Pa) 이하가, 0.4V 이상의 메모리 윈도우를 얻기 위하여 적합하다. 감압환경이므로 SiO₂를 주성분으로 하는 계면층(5)의 형성을 작게 하고, 산화물인 강유전체의 어닐링에 필요한 산소도 공급하기 위하여, 적합한 어닐링 조건이 되었다고 사료된다.
- [0077] 도 18에는 절연체(2)에 HfO₂를 채용한 경우의 HfO₂의 두께와 메모리 윈도우의 관계가 개시된다. 도면 중의 1점 1점이 실시예에 대응한다. (■)마크는 가스의 흐름이 없는 경우, (▲)마크는 가스의 흐름이 있는 경우의 실시예이다. 게이트 적층의 구조와 두께는 Ir(75nm)/CSBT(x=0.25,135nm)/HfO₂/Si이고, 산소 가스 체적비율은 $y=0.001$ 이었다. 도 18은 HfO₂의 두께는 2nm 이상 6nm 이하가 매우 적합한 것을 나타내고 있다.
- [0078] 상기한 모든 본 발명의 FeFET의 I_d-V_g 특성을 특성 조정하기 위한 어닐링 공정을 2가지 발견하였다. 상기한 모든 공정을 끝낸 후에 이 특성 조정 어닐링을 행한다. 제1 방법은, 강유전체 결정화 어닐링보다 낮은 온도조건으로 산소 가스 중에서 행한다. 제2 방법은, 수소를 포함하는 가스 중에서 행한다. 양쪽의 특성 조정 어닐링을 병용하여도 좋다.
- [0079] 제1 방법에서는, 어닐링 온도는 500℃ 이상에서 700℃ 이하, 어닐링 시간은 10분 이상에서 60분 이하이면 좋다. 도 19는 실시예 02B의 칩 상의 하나의 FeFET의 특성 조정 어닐링 전후의 I_d-V_g 특성을 개시하고 있다. 점선커브가 특성 조정 전, 실선커브가 특성 조정 후이다. 게이트 전압이 0V에서 1V 부근에서 게이트 전압의 변화에 대하여 특성 조정 어닐링 후에는, 특성 조정 어닐링 전보다 명확히 가파르게 드레인 전류가 변화하고 있다. 일반적으로 좁은 전압변화에서 큰 전류변화가 있던 쪽이 좋다고 생각되므로, 특성이 개량되었다. 정량적으로는 SS(sub-threshold swing)값으로 평가된다. SS값은 전압 임계값보다 낮은 전압 부근에서, 드레인 전류를 1자릿수 변화시키는 데에 필요한 게이트 전압으로, SS값이 작은 편이 좋다. I_d=10⁻¹⁰A/μm에 있어서의 곡선의 기울기로부터 SS값을 구하였다. 좌우의 히스테리시스 곡선으로부터 얻은 SS값의 평균값을 여기에서는 채용하였다. 또한, I_d=10⁻⁸A/μm에서 메모리 윈도우는 평가하였다. 도 19에는, 특성 조정 어닐링 온도에 대한 어닐링 후의 특성 변화율을 개시하고 있다. (○)표시는 메모리 윈도우의 변화율, (■)표시는 S값의 변화율이다. 여기에서 변화율은 ([어닐링 후의 물리량]-[어닐링 전의 물리량])/[어닐링 전의 물리량]으로 퍼센트(%)로 표시하고 있다. 어닐링 후에 메모리 윈도우 변화율이 감소하는 것은 좋지 않으며, SS값이 감소하는 것은 좋은 것이다. 도 20이 나타내는 바와 같이 500℃에서 700℃의 범위 내에서 메모리 윈도우의 변화율은 적고, 한편 SS값은 온도 상승과 함께 SS값이 크게 감소한다. 500℃에서 550℃의 범위에서도 10% 정도의 SS값의 감소가 보인다. 온도를 너무 상승시키면 SiO₂를 주성분으로 하는 계면층(5)의 성장을 촉진하여 메모리 윈도우가 감소하게 되므로, 제1 방법의 어닐링 온도의 상한이 정해진다. 산소 중에서의 어닐링에 의하면 SiO₂를 주성분으로 하는 계면층(5)과 Si 계면의 결함이 회복된다고 생각된다.
- [0080] 제2 방법에서는, 수소 함유가 3% 내지 5%의 수소와 질소의 혼합가스를 이용한다. 어닐링 온도는 350℃ 이상 450℃ 이하, 어닐링 시간은 3분 이상 30분 이하의 조건이 바람직하다. 도 21과 도 22에 의하여 제2 방법의 명확한 효과를 볼 수 있다. 도 21은 상기 실시예 21C에 대하여 400℃에서 30분간 어닐링을 행하였다. 어닐링 후(실선커브)의 쪽이 어닐링 전(점선커브)에 비하여 게이트 전압의 변화에 대하여 명확히 가파르게 변화하고 있다. 도 22는, 23C의 실시예 칩 상의 하나의 FeFET에 대하여 제2 방법의 어닐링을 400℃에서 5분간 행한 결과를 나타내고 있다. 도 21과 마찬가지로 개량된 효과가 보인다. SiO₂를 주성분으로 하는 계면층(5)과 Si의 계면의 단결링 본드(dangling bond)에 수소원자가 삽입 계면의 상태 밀도를 감소시키기 때문에, 수소 어닐링 효과는 나타났다고

생각된다. 고온 또는 장시간의 수소 어닐링은 산화물인 강유전체를 분해시키기 때문에, 상기 온도와 시간의 범위가 적합하다.

- [0081] 입력 전압의 절대치가 3.3V일 때의 펄스 리라이팅 내성 특성과 데이터 보유 특성을 개시한다.
- [0082] 실시예 02B의 FeFET를 이용하였다. 높이 -3.3V 폭 10 μ s의 음극성 펄스에 높이 3.3V 폭 10 μ s의 양극성 펄스를 계속한 주기 20 μ s의 교류 펄스를 1 주기(1 사이클)로 하였다. 이러한 리라이팅 교류 펄스를 반복 부여한다. 리라이팅 교류 펄스를 부여하고 있는 동안에는 $V_d=V_s=V_{sub}=0V$ 이다. 이러한 교류 펄스를 누적 소정의 횟수 부여한 후, 리라이팅 내성을 보기 위하여 I_d-V_g 특성을 측정한다. 게이트 전압을 $\pm 3.3V$ 왕복 소인한다. 게이트 전압 소인의 동안에는 $V_d=0.1V$, $V_s=V_{sub}=0V$ 이다. $I_d=10^{-8} A/\mu m$ 를 부여하는 도 6의 (a)에서 설명하는 바와 같이 2개의 게이트 전압(임계값 전압)을 취득한다. 그 후, 교류 펄스를 다시 부여한다. 소정의 누적 횟수가 되면, 다시 리라이팅 내성을 보기 위하여 I_d-V_g 특성을 측정한다. 이것을 반복한다. 이렇게 하여 도 23을 얻었다. (▼)표시의 임계값 전압은 게이트 전압을 -3.3V에서 3.3V로 상승시켰을 때에 얻어지는 임계값 전압치이고, (▲)표시의 임계값 전압은, 3.3V에서 -3.3V로 하강시켰을 때의 임계값 전압이다. 도 23으로부터 본 실시예는 10^9 회 이상의 리라이팅 내성을 가진다. 특허문헌 1, 3, 비특허문헌 4, 5 등에 기재된 기술에 따르면, 종래기술은 10^8 회 이상의 리라이팅 내성을 가진다. 도 23은, 본 발명의 FeFET도 동등 이상의 리라이팅 내성을 가지는 것을 나타내고 있다.
- [0083] 데이터 보유 특성에 대하여는, 높이 -3.3V 폭 0.1s의 음극성 펄스를 1개 부여한 후, 데이터 보유의 상태에 들어가 데이터 보유 동안 $V_g=V_d=V_s=V_{sub}=0V$ 이다. 도 24의 (▼)표시의 시점에서, 판독 동작을 행한다. 판독 동안 $V_d=0.1V$, $V_s=V_{sub}=0V$ 로 하고, V_g 를 1.0V에서 0V로 소인하여 I_d-V_g 특성을 얻고 $I_d=10^{-8} A/\mu m$ 에 있어서의 V_g 가 임계값 전압으로, 도 24에 플롯하였다. 소정의 시간 데이터 보유 후, 판독 동작을 행한다. 이것을 반복하여, 도면의 (▼)표시의 결과를 펄스 입력 후 10^5 초까지 취득하였다. 높이 3.3V 폭 0.1s의 양극성 펄스를 1개 부여한 후, 데이터 보유 상태에 들어가, 동일한 판독 동작을 행한 결과를 (▲)표시로 나타내었다. 양호한 데이터 보유 특성을 나타내고 있다. 10^5 초 후, 음극성 펄스 후의 임계값 전압은 양극성 펄스 후의 임계값 전압보다 약 0.31V 크다. 10^4 초에서의 (▼)표시와 10^5 초에서의 (▼)표시를 직선(점선)으로 연결하고, 그것을 10년까지 외삽하였다. 마찬가지로 10^4 초에서의 (▲)표시와 10^5 초에서의 (▲)표시를 직선(점선)으로 연결하고, 그것을 10년까지 외삽하였다. 이러한 외삽 조작은, 10년 후에도 임계값 전압의 차이가 약 0.18V 있어, 2가지의 기억 상태는 충분히 식별 가능한 것을 나타내고 있다. 이와 같이, 특허문헌 1 내지 3, 비특허문헌 1 내지 9 등에 기재된 데이터 보유 특성과 동등한 데이터 보유 특성을 본 발명은 가지고 있다. 한편, 데이터 보유 시간의 수명은 2가지 상태의 식별이 곤란해진 시간이다. 본 명세서에서는 임계값 전압의 차이가 0.05V에 이른 시간으로 정의한다. 한편, 판독시 게이트 전압을 고정하여 드레인 전류를 측정함으로써 데이터 보유 특성을 평가하는 방법도 있다. 이러한 경우, 온 전류의 오프 전류에 대한 비가 약 3인 것이, 상기 임계값 전압의 차이 0.05V에 거의 대응하므로, 데이터 보유 시간의 수명은 드레인 전류를 측정하는 방법에서는 온 전류의 오프 전류에 대한 비가 3에 도달한 시간으로 정의한다. 이러한 정의에 따르면 외삽이지만, 본 실시예의 데이터 보유 수명은 10년을 충분히 넘고 있다. 이와 같이 본 발명은, 종래 개발해 온 FeFET가 겸비하는 2가지 특성, 즉 10^5 초 이상의 데이터 보유 특성과 10^8 회 이상의 데이터 리라이팅 내성 특성의 한쪽도 손상시키지 않고, 입력 전압의 절대치가 3.3V 이하의 데이터 입력이 가능한 FeFET를 제공하고 있다.
- [0084] 본 발명의 FeFET는 입력 전압의 절대치가 3.3V를 넘는 경우도 양호한 소자 특성을 제공한다. 도 25와 도 26은 데이터 리라이팅 내성 시험의 결과이다. 도 25는 실시예 27E에 대한 결과이다. 실시예 27E의 게이트 적층과 두께는, Ir(75nm)/CSBT(x=0.2, 135nm)/HfO₂(5nm)/Si이고, 강유전체 결정화 어닐링은 질소에 대한 산소 체적비율 $y=0.001$ 의 혼합가스(1기압 가스 흐름 있음) 중에서 800℃, 30분 행하였다. 높이 -4.5V 폭 10 μ s의 음극성 펄스에 높이 4.5V 폭 10 μ s의 양극성 펄스를 계속한 주기 20 μ s의 교류 펄스를 1주기(1사이클)로 하였다. 이러한 리라이팅 교류 펄스를 반복 부여한다. 리라이팅 교류 펄스를 부여하고 있는 동안은 $V_d=V_s=V_{sub}=0V$ 이다. 이러한 교류 펄스를 누적 소정의 횟수 부여한 후, 판독 동작을 행한다. 판독 동작에서는, 우선 높이 -4.5V 폭 10 μ s의 음극성 펄스로 입력한 후, 게이트 전압을 임계값 전압을 측정할 수 있을 정도의 좁은 범위로 소인한다. 이 경우, 게이트 전압은 0.9V에서 0.1V까지 소인하였다. 게이트 전압 소인의 동안에는 $V_d=0.1V$, $V_s=V_{sub}=0V$ 로 하여 I_d 를 측정

하고, $I_d=10^{-8} A/\mu m$ 를 부여하는 게이트 전압이 음극성 펄스를 부여한 후의 임계값 전압이다. 다음으로, 높이 4.5V 폭 10 μs 의 양극성 펄스로 입력한 후, 마찬가지로 게이트 전압은 0.9V에서 0.1V까지 소인하고, $V_d=0.1V$, $V_s=V_{sub}=0V$ 의 조건으로 I_d 를 측정하였다. $I_d=10^{-8} A/\mu m$ 를 부여하는 게이트 전압이 양극성 펄스를 부여한 후의 임계값 전압이다. 이러한 관독 동작이 끝나면, 교류 펄스를 다시 부여한다. 소정의 누적 횟수가 되면, 다시 관독 동작을 행한다. 이것을 반복한다. 이렇게 하여 도 25를 얻었다. 도 25의 결과는 본 실시예가 10^8 회 이상의 리라이팅 내성을 가지는 것을 개시하고 있다. 부유 게이트를 가지는 트랜지스터로 구성되는 NAND 플래시 메모리는 리라이팅 내성이 기껏해야 10^5 정도인 것이 공지이고, 이것에 비하여 현저하게 양호한 리라이팅 내성이다.

[0085] 도 26은 실시예 12H에 대한 결과이다. 실시예 12H의 게이트 적층과 두께는, Ir(75nm)/CSBT(x=0.2, 135nm)/HfO₂(5nm)/Si이고, 강유전체 결정화 어닐링은 y=0.001의 혼합가스(가스 흐름 있음) 중, 0.01MPa의 압력 하에서 750℃, 30분 행하였다. 도 25를 얻기 위하여 상기한 방법과 같은 방법으로 측정하였다. 수치적으로 다른 부분만 기재한다. 높이 -4.3V 폭 10 μs 의 음극성 펄스에 높이 4.5V 폭 10 μs 의 양극성 펄스를 계속한 주기 20 μs 의 교류 펄스를 1주기(1사이클)로 하였다. 이러한 교류 펄스를 누적 소정의 횟수 부여한 후, 관독 동작을 행하였다. 관독시의 게이트 전압은 0.6V에서 -0.4V까지 소인하였다. 도 26은 10^9 회 이상의 리라이팅 내성 특성을 나타내고 있다.

[0086] 도 27과 도 28은 데이터 보유 특성 결과를 개시하고 있다. 도 27은 실시예 27F에 대한 결과이다. 실시예 27F의 게이트 적층과 두께는, Ir(75nm)/CSBT(x=0.2, 135nm)/HfO₂(5nm)/Si이고, 강유전체 결정화 어닐링은 질소에 대한 산소 체적비율 y=0.001의 혼합가스(1기압 가스 흐름 있음) 중에서 750℃, 30분 행하였다. 높이 -4.3V 폭 10 μs 의 음극성 펄스를 1개 부여한 후, 데이터 보유 상태에 들어가 데이터 보유 동안 $V_g=V_d=V_s=V_{sub}=0V$ 이다. 도 27의 검게 칠한 동그라미 표시(●)의 시점에서, 관독 동작을 행한다. 관독 동안 $V_d=0.1V$, $V_s=V_{sub}=0V$ 로 하고, V_g 를 0.3V에서 -0.4V로 소인하여 $I_d=V_g$ 특성을 얻어 $I_d=10^{-8} A/\mu m$ 에 있어서의 V_g 가 임계값 전압으로, 도 27에 플롯하였다. 높이 4.5V 폭 10 μs 의 양극성 펄스를 1개 부여한 후, 데이터 보유 상태에 들어가, 동일한 관독 동작을 행한 결과를 흰색 동그라미 표시(○)로 나타내었다. 10^5 초 후, 음극성 펄스 후의 임계값 전압은 양극성 펄스 후의 임계값 전압보다 약 0.3V 크고, 양호한 데이터 보유 특성을 나타내고 있다. 도 28은 실시예 12H에 대한 결과이다. 실시예 12H의 게이트 적층과 두께 및 강유전체 결정화 어닐링의 조건은 상기한 바와 같다. 입력 음극성 펄스의 높이는 -4.3V 폭은 10 μs 이다. 입력 양극성 펄스의 높이는 4.5V이고 폭은 10 μs 이다. 데이터 보유 동안은 $V_g=V_d=V_s=V_{sub}=0V$ 이다. 관독 동안은 $V_d=0.1V$, $V_s=V_{sub}=0V$ 로 하고, V_g 를 0.6V에서 -0.4V로 소인하여 $I_d=V_g$ 특성을 얻어 $I_d=10^{-8} A/\mu m$ 에 있어서의 V_g 가 임계값 전압으로, 도 28에 플롯하였다. 10^5 초 후, 음극성 펄스 후의 임계값 전압은 양극성 펄스 후의 임계값 전압보다 약 0.25V 크고, 양호한 데이터 보유 특성을 나타내고 있다. 실시예 12H의 예가 나타내는 바와 같이, 본 발명은 뛰어난 데이터 보유와 뛰어난 데이터 리라이팅 내성의 양쪽 특성을 동시에 가지는 FeFET를 제공한다.

[0087] 본 발명의 FeFET의 제조방법은 다양하게 있어 한정되는 것은 아니지만, 상기 다수의 실시예로부터 2예의 실시예를 선택하여, 그 제조과정을 설명한다.

[0088] [실시예 302B의 경우]

[0089] 1. Si 기체(1)의 준비와 표면 처리

[0090] 소스 영역과 드레인 영역이 형성되고, 표면이 35nm 두께의 SiO₂로 보호된 p형의 Si 기판을 준비하였다. 완충 불산에 침지하여 표면의 보호 SiO₂막을 제거하였다. 도 29의 (a)의 상태이다.

[0091] 2. 절연체(2)의 형성

[0092] 펄스 레이저 퇴적법을 이용하여 절연체(2)를 형성하였다. 타겟은 HfO₂, 레이저는 KrF 엑시머레이저로 레이저의 파장은 248nm이고, 펄스 출사수를 매초 10개, 레이저 에너지를 250mJ로 하였다. 기판온도는 220℃, N₂를 도입하고, N₂ 유량은 4sccm, 압력은 15Pa이었다. 8분 57초 성막하고, 절연체(2)로서 4nm의 HfO₂를 형성하였다. 한편,

장치와 타겟 등의 상태에 따라서 변동되는 성막속도는 별도 모니터에 의하여 파악하고 있어, 성막시간을 조정하여 소정의 막두께는 얻어진다.

- [0093] 3. 막(3a)의 형성
- [0094] 펄스 레이저 퇴적법을 이용하여 막(3a)을 형성하였다. 타겟은 Ca-Sr-Bi-Ta-O로 타겟에 함유되는 Ca와 Sr의 몰비는, Ca:Sr=0.2:0.8이다. 한편, 이러한 몰비는 강유전체 결정화 어닐링을 거쳐 완성한 FeFET에 있어서도 유지되는 것은 러더퍼드 후방산란분석법으로 확인되고 있다. 레이저는 KrF 엑시머레이저로, 레이저광의 파장은 246nm, 펄스 출사수는 매초 50개, 레이저 에너지는 250mJ이었다. 기판온도는 415℃, O₂를 도입하고, O₂ 유량은 3.1sccm, 압력은 11Pa 하에서 17분 47초 성막하여, 막(3a)으로서 135nm의 Ca-Sr-Bi-Ta-O를 형성하였다. 한편, 장치와 타겟 등의 상태에 따라서 변동하는 성막속도는 별도 모니터에 의하여 파악하고 있어, 성막시간을 조정하여 소정의 막두께는 얻어진다.
- [0095] 4. 금속(4)의 형성
- [0096] Rf 마그네트론 스퍼터링법을 이용하여 금속(4)을 형성하였다. 타겟은 금속 Ir, 기판가열은 없다. 도입 Ar의 유량은 1.4sccm, 압력은 0.15Pa, Rf파워는 40W로 22분 30초 성막하고, 금속(4)으로서 75nm 두께의 Ir을 형성하였다. 2. 3. 4.의 공정을 거쳐 도 29의 (b)의 상태에 도달하였다.
- [0097] 5. 게이트 금속 형상의 형성
- [0098] (1) 포토리소 공정
- [0099] 통상의 포토리소그래피 기술로 게이트 형상의 포토레지스트를 남겼다. FeFET의 게이트 길이는 10 μ m로, 게이트 폭은 200 μ m에서 10 μ m까지 8종류 있다.
- [0100] (2) 금속(4)의 에칭
- [0101] 이온밀링법을 이용하여, 포토레지스트로 덮여 있지 않은 부분의 Ir 금속(4)을 제거하였다.
- [0102] (3) 포토레지스트 제거
- [0103] 아세톤 중에 실시예 시료를 침지하고, 포토레지스트를 제거한 후, 이것을 초순수로 세정하였다. 이 공정을 거쳐 도 29의 (c)의 상태가 되었다.
- [0104] 6. 강유전체 결정화 어닐링
- [0105] 적외선 골드 이미징으로 이용하여 강유전체 결정화 어닐링을 행하였다. 실시예 시료를 세팅 후에 화로용기는 진공배기하였다. 그 후, 산소와 질소를 소정의 체적비율 y=0.001을 유지하면서 화로용기 내에 도입한 후에 가스 도입을 정지하였다. 실온에서 750℃까지 10분간 올리고, 흐름이 없는 상태의 1기압 가스 분위기 중에서 750℃, 30분간 실시예 시료를 어닐링하였다.
- [0106] 7. 소스·드레인 접촉용 구멍의 형성
- [0107] (1) 포토리소 공정
- [0108] 통상의 포토리소그래피 기술로 소스·드레인 접촉용 구멍 부분의 레지스트를 제거하였다.
- [0109] (2) 에칭 공정
- [0110] 이온밀링법을 이용하여, 강유전체(3)와 절연체(2)를 제거하였다.
- [0111] (3) 포토레지스트 제거
- [0112] 아세톤 중에 실시예 시료를 침지하고, 포토레지스트를 제거하였다.
- [0113] 이 공정을 거쳐 도 29의 (d)의 상태가 되며, I_d-V_g 특성 등의 측정이 가능해졌다. 도 29의 (c)와 도 29이 (d) 사이에서 강유전체 결정화 어닐링 공정이 있고, 도 29의 (c)의 막(3a)은 도 29의 (d)의 강유전체(3)로 변하였다. 또한, 도 29의 (d)에서는, SiO₂를 주성분으로 하는 계면층(5)의 기재는 생략하였다.
- [0114] 상기 2종류의 특성 조정 어닐링은 필요에 따라서 6. 또는 7. 공정 이후에 행한다.
- [0115] [실시예 12B의 경우]

- [0116] 1. Si 기체(1)의 준비와 표면처리, 3. 막(3a)의 형성, 4. 금속(4)의 형성, 5. 게이트 금속 형상의 형성, 7. 소스·드레인 접촉용 구멍의 형성은, 상기 실시예 302B의 경우와 마찬가지로이다. 단, 3. 막(3a)의 형성에서는, 성막속도의 변동을 고려하여, 성막시간을 바꾸고 있다. 또한, 6. 강유전체 결정화 어닐링에서는, 어닐링 온도를 780℃로 한 것 이외에는 상기 실시예 302B의 경우와 동일하다.
- [0117] 2. 절연체(2)의 형성에서는, 이 실시예에서는 질화하프늄(Hf-N) 2nm 형성 후, HfO₂를 4nm 형성하였다. HfO₂의 형성은, 상기 실시예 302B의 경우와 동일하다. 단, 3. 성막속도의 변동을 고려하여, 성막시간은 바꾸고 있다.
- [0118] 여기에서는, 질화하프늄(Hf-N)의 형성을 상술한다. Hf를 포함하는 착체를 용매에 용해한 원료용액을 반응가스 중에 분산한 기액 2상 상태의 원료가스를, 기액 2상 상태를 유지한채로 기화실에 도입하여 기화실에 있어서 기화를 행한 후 성막실에 도입하는 타입의 유기금속 화학기상 퇴적법을 이용하여, 질화하프늄을 형성하였다.
- [0119] 상기 Hf를 포함하는 착체는, Hf[N(C₂H₅)(CH₃)₄]가 바람직하다. TEMAHF라고 약칭한다. TDEAHF로 씌여지는 화학식 Hf[N(C₂H₅)₂]₄의 Hf를 포함하는 착체도 마찬가지로 Hf-N을 성막할 수 있는 것을 확인하였다. 상기 용매는 에틸시클로헥산(ECH)을 이용하였다. 상기 반응가스는 질소가스를 이용하였는데, 아르곤 가스여도 좋다. 암모니아(NH₃) 가스도 상기 성장실에 도입하였다. 적합한 NH₃ 가스 유량을 선택하는 것이 매우 중요하다. 또한, 기판(즉, 제작도중의 실시예 시료)을 보유하는 서셉터의 온도도 적절하게 선택될 필요가 있다. ECH에 TEMAHF를 용해한 원료용액에 있어서, TEMAHF의 ECH 중의 농도는 1리터당 0.1몰~0.2몰이 좋다. ECH에 TDEAHF를 용해한 원료용액에 있어서도 TDEAHF의 ECH 중의 농도는 1리터당 0.1몰~0.2몰이 좋다. 원료용액의 액체유량은 0.1ccm에서 0.3ccm이 좋다. 성장실의 압력은 200Pa~700Pa이다. NH₃ 가스 유량은 5sccm 이상 30sccm 이하, 서셉터 온도는 260℃ 이상 400℃ 이하가, Hf₃N₄의 화학양론비를 만족하는 질화하프늄막의 형성에 적합한 것을 알 수 있다. 이러한 조건으로, FeFET가 아닌 시험기판(실리콘 웨이퍼) 상에 35nm의 Hf-N막을 형성하고, 러더포드 후방산란법으로 조성을 분석한 결과, Hf와 N의 원자수비는 [N 원자수]/[Hf 원자수]=1.36이었다. 이것은 본 발명에서 성막한 질화하프늄의 조성이, Hf₃N₄의 화학식으로 알려지는 질화하프늄(4/3=1.33)에 조성이 가까운 것을 나타내고 있다.

부호의 설명

- [0120] 1: 반도체 기판
- 2: 절연체
- 3a: 막
- 3: 강유전체
- 4: 금속
- 5: SiO₂를 주성분으로 하는 계면층(IL)
- 6. 소스 영역
- 7. 드레인 영역

표 1

게이트 적층이 Ir/CSBT(x=0.2)/HfO₂/Hf-N/Si인 FeFET의 제작조건과 메모리 윈도우

실시예 명칭	Hf-N의 제조조건			HfO ₂ 두께 (nm)	CSBT (x=0.2) 두께 (nm)	강유전체 결정화 어닐링			메모리 윈도우 (V)
	NH ₃ 유량 (sccm)	서셉터 온도 (℃)	두께 (nm)			가스 흐름 유무	산소체적 비율 y	온도 (℃)	
11A	9	260	1	3	135	없음	0.001	780	0.54
11B	9	260	1	3	135	없음	0.001	780	0.47
11C	9	260	1.5	3	135	없음	0.001	780	0.51
11D	9	260	1.5	4	135	없음	0.0005	780	0.42
12A	9	260	2	3	135	없음	0.001	780	0.5
12B	9	260	2	4	135	없음	0.001	780	0.57

04A	20	260	1	3	135	없음	0.001	780	0.53
04B	20	260	1	4	135	없음	0.0005	780	0.54
04C	20	260	1.5	3	135	없음	0.001	780	0.53
05A	20	260	2	4	135	없음	0.001	780	0.56
23A	20	400	1	4	135	없음	0.001	780	0.47
24A	20	400	1.5	4	135	없음	0.001	780	0.43

표 2

감압 하에서 질소와 산소 혼합가스 중에서 어닐링을 행한 실시예의 조건과 메모리 윈도우의 정리

실시예 명칭	I층 HfO ₂ 두께 (nm)	F층 CSBT (x=0.2) 두께 (nm)	M층 Ir 두께 (nm)	어닐링시의 온도 Tan (°C)	어닐링시의 가스 흐름	어닐링시의 산소체적 비율 (대질소)	어닐링시의 압력 (MPa)	메모리 윈도우 (V)
12G	5	135	75	750	있음	0.001	0.04	0.44
12H	5	135	75	750	있음	0.001	0.01	0.45
12I	5	135	75	750	있음	0.001	0.001	0.40
21B	4	135	75	780	있음	0.001	0.01	0.51
16F	4	135	75	780	없음	0.001	0.0475	0.54

표 3

감압 산소 가스 중에서 어닐링을 행한 실시예의 조건과 메모리 윈도우

실시예 명칭	I층 HfO ₂ 두께 (nm)	F층 CSBT (x=0.2) 두께 (nm)	M층 Ir 두께 (nm)	어닐링시의 온도 Tan (°C)	어닐링시의 가스 흐름	어닐링시의 산소유량 (sccm)	어닐링시의 압력 (Pa)	메모리 윈도우 (V)
12K	5	135	75	750	있음	3	100	0.47
12L	5	135	75	750	있음	3	10	0.4

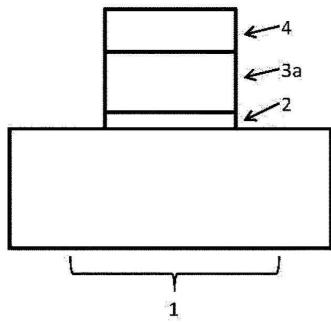
표 4

금속(4)으로서 Pt, IrPt합금, Ru를 이용한 실시예

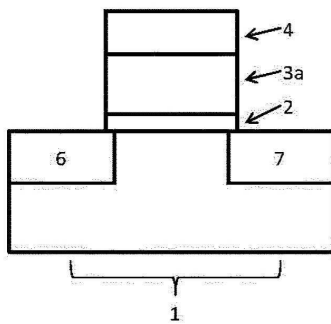
실시예 명칭	절연체		금속			강유전체 결정화 어닐링			메모리 윈도우 (V)
	HfO ₂ 두께 (nm)	CSBT x=0.2 (nm)	재료종류	제조법	두께 (nm)	가스 흐름 유무	산소 체적비율 y	온도 (°C)	
22A	4	135	Pt	전자빔 증착	150	있음	0.003	780	0.46
22B	4	135	Pt	전자빔 증착	150	있음	0.006	780	0.40
22C	4	135	Pt	전자빔 증착	150	있음	0.0007	780	0.42
19E	5	135	Pt	전자빔 증착	150	있음	0.0003	780	0.30
19B	5	135	Pt	전자빔 증착	150	있음	0.001	780	0.49
19C	5	135	Pt	전자빔 증착	150	있음	0.01	780	0.40
14A	4	146	Ir Pt 합금	스퍼터링	75	있음	0.0001	780	0.56
14B	4	146	Ir Pt 합금	스퍼터링	75	있음	0.0004	780	0.49
17C	4	135	Ru	스퍼터링	70	있음	0.0005	740	0.40

도면

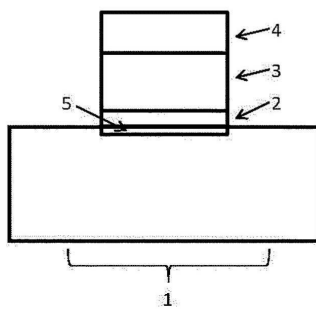
도면1



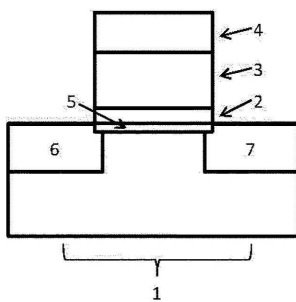
도면2



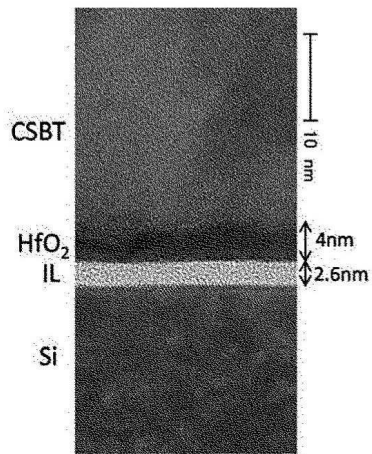
도면3



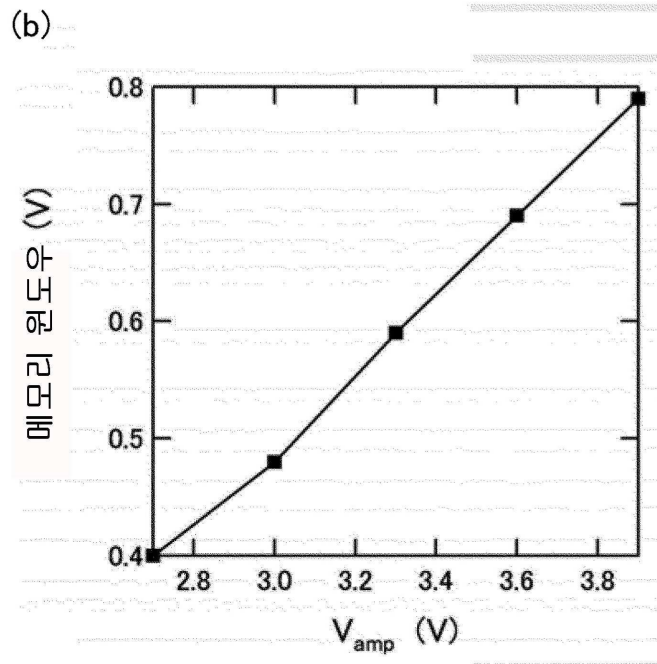
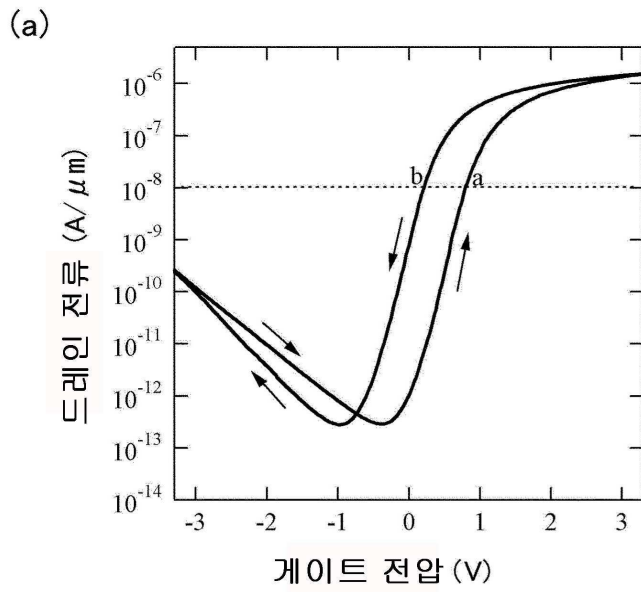
도면4



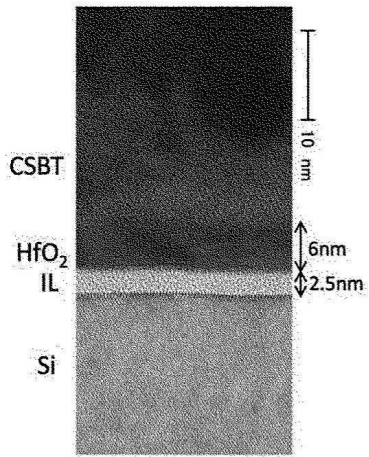
도면5



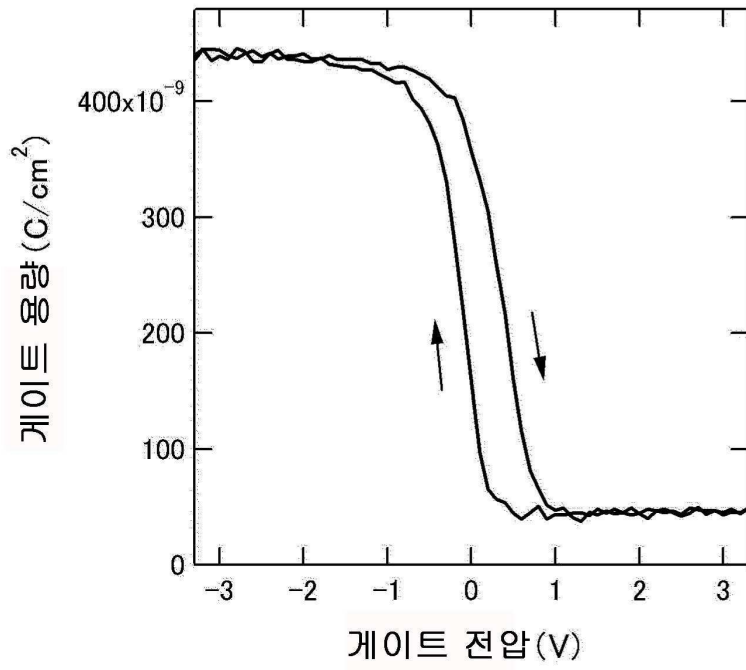
도면6



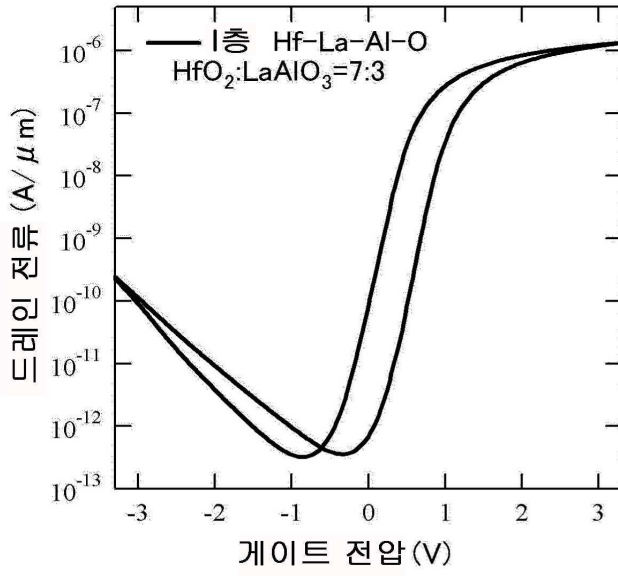
도면7



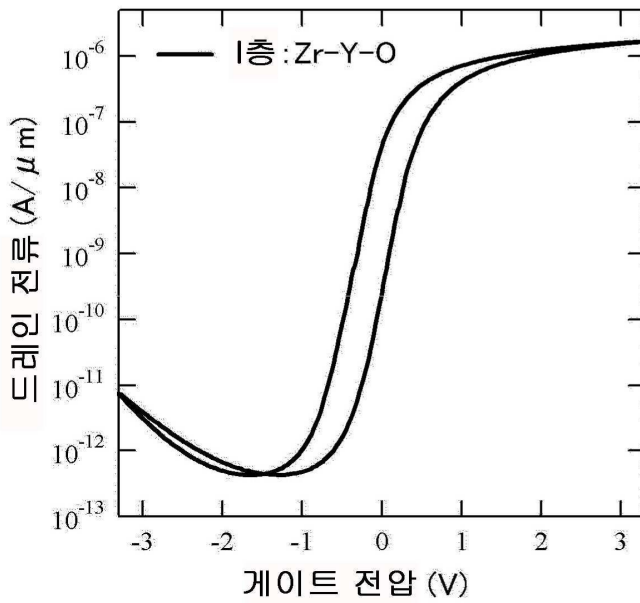
도면8



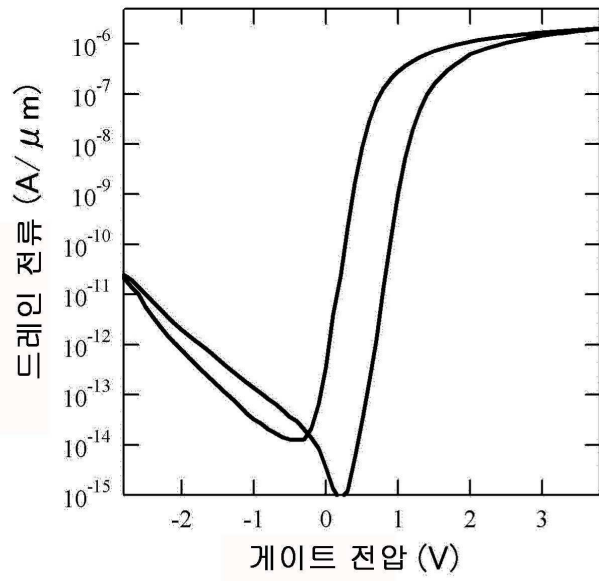
도면9



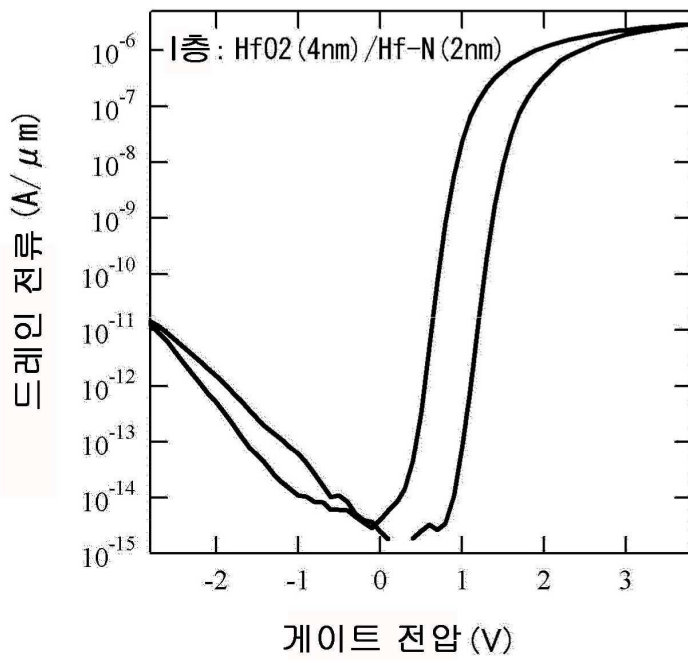
도면10



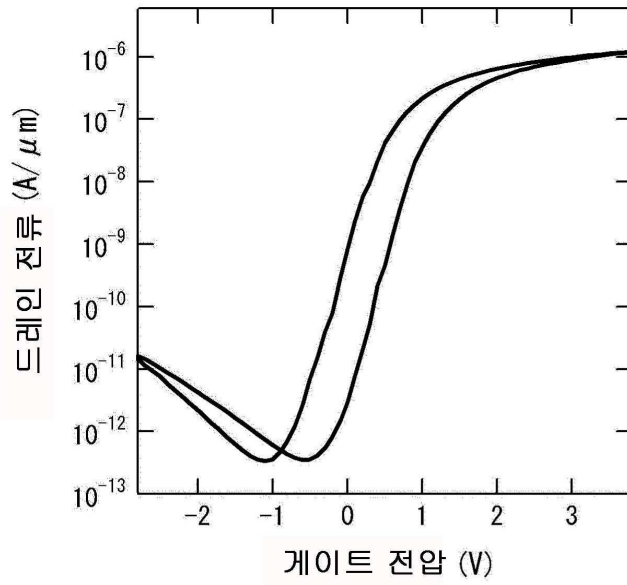
도면11



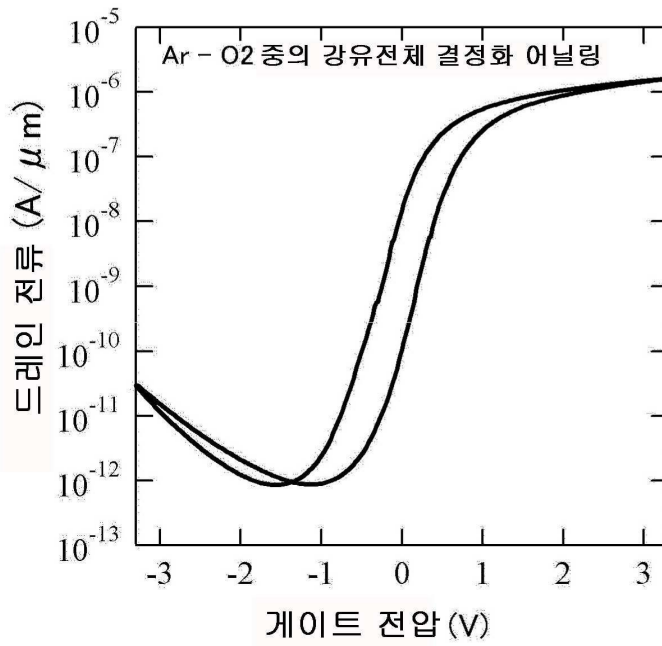
도면12



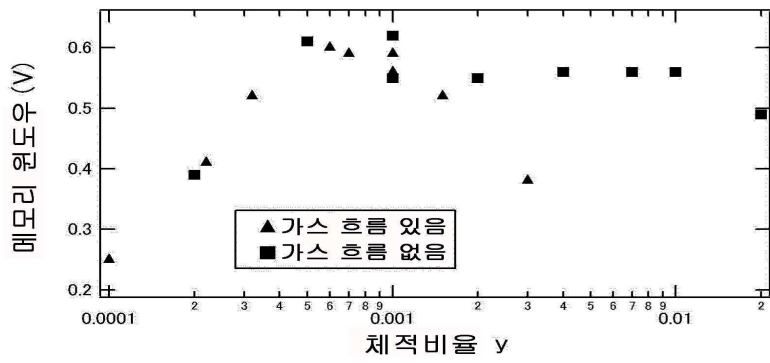
도면13



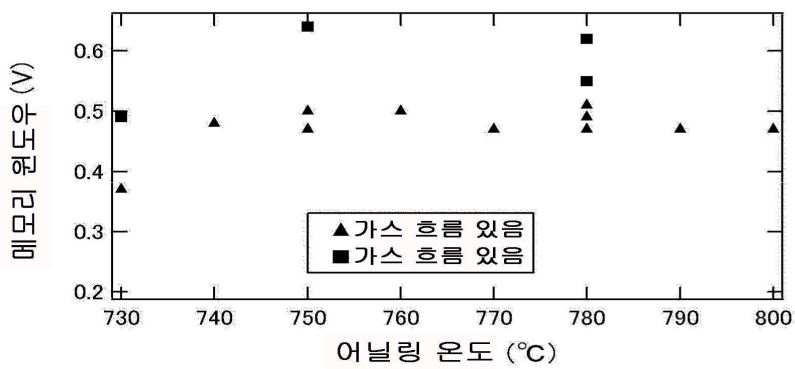
도면14



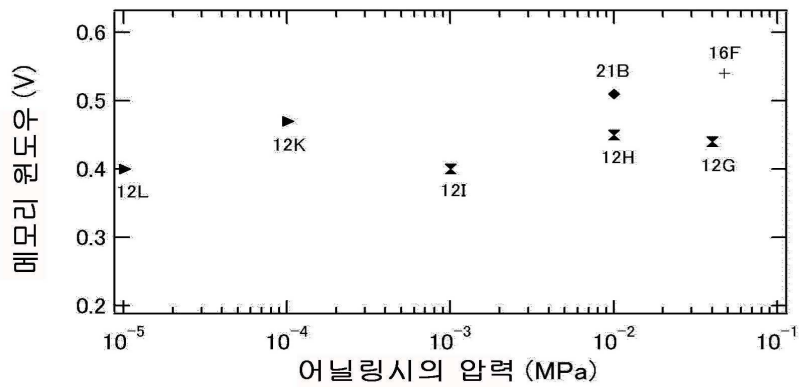
도면15



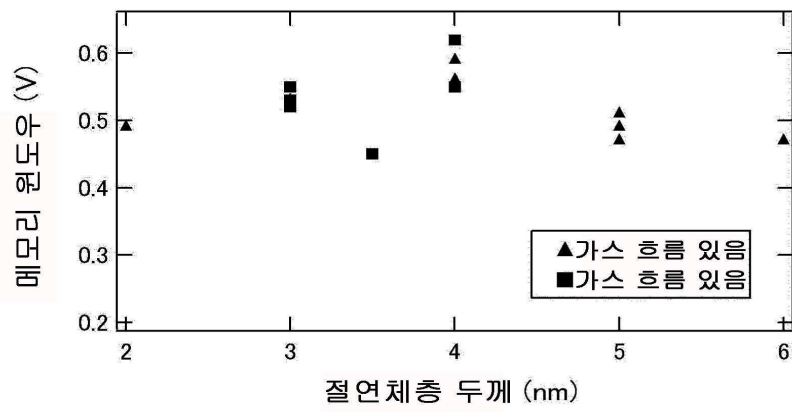
도면16



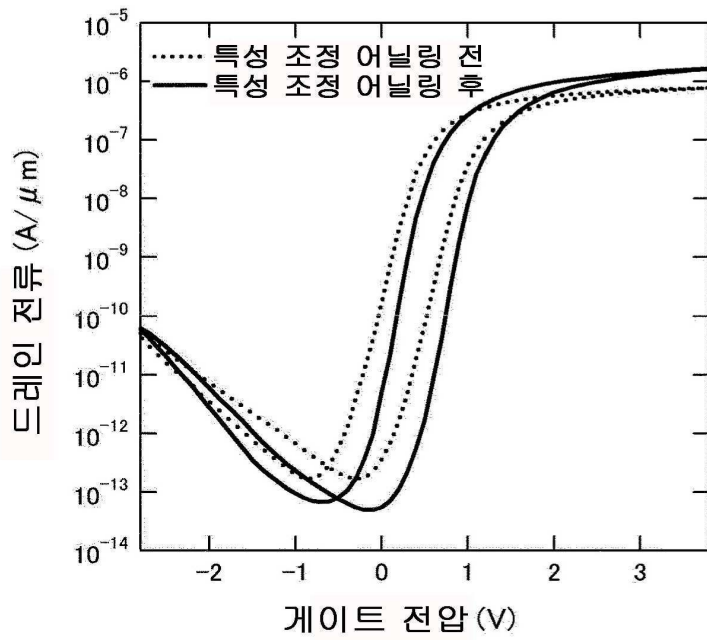
도면17



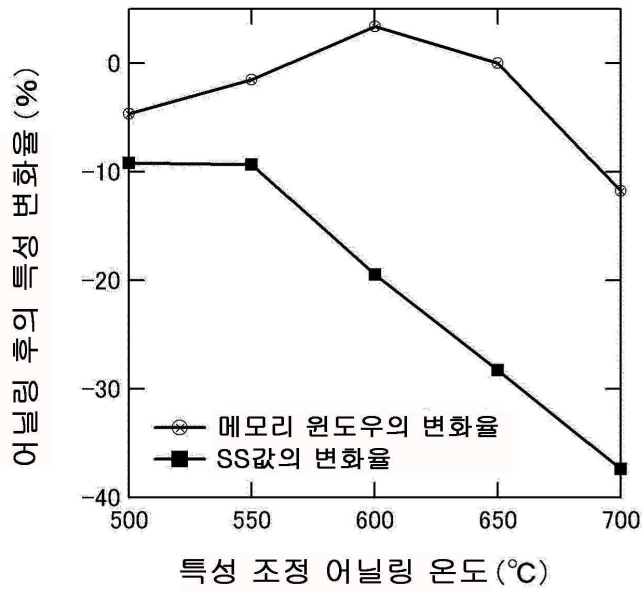
도면18



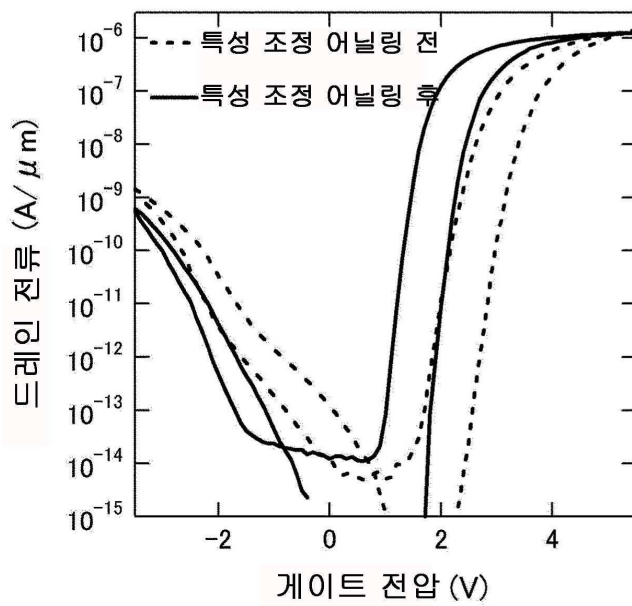
도면19



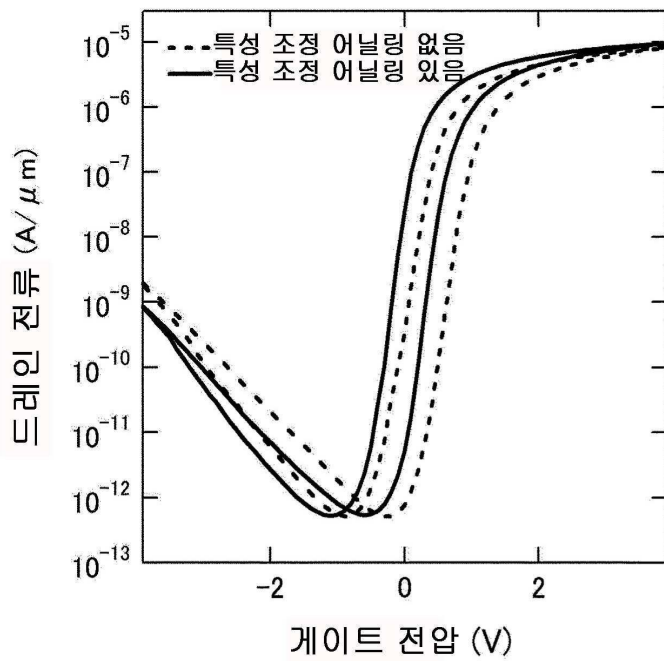
도면20



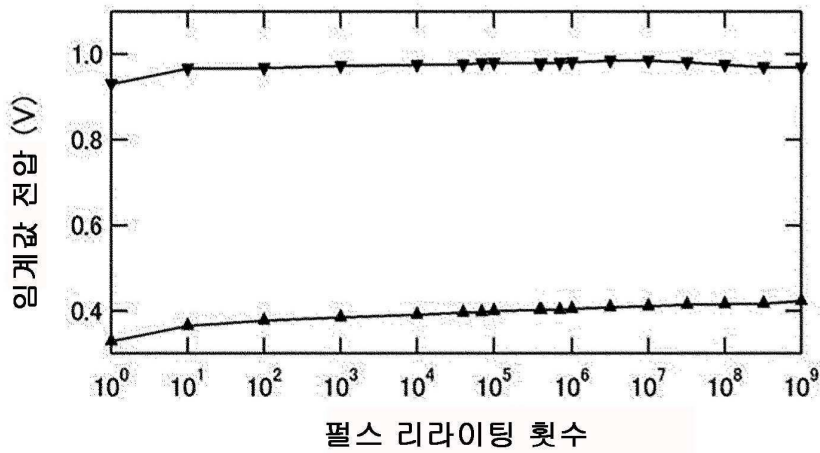
도면21



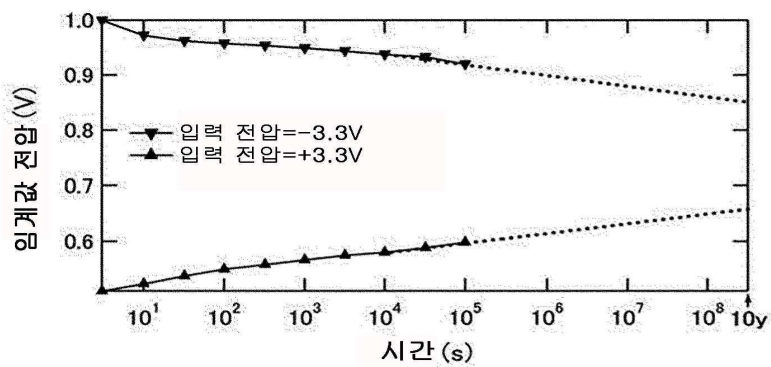
도면22



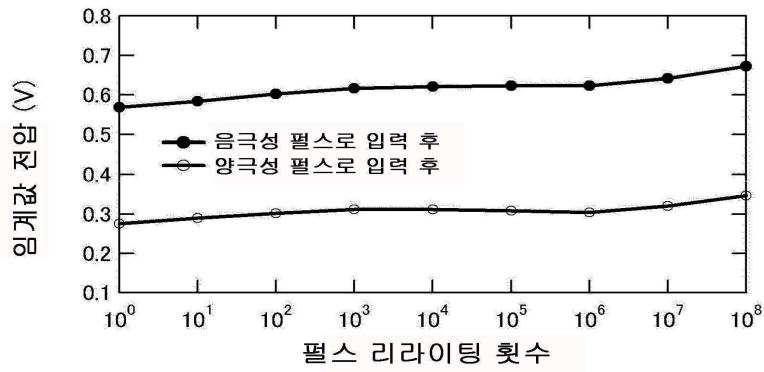
도면23



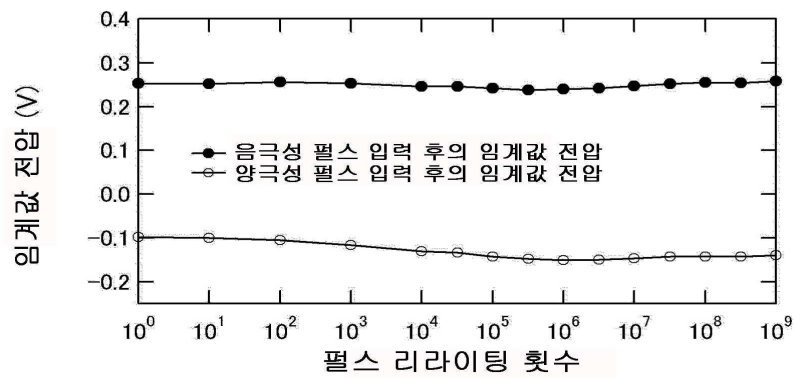
도면24



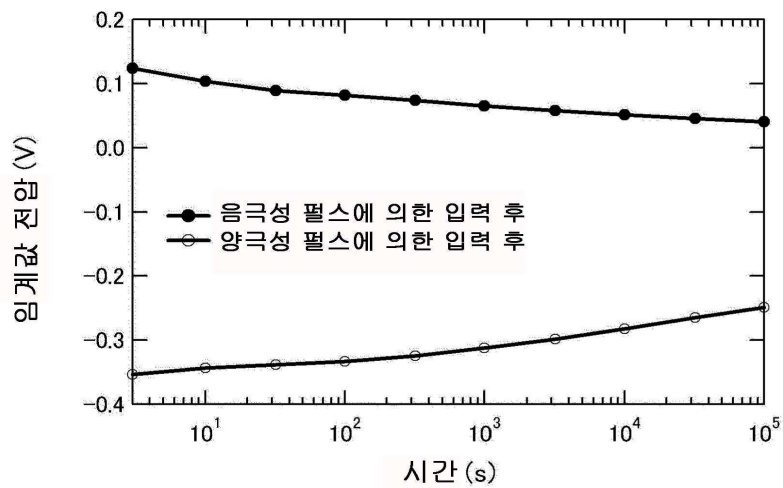
도면25



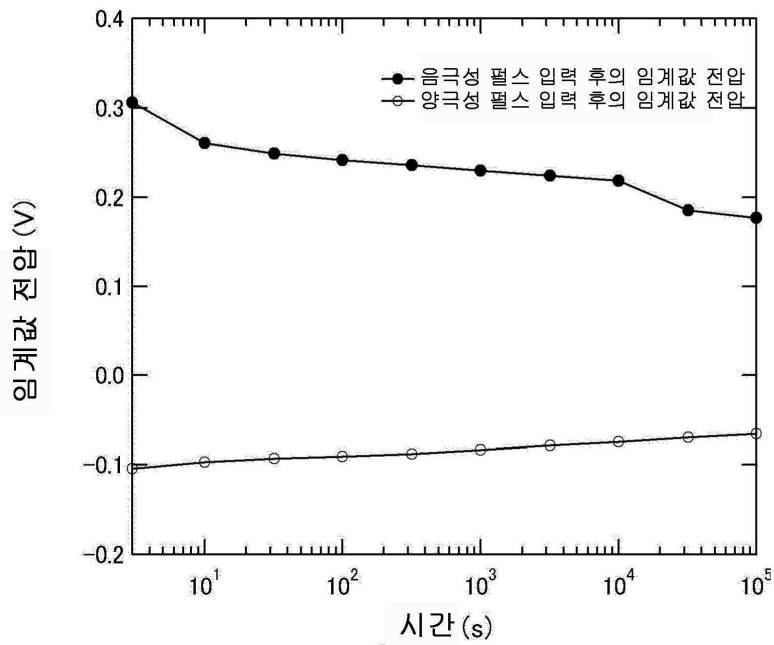
도면26



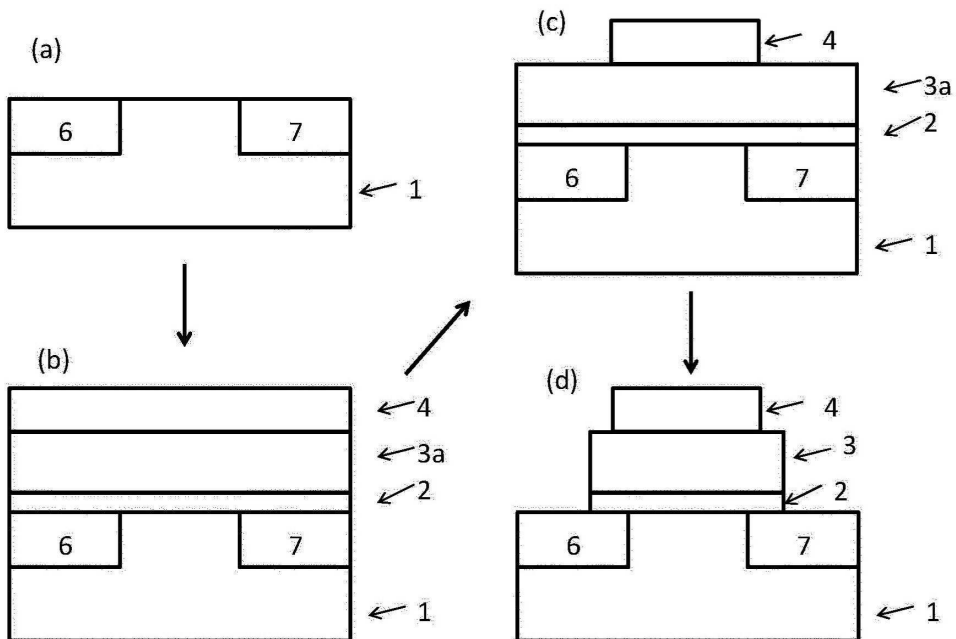
도면27



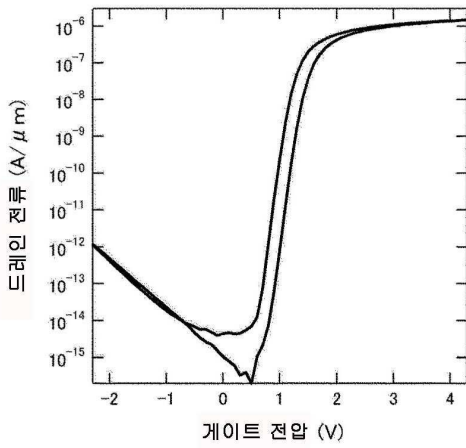
도면28



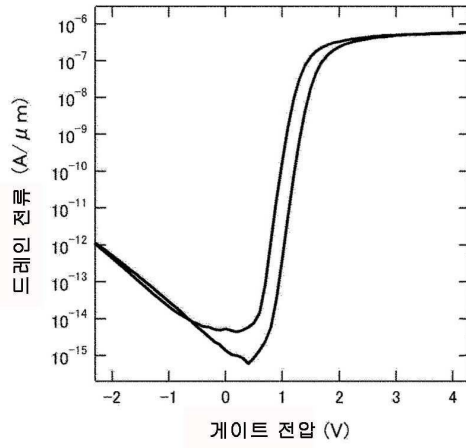
도면29



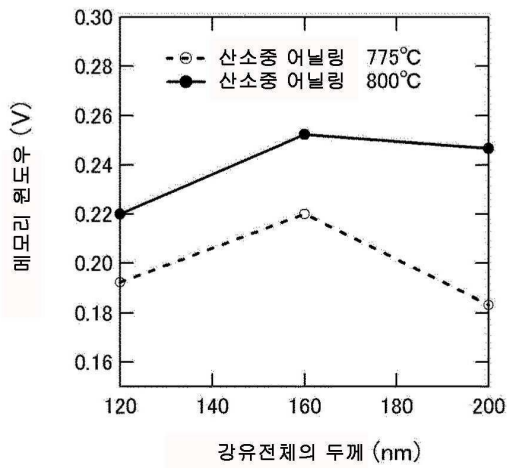
도면30



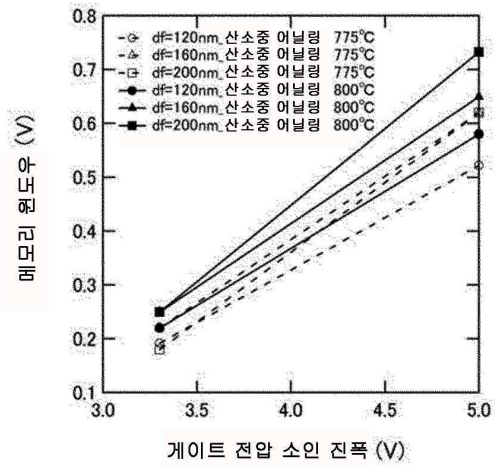
(a)



(b)



(c)



(d)

도면31

