【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成30年3月22日(2018.3.22)

【公開番号】特開2016-163070(P2016-163070A)
【公開日】平成28年9月5日(2016.9.5)
【年通号数】公開・登録公報2016-053
【出願番号】特願2015-37292(P2015-37292)
【国際特許分類】
Ｈ０４Ｎ　1/46　(2006.01)
Ｈ０４Ｎ　1/60　(2006.01)
Ｇ０６Ｔ　1/00　(2006.01)
Ｂ４１Ｊ　5/30　(2006.01)
【ＦＩ】
Ｈ０４Ｎ　1/46　Ｚ
Ｈ０４Ｎ　1/40　Ｄ
Ｇ０６Ｔ　1/00　５１０
Ｂ４１Ｊ　5/30　Ｃ

【手続補正書】
【提出日】平成30年2月7日(2018.2.7)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
各軸に2^n+1個の格子点を有するｍ次元のルックアップテーブルを参照して、ｍ個の要素値を有する入力データを変換するデータ変換装置であって、
前記ルックアップテーブルは2^m個のメモリを有し、各座標の格子点データがその座標の各軸の座標値の奇数、偶数の組み合わせで特定されるメモリに格納されており、
前記入力データに基づいて、各軸の座標値がｎ＋１ビットで表された、前記ルックアップテーブルの格子点座標を、補間処理に用いるためｍ＋１個生成する生成手段と、
前記格子点座標の各軸の座標値の最下位ビットを連結して得られるｍビットのデータに基づいて、前記2^m個のメモリからアクセス先のメモリを決定する決定手段と、
前記格子点座標を、$(2^{n-1}+1)^m$個以下の連続するアドレスのいずれか一つに変換して得られたアドレスで、前記アクセス先のメモリにアクセスするアクセス手段と、を備えることを特徴とするデータ変換装置。
【請求項２】
前記アクセス手段は、前記格子点座標の各軸のｎ＋１ビットの座標値から前記最下位ビットを除いた各軸がｎビットの座標値で構成される座標を、前記アクセス先のメモリに格納される格子点データの個数の連続するアドレスのいずれか一つに変換することを特徴とする請求項１に記載のデータ変換装置。
【請求項３】
前記2^m個のメモリの各々に格納される前記格子点データの個数は、前記格子点座標を構成する座標値のうちの奇数の座標値の数をｐ（ｐは０以上ｍ以下の整数）とした場合に、$(2^{n-1}+1)^p\times(2^{n-1})^{m-p}$であることを特徴とする請求項２に記載のデータ変換装置。
【請求項４】

前記生成手段は、前記入力データを構成する要素値の各々の上位ｎビットに基づいてｍ次元の座標から１つの格子点座標を生成し、前記入力データを構成する要素値の各々から上位ｎビットを除いたデータに基づいて、補間処理に用いるための複数の格子点座標を生成することを特徴とする請求項１乃至３のいずれか１項に記載のデータ変換装置。
【請求項５】
前記ルックアップテーブルは３次元（ｍ＝３）であり、且つ、各軸に１７点（ｎ＝４）の格子点を持ち、
前記生成手段は、前記入力データを構成する要素値の各々の上位ｎビットに基づいて３次元の空間の１つの格子点座標を生成し、前記入力データを構成する要素値の各々から上位ｎビットを除いたデータに基づいて、前記１つの格子点座標を含む四面体補間処理に用いるためにさらに３つの格子点座標を生成することを特徴とする請求項４に記載のデータ変換装置。
【請求項６】
前記アクセス手段により前記ルックアップテーブルをアクセスして読み出された、前記生成手段で生成された格子点座標の格子点データを用いて、前記補間処理を実行する補間手段をさらに備えることを特徴とする請求項４または５に記載のデータ変換装置。
【請求項７】
前記補間手段は、前記入力データの各要素値の各々から前記上位ｎビットを除いた残りのビットにより表される値を用いて前記補間処理を行うことを特徴とする請求項６に記載のデータ変換装置。
【請求項８】
前記2^m個のメモリは、$(2^{n-1}+1)^p \times (2^{n-1})^{m-p}$のｍ＋１種類の容量のいずれかの容量のメモリで構成されることを特徴とする請求項１乃至７のいずれか１項に記載のデータ変換装置。
【請求項９】
前記アクセス手段が生成するアドレスのビット幅は、ｍ×（ｎ－１）＋１またはｍ×（ｎ－１）であることを特徴とする請求項１乃至８のいずれか１項に記載のデータ変換装置。
【請求項１０】
前記アクセス手段は、最上位ビットの方向へビットをシフトするシフタと加算器を含み、前記格子点の座標の各軸の座標値の前記最下位ビットを除いたｎビットの座標値で構成される座標を入力して前記アドレスを出力する計算回路を、前記2^m個のメモリの各々に対して有することを特徴とする請求項１乃至９のいずれか１項に記載のデータ変換装置。
【請求項１１】
前記ルックアップテーブルは３次元であり（ｍ＝３）、
前記アクセス手段は、最上位ビットの方向へビットをシフトするシフタと加算器を含み、前記格子点座標の各軸の座標値の前記最下位ビットを除いたｎビットの座標値で構成される座標を入力して前記アドレスを出力する複数の計算回路を有し、
前記座標の第１の軸の座標値を除く第２、第３の軸の座標値の奇数、偶数が一致する座標に対応したメモリについて共通の計算回路を用いることを特徴とする請求項１乃至９のいずれか１項に記載のデータ変換装置。
【請求項１２】
前記アクセス手段は、各軸に2^n個の格子点を有するｍ次元のルックアップテーブルを参照して、ｍ個の要素値を有する入力データを変換することを指示する選択信号に応じて、前記格子点座標の各軸の座標値の前記最下位ビットを除いたｎビットで構成される座標を、$(2^{n-1})^m$個の連続するアドレスのいずれかに変換して得られたアドレスで、前記アクセス先のメモリにアクセスすることを特徴とする請求項１に記載のデータ変換装置。
【請求項１３】
前記生成手段は、前記選択信号に応じて、前記入力データを構成する要素値が取り得る

最大値を２ｎ－１で等分した値で、前記入力データのそれぞれの要素値を除算して得られた商に基づいてｍ次元の格子点座標を生成し、前記除算により得られた余りに基づいて補間処理に用いるためのｍ＋１個の格子点座標を生成することを特徴とする請求項１２に記載のデータ変換装置。

【請求項１４】

ｍ次元のルックアップテーブルを参照して、ｍ個の要素値を有する入力データを変換するデータ変換装置であって、前記ルックアップテーブルでは、ｍ次元の座標により特定される格子点データが、座標を形成する各軸の座標値の奇数、偶数の組み合わせによって特定される、複数のメモリのうちの一つに格納されており、

前記入力データに基づいて、前記ルックアップテーブルの各軸の座標値を含む格子点座標を生成する生成手段と、

前記格子点座標の各軸の座標値に基づいて前記複数のメモリのうちのアクセス先のメモリを決定する決定手段と、

前記アクセス先のメモリへ格納される格子点データの個数の連続したアドレスのうちの一つへ前記格子点座標を変換して得られたアドレスで、前記アクセス先のメモリをアクセスするアクセス手段と、を備えることを特徴とするデータ変換装置。

【請求項１５】

ｍ次元のルックアップテーブルを参照して、ｍ個の要素値を有する入力データを変換するデータ変換装置であって、前記ルックアップテーブルでは、ｍ次元の座標により特定される格子点データが、座標を形成する各軸の座標値の奇数、偶数の組み合わせによって特定される、複数のメモリのうちの一つに格納されており、

前記入力データに基づいて、前記ルックアップテーブルの各軸の座標値を含む格子点座標を生成する生成手段と、

前記格子点座標の各軸の座標値に基づいて前記複数のメモリのうちのアクセス先のメモリを決定する決定手段と、

前記複数のメモリのそれぞれへ格納される格子点データの個数のうち最大の個数の連続したアドレスのうちの一つへ前記格子点座標を変換して得られたアドレスで、前記アクセス先のメモリをアクセスするアクセス手段と、を備えることを特徴とするデータ変換装置。

【請求項１６】

各軸に２ｎ＋１個の格子点を有するｍ次元のルックアップテーブルを参照して、ｍ個の要素値を有する入力データを変換するデータ変換装置の制御方法であって、

前記ルックアップテーブルは２ｍ個のメモリを有し、各座標の格子点データがその座標の各軸の座標値の奇数、偶数の組み合わせで特定されるメモリに格納されており、

前記入力データに基づいて、各軸の座標値がｎ＋１ビットで表された、前記ルックアップテーブルの格子点座標を、補間処理に用いるためｍ＋１個生成する生成工程と、

前記格子点座標の各軸の座標値の最下位ビットを連結して得られるｍビットのデータに基づいて、前記２ｍ個のメモリからアクセス先のメモリを決定する決定工程と、

前記格子点座標を、（２ｎ－１＋１）ｍ個以下の連続するアドレスのいずれか一つに変換して得られたアドレスで、前記アクセス先のメモリにアクセスするアクセス工程と、を有することを特徴とするデータ変換装置の制御方法。

【請求項１７】

ｍ次元のルックアップテーブルを参照して、ｍ個の要素値を有する入力データを変換するデータ変換装置の制御方法であって、前記ルックアップテーブルでは、ｍ次元の座標により特定される格子点データが、座標を形成する各軸の座標値の奇数、偶数の組み合わせによって特定される、複数のメモリのうちの一つに格納されており、

前記入力データに基づいて、前記ルックアップテーブルの各軸の座標値を含む格子点座標を生成する生成工程と、

前記格子点座標の各軸の座標値に基づいて前記複数のメモリのうちのアクセス先のメモリを決定する決定工程と、

前記アクセス先のメモリへ格納される格子点データの個数の連続したアドレスのうちの一つへ前記格子点座標を変換して得られたアドレスで、前記アクセス先のメモリをアクセスするアクセス工程と、を有することを特徴とするデータ変換装置の制御方法。
【請求項１８】
ｍ次元のルックアップテーブルを参照して、ｍ個の要素値を有する入力データを変換するデータ変換装置であって、前記ルックアップテーブルでは、ｍ次元の座標により特定される格子点データが、座標を形成する各軸の座標値の奇数、偶数の組み合わせによって特定される、複数のメモリのうちの一つに格納されており、
前記入力データに基づいて、前記ルックアップテーブルの各軸の座標値を含む格子点座標を生成する生成工程と、
前記格子点座標の各軸の座標値に基づいて前記複数のメモリのうちのアクセス先のメモリを決定する決定工程と、
前記複数のメモリのそれぞれへ格納される格子点データの個数のうち最大の個数の連続したアドレスのうちの一つへ前記格子点座標を変換して得られたアドレスで、前記アクセス先のメモリをアクセスするアクセス工程と、を有することを特徴とするデータ変換装置の制御方法。
【請求項１９】
請求項１５乃至１８のいずれか１項に記載されたデータ変換装置の制御方法の各工程をコンピュータに実行させるためのプログラム。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００１１
【補正方法】変更
【補正の内容】
【００１１】
上記の目的を達成するための本発明の一態様によるデータ変換装置は以下の構成を備える。すなわち、
各軸に$2^{n}+1$個の格子点を有するｍ次元のルックアップテーブルを参照して、ｍ個の要素値を有する入力データを変換するデータ変換装置であって、
前記ルックアップテーブルは2^{m}個のメモリを有し、各座標の格子点データがその座標の各軸の座標値の奇数、偶数の組み合わせで特定されるメモリに格納されており、
前記入力データに基づいて、各軸の座標値がｎ＋１ビットで表された、前記ルックアップテーブルの格子点座標を、補間処理に用いるためｍ＋１個生成する生成手段と、
前記格子点座標の各軸の座標値の最下位ビットを連結して得られるｍビットのデータに基づいて、前記2^{m}個のメモリからアクセス先のメモリを決定する決定手段と、
前記格子点座標を、$(2^{n-1}+1)^{m}$個以下の連続するアドレスのいずれか一つに変換して得られたアドレスで、前記アクセス先のメモリにアクセスするアクセス手段と、を備える。