



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년01월29일  
(11) 등록번호 10-1943293  
(24) 등록일자 2019년01월23일

(51) 국제특허분류(Int. Cl.)  
*G09G 3/3291* (2016.01) *G09G 3/20* (2006.01)  
*G09G 3/3233* (2016.01) *H01L 27/12* (2006.01)  
*H01L 29/66* (2006.01) *H01L 29/786* (2006.01)  
*H03K 19/003* (2006.01) *H03K 19/096* (2006.01)

(52) CPC특허분류  
*G09G 3/3291* (2013.01)  
*G09G 3/20* (2013.01)

(21) 출원번호 10-2017-7001130(분할)  
(22) 출원일자(국제) 2010년09월21일  
심사청구일자 2017년01월13일  
(85) 번역문제출일자 2017년01월13일

(65) 공개번호 10-2017-0010075  
(43) 공개일자 2017년01월25일  
(62) 원출원 특허 10-2013-7034086  
원출원일자(국제) 2010년09월21일  
심사청구일자 2015년09월11일

(86) 국제출원번호 PCT/JP2010/066745  
(87) 국제공개번호 WO 2011/046015  
국제공개일자 2011년04월21일

(30) 우선권주장  
JP-P-2009-238918 2009년10월16일 일본(JP)

(56) 선행기술조사문헌  
JP2005251348 A\*  
(뒷면에 계속)

전체 청구항 수 : 총 4 항

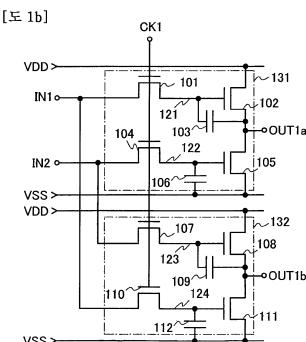
심사관 : 신영교

(54) 발명의 명칭 반도체 장치, 표시 장치 및 전자 장치

**(57) 요 약**

본 발명의 목적은 논리 회로의 고장이 억제될 수 있도록 트랜지스터의 누설 전류를 감소시키기 위한 것이다. 논리 회로는, 채널 형성층의 기능을 갖는 산화물 반도체층을 포함하고 오프 전류가 채널 폭 마이크로미터당  $1 \times 10^{-13}$  A 이하인 트랜지스터를 포함한다. 제 1 신호, 제 2 신호, 및 클록 신호인 제 3 신호가 입력 신호들로서 입력된다. 입력된 제 1 내지 제 3 신호들에 따라 전압 상태들이 설정되는 제 4 신호 및 제 5 신호가 출력 신호들로서 출력된다.

**대 표 도**



(52) CPC특허분류

*G09G 3/3233* (2013.01)  
*H01L 27/1222* (2013.01)  
*H01L 27/1225* (2013.01)  
*H01L 27/1255* (2013.01)  
*H01L 29/66969* (2013.01)  
*H01L 29/7869* (2013.01)  
*H03K 19/00315* (2013.01)  
*H03K 19/096* (2013.01)  
*G09G 2300/0439* (2013.01)

(72) 발명자

**츠부쿠 마사시**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**노다 고세이**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문현

JP2004348940 A\*  
KR1020090014540 A  
KR1020080029796 A  
KR1020080021557 A  
US20090201071 A1  
US20060233293 A1  
JP2005192081 A  
JP2008205763 A  
JP2007103918 A  
JP평성10112645 A

\*는 심사관에 의하여 인용된 문현

## 명세서

### 청구범위

#### 청구항 1

반도체 장치에 있어서:

제 1 내지 제 8 트랜지스터들; 및

제 1 및 제 2 용량 소자들을 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 용량 소자의 제 1 전극은 상기 제 2 트랜지스터의 상기 게이트에 전기적으로 접속되고,

상기 제 1 용량 소자의 제 2 전극은 상기 제 2 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 하나는 상기 제 6 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 7 트랜지스터의 소스 및 드레인 중 하나는 상기 제 5 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 8 트랜지스터의 소스 및 드레인 중 하나는 상기 제 6 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 2 용량 소자의 제 1 전극은 상기 제 6 트랜지스터의 상기 게이트에 전기적으로 접속되고,

상기 제 2 용량 소자의 제 2 전극은 상기 제 6 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속되고,

전원 전압은 상기 제 2 트랜지스터의 소스 및 드레인 중 상기 다른 하나에 공급되고,

상기 전원 전압은 상기 제 6 트랜지스터의 소스 및 드레인 중 상기 다른 하나에 공급되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 상기 하나는 제 1 출력 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 하나는 제 1 입력 단자에 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 상기 하나는 제 2 출력 단자에 전기적으로 접속되고,

상기 제 7 트랜지스터의 소스 및 드레인 중 다른 하나는 제 2 입력 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 게이트는 상기 제 1 입력 단자에 전기적으로 접속되지 않는, 반도체 장치.

#### 청구항 2

반도체 장치에 있어서:

제 1 내지 제 8 트랜지스터들; 및

제 1 및 제 2 용량 소자들을 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 용량 소자의 제 1 전극은 상기 제 2 트랜지스터의 상기 게이트에 전기적으로 접속되고,

상기 제 1 용량 소자의 제 2 전극은 상기 제 2 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 하나는 상기 제 6 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 7 트랜지스터의 소스 및 드레인 중 하나는 상기 제 5 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 8 트랜지스터의 소스 및 드레인 중 하나는 상기 제 6 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 2 용량 소자의 제 1 전극은 상기 제 6 트랜지스터의 상기 게이트에 전기적으로 접속되고,

상기 제 2 용량 소자의 제 2 전극은 상기 제 6 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 상기 다른 하나는 상기 제 6 트랜지스터의 소스 및 드레인 중 상기 다른 하나에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 상기 하나는 제 1 출력 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 하나는 제 1 입력 단자에 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 상기 하나는 제 2 출력 단자에 전기적으로 접속되고,

상기 제 7 트랜지스터의 소스 및 드레인 중 다른 하나는 제 2 입력 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 게이트는 상기 제 1 입력 단자에 전기적으로 접속되지 않는, 반도체 장치.

### 청구항 3

표시 장치에 있어서:

제 1 항 또는 제 2 항에 따른 상기 반도체 장치를 포함하는 구동 회로; 및

상기 구동 회로에 전기적으로 접속되는 화소를 포함하는, 표시 장치.

### 청구항 4

전자 장치에 있어서:

제 1 항 또는 제 2 항에 따른 상기 반도체 장치; 및

입력 수단, LED 램프, 또는 스피커를 포함하는, 전자 장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명의 실시형태는 논리 회로에 관한 것이다. 또한, 본 발명의 실시형태는 논리 회로를 이용하여 형성된 구동 회로를 포함하는 반도체 장치에 관한 것이다.

[0002] 본 명세서의 반도체 장치는 반도체 특성들을 활용하여 기능할 수 있는 일반적인 장치에 관한 것임을 유념한다. 표시 장치들, 반도체 회로들 및 전자 기기들과 같은 전기광학 장치들은 모두 반도체 장치들이다.

### 배경 기술

[0003] 유리 기판과 같은 평면판 위에 형성되는 박막 트랜지스터들(이후, 또한 TFT들이라고도 칭해짐)은 통상적으로 액정 표시 장치들에 이용되며, 일반적으로 비정질 실리콘 또는 다결정 실리콘과 같은 반도체 재료들을 이용하여 형성된다. 비정질 실리콘을 이용하여 형성된 TFT들이 낮은 전계-효과 이동도를 가지지만, 이들은 더 큰 유리 기판들이 이용될 수 있다는 이점을 가진다. 한편, 다결정 실리콘을 이용하여 형성된 TFT들은 높은 전계-효과 이동도를 가진다; 그러나, 이들은 레이저 어닐링과 같은 결정화 단계를 받아야 하고, 따라서 더 큰 유리 기판들에 항상 적합한 것은 아니다.

[0004] 한편, 반도체 재료들과 같은 산화물 반도체들을 이용하여 형성된 TFT들이 관심을 끌고 있다. 예를 들면, 특히 문헌들 1 및 2 각각은 TFT가 반도체 재료로서 산화 아연 또는 In-Ga-Zn-O계 산화물 반도체를 이용하여 형성되고 화상 표시 장치에서 스위칭 소자에 이용되는 기술을 개시한다.

[0005] 채널 형성 영역(또한, 채널 영역이라고도 칭해짐)이 산화물 반도체에 제공되는 TFT는 비정질 실리콘을 이용하여 형성된 TFT보다 높은 전계 이동도를 가질 수 있다. 산화물 반도체막은 스퍼터링 방법 등으로 형성될 수 있고, 따라서 산화물 반도체를 이용한 TFT의 제작은 다결정 실리콘을 이용한 TFT의 제작보다 용이하다.

[0006] 이러한 산화물 반도체를 이용하여 형성된 TFT들은 화소부들에 포함된 스위칭 소자들과, 액정 표시, 전계발광 표시(이후 또한 EL 표시라고도 칭해짐) 및 전자 페이퍼와 같은 표시 장치들의 구동 회로들에 적용될 것으로 예상된다. 예를 들면, 특히 문헌 3은, 표시 장치의 화소부 및 구동 회로가 상술된 산화물 반도체를 이용하여 각각 형성된 TFT들을 이용하여 형성되는 기술을 개시한다.

## 선행기술문헌

### 특허문헌

[0007] (특허문헌 0001) 일본 공개 특허 출원 제2006-165527호  
 (특허문헌 0002) 일본 공개 특허 출원 제2006-165529호  
 (특허문헌 0003) 일본 공개 특허 출원 제2006-165528호

## 발명의 내용

### 해결하려는 과제

[0008] 구동 회로는 시프트 레지스터, 버퍼 등을 포함하고, 시프트 레지스터 또는 버퍼는 논리 회로를 포함한다. 논리 회로는 트랜지스터를 이용하여 형성된다; 그러나, 통상적인 트랜지스터에서, 트랜지스터가 오프일 때에도 일부 경우들에서 누설 전류가 생성된다. 예를 들면, 출력 신호의 전압값이 논리 회로의 특정 범위 내에서 유지되는 경우에서도 누설 전류가 생성될 때, 출력 신호의 값이 변동하고, 따라서 고장이 발생할 수 있다.

[0009] 본 발명의 일 실시형태의 목적은 트랜지스터의 누설 전류를 감소시키는 것이고, 다른 목적은 논리 회로의 고장이 억제될 수 있도록 트랜지스터의 누설 전류를 감소시키는 것이다.

### 과제의 해결 수단

[0010] 본 발명의 실시형태에서, 오프 전류가 작고 채널 형성층의 기능을 가진 산화물 반도체층을 포함하는 트랜지스터가 논리 회로에 포함되는 트랜지스터로서 이용된다. 이 실시형태를 이용하여 논리 회로의 고장이 억제된다.

[0011] 트랜지스터의 채널 형성층에 이용되는 산화물 반도체층은 산화물 반도체로부터 전자 공여체(도너)가 되고 실리콘 반도체보다 큰 에너지 캡을 가지는 불순물을 제거함으로써 고순도의 진성이거나 실질적으로 진성인 반도체이다. 산화물 반도체층을 포함하는 트랜지스터에서, 누설 전류(오프 전류)는 트랜지스터가 오프일 때 작다. 또한, 채널 형성층으로서 산화물 반도체층을 포함하는 트랜지스터는 임계 전압의 변동에 그다지 영향을 받지 않는다.

[0012] 본 발명의 실시형태는, 채널 형성층의 기능을 갖는 산화물 반도체층을 포함하고 오프 전류가 채널 폭 마이크로 미터당  $1 \times 10^{-13}$  A 이하(바람직하게는  $1 \times 10^{-17}$  A 이하)인 트랜지스터를 포함하는 논리 회로이다. 제 1 신호, 제 2 신호, 및 클록 신호인 제 3 신호가 입력 신호들로서 입력된다. 전압 상태들이 입력된 제 1 내지 제 3 신호들에 따라 설정되는 제 4 신호 및 제 5 신호가 출력 신호들로서 출력된다.

[0013] 본 발명의 실시형태에서, 논리 회로는 입력된 제 1 내지 제 3 신호들에 따라 전압 상태가 설정되는 제 4 신호를 출력하는 제 1 단위 논리 회로, 및 입력된 제 1 내지 제 3 신호들에 따라 전압 상태가 설정되는 제 5 신호를 출력하는 제 2 단위 논리 회로를 포함할 수 있다.

[0014] 본 발명의 실시형태는 제 1 단위 논리 회로 및 제 2 단위 논리 회로를 포함하는 논리 회로이다. 제 1 단위 논리 회로에, 제 1 신호, 제 2 신호, 및 클록 신호인 제 3 신호가 입력 신호들로서 입력된다. 또한, 제 1 단위 논리 회로는 입력된 제 1 내지 제 3 신호들에 따라 전압 상태가 설정되는 제 4 신호를 출력한다. 제 2 단위 논리 회

로에, 제 1 신호, 제 2 신호, 및 클록 신호인 제 3 신호가 입력 신호들로서 입력된다. 또한, 제 2 단위 논리 회로는 입력된 제 1 내지 제 3 신호들에 따라 전압 상태가 설정되는 제 5 신호를 출력한다. 제 1 단위 논리 회로 및 제 2 단위 논리 회로 각각은 제 1 트랜지스터, 제 2 트랜지스터, 제 1 용량 소자, 제 3 트랜지스터, 제 4 트랜지스터 및 제 2 용량 소자를 포함한다. 제 1 트랜지스터는 게이트, 소스 및 드레인을 구비하고, 제 3 신호는 게이트에 입력되고, 제 1 신호 및 제 2 신호 중 하나는 소스 및 드레인 중 하나에 입력된다. 제 2 트랜지스터는 게이트, 소스 및 드레인을 구비하고, 게이트는 제 1 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속되고, 고전원 전압 및 저전원 전압 중 하나가 소스 및 드레인 중 하나에 인가되고, 소스 및 드레인 중 다른 하나의 전압이 제 4 신호 또는 제 5 신호의 전압이다. 제 1 용량 소자는 제 1 전극 및 제 2 전극을 구비하고, 제 1 전극은 제 2 트랜지스터의 게이트에 전기적으로 접속되고, 제 2 전극은 제 2 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된다. 제 3 트랜지스터는 게이트, 소스 및 드레인을 구비하고, 제 3 신호는 게이트에 입력되고, 제 1 신호 및 제 2 신호 중 다른 하나는 소스 및 드레인 중 하나에 입력된다. 제 4 트랜지스터는 게이트, 소스 및 드레인을 구비하고, 게이트는 제 3 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속되고, 소스 및 드레인 중 하나는 제 2 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고, 고전원 전압 및 저전원 전압 중 다른 하나가 소스 및 드레인 중 다른 하나에 입력된다. 제 2 용량 소자는 제 1 전극 및 제 2 전극을 구비하고, 제 1 전극은 제 3 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속되고, 고전원 전압 및 저전원 전압 중 다른 하나는 제 2 전극에 입력된다. 제 1 내지 제 4 트랜지스터들 각각은 채널 형성층의 기능을 갖는 산화물 반도체층을 포함한다. 제 1 내지 제 4 트랜지스터들의 각각의 오프 전류는 채널 폭 마이크로미터당  $1 \times 10^{-13}$  A 이하(바람직하게는  $1 \times 10^{-17}$  A 이하)이다.

[0015]

본 발명의 실시형태는 구동 회로 및 화소부를 포함하는 반도체 장치이다. 구동 회로에는 상술된 논리 회로를 포함하는 시프트 레지스터가 구비된다. 화소부는 표시 상태가 구동 회로에 의해 제어되는 화소를 포함한다.

### 발명의 효과

[0016]

본 발명의 실시형태를 이용하여, 트랜지스터의 누설 전류가 감소될 수 있다. 또한, 트랜지스터의 누선 전류를 감소시킴으로써, 출력 신호의 전압이 원하는 범위 내의 값이 되도록 유지될 수 있다. 따라서, 고장이 억제될 수 있다.

### 도면의 간단한 설명

[0017]

도 1a 및 도 1b는 실시형태 1에서 논리 회로의 구성예를 도시한 도면들.

도 2는 실시형태 1에서 시프트 레지스터의 구성예를 도시한 회로도.

도 3은 도 2의 시프트 레지스터의 동작예를 도시한 타이밍도.

도 4a 및 도 4b는 실시형태 1에서 반도체 장치를 각각 도시한 블록도들.

도 5a 및 도 5b는 실시형태 1에서 신호선 구동 회로의 구성 및 타이밍도를 각각 도시한 도면들.

도 6a 내지 도 6e는 트랜지스터를 제작하기 위한 방법을 도시한 도면들.

도 7a 및 도 7b는 트랜지스터를 도시한 도면들.

도 8a 내지 도 8e는 트랜지스터를 제작하기 위한 방법을 도시한 도면들.

도 9a 및 도 9b는 트랜지스터를 각각 도시한 도면들.

도 10a 내지 도 10e는 트랜지스터를 제작하기 위한 방법을 도시한 도면들.

도 11a 내지 도 11e는 트랜지스터를 제작하기 위한 방법을 도시한 도면들.

도 12a 내지 도 12d는 트랜지스터를 제작하기 위한 방법을 도시한 도면들.

도 13a 내지 도 13d는 트랜지스터를 제작하기 위한 방법을 도시한 도면들.

도 14는 트랜지스터를 도시한 도면.

도 15a 내지 도 15c는 반도체 장치들을 도시한 도면들.

도 16은 반도체 장치에서 화소의 등가 회로를 도시한 도면.

도 17a 내지 도 17c는 반도체 장치들을 도시한 도면들.

도 18a 및 도 18b는 반도체 장치를 도시한 도면들.

도 19는 반도체 장치를 도시한 도면.

도 20a 및 도 20b는 전자 기기들을 도시한 도면들.

도 21a 및 도 21b는 전자 기기들을 도시한 도면들.

도 22는 전자 기기를 도시한 도면.

도 23은 전자 기기를 도시한 도면.

도 24는 산화물 반도체를 이용하여 형성된 MOS 트랜지스터의 소스-드레인 밴드 구조를 도시한 도면.

도 25는 양의 전압이 도 24에서 드레인쪽에 인가되는 상태를 도시한 도면.

도 26a 및 도 26b는 게이트 전압이 양인 경우 및 게이트 전압이 음인 경우에 각각 산화물 반도체를 이용하여 형성된 MOS 트랜지스터의 에너지 대역 도면들.

도 27은 실리콘 MOS 트랜지스터의 소스-드레인 밴드 구조를 도시한 도면.

도 28은 박막 트랜지스터의 초기 특성들을 도시한 그래프.

도 29a 및 도 29b는 박막 트랜지스터를 도시한 상부 평면도들.

도 30a 및 도 30b는 박막 트랜지스터의  $V_g$ - $I_d$  특성들을 도시한 그래프들.

도 31a 및 도 31b는 반도체 장치를 도시한 도면들.

### 발명을 실시하기 위한 구체적인 내용

[0018]

본 발명의 실시형태들은 도면들을 참조하여 기술된다. 본 발명은 다음의 기술에 제한되지 않고, 본 기술분야의 통상의 기술자에 의해, 본 발명의 모드들 및 세부사항들이 본 발명의 사상 및 범위를 벗어나지 않고 다양한 방식들로 수정될 수 있음을 쉽게 이해될 것임을 유념한다. 따라서, 본 발명은 실시형태들의 다음의 기술에 제한되는 것으로 해석되어서는 안 된다.

[0019]

(실시형태 1)

[0020]

본 실시형태에서, 본 발명의 실시형태인 논리 회로가 먼저 기술된다. 이 명세서에서, 논리 회로는 어떤 시점에서의 출력 신호의 상태가 지정된 경우를 제외하고 그 시점에서의 입력 신호의 상태에 의해 결정되는 조합 논리 회로와, 어떤 시점에서의 출력 신호의 상태가 그 시점에서의 입력 신호의 상태뿐만 아니라 그 카테고리에서의 시점 전의 시간에서 순차 논리 회로의 상태에 의해서 결정되는 순차 논리 회로를 포함한다.

[0021]

이 실시형태에서의 논리 회로의 구성예는 도 1a 및 도 1b를 참조하여 기술된다. 도 1a 및 도 1b는 이 실시형태에서의 논리 회로의 구성예를 도시한다.

[0022]

도 1a에서의 논리 회로(100)에는, 신호들 IN1, IN2 및 CK1가 입력 신호들로서 입력된다. 도 1a에서의 논리 회로(100)는 출력 신호들로서 신호들 OUT1a 및 OUT1b를 출력한다.

[0023]

전압은 일반적으로 두 지점들의 전위들 사이의 차(또한 전위차라고도 칭해짐)를 나타냄을 유념한다. 그러나, 전압 및 전위 둘다의 값들은 일부 경우들에서의 회로도 등에서 볼트(V)를 이용하여 표현되므로, 이를 사이를 구별하는 것은 어렵다. 이것은 이 명세서에서, 한 지점에서의 전위와 기준이 되는 전위(또한 기준 전위라고도 칭해짐) 사이의 전위차가 일부 경우들에서 그 지점의 전압으로서 이용되는 이유이다.

[0024]

이 명세서에서의 신호로서, 예를 들면 전압, 전류, 저항, 주파수 등을 이용하는 아날로그 신호 또는 디지털 신호가 이용될 수 있음을 유념한다. 예를 들면, 전압을 가진 신호(또한 전압 신호라고도 칭해짐)로서, 적어도 제 1 전압 상태와 제 2 전압 상태를 갖는 신호를 이용하는 것이 바람직하다. 예를 들면, 제 1 전압 상태로서 고레벨 전압 상태 및 제 2 전압 상태로서 저레벨 전압 상태를 갖는 이진 디지털 신호가 이용될 수 있다. 이진 디지털 신호에서, 고레벨 전압은 또한  $V_H$ 라고도 칭해지고 저레벨 전압은 또한  $V_L$ 이라고도 칭해짐을 유념한다. 또한, 제 1 전압 상태에서의 전압 및 제 2 전압 상태에서의 전압의 각각은 고정값이 바람직하다. 그러나, 예를 들면, 잡음 등이 전자 회로에 영향을 미치기 때문에, 제 1 전압 상태에서의 전압 및 제 2 전압 상태에서의 전압의 각

작은 반드시 고정값일 필요는 없고, 특정 범위 내의 값일 수 있다.

[0025] 이 명세서에서, 고전원 전압은 비교적 높은 전압측의 전압(또한 VDD라고도 칭해짐)을 나타내고 저전원 전압은 비교적 낮은 전압측의 전압(또한 VSS라고도 칭해짐)을 나타냄을 유념한다. 고전원 전압 및 저전원 전압의 각각은 일정한 것이 바람직하다; 그러나, 전자 회로에서, 전압은 때때로 잡음 등으로 인해 원하는 값에서 벗어난다. 따라서, 이 명세서에서, 이러한 전압은 특정 범위 내의 값이라면, 고전원 전압 또는 저전원 전압으로 간주될 수 있다. 또한, 각각의 전원 전압의 값은 적합하게 설정될 수 있다. 고전원 전압 및 저전원 전압이 인가되는 위치들은 트랜지스터의 구성에 의존하여 스위칭되므로, 고전원 전압 및 저전원 전압 중 하나는 이들 중 하나이고 다른 하나는 이들 중 다른 하나임을 유념한다.

[0026] 또한, 이 명세서에서, "제 1(first)" 및 "제 2(second)" 와 같은 서수들을 가진 용어들은 구성요소들 간의 혼동을 회피하기 위하여 이용되며, 이 용어들은 구성요소들을 수적으로 제한하지 않는다.

[0027] 신호 IN2로서, 신호 IN1의 반전 신호 등이 예로서 이용될 수 있다.

[0028] 신호 CK1은 논리 회로(100)의 클록 신호로서 기능한다.

[0029] 신호 OUT1a는 그 전압 상태가 입력된 신호들 IN1 및 IN2에 의해 설정되는 신호이다.

[0030] 신호 OUT1b는 그 전압 상태가 입력된 신호들 IN1 및 IN2에 의해 설정되는 신호이다.

[0031] 또한, 도 1b는 도 1a에 도시된 논리 회로의 회로 구성의 예를 도시한다. 도 1b에 도시된 논리 회로는 단위 논리 회로(131) 및 단위 논리 회로(132)를 포함한다.

[0032] 단위 논리 회로(131)에, 신호들 IN1, IN2 및 CK1이 입력된다. 단위 논리 회로(131)는 그 전압 상태가 입력된 신호들 IN1, IN2 및 CK1에 따라 설정되는 신호 OUT1a를 출력하는 기능을 가진다.

[0033] 단위 논리 회로(132)에, 신호들 IN1, IN2 및 CK1이 입력된다. 단위 논리 회로(132)는 그 전압 상태가 입력된 신호들 IN1, IN2 및 CK1에 따라 설정되는 신호 OUT1b를 출력하는 기능을 가진다.

[0034] 단위 논리 회로(131)는 트랜지스터(101), 트랜지스터(102), 용량 소자(103), 트랜지스터(104), 트랜지스터(105) 및 용량 소자(106)를 포함한다. 단위 논리 회로(132)는 트랜지스터(107), 트랜지스터(108), 용량 소자(109), 트랜지스터(110), 트랜지스터(111) 및 용량 소자(112)를 포함한다.

[0035] 이 명세서에서, 예를 들면 전계-효과 트랜지스터가 각각의 트랜지스터로서 이용될 수 있음을 유념한다.

[0036] 이 명세서에서, 전계-효과 트랜지스터는 적어도 게이트, 소스 및 드레인을 구비한다. 전계-효과 트랜지스터로서, 예를 들면 박막 트랜지스터(또한, TFT라고도 칭해짐)가 이용될 수 있다. 또한, 전계-효과 트랜지스터는 예를 들면 상부-게이트 구조 또는 하부-게이트 구조를 구비할 수 있다. 또한, 전계-효과 트랜지스터는 n형 또는 p형 도전성을 가질 수 있다. 예를 들면, 도 1a 및 도 1b에 도시된 논리 회로에서의 모든 트랜지스터들이 동일한 도전형의 전계-효과 트랜지스터들인 경우가 기술된다. 모든 트랜지스터들이 동일한 도전형을 가질 때의 제작 단계들의 수는 상이한 도전성을 가진 트랜지스터들이 이용되는 경우에 비해 감소될 수 있다.

[0037] 게이트는 전체 게이트 전극 및 전체 게이트 배선 또는 이들의 일부임을 유념한다. 게이트 배선은 적어도 하나의 트랜지스터의 게이트 전극을 다른 전극 또는 다른 배선에 전기적으로 접속하기 위한 배선이고, 예를 들면 표시 장치에서의 주사선을 그 카테고리에 포함한다.

[0038] 소스는 전체 소스 영역, 전체 소스 전극 및 전체 소스 배선 또는 이들의 일부이다. 소스 영역은 그 저항이 반도체층의 채널 형성층의 저항보다 낮은 영역이다. 소스 전극은 소스 영역에 접속되는 도전층의 부분이다. 소스 배선은 적어도 하나의 트랜지스터의 소스 전극을 다른 전극 또는 다른 배선에 전기적으로 접속하기 위한 배선이다. 예를 들면, 표시 장치의 신호선이 소스 전극에 전기적으로 접속되는 경우, 소스 배선은 신호선을 그 카테고리에 포함한다.

[0039] 드레인은 전체 드레인 영역, 전체 드레인 전극 및 전체 드레인 배선 또는 이들의 일부이다. 드레인 영역은 그 저항이 반도체층의 채널 형성층의 저항보다 낮은 영역이다. 드레인 전극은 드레인 영역에 접속되는 도전층의 부분이다. 드레인 배선은 적어도 하나의 트랜지스터의 드레인 전극을 다른 전극 또는 다른 배선에 전기적으로 접속하기 위한 배선이다. 예를 들면, 표시 장치의 신호선이 드레인 전극에 전기적으로 접속되는 경우, 드레인 배선은 신호선을 그 카테고리에 포함한다.

[0040] 또한, 이 문서에서(명세서, 특허청구범위, 도면들 등), 트랜지스터의 소스 및 드레인은 트랜지스터의 구조, 동

작 조건들 등에 의존하여 스위칭된다; 따라서, 그것이 소스인지 그것이 드레인인지를 결정하는 것은 어렵다. 따라서, 이 문서에서(명세서, 특허청구범위, 도면들 등), 자유롭게 선택되는 소스 및 드레인 중 하나는 소스 및 드레인 중 하나로 나타내는 반면 다른 하나는 소스 및 드레인 중 다른 하나로 나타낸다.

[0041] 또한, 이 문서에서(명세서, 특허청구범위, 도면들 등), 용량 소자는 제 1 전극, 제 2 전극, 및 제 1 전극과 제 2 전극 사이의 전압이 인가되는 유전체를 포함한다.

[0042] 트랜지스터(101)에서, 신호 CK1이 게이트에 입력되고 신호 IN1이 소스 및 드레인 중 하나에 입력된다.

[0043] 트랜지스터(102)의 게이트는 트랜지스터(101)의 소스 및 드레인 중 다른 하나에 전기적으로 접속된다. 고전원 전압 및 저전원 전압 중 하나가 트랜지스터(102)의 소스 및 드레인 중 하나에 인가된다. 예를 들면, 도 1a 및 도 1b에서, 고전원 전압이 트랜지스터(102)의 소스 및 드레인 중 하나에 인가된다. 트랜지스터(102)의 게이트와 트랜지스터(101)의 소스 및 드레인 중 다른 하나가 서로 접속되는 접속부는 노드(121)라고 칭해짐을 유념한다. 또한, 도 1a 및 도 1b에 도시된 논리 회로는 트랜지스터(102)의 소스 및 드레인 중 다른 하나의 전압을 신호 OUT1a로서 출력한다.

[0044] 용량 소자(103)의 제 1 전극은 트랜지스터(102)의 게이트에 전기적으로 접속되고, 용량 소자(103)의 제 2 전극은 트랜지스터(102)의 소스 및 드레인 중 다른 하나에 전기적으로 접속된다. 트랜지스터(102)의 게이트와 소스 및 드레인 중 다른 하나 사이에 기생 용량이 있는 경우, 기생 용량은 용량 소자(103)로서 이용될 수 있음을 유념한다.

[0045] 트랜지스터(104)에서, 신호 CK1이 게이트에 입력되고 신호 IN2가 소스 및 드레인 중 하나에 입력된다.

[0046] 트랜지스터(105)의 게이트는 트랜지스터(104)의 소스 및 드레인 중 다른 하나에 전기적으로 접속된다. 트랜지스터(105)의 소스 및 드레인 중 하나는 트랜지스터(102)의 소스 및 드레인 중 다른 하나에 전기적으로 접속된다. 고전원 전압 및 저전원 전압 중 다른 하나는 트랜지스터(105)의 소스 및 드레인 중 다른 하나에 인가된다. 예를 들면, 도 1a 및 도 1b의 논리 회로에서, 트랜지스터(105)의 소스 및 드레인 중 다른 하나에 저전원 전압이 인가된다. 트랜지스터(105)의 게이트 및 트랜지스터(104)의 소스 및 드레인 중 다른 하나가 서로 접속되는 접속부는 노드(122)라고 칭해짐을 유념한다.

[0047] 용량 소자(106)의 제 1 전극은 트랜지스터(104)의 소스 및 드레인 중 다른 하나에 전기적으로 접속되고, 고전원 전압 및 저전원 전압 중 다른 하나는 용량 소자(106)의 제 2 전극에 인가된다. 예를 들면, 도 1a 및 도 1b에 도시된 논리 회로에서, 저전원 전압이 용량 소자(106)의 제 2 전극에 인가된다.

[0048] 트랜지스터(107)에서, 신호 CK1이 게이트에 입력되고 신호 IN2가 소스 및 드레인 중 하나에 입력된다.

[0049] 트랜지스터(108)의 게이트는 트랜지스터(107)의 소스 및 드레인 중 다른 하나에 전기적으로 접속된다. 고전원 전압 및 저전원 전압 중 하나는 트랜지스터(108)의 소스 및 드레인 중 하나에 인가된다. 도 1a 및 도 1b의 논리 회로는 트랜지스터(108)의 소스 및 드레인 중 다른 하나의 전압을 신호 OUT1b로서 출력한다는 것을 유념한다. 트랜지스터(108)의 게이트 및 트랜지스터(107)의 소스 및 드레인 중 다른 하나가 서로 접속되는 접속부는 노드(123)라고 칭해짐을 유념한다.

[0050] 용량 소자(109)의 제 1 전극은 트랜지스터(108)의 게이트에 전기적으로 접속되고, 용량 소자(109)의 제 2 전극은 트랜지스터(108)의 소스 및 드레인 중 다른 하나에 전기적으로 접속된다. 트랜지스터(108)의 게이트와 소스 및 드레인 중 다른 하나 사이에 기생 용량이 있는 경우, 기생 용량은 용량 소자(109)로서 이용될 수 있음을 유념한다.

[0051] 트랜지스터(110)에서, 신호 CK1이 게이트에 입력되고 신호 IN1이 소스 및 드레인 중 하나에 입력된다.

[0052] 트랜지스터(111)의 게이트는 트랜지스터(110)의 소스 및 드레인 중 다른 하나에 전기적으로 접속된다. 트랜지스터(111)의 소스 및 드레인 중 하나는 트랜지스터(108)의 소스 및 드레인 중 다른 하나에 전기적으로 접속된다. 고전원 전압 및 저전원 전압 중 다른 하나는 트랜지스터(111)의 소스 및 드레인 중 다른 하나에 인가된다. 예를 들면, 도 1a 및 도 1b의 논리 회로에서, 트랜지스터(111)의 소스 및 드레인 중 다른 하나에 저전원 전압이 인가된다. 트랜지스터(111)의 게이트 및 트랜지스터(110)의 소스 및 드레인 중 다른 하나가 서로 접속되는 접속부는 노드(124)라고 칭해짐을 유념한다.

[0053] 용량 소자(112)의 제 1 전극은 트랜지스터(110)의 소스 및 드레인 중 다른 하나에 전기적으로 접속되고, 고전원 전압 및 저전원 전압 중 다른 하나는 용량 소자(112)의 제 2 전극에 인가된다. 기술은 도 1a 및 도 1b에 도시된

논리 회로에서 용량 소자(112)의 제 2 전극에 저전원 전압이 인가된다고 가정한다는 것을 유념한다.

[0054] 채널 형성층의 기능을 갖는 산화물 반도체층을 포함하는 트랜지스터는 트랜지스터들(101, 102, 104, 105, 107, 108, 110 및 111)의 각각으로서 이용될 수 있음을 유념한다. 채널 형성층에서 수소의 농도들은  $5 \times 10^{19}/\text{cm}^3$  이하이고, 바람직하게는  $5 \times 10^{18}/\text{cm}^3$  이고, 더욱 바람직하게는  $5 \times 10^{17}/\text{cm}^3$  이하임을 유념한다. 수소의 농도들은 예를 들면 2차 이온 질량 분석법(SIMS)을 이용하여 측정된다. 트랜지스터들의 캐리어 농도들은  $1 \times 10^{14}/\text{cm}^3$  이하이고, 바람직하게는  $1 \times 10^{12}/\text{cm}^3$  이다.

[0055] 도 1a 및 도 1b에 도시된 바와 같이, 예를 들면 제 1 신호(예를 들면, 신호 IN1), 제 2 신호(예를 들면, 신호 IN2) 및 제 3 신호(예를 들면, 신호 CK1)가 이 실시형태에서의 논리 회로에 입력 신호들로서 입력되고, 이 실시 형태에서의 논리 회로는 그 전압 상태가 입력된 제 1 내지 제 3 신호들에 따라 설정되는 제 4 신호(예를 들면 신호 OUT1a) 및 제 5 신호(예를 들면 신호 OUT1b)를 출력 신호들로서 출력한다.

[0056] 또한, 이 실시형태에서의 논리 회로의 예는 동일한 도전형을 갖는 트랜지스터들을 이용하여 형성된다. 동일한 도전형을 갖는 트랜지스터들을 이용함으로써, 복수의 도전형들을 갖는 트랜지스터들이 이용되는 경우에 비해 제작 단계들의 수가 감소될 수 있다. 동일한 도전형을 갖는 트랜지스터들로서, 예를 들면, n-채널 트랜지스터들 및 p-채널 트랜지스터들이 이용될 수 있다.

[0057] 또한, 도 2는 도 1a 및 도 1b에 도시된 논리 회로들을 이용하여 시프트 레지스터의 구조예를 도시한다. 도 2는 시프트 레지스터의 구조예를 도시한 회로도이다. 2 이상의 단들의 논리 회로들이 제공되는 한 논리 회로들의 수는 제한될 필요가 없음을 유념한다. 도 2는 시프트 레지스터에 포함된 트랜지스터들이 모두 n-채널 트랜지스터들인 예를 도시하지만; 본 발명의 실시형태는 이에 제한되지 않고 p-채널 트랜지스터들이 이용될 수 있음을 유념한다.

[0058] 도 2에 도시된 시프트 레지스터는 논리 회로들(151, 152 및 153)을 포함한다. 도 2에 도시된 논리 회로들의 각각에서, 도 1a 및 도 1b에 도시된 논리 회로의 기술은 도 1a 및 도 1b에서의 논리 회로의 기술과 동일한 부분에 대해 적합하게 채용됨을 유념한다. 논리 회로들(151, 152 및 153)은 모두 순차 논리 회로들이다.

[0059] 도 1a 및 도 1b에서의 논리 회로에서와 같이, 논리 회로(151)에서, 신호 CK1이 트랜지스터(101)의 게이트, 트랜지스터(104)의 게이트, 트랜지스터(107)의 게이트 및 트랜지스터(110)의 게이트에 입력 신호로서 입력된다; 신호 IN1이 트랜지스터(101)의 소스 및 드레인 중 하나 및 트랜지스터(110)의 소스 및 드레인 중 하나에 입력 신호로서 입력된다; 신호 IN2가 트랜지스터(104)의 소스 및 드레인 중 하나 및 트랜지스터(107)의 소스 및 드레인 중 하나에 입력 신호로서 입력된다. 또한, 논리 회로(151)는 그 전압 상태들이 입력 신호들의 상태들에 따라 설정되는 신호들 OUT1a 및 OUT1b를 출력 신호들로서 출력한다.

[0060] 신호들 OUT1a 및 OUT1b 및 신호 CK2는 논리 회로(152)에 입력 신호들로서 입력되고, 논리 회로(152)는 그 전압 상태들이 입력 신호들에 따라 설정되는 신호들 OUT2a 및 OUT2b를 출력 신호들로서 출력한다. 논리 회로(152)의 구성은 논리 회로(151)의 구성과 동일하다.

[0061] 신호 CK2는 논리 회로(151)에서의 신호 CK1 대신에 논리 회로(152)에 입력되는 신호이다. 신호 CK2로서, 예를 들면 신호 CK1과 상이한 타이밍에서 하이 레벨에 있는 클록 신호가 이용될 수 있다. 이 실시형태의 시프트 레지스터는 신호 CK1이 입력되는 논리 회로 및 신호 CK2가 입력되는 논리 회로가 서로 전기적으로 접속되는 구조를 가질 수 있다. 예를 들면, 신호들 CK1 및 CK2 중 하나는 시프트 레지스터의 홀수단들의 논리 회로들에 입력될 수 있고, 신호들 CK1 및 CK2 중 다른 하나는 시프트 레지스터의 짝수단들의 논리 회로들에 입력될 수 있다.

[0062] 신호들 OUT2a, OUT2b 및 CK1는 입력 신호들로서 논리 회로(153)에 입력되고, 논리 회로(153)는 그 전압 상태들이 입력 신호들에 따라 설정되는 신호들 OUT3a 및 OUT3b를 출력 신호들로서 출력한다. 논리 회로(153)의 구성은 논리 회로(151)의 구성과 동일하다.

[0063] 다음에, 도 2에 도시된 시프트 레지스터의 동작예가 도 3을 참조하여 기술된다. 도 3은 도 2에 도시된 시프트 레지스터의 동작예를 도시한 타이밍도이고, 신호 CK1, 신호 CK2, 신호 IN1, 신호 IN2, 노드(121), 노드(122), 노드(123), 노드(124), 신호 OUT1a, 신호 OUT1b, 신호 OUT2a, 신호 OUT2b, 신호 OUT3a 및 신호 OUT3b의 신호 파형들을 도시한다. 도 3을 참조하여 기술되는 도 2의 시프트 레지스터의 동작예에서, 신호들의 각각은 이진 디지털 신호이고 신호들 CK1 및 CK2는 클록 신호들임을 유념한다. 고전원 전압의 값은 고레벨 전압  $V_H$ 와 동일하고, 저전원 전압의 값은 저레벨 전압  $V_L$ 와 동일하다. 또한, 이 실시형태에서의 논리 회로의 동작에서, 도

3에 도시된 신호들의 각각의 전압 상태는 반전될 수 있다.

[0064] 도 2에서의 시프트 레지스터의 동작은 기술을 위해 복수의 기간들로 나누어질 수 있다. 각각의 기간에서의 동작은 하기에 기술된다.

[0065] 먼저, 각각의 기간에서의 동작이 논리 회로(151)에 초점을 맞추어 기술된다. 기간(141)에서, 신호 CK1은 저 레벨에 있고, 신호 CK2는 저 레벨에 있고, 신호 IN1은 저 레벨에 있고, 신호 IN2는 고 레벨에 있다.

[0066] 이때, 논리 회로(151)에서의 신호들 OUT1a, OUT1b 및 OUT2a는 저 레벨에 있다.

[0067] 그 후에, 기간(142)에서, 신호 CK1은 시간 A2에서 고 레벨로 설정되고, 신호 CK2는 저 레벨에 남아 있고, 신호 IN1은 고 레벨에 있고, 신호 IN2는 저 레벨에 있다. 신호 IN1은 기간(141)에서 고 레벨로 설정되고, 신호 IN2는 기간(141)에서 저 레벨로 설정될 수 있음을 유념한다.

[0068] 이때, 논리 회로(151)에서, 트랜지스터들(101 및 110)은 온이고 트랜지스터들(104 및 107)은 오프이다. 노드(121)의 전위 및 노드(124)의 전위는 신호 IN1에 따라 상승하고 전압  $V_H$ 와 동일하게 된다. 또한, 트랜지스터(102)가 턴 온되고 신호 OUT1a의 전압이 노드(121)의 전위에 따라 증가된다. 이때, 신호 OUT1a의 전압은 노드(121)의 전위에 따라 용량 소자(103)에 의해 증가되고 전압  $V_H$ 와 동일하게 된다. 이것은 소위 부트스트랩 동작이다. 노드(124)의 전위는 신호 IN1의 전압에 따라 상승되므로, 노드(124)의 전위는 전압  $V_H$ 와 동일하게 된다. 트랜지스터(111)는 턴 온되고 신호 OUT1b의 전압은 노드(124)의 전위에 따라 전압  $V_L$ 이 된다. 이때, 노드(122)의 전위에 대응하는 전압 및 저전원 전압이 용량 소자(106)에 인가되고, 노드(122)의 전위는 특정 기간 동안 용량 소자(106)에 의해 유지된다. 또한, 노드(124)의 전위에 대응하는 전압 및 저전원 전압이 용량 소자(112)에 인가되고, 노드(124)의 전위는 특정 기간 동안 용량 소자(112)에 의해 유지된다. 오프 전류가 트랜지스터들(104 및 110)을 통해 흐르지 않는 경우, 용량 소자들(106 및 112)에서 유지되는 전압은 특정 범위 내의 값으로 유지된다; 따라서, 이 실시형태의 논리 회로에 인가될 수 있는 트랜지스터와 같은 작은 오프 전류를 가진 트랜지스터를 이용함으로써, 트랜지스터가 오프일 때의 노드(122)의 전위 및 노드(124)의 전위는 특정 범위 내의 값들로 유지될 수 있다.

[0069] 그 후에, 기간(143)에서, 신호 CK1은 시간 A3에서 저 레벨로 설정되고, 신호 CK2는 저 레벨로 남아있고, 신호 IN1은 저 레벨로 설정되고, 신호 IN2는 고 레벨로 설정된다.

[0070] 이때, 논리 회로(151)에서, 트랜지스터들(101, 104, 107 및 110)은 턴 오프된다. 노드(121)의 전위는 전압  $V_H$ 와 동일한 값으로 유지되고, 노드(122)의 전위는 전압  $V_L$ 이 되도록 유지되고, 노드(123)의 전위는 전압  $V_L$ 이 되도록 유지되고, 노드(124)의 전위는 전압  $V_H$ 가 되도록 유지되고, 신호 OUT1a는 고 레벨로 남아있고, 신호 OUT1b는 저 레벨로 남아있다.

[0071] 그 후에, 기간(144)에서, 신호 CK1은 저 레벨로 남아있고, 신호 CK2는 시간 A4에서 고 레벨로 설정되고, 신호 IN1은 저 레벨로 남아있고, 신호 IN2는 고 레벨로 남아있다. 신호 IN1은 시간 A3에서 저 레벨로 설정될 수 있고 신호 IN2는 고 레벨로 설정될 수 있음을 유념한다.

[0072] 이때, 논리 회로(151)는 기간(143)에서의 상태를 유지한다; 따라서, 신호 OUT1a는 고 레벨로 남아있고, 신호 OUT1b는 저 레벨로 남아있다.

[0073] 그 후에, 기간(145)에서, 신호 CK1은 저 레벨로 남아있고, 신호 CK2는 시간 A5에서 저 레벨로 설정되고, 신호 IN1은 저 레벨로 남아있고, 신호 IN2는 고 레벨로 남아있다.

[0074] 이때, 논리 회로(151)는 기간(144)에서의 상태를 유지한다; 따라서, 신호 OUT1a는 고 레벨로 남아있고, 신호 OUT1b는 저 레벨로 남아있다.

[0075] 그 후에, 기간(146)에서, 신호 CK1은 시간 A6에서 고 레벨로 설정되고, 신호 CK2는 저 레벨로 남아있고, 신호 IN1은 저 레벨로 남아있고, 신호 IN2는 고 레벨로 남아있다.

[0076] 이때, 논리 회로(151)에서, 트랜지스터들(101, 104, 107 및 110)이 턴 온되므로, 노드(121)의 전위 및 노드(124)의 전위는 전압  $V_L$ 과 동일하게 된다. 또한, 트랜지스터들(102 및 111)은 노드(121)의 전위 및 노드(124)의 전위에 따라 턴 오프된다. 또한, 노드(122)의 전위 및 노드(123)의 전위가 증가하여 전압  $V_H$ 와 동일하게 된다. 또한, 트랜지스터들(105 및 111)은 노드(122)의 전위 및 노드(123)의 전위에 따라 턴 온되고, 신호 OUT1a의 전

압은 전압  $V_L$ 이 되고, 신호 OUT1b의 전압은 전압  $V_H$ 가 된다. 이때, 노드(122)의 전위에 대응하는 전압 및 저전원 전압이 용량 소자(106)에 인가되고, 노드(122)의 전위는 특정 기간 동안 용량 소자(106)에 의해 유지된다. 또한, 노드(124)의 전위에 대응하는 전압 및 저전원 전압이 용량 소자(112)에 인가되고, 노드(124)의 전위는 특정 기간 동안 용량 소자(112)에 의해 유지된다. 오프 전류가 트랜지스터들(104 및 110)을 통해 흐르지 않는 경우, 용량 소자들(106 및 112)에서 유지되는 전압은 특정 범위 내의 값으로 유지된다; 따라서, 이 실시형태의 논리 회로에 인가될 수 있는 트랜지스터와 같은 작은 오프 전류를 가진 트랜지스터를 이용함으로써, 트랜지스터가 오프일 때의 노드(122)의 전위 및 노드(124)의 전위는 특정 범위 내의 값들로 유지될 수 있다.

[0077] 후속 기간에서, 논리 회로(151)는 특정 기간 동안 동일한 상태로 유지되어, 신호 OUT1a의 전압은 특정 기간 동안 저 레벨로 유지되고, 신호 OUT1b의 전압은 특정 기간 동안 고 레벨로 유지된다.

[0078] 또한, 논리 회로(151)의 단 다음에 오는 단들에서의 논리 회로들(여기서, 예를 들면 논리 회로들(152 및 153))이 기술된다. 논리 회로들의 각각에서의 동작은 입력 신호들 및 출력 신호들의 상태들을 제외하고 논리 회로(151)의 동작과 동일하고, 따라서 그 기술이 생략되었음을 유념한다.

[0079] 먼저, 논리 회로(152)에서, 기간(144)에서, 출력 신호인 신호 OUT2a는 시간 A4에서 고 레벨로 설정되고, 신호 OUT2b는 저 레벨로 남아있다.

[0080] 기간들(145 내지 147)에서, 논리 회로(152)는 기간(144)에서와 동일한 상태로 유지되어, 신호 OUT2a는 고 레벨로 남아있고, 신호 OUT2b는 저 레벨로 남아있다.

[0081] 기간(148)에서, 논리 회로(152)에서, 시간 A8에서, 신호 OUT2a는 저 레벨로 설정되고 신호 OUT2b는 고 레벨로 설정된다.

[0082] 논리 회로(153)에서, 기간(146)에서, 출력 신호인 신호 OUT2a는 시간 A6에서 고 레벨로 설정되고, 신호 OUT2b는 저 레벨로 남아있다.

[0083] 기간들(147 내지 149)에서, 논리 회로(153)는 기간(146)에서와 동일한 상태로 유지되어, 신호 OUT3a는 고 레벨로 남아있고, 신호 OUT3b는 저 레벨로 남아있다.

[0084] 그 후에, 기간(150)에서, 논리 회로(152)에서, 시간 A10에서, 신호 OUT3a는 저 레벨로 설정되고, 신호 OUT3b는 고 레벨로 설정된다.

[0085] 기술되지는 않았지만, 시프트 레지스터가 3개 이상의 단들의 논리 회로들을 포함하는 경우에도, 출력 신호들의 전압 상태들은 단들의 논리 회로들에서 순차적으로 변경된다.

[0086] 상술된 바와 같이, 이 실시형태의 시프트 레지스터는 단들의 논리 회로들과 상이한 2개의 전압 상태들로 출력 신호들을 출력할 수 있다. 또한, 이 실시형태의 시프트 레지스터는 트랜지스터의 게이트 전위를 유지하기 위한 저장 용량을 포함하며, 이것은 출력 신호를 특정 기간 동안 고 레벨 또는 저 레벨로 설정하기 위한 것이고, 오프 전류가 작고 채널 형성층으로서 산화물 반도체층을 포함하는 트랜지스터가 이용된다. 상기 구조를 이용하여, 트랜지스터를 통한 누설 전류가 감소되기 때문에, 저장 용량에서 유지되는 전압은 특정 기간 동안 특정 범위 내의 값이 되도록 유지될 수 있다. 따라서, 고장이 억제될 수 있다. 또한, 트랜지스터로 인한 누설 전류의 감소는 전력 소비의 감소를 유발한다. 또한, 채널 형성층으로서 산화물 반도체층을 포함하는 트랜지스터에서, 산화물 반도체층의 불순물 농도가 낮다; 따라서, 임계 전압의 변동이 작다. 일반적으로, 복수의 시프트 레지스터들을 포함하는 시프트 레지스터에서, 트랜지스터들의 임계 전압들이 상당히 가변하는 경우, 모든 트랜지스터들을 턴온하기 위한 전압은 하이이다. 이 실시형태의 시프트 레지스터에 대한 채널 형성층으로서 산화물 반도체층을 포함하는 이러한 트랜지스터를 이용함으로써, 전력 소비가 감소될 수 있다.

[0087] 또한, 이 실시형태는 구동 회로에 대한 본 발명의 실시형태인 시프트 레지스터를 이용하여 형성된 반도체 장치를 기술한다. 이 실시형태에서, 예로서, 구동 회로의 적어도 일부 및 그 표시 상태가 구동 회로에 의해 제어되는 화소를 포함하는 화소부가 하나의 기판 위에 제공되는 표시 장치가 기술됨을 유념한다.

[0088] 도 4a는 활성 매트릭스 표시 장치의 블록도의 예를 도시한다. 표시 장치의 기판(5300) 위에, 화소부(5301), 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303) 및 신호선 구동 회로(5304)가 구비된다. 화소부(5301)에서, 신호선 구동 회로(5304)로부터 연장되는 복수의 신호선들이 구비되고, 제 1 주사선 구동 회로(5302) 및 제 2 주사선 구동 회로(5303)로부터 연장되는 복수의 주사선들이 구비된다. 표시 소자를 각각 포함하는 화소들은 주사선들 및 신호선들이 서로 교차하는 영역들에서 매트릭스로 제공되는 것을 유념한다. 표시 장치의 기판

(5300)은 플렉시블 인쇄 회로(FPC)와 같은 접속부를 통해 타이밍 제어 회로(5305)(또한 제어기 또는 제어기 IC라고도 칭해짐)에 접속된다.

[0089] 도 4a에서, 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303) 및 신호선 구동 회로(5304)는 화소부(5301)가 구비된 기판(5300) 위에 형성된다. 따라서, 외부에 제공되는 구동 회로 등의 구성요소들의 수가 감소되어, 비용 감소가 달성될 수 있다. 또한, 기판(5300)의 외부에 구동 회로가 제공되는 경우, 배선들이 연장되어야 하고 배선들의 접속들의 수가 증가되지만, 기판(5300) 위에 구동 회로를 제공함으로써, 배선들의 접속들의 수가 감소될 수 있다. 따라서, 신뢰도 및 수율의 개선이 달성될 수 있다.

[0090] 예로서, 타이밍 제어 회로(5305)는 제 1 주사선 구동 회로 시작 신호(GSP1) 및 제 1 주사선 구동 회로 클록 신호(GCK1)를 제 1 주사선 구동 회로(5302)에 공급하는 것을 유념한다. 타이밍 제어 회로(5305)는 예를 들면, 제 2 주사선 구동 회로 시작 신호(GSP2) (또한 시작 펄스라고도 칭해짐) 및 제 2 주사선 구동 회로 클록 신호(GCK2)를 제 2 주사선 구동 회로(5303)에 공급한다. 타이밍 제어 회로(5305)는 예를 들면 신호선 구동 회로 시작 신호(SSP), 신호선 구동 회로 클록 신호(SCK), 비디오 신호 데이터(DATA)(또한 간단히 비디오 신호라고도 칭해짐) 및 래치 신호(LAT)를 신호선 구동 회로(5304)에 공급한다. 각각의 클록 신호는 편이된 위상들을 가진 복수의 클록 신호들일 수 있거나, 또는 클록 신호를 반전함으로써 획득된 신호(CKB)와 함께 공급될 수 있다. 제 1 주사선 구동 회로 시작 신호, 제 2 주사선 구동 회로 시작 신호, 주사선 구동 회로 클록 신호, 신호선 구동 회로 시작 신호 및 신호선 구동 회로 클록 신호의 각각의 수는 복수일 수 있다. 이 실시형태의 반도체 장치에서, 제 1 주사선 구동 회로(5302) 및 제 2 주사선 구동 회로(5303) 중 하나는 생략될 수 있다.

[0091] 도 4b는 낮은 구동 주파수를 각각 갖는 회로들(예를 들면, 제 1 주사선 구동 회로(5302) 및 제 2 주사선 구동 회로(5303))이 화소부(5301)가 구비된 기판(5300) 위에 형성되고, 신호선 구동 회로(5304)가 화소부(5301)가 구비된 기판과 상이한 다른 기판 위에 형성되는 구성이 도시된다. 이 구성을 이용하여, 기판(5300) 위에 형성된 구동 회로는 단일 결정 반도체를 이용하여 형성된 트랜지스터보다 낮은 전계 효과 이동도를 가진 박막 트랜지스터를 이용하여 형성될 수 있다. 따라서, 표시 장치의 크기의 증가, 단계들의 수의 감소, 비용의 감소, 수율의 개선 등이 달성될 수 있다.

[0092] 도 5a 및 도 5b는 n-채널 TFT들을 포함하는 신호선 구동 회로의 구조 및 동작예를 도시한다.

[0093] 도 5a에 도시된 신호선 구동 회로는 시프트 레지스터(5601) 및 스위칭 회로(5602)를 포함한다. 스위칭 회로(5602)는 복수의 스위칭 회로들(5602\_1 내지 5602\_N(N은 2이상의 자연수))을 포함한다. 스위칭 회로들(5602\_1 내지 5602\_N) 각각은 복수의 박막 트랜지스터들(5603\_1 내지 5603\_k(k는 2 이상의 자연수))을 포함한다. 여기서, 박막 트랜지스터들(5603\_1 내지 5603\_k)이 n-채널 TFT들인 예가 기술된다.

[0094] 신호선 구동 회로의 접속 관계는 예를 들면 스위칭 회로(5602\_1)를 이용하여 기술된다. 박막 트랜지스터들(5603\_1 내지 5603\_k)의 소스들 및 드레인들 중 하나는 각각 배선들(5604\_1 내지 5604\_k)에 전기적으로 접속된다. 박막 트랜지스터들(5603\_1 내지 5603\_k)의 소스들 및 드레인들 중 다른 하나는 각각 신호선들(S1 내지 Sk)에 전기적으로 접속된다. 박막 트랜지스터들(5603\_1 내지 5603\_k)의 게이트들은 배선(5605\_1)에 전기적으로 접속된다.

[0095] 시프트 레지스터(5601)는 고레벨 신호들을 배선들(5601\_1 내지 5605\_N)에 순차적으로 출력함으로써 스위칭 회로들(5602\_1 내지 5602\_N)을 순차적으로 선택하는 기능을 가진다.

[0096] 스위칭 회로(5602\_1)는 배선들(5604\_1 내지 5604\_k)과 신호선들(S1 내지 Sk) 사이의 도통 상태들을 각각 제어하는 기능, 즉 배선들(5604\_1 내지 5604\_k)의 전위들이 신호선들(S1 내지 Sk)에 각각 공급되는지를 제어하는 기능을 가진다. 따라서, 스위칭 회로(5602\_1)는 선택기의 기능을 가진다. 또한, 박막 트랜지스터들(5603\_1 내지 5603\_k)은 배선들(5604\_1 내지 5604\_k)과 신호선들(S1 내지 Sk) 사이의 도통 상태들을 각각 제어하는 기능들, 즉 배선들(5604\_1 내지 5604\_k)의 전위들이 신호선들(S1 내지 Sk)에 각각 공급되는지를 제어하는 기능들을 가진다. 이러한 방식으로, 박막 트랜지스터들(5603\_1 내지 5603\_k)의 각각은 스위치로서 기능한다.

[0097] 비디오 신호 데이터(DATA)는 배선들(5604\_1 내지 5604\_k)의 각각에 입력됨을 유념한다. 비디오 신호 데이터(DATA)는 많은 경우들에서 화상 데이터 또는 화상 신호들에 대응하는 아날로그 신호이다.

[0098] 다음에, 도 5a에서의 신호선 구동 회로의 동작이 도 5b의 타이밍도를 참조하여 기술된다. 도 5b에서, 신호들 Sout\_1 내지 Sout\_N 및 신호들 Vdata\_1 내지 Vdata\_k의 예가 도시된다. 신호들 Sout\_1 내지 Sout\_N은 시프트 레지스터(5601)의 출력 신호들의 예이고, 신호들 Vdata\_1 내지 Vdata\_k는 배선들(5604\_1 내지 5604\_k)에 입력되는 신호들의 예이다. 신호선 구동 회로의 일 동작 기간은 표시 장치에서의 일 게이트 선택 기간에 대응함을

유념한다. 예를 들면, 일 게이트 선택 기간은 기간들 T1 내지 TN으로 나누어진다. 기간들 T1 내지 TN은 선택된 행에 속하는 화소들에 비디오 신호 데이터(DATA)를 기록하기 위한 기간들이다.

[0099] 기간들 T1 내지 TN에서, 시프트 레지스터(5601)는 고레벨 신호들을 배선들(5605\_1 내지 5605\_N)에 순차적으로 출력한다. 예를 들면, 기간 T1에서, 시프트 레지스터(5601)는 배선(5605\_1)에 H 레벨 신호를 출력한다. 그 후에, 박막 트랜지스터들(5603\_1 내지 5603\_k)이 턴 온되어, 배선들(5604\_1 내지 5604\_k) 및 신호선들(S1 내지 Sk)가 전기적으로 접속된다. 이때, 데이터(S1) 내지 데이터(Sk)는 각각 배선들(5604\_1 내지 5604\_k)에 입력된다. 데이터(S1) 내지 데이터(Sk)는 각각 박막 트랜지스터들(5603\_1 내지 5603\_k)을 통해 제 1 내지 제 k 열들에서 선택된 행의 화소들에 입력된다. 따라서, 기간들 T1 내지 TN에서, 신호 데이터(DATA)는 k 열들마다 선택된 행의 화소들에 순차적으로 입력된다.

[0100] 따라서 복수의 열들마다의 화소들에 비디오 신호 데이터(DATA)를 기록함으로써, 비디오 신호 데이터(DATA)의 수 또는 배선들의 수가 감소될 수 있다. 따라서, 외부 회로에 대한 접속들이 감소될 수 있다. 복수의 열들마다의 화소들에 비디오 신호들을 기록함으로써, 기록 시간이 연장될 수 있고, 비디오 신호들의 불충분한 기록이 방지될 수 있다.

[0101] 본 발명의 실시형태인 시프트 레지스터가 시프트 레지스터(5601)로서 이용될 수 있음을 유념한다.

[0102] 다음에, 주사선 구동 회로의 구성이 기술된다. 주사선 구동 회로는 시프트 레지스터를 포함한다. 또한, 주사선 구동 회로는 일부 경우들에서 레벨 시프터, 버퍼 등을 포함할 수 있다. 주사선 구동 회로에서, 선택 신호가 시프트 레지스터에 의해 생성된다. 생성된 선택 신호는 버퍼에 의해 버퍼링되어 증폭되고, 결과로서 생긴 신호는 대응하는 주사선에 공급된다. 일 라인의 화소들에서의 트랜지스터들의 게이트들이 주사선에 전기적으로 접속된다. 일 라인의 화소들에서의 트랜지스터들이 한 번에 모두 턴 온되어야 하기 때문에, 대량의 전류를 공급할 수 있는 버퍼가 이용된다.

[0103] 상술된 바와 같이, 본 발명의 실시형태인 시프트 레지스터는 반도체 장치의 구동 회로에 적용될 수 있다. 본 발명의 실시형태인 시프트 레지스터를 이용함으로써, 단위 화상의 표시 기간이 연장될 수 있다; 따라서, 예를 들면 스틸 화상이 표시되는 경우, 전력 소비가 감소될 수 있다.

[0104] (실시형태 2)

[0105] 이 실시형태에서, 이 명세서에 개시된 논리 회로 및 반도체 장치에 포함되는 트랜지스터들에 적용될 수 있는 박막 트랜지스터들의 예가 기술된다.

[0106] 이 실시형태의 반도체 장치 및 반도체 장치의 제작 방법의 일 실시형태가 도 31a 및 도 31b 및 도 6a 내지 도 6e를 참조하여 기술된다.

[0107] 도 31a 및 도 31b는 반도체 장치의 평면 구조 및 단면 구조예를 도시한다. 도 31a 및 도 31b에 도시된 박막 트랜지스터(410)는 상부 게이트 박막 트랜지스터들 중 하나이다.

[0108] 도 31a는 상부-게이트 구조를 갖는 박막 트랜지스터(410)의 평면도이고, 도 31b는 도 31a의 C1-C2를 따라 츄해진 단면도이다.

[0109] 박막 트랜지스터(410)는, 기판(400) 위에, 절연층(407), 산화물 반도체층(412), 소스 또는 드레인 전극층(415a), 소스 또는 드레인 전극층(415b), 게이트 절연층(402) 및 게이트 전극층(411)을 포함한다. 배선층(414a) 및 배선층(414b)은 소스 또는 드레인 전극층(415a) 및 소스 또는 드레인 전극층(415b)에 각각 접촉하여 전기적으로 접속되도록 제공된다.

[0110] 박막 트랜지스터들(410)로서 단일-게이트 박막 트랜지스터를 이용하여 기술이 주어지지만, 복수의 채널 형성 영역들을 포함하는 멀티-게이트 박막 트랜지스터가 필요시 형성될 수 있다.

[0111] 기판(400) 위에 박막 트랜지스터(410)를 제작하는 공정은 도 6a 내지 도 6e를 참조하여 하기에 기술된다.

[0112] 나중에 수행되는 가열 처리를 견디기 위해 적어도 내열성을 가진다면, 절연 표면을 갖는 기판(400)으로서 이용될 수 있는 기판에 대한 특정 제약은 없다. 바륨보로실리케이트 유리, 알루미노보로실리케이트 유리 등을 이용하여 형성된 유리 기판이 이용될 수 있다.

[0113] 나중에 수행되는 가열 처리의 온도가 높을 때, 730°C 이상의 변형점을 갖는 기판이 유리 기판으로 이용되는 것이 바람직하다. 유리 기판의 재료로서, 예를 들면 알루미노실리케이트 유리, 알루미노보로실리케이트 유리, 또

는 바륨보로실리케이트 유리와 같은 유리 재료가 이용될 수 있다. BaO의 양이  $B_2O_3$ 의 양보다 많도록 바륨 산화물 (BaO) 및 산화 붕소( $B_2O_3$ )을 함유함으로써, 유리 기판이 내열성이 있고 더욱 실용적임을 유념한다. 따라서, BaO의 양이  $B_2O_3$ 의 양보다 많도록  $B_2O_3$ 보다 BaO를 함유한 유리 기판이 이용되는 것이 바람직하다.

[0114] 상술된 유리 기판 대신에, 세라믹 기판, 석영 기판 또는 사파이어 기판과 같은 절연체를 이용하여 형성된 기판이 기판(400)으로 이용될 수 있음을 유념한다. 대안적으로, 결정화된 유리 기판 등이 이용될 수 있다. 또한 대안적으로, 플라스틱 기판 등이 적합하게 이용될 수 있다.

[0115] 먼저, 하지막이 되는 절연층(407)은 절연 표면을 갖는 기판(400) 위에 형성된다. 산화물 반도체층과 접촉한 절연층(407)으로서, 산화 실리콘층, 산화질화 실리콘층, 산화 알루미늄층 또는 산화질화 알루미늄층과 같은 산화물 절연층이 이용되는 것이 바람직하다. 플라즈마 CVD 방법, 스퍼터링 방법 등이 절연층(407)을 형성하기 위한 방법으로서 채용될 수 있지만, 절연층(407)은 수소가 가능한 적게 절연층(407)에 함유되도록 스퍼터링 방법을 이용하여 형성되는 것이 바람직하다.

[0116] 이 실시형태에서, 산화 실리콘층은 스퍼터링 방법을 이용하여 절연층(407)으로서 형성된다. 기판(400)은 처리실로 이동되고, 수소 및 수분이 제거되고 고순도 산소를 함유한 스퍼터링 가스가 도입되고, 그에 의해 산화 실리콘층이 실리콘 타겟을 이용하여 기판(400) 위에 절연층(407)으로서 형성된다. 기판(400)은 실온으로 있을 수 있거나 가열될 수 있다.

[0117] 예를 들면, 산화 실리콘막이 다음의 조건 하에서 RF 스퍼터링 방법을 이용하여 형성된다: 석영(바람직하게는 합성 석영)이 타겟으로서 이용된다; 기판 온도는 108°C이다; 기판과 타겟 사이의 거리(T-S 거리)는 60mm이다; 압력은 0.4Pa이다; 고주파 전력은 1.5kW이다; 그리고 분위기는 산소 및 아르곤을 함유한 분위기이다(아르곤에 대한 산소의 유량은 1: 1이다(각각의 유량은 25sccm이다)). 산화 실리콘막의 두께는 100nm이다. 석영(바람직하게, 합성 석영) 대신에, 산화 실리콘막이 형성될 때 이용되는 타겟으로서 실리콘 타겟이 이용될 수 있음을 유념한다. 스퍼터링 가스로서, 산소 또는 산소와 아르곤의 혼합 가스가 이용된다.

[0118] 그 경우, 절연층(407)은 처리실에 남아있는 수분을 제거하여 형성되는 것이 바람직하다. 이것은 수소, 수산기 및 수분이 절연층(407)에 함유되는 것을 방지하기 위한 것이다.

[0119] 처리실에 남아있는 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 또한, 배기 수단은 냉각 트랩이 구비된 터보 펌프일 수 있다. 크라이오 펌프로 배기되는 성막실에서, 수소 원자, 수분( $H_2O$ )과 같이 수소 원자를 함유한 화합물 등이 제거되고, 그에 의해 성막실에서 형성된 절연층(407)의 불순물의 농도가 감소될 수 있다.

[0120] 절연층(407)이 형성될 때 이용되는 스퍼터링 가스로서, 수소, 수분, 수산기 또는 수소화물과 같은 불순물이 ppm 또는 ppb의 레벨로 표현되는 농도까지 제거되는 고순도 가스를 이용하는 것이 바람직하다.

[0121] 스퍼터링 방법의 예들은 고-주파수 전원이 스퍼터링 전원으로서 이용되는 RF 스퍼터링 방법, DC 전원이 이용되는 DC 스퍼터링 방법, 및 바이어스가 펄스식 방식으로 인가되는 펄스식 DC 스퍼터링 방법을 포함한다. RF 스퍼터링 방법은 절연막이 형성되는 경우에 주로 이용되고, DC 스퍼터링 방법은 금속막이 형성되는 경우에 주로 이용된다.

[0122] 또한, 복수의 타겟들의 상이한 재료들이 설정될 수 있는 멀티-소스 스퍼터링 장치가 또한 존재한다. 멀티-소스 스퍼터링 장치로, 상이한 재료들의 막들이 동일한 챔버에 적층되도록 형성될 수 있거나, 복수 종류의 재료들이 동일한 챔버에 동시에 성막을 위해 방전될 수 있다.

[0123] 또한, 마그네트론 스퍼터링 방법을 위한 것인 챔버 내부에 자석 시스템이 구비된 스퍼터링 장치, 및 마이크로파들의 이용으로 생성되는 플라즈마가 글로 방전을 이용하지 않고 이용되는 ECR 스퍼터링 방법을 위해 이용되는 스퍼터링 장치가 존재한다.

[0124] 또한, 스퍼터링 방법을 이용한 성막 방법으로서, 타겟 물질 및 스퍼터링 가스 성분이 그 화합물 박막을 형성하기 위한 성막 동안 서로 화학적으로 반응되는 반응 스퍼터링 방법, 및 전압이 또한 성막 동안 기판에 인가되는 바이어스 스퍼터링 방법이 또한 존재한다.

[0125] 또한, 절연층(407)은 예를 들면, 질화 실리콘층, 질화산화 실리콘층, 질화 알루미늄층 또는 질화산화 알루미늄층과 같은 질화물 절연층 및 산화물 절연층이 기판(400) 측으로부터 순서대로 적층되는 적층 구조를 가질 수 있

다.

[0126] 예를 들면, 수소 및 수분이 제거되고 질소를 함유한 고순도 스퍼터링 가스가 도입되고 실리콘 타겟이 이용되고, 그에 의해 질화 실리콘층이 산화 실리콘층과 기판 사이에 형성된다. 이 경우, 질화 실리콘층은 산화 실리콘층과 유사하게, 처리실에 남아있는 수분을 제거하여 형성되는 것이 바람직하다.

[0127] 질화 실리콘층을 형성하는 경우, 기판은 성막시 가열될 수 있다.

[0128] 질화 실리콘층 및 산화 실리콘층의 적층이 절연층(407)으로서 제공되는 경우에, 질화 실리콘층 및 산화 실리콘층이 동일한 처리실에서 공용 실리콘 타겟을 이용하여 형성될 수 있다. 질소를 함유한 에칭 가스가 먼저 도입된 후에, 질화 실리콘층이 처리실에 장착된 실리콘 타겟을 이용하여 형성된 다음, 에칭 가스가 산소를 함유한 에칭 가스로 전환되고, 동일한 실리콘 타겟이 산화 실리콘층을 형성하기 위해 이용된다. 질화 실리콘층 및 산화 실리콘층이 대기에 노출되지 않고 연속적으로 형성될 수 있기 때문에, 수소 및 수분과 같은 불순물들이 질화 실리콘층의 표면 상에 흡착되는 것이 방지될 수 있다.

[0129] 그 후에, 산화물 반도체막이 절연층(407) 위에 2nm이상 200nm이하의 두께로 형성된다.

[0130] 또한, 수소, 수산기 및 수분이 산화물 반도체막에 가능한 적게 함유되게 하기 위해, 절연층(407)이 형성된 기판(400)은 기판(400)에 흡착되는 수소 및 수분과 같은 불순물들이 제거되도록 성막을 위한 사전 처리로서 스퍼터링 장치의 예열실에서 예열되는 것이 바람직하다. 예열실에 제공되는 배기 수단으로서 크라이오 펌프가 바람직하다는 것을 유념한다. 이 예열 처리는 생략될 수 있음을 유념한다. 또한, 게이트 절연층(402)이 형성되지 않은 기판(400)과, 소스 또는 드레인 전극층(415a) 및 소스 또는 드레인 전극층(415b)이 형성된 기판(400)에 대해 예열이 유사하게 수행될 수 있다.

[0131] 산화물 반도체막이 스퍼터링 방법을 이용하여 형성되기 전에, 절연층(407)의 표면에 부착된 먼지는, 아르곤 가스가 도입되어 플라즈마가 생성되는 역 스퍼터링으로 제거되는 것이 바람직하다는 것을 유념한다. 역 스퍼터링은, 타겟쪽으로 전압을 인가하지 않고, 플라즈마가 기판의 표면을 개질하기 위해 형성되도록, 고주파수 전원이 아르곤 분위기에서 기판쪽으로 전압을 인가하는데 이용되는 방법을 나타낸다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기, 산소 분위기 등이 이용될 수 있음을 유념한다.

[0132] 산화물 반도체막은 스퍼터링 방법을 이용하여 형성된다. 산화물 반도체막은 In-Ga-Zn-O계 산화물 반도체막, In-Sn-Zn-O계 산화물 반도체막, In-Al-Zn-O계 산화물 반도체막, Sn-Ga-Zn-O계 산화물 반도체막, Al-Ga-Zn-O계 산화물 반도체막, Sn-Al-Zn-O계 산화물 반도체막, In-Zn-O계 산화물 반도체막, Sn-Zn-O계 산화물 반도체막, Al-Zn-O계 산화물 반도체막, In-O계 산화물 반도체막, Sn-O계 산화물 반도체막, 또는 Zn-O계 산화물 반도체막을 이용하여 형성된다. 이 실시형태에서, 산화물 반도체막은 In-Ga-Zn-O계 산화물 반도체 성막용 타겟을 이용하여 스퍼터링 방법으로 형성된다. 또한, 산화물 반도체막은 희가스(통상적으로, 아르곤) 분위기, 산소 분위기 또는 희가스(통상적으로, 아르곤)와 산소를 함유한 혼합된 분위기에서 스퍼터링 방법을 이용하여 형성될 수 있다. 스퍼터링 방법을 채용하는 경우, 2wt% 이상 10wt% 이하의  $\text{SiO}_2$ 를 함유한 타겟이 성막에 이용될 수 있다.

[0133] 산화물 반도체막이 형성될 때 이용되는 스퍼터링 가스로서, 수소, 수분, 수산기, 또는 수산화물과 같은 불순물이 ppm 또는 ppb의 레벨로 표현되는 농도까지 제거되는 고순도 가스를 이용하는 것이 바람직하다.

[0134] 스퍼터링 방법을 이용하여 산화물 반도체막을 형성하기 위한 타겟으로서, 산화 아연을 주성분으로 함유한 금속 산화물 타겟이 이용될 수 있다. 금속 산화물 타겟의 다른 예로서, In, Ga 및 Zn (조성비에서,  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$  [mol%],  $\text{In:Ga:Zn} = 1:1:0.5$  [atomic%])을 함유한 산화물 반도체 성막용 타겟이 이용될 수 있다. 대안적으로, In, Ga 및 Zn (조성비에서,  $\text{In:Ga:Zn} = 1:1:1$  또는  $1:1:2$  [atomic%])을 함유한 산화물 반도체 성막용 타겟이 이용될 수 있다. 형성된 산화물 반도체 성막용 타겟의 총 체적(또한, 산화물 반도체 성막용 타겟의 총전율이라고도 칭해짐)에 대한 공간 등에 의해 점유된 면적을 제외한 부분의 체적비는 90% 이상 100% 이하이고, 바람직하게는 95% 이상 99.9% 이하이다. 고충전율을 가진 산화물 반도체 성막용 타겟의 이용으로, 조밀한 산화물 반도체막이 형성된다.

[0135] 기판은 감압 하에서 유지된 처리실에 유지되고, 남아있는 수분이 제거된 처리실로 수소 및 수분이 제거된 스퍼터링 가스가 도입되고, 산화물 반도체막이 타겟으로서 금속 산화물을 이용하여 기판(400) 위에 형성된다. 처리실에 남아있는 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 또한, 배기 수단은 냉각 트랩이 구비된 터보 펌프일 수 있다. 크라이오 펌프로 배기되는 성막실에서, 수소 원자, 물( $\text{H}_2\text{O}$ )과 같은 수소 원자를

함유한 화합물(더욱 바람직하게, 또한 탄소 원자를 함유한 화합물) 등이 제거되고, 그에 의해 성막실에서 형성된 산화물 반도체막의 불순물의 농도가 감소될 수 있다. 기판은 산화물 반도체막이 형성될 때 가열될 수 있다.

[0136] 성막 조건의 예는 다음과 같다: 기판 온도는 실온이고, 기판과 타겟 사이의 거리는 60mm이고, 압력은 0.4Pa이고, DC 전력은 0.5kW이고, 분위기는 산소 및 아르곤을 함유한 분위기이다(아르곤에 대한 산소의 유량은 15sccm:30sccm이다). 성막시 생성되는 가루 물질들(또한, 입자들 또는 먼지라고도 칭해짐)이 감소될 수 있고 막 두께가 균일해질 수 있기 때문에 펠스식 DC 전원이 이용되는 것이 바람직하다. 산화물 반도체막은 5nm 이상 30nm 이하의 두께를 가지는 것이 바람직하다. 적합한 두께는 이용된 산화물 반도체 재료에 의존하고 두께는 재료에 따라 선택될 수 있음을 유념한다.

[0137] 그 후에, 제 1 포토리소그래피 공정에서, 산화물 반도체막이 섬형상 산화물 반도체층(412)으로 가공된다(도 6a 참조). 섬형상 산화물 반도체층(412)을 형성하기 위한 레지스트 마스크는 잉크-젯 방법을 이용하여 형성될 수 있다. 레지스트 마스크가 잉크-젯 방법을 이용하여 형성될 때, 포토마스크는 이용되지 않는다; 따라서, 제작 비용들이 감소될 수 있다.

[0138] 산화물 반도체막의 에칭은 건식 에칭, 습식 에칭 또는 건식 에칭과 습식 에칭 둘다일 수 있음을 유념한다.

[0139] 건식 에칭을 위한 에칭 가스로서, 염소를 함유한 가스(염소(Cl<sub>2</sub>), 염화 봉소(BCl<sub>3</sub>), 염화 실리콘(SiCl<sub>4</sub>), 또는 사염화탄소(CCl<sub>4</sub>)와 같은 염소계 가스)가 이용되는 것이 바람직하다.

[0140] 대안적으로, 플루오르를 함유한 가스(사불화탄소(CF<sub>4</sub>), 불화 유황(SF<sub>6</sub>), 불화 질소(NF<sub>3</sub>) 또는 트리플루오로메탄(CHF<sub>3</sub>)과 같은 플루오르계 가스); 브롬화 수소(HBr); 산소(O<sub>2</sub>); 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 첨가된 이들 가스들 중 어느 하나가 이용될 수 있다.

[0141] 건식 에칭 방법으로서, 평행 평판형 RIE(reactive ion etching) 방법 또는 ICP(inductively coupled plasma) 에칭 방법이 이용될 수 있다. 막을 원하는 형상으로 에칭하기 위하여, 에칭 조건(코일형 전극에 인가된 전력량, 기판측의 전극에 인가된 전력량, 기판측의 전극의 온도 등)이 적합하게 조정된다.

[0142] 습식 에칭에 이용되는 에천트로서, 인산, 아세트산, 질산 등의 혼합 용액이 이용될 수 있다. 대안적으로, ITO07N(KANTO CHEMICAL CO., INC.에 의해 제작)이 이용될 수 있다.

[0143] 습식 에칭에 이용된 에천트는 에칭된 재료와 함께 세정에 의해 제거된다. 에천트 및 에칭된 재료를 포함하는 폐액은 정제될 수 있고, 재료는 재사용될 수 있다. 산화물 반도체층에 포함된 인듐과 같은 재료가 에칭 및 재사용 후의 폐액에서 수집될 때, 자원들이 효율적으로 이용될 수 있고 비용이 감소될 수 있다.

[0144] 에칭 조건들(에천트, 에칭 시간 및 온도와 같이)은 산화물 반도체막이 원하는 형상을 가지도록 에칭될 수 있도록 재료에 의존하여 적합하게 조정된다.

[0145] 이 실시형태에서, 산화물 반도체막은 인산, 아세트산 및 질산의 혼합 용액을 에천트로서 이용하여 습식 에칭 방법을 이용하여 섬형상 산화물 반도체층(412)으로 가공된다.

[0146] 이 실시형태에서, 산화물 반도체층(412)은 제 1 가열 처리를 받는다. 제 1 가열 처리의 온도는 400°C 이상 750°C 이하이고, 바람직하게는 400°C 이상 기판의 변형점 이하이다. 여기서, 기판은 가열 처리 장치들 중 하나인 전기로(electric furnace)에 도입되고, 한 시간 동안 450°C의 질소 분위기에서 산화물 반도체층에 대해 가열 처리가 수행된 다음, 산화물 반도체층은 산화물 반도체층으로의 수분 또는 수소의 진입이 방지되도록 대기에 노출되지 않는다; 따라서, 산화물 반도체층이 회득된다. 제 1 가열 처리를 통해, 산화물 반도체층(412)의 탈수화 또는 탈수소화가 행해질 수 있다.

[0147] 열 처리를 위한 장치는 전기로에 제한되지 않고, 저항 발열체와 같은 발열체로부터 열 전도 또는 열 복사를 이용하여 피처리물을 가열하기 위한 장치가 구비된 것일 수 있다. 예를 들면, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid thermal anneal)장치와 같은 RTA(rapid thermal anneal) 장치가 이용될 수 있다. LRTA 장치는, 할로겐 램프, 금속 할로겐화물 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자파)의 복사에 의해 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 이용하여 가열 처리하기 위한 장치이다. 가스로서, 질소 또는 아르곤과 같은 희가스와 같이, 가열 처리로 인해 피처리물과 거의 반응하지 않는 불활성 가스가 이용될 수 있다.

[0148] 예를 들면, 제 1 가열 처리로서, GRTA는 다음과 같이 수행될 수 있다. 기판은 650°C 내지 700°C의 고온으로 가

열된 불활성 가스로 이동되어 넣어지고, 수분 동안 가열되고, 고온으로 가열된 불활성 가스에서 이동되어 꺼내어진다. GRTA는 단시간의 고온 가열 처리가 가능하다.

[0149] 제 1 가열 처리에서, 수분, 수소 등이 헬륨, 네온 또는 아르곤과 같은 희가스나 질소에 포함되지 않음을 유념한다. 대안적으로, 가열 처리를 위한 장치에 도입된 헬륨, 네온 또는 아르곤과 같은 희가스나 질소는 6N(99.9999%) 이상의 순도를 가지고, 바람직하게는 7N(99.99999%) 이상의 순도를 가진다(즉, 불순물 농도가 1ppm 이하로 설정되고, 바람직하게는 0.1ppm 이하로 설정된다).

[0150] 또한, 산화물 반도체층은 제 1 가열 처리의 조건 또는 산화물 반도체층의 재료에 의존하여 미결정막 또는 다결정막이 되도록 결정화될 수 있다. 예를 들면, 산화물 반도체층은 90% 이상 또는 80% 이상의 결정화 정도를 갖는 미결정 산화물 반도체막이 되도록 결정화될 수 있다. 또한, 제 1 가열 처리의 조건 및 산화물 반도체층의 재료에 의존하여, 산화물 반도체층은 결정 성분을 함유하지 않은 비정질 산화물 반도체막이 될 수 있다. 산화물 반도체층은, 미결정 부분(1nm 이상 20nm 이하, 통상적으로 2nm 이상 4nm 이하의 입자 직경)이 비정질 산화물 반도체에 혼합되는 산화물 반도체막이 될 수 있다.

[0151] 대안적으로, 산화물 반도체층의 제 1 가열 처리는, 섬형상 산화물 반도체층으로 가공되지 않은 산화물 반도체막에 대해 수행될 수 있다. 그 경우, 제 1 가열 처리후, 기판은 가열 장치에서 꺼내지고 포토리소그래피 공정이 수행된다.

[0152] 산화물 반도체층에 대한 탈수화 또는 탈수소화의 효과를 갖는 가열 처리가 다음의 타이밍들 중 어느 것에서 수행될 수 있다: 산화물 반도체층이 형성된 후; 소스 전극층 또는 드레인 전극층이 산화물 반도체층 위에 형성된 후; 및 게이트 절연층이 소스 전극층 및 드레인 전극층 위에 형성된 후.

[0153] 다음에, 도전막이 절연층(407) 및 산화물 반도체층(412) 위에 형성된다. 도전막은 예를 들면, 스퍼터링 방법 또는 진공 증착 방법을 이용하여 형성될 수 있다. 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo 또는 W로부터 선택된 원소; 상기 원소들 중 어느 것을 포함한 합금; 이를 원소들 중 어느 것의 조합을 함유한 합금막 등이 존재한다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨 및 톨륨으로부터 선택된 하나 이상의 재료들이 이용될 수 있다. 도전막은 단층 구조 또는 2 이상의 층들의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 포함하는 알루미늄막의 단층 구조, 티타늄막이 알루미늄막 위에 적층된 2층 구조, Ti막, 알루미늄막 및 Ti막이 순서대로 적층된 3층 구조 등이 주어질 수 있다. 대안적으로, 막, 합금막 또는 Al과 다음에서 선택된 하나 또는 복수의 원소들의 조합의 질화막이 이용될 수 있다: 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc).

[0154] 제 2 포토리소그래피 공정이 수행된다. 도전막 위에 레지스트 마스크가 형성되고 선택적 에칭이 수행되어, 소스 또는 드레인 전극층(415a) 및 소스 또는 드레인 전극층(415b)이 형성된다. 그 후에, 레지스트 마스크가 제거된다(도 6b 참조). 소스 전극층 및 드레인 전극층은 그 위에 적층되는 게이트 절연층과의 피복성이 개선될 수 있기 때문에, 테이퍼 형상들을 가지는 것이 바람직함을 유념한다.

[0155] 이 실시형태에서, 티타늄막이, 소스 또는 드레인 전극층(415a) 또는 소스 또는 드레인 전극층(415b)에 대해 스퍼터링 방법을 이용하여 150nm의 두께로 형성된다.

[0156] 재료들 및 에칭 조건들은 산화물 반도체층(412)이 제거되지 않고 산화물 반도체층(412) 아래의 절연층(407)이 도전막이 에칭될 때 노출되지 않도록 적합하게 조정되는 것을 유념한다.

[0157] 제 2 포토리소그래피 공정에서, 산화물 반도체층(412)의 일부만 에칭되고, 그에 의해 그루브(오목부)를 갖는 산화물 반도체층이 형성될 수 있음을 유념한다. 소스 또는 드레인 전극층(415a) 및 소스 또는 드레인 전극층(415b)을 형성하기 위해 이용되는 레지스트 마스크는 잉크-젯 방법을 이용하여 형성될 수 있다. 레지스트 마스크가 잉크-젯 방법을 이용하여 형성될 때, 포토마스크는 이용되지 않는다; 따라서 제작 비용들이 감소될 수 있다.

[0158] 자외선, KrF 레이저 빔 또는 ArF 레이저 빔이 제 2 포토리소그래피 공정에서 레지스트 마스크를 형성하기 위한 노광에 이용된다. 나중에 형성될 박막 트랜지스터의 채널 길이 L은, 산화물 반도체층(412) 위에 서로 인접하는 소스 전극층의 하부와 드레인 전극층의 하부 사이의 간격의 폭에 의존한다. 채널 길이 L이 25nm보다 짧은 경우에 노광이 수행될 때, 수나노미터들 내지 수십 나노미터들의 극도로 짧은 파장들의 초자외선이 제 2 포토리소그래피 공정에서 레지스트 마스크를 형성하기 위한 노광에 이용됨을 유념한다. 초자외선으로의 노광은 고해상 및 큰 초점 심도를 유발한다. 따라서, 나중에 형성될 박막 트랜지스터의 채널 길이 L은 10nm 이상 1000nm 이하로 설정될 수 있다. 따라서, 희로의 동작 속도가 증가되고, 또한 저전력 소비가 달성될 수 있도록 오프 전류가

상당히 작아질 수 있다.

[0159] 다음에, 게이트 절연층(402)이 절연층(407), 산화물 반도체층(412), 소스 또는 드레인 전극층(415a) 및 소스 또는 드레인 전극층(415b) 위에 형성된다(도 6c 참조).

[0160] 게이트 절연층(402)은 산화 실리콘층, 질화 실리콘층, 질화산화 실리콘층 및 산화 알루미늄 층 중 어느 것을 이용하여 플라즈마 CVD 방법, 스퍼터링 방법 등으로 단층 구조 또는 적층 구조로 형성될 수 있다. 게이트 절연층(402)은 게이트 절연층(402)이 수소를 가능한 적게 함유하도록 스퍼터링 방법을 이용하여 형성되는 것이 바람직하다는 것을 유념한다. 산화 실리콘막이 스퍼터링 방법을 이용하여 형성되는 경우, 실리콘 타겟 또는 석영 타겟이 타겟으로서 이용되고, 산소와 아르곤의 혼합 가스가 스퍼터링 가스로서 이용된다.

[0161] 게이트 절연층(402)은 산화 실리콘층 및 질화 실리콘층이 소스 또는 드레인 전극층(415a) 및 소스 또는 드레인 전극층(415b) 층으로부터 적층되는 구조를 가질 수 있다. 예를 들면, 5nm 이상 300nm 이하의 두께를 갖는 산화 실리콘층( $\text{SiO}_x$  ( $x > 0$ ))이 제 1 게이트 절연층으로서 형성되고, 50nm 이상 200nm 이하의 두께를 갖는 질화 실리콘층( $\text{SiN}_y$  ( $y > 0$ ))이 제 1 게이트 절연층 위에 제 2 게이트 절연층으로서 적층된다; 따라서, 100nm의 두께를 갖는 게이트 절연층이 형성될 수 있다. 이 실시형태에서, 산화 실리콘층은 다음의 조건 하에서 RF 스퍼터링 방법을 이용하여 100nm의 두께로 형성된다: 압력은 0.4Pa이고; 고주파 전력은 1.5kW이고; 분위기는 산소와 아르곤을 함유한 분위기이다(아르곤에 대한 산소의 유량은 1:1이다(각각의 유량은 25sccm이다)).

[0162] 그 후에, 제 3 포토리소그래피 공정이 수행된다. 게이트 절연층(402)의 부분들을 제거하기 위해 레지스트 마스크가 형성되고 선택적인 에칭이 수행되어, 소스 또는 드레인 전극층(415a) 및 소스 또는 드레인 전극층(415b)에 각각 도달하는 개구부들(421a 및 421b)이 형성된다(도 6d 참조).

[0163] 그 후에, 도전막이 게이트 절연층(402) 위와 개구부들(421a 및 421b)에 형성된 후에, 게이트 전극층(411) 및 배선층들(414a 및 414b)이 제 4 포토리소그래피 공정에서 형성된다. 레지스트 마스크는 잉크-젯 방법을 이용하여 형성될 수 있음을 유념한다. 레지스트 마스크가 잉크-젯 방법을 이용하여 형성될 때, 포토마스크는 이용되지 않는다; 따라서, 제작 비용들이 감소될 수 있다.

[0164] 또한, 게이트 전극층(411) 및 배선층들(414a 및 414b)은 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴 및 스칸듐과 같은 금속 재료들 중 어느 것 및 이를 재료들 중 어느 것을 주성분으로 포함하는 합금 재료를 이용하여 단층 구조 또는 적층 구조로 형성될 수 있다.

[0165] 게이트 전극층(411) 및 배선층들(414a 및 414b)의 각각의 2층 구조로서, 예를 들면, 몰리브덴층이 알루미늄층 위에 적층되는 2층 구조, 몰리브덴층이 구리층 위에 적층되는 2층 구조, 질화 티타늄층 또는 질화 탄탈층이 구리층 위에 적층되는 2층 구조, 또는 질화 티타늄층 및 몰리브덴층이 적층되는 2층 구조가 바람직하다. 3층 구조로서, 텉스텐층 또는 질화 텉스텐층, 알루미늄 및 실리콘의 합금층 또는 알루미늄 및 티타늄의 합금층 및 질화 티타늄층 또는 티타늄층의 적층이 바람직하다. 게이트 전극층이 투광성 도전막을 이용하여 형성될 수 있다는 것을 유념한다. 투광성 도전성 산화물은 투광성 도전막의 예로서 주어질 수 있다.

[0166] 이 실시형태에서, 티타늄막이 게이트 전극층(411) 및 배선층들(414a 및 414b)로서 스퍼터링 방법을 이용하여 150nm의 두께로 형성된다.

[0167] 다음에, 제 2 가열 처리(바람직하게는 200°C 이상 400°C 이하, 예를 들면 250°C 이상 350°C 이하)가 불활성 가스 분위기 또는 산소 가스 분위기에서 수행된다. 이 실시형태에서, 제 2 가열 처리는 한 시간 동안 250°C로 질소 분위기에서 수행된다. 제 2 가열 처리는 보호 절연층 또는 평탄화 절연층이 박막 트랜지스터(410) 위에 형성된 후에 수행될 수 있다.

[0168] 또한, 가열 처리는 대기중에서 한 시간 이상 30 시간 이하 동안 100°C 이상 200°C 이하로 수행될 수 있다. 이 가열 처리는 고정된 가열 온도로 수행될 수 있다. 대안적으로, 다음의 가열 온도 변화들이 복수 번 반복적으로 행해질 수 있다: 가열 온도는 실온에서 100°C 이상 200°C 이하의 온도까지 증가되고, 그 후에 실온으로 감소된다. 또한, 이 가열 처리는 산화물 절연층의 형성 전에 감압 하에서 수행될 수 있다. 감압 하에서, 가열 시간이 단축될 수 있다.

[0169] 상기 단계들을 통해, 수소, 수분, 수소화물 또는 수산화물의 농도가 감소된 산화물 반도체층(412)을 포함하는 박막 트랜지스터(410)가 형성될 수 있다(도 6e 참조).

[0170] 평탄화를 위한 평탄화 절연층 또는 보호 절연층이 박막 트랜지스터(410) 위에 제공될 수 있다. 예를 들면, 보호

절연층은 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층 및 산화 알루미늄층 중 어느 것을 이용하여 단층 구조 또는 적층 구조로 형성될 수 있다.

[0171] 평탄화 절연층은 폴리이미드, 아크릴 수지, 벤조사이클로부텐 수지, 폴리아미드 또는 에폭시 수지와 같은 내열성 유기 재료를 이용하여 형성될 수 있다. 이들 유기 재료들 외에도, 또한, 저-유전 상수 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 이용하는 것이 가능하다. 평탄화 절연층은 이들 재료들 중 어느 것을 이용하여 형성된 복수의 절연막들을 적층함으로써 형성될 수 있음을 유념한다.

[0172] 실록산계 수지는 시작 재료로서 실록산계 재료를 이용하여 형성된 Si-O-Si 결합을 포함하는 수지에 대응하는 것을 유념한다. 실록산계 수지는 유기기(예를 들면 알킬기 또는 아릴기) 또는 플루오로기를 치환기로서 포함할 수 있다. 또한, 유기기는 플루오로기를 포함할 수 있다.

[0173] 평탄화 절연층을 형성하는 방법에 대한 특정한 제한이 없고, 다음의 방법 또는 수단이 재료에 의존하여 채용될 수 있다: 스퍼터링 방법, SOG 방법, 스판 코팅 방법, 디핑 방법(dipping method), 스프레이 코팅 방법 또는 액적 토출 방법(예를 들면, 잉크-젯 방법, 스크린 인쇄 또는 오프셋 인쇄)과 같은 방법, 또는 닥터 나이프, 률 코터, 커튼 코터 또는 나이프 코터와 같은 도구.

[0174] 이 실시형태는 다른 실시형태들 중 어느 것과 적합하게 조합하여 구현될 수 있다.

[0175] 반응 분위기에 남아있는 수분은 산화물 반도체막을 형성할 때 상기와 같이 제거되고, 그에 의해 산화물 반도체막에서의 수소 및 수소화물의 농도가 감소될 수 있다. 따라서, 산화물 반도체막은 안정화될 수 있다.

[0176] 따라서, 산화물 반도체층을 구비한 박막 트랜지스터를 포함하는 반도체 장치는 안정한 전기 특성들 및 높은 신뢰도를 가질 수 있다.

[0177] (실시형태 3)

[0178] 이 실시형태에서, 이 명세서에 개시된 논리 회로 및 반도체 장치에 포함된 트랜지스터들에 적용될 수 있는 박막 트랜지스터들의 다른 예가 기술된다. 실시형태 2에서의 부분들과 동일한 부분들 및 실시형태 2의 부분들의 기능들과 유사한 기능들을 갖는 부분들 및 실시형태 2에서의 단계들과 유사한 단계들이 실시형태 2로서 다루어질 수 있고, 반복된 기술이 생략된다. 또한, 동일한 부분들의 상세한 기술도 또한 생략된다.

[0179] 이 실시형태의 반도체 장치 및 반도체 장치의 제작 방법의 일 실시형태는 도 7a 및 도 7b 및 도 8a 내지 도 8e를 참조하여 기술된다.

[0180] 도 7a 및 도 7b는 반도체 장치의 평면 구조 및 단면 구조예를 도시한다. 도 7a 및 도 7b에 도시된 박막 트랜지스터(460)는 상부 게이트 박막 트랜지스터들 중 하나이다.

[0181] 도 7a는 상부-게이트 구조를 갖는 박막 트랜지스터(460)의 평면도이고, 도 7b는 도 7a의 D1-D2를 따라 취해진 단면도이다.

[0182] 박막 트랜지스터(460)는, 절연 표면을 갖는 기판(450) 위에, 절연층(457), 소스 또는 드레인 전극층(465a)(465a1 및 465a2), 산화물 반도체층(462), 소스 또는 드레인 전극층(465b), 배선층(468), 게이트 절연층(452) 및 게이트 전극층(461)(461a 및 461b)을 포함한다. 소스 또는 드레인 전극층(465a)(465a1 및 465a2)은 배선층(468)을 통해 배선층(464)에 전기적으로 접속된다. 도시되지 않았지만, 소스 또는 드레인 전극층(465b)은 게이트 절연층(452)에 형성된 개구부를 통해 배선층에 전기적으로 접속된다.

[0183] 기판(450) 위에 박막 트랜지스터(460)를 제작하는 공정은 도 8a 내지 도 8e를 참조하여 하기에 기술된다.

[0184] 먼저, 하지막이 되는 절연층(457)이 기판(450) 위에 형성된다.

[0185] 이 실시형태에서, 산화 실리콘층이 절연층(457)으로서 스퍼터링 방법을 이용하여 형성된다. 기판(450)은 처리실로 이동되고, 수소 및 수분이 제거되고 고순도 산소를 함유한 고순도 스퍼터링 가스가 도입되고, 그에 의해 산화 실리콘층이 실리콘 타겟 또는 석영(바람직하게 합성 석영)을 이용하여 기판(450) 위에 절연층(457)으로서 형성된다. 스퍼터링 가스로서, 산소 또는 산소와 아르곤의 혼합 가스가 이용된다.

[0186] 예를 들면, 산화 실리콘막이 다음의 조건 하에서 RF 스퍼터링 방법을 이용하여 형성된다: 스퍼터링 가스의 순도는 6N이다; 석영(바람직하게는 합성 석영)이 이용된다; 기판 온도는 108°C이다; 기판과 타겟 사이의 거리(T-S 거리)는 60mm이다; 압력은 0.4Pa이다; 고주파 전력은 1.5kW이다; 그리고 분위기는 산소 및 아르곤을 함유한 분

위기이다(아르곤에 대한 산소의 유량은 1: 1이다(각각의 유량은 25sccm이다)). 산화 실리콘막의 두께는 100nm이다. 석영(바람직하게, 합성 석영) 대신에, 산화 실리콘막이 형성될 때 이용되는 타겟으로서 실리콘 타겟이 이용될 수 있음을 유념한다.

[0187] 그 경우, 절연층(457)은 처리실에 남아있는 수분을 제거하여 형성되는 것이 바람직하다. 이것은 수소, 수산기 및 수분이 절연층(457)에 함유되는 것을 방지하기 위한 것이다. 크라이오 펌프로 배기되는 성막실에서, 수소 원자, 수분( $H_2O$ )과 같이 수소 원자를 함유한 화합물 등이 제거되고, 그에 의해 성막실에서 형성된 절연층(457)의 불순물의 농도가 감소될 수 있다.

[0188] 절연층(457)이 형성될 때 이용되는 스퍼터링 가스로서, 수소, 수분, 수산기 또는 수소화물과 같은 불순물이 ppm 또는 ppb의 레벨로 표현되는 농도까지 제거되는 고순도 가스를 이용하는 것이 바람직하다.

[0189] 또한, 절연층(457)은 예를 들면, 질화 실리콘층, 질화산화 실리콘층, 질화 알루미늄층 또는 질화산화 알루미늄층과 같은 질화물 절연층 및 산화물 절연층이 기판(450)측으로부터 순서대로 적층되는 적층 구조를 가질 수 있다.

[0190] 예를 들면, 수소 및 수분이 제거되고 질소를 함유한 고순도 스퍼터링 가스가 도입되고 실리콘 타겟이 이용되고, 그에 의해 질화 실리콘층이 산화 실리콘층과 기판 사이에 형성된다. 이 경우, 질화 실리콘층은 산화 실리콘층과 유사하게, 처리실에 남아있는 수분을 제거하여 형성되는 것이 바람직하다.

[0191] 다음에, 도전막이 절연층(457) 위에 형성되고 및 제 1 포토리소그래피 공정이 수행된다. 레지스트 마스크는 도전막 위에 형성되고 선택적인 에칭이 수행되어, 소스 또는 드레인 전극층(465a1 및 465a2)이 형성된다. 그 후에, 레지스트 마스크가 제거된다(도 8a 참조). 단면도에서 소스 또는 드레인 전극층(465a1 및 465a2)이 분할되는 것처럼 보인다; 그러나, 소스 또는 드레인 전극층(465a1 및 465a2)은 연속되는 막이다. 소스 전극층 및 드레인 전극층은 그 위에 적층되는 게이트 절연층과의 피복성이 개선될 수 있기 때문에, 테이퍼 형상들을 가지는 것이 바람직함을 유념한다.

[0192] 소스 또는 드레인 전극층(465a1 및 465a2)의 재료로서, Al, Cr, Cu, Ta, Ti, Mo 또는 W로부터 선택된 원소; 상기 원소들 중 어느 것을 포함한 합금; 이들 원소들 중 어느 것의 조합을 함유한 합금막 등이 존재한다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨 및 틸륨으로부터 선택된 하나 이상의 재료들이 이용될 수 있다. 도전막은 단층 구조 또는 2 이상의 층들의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 포함하는 알루미늄막의 단층 구조, 티타늄막이 알루미늄막 위에 적층된 2층 구조, Ti막, 알루미늄막 및 Ti막이 순서대로 적층된 3층 구조 등이 주어질 수 있다. 대안적으로, 막, 합금막 또는 Al과 다음에서 선택된 하나 또는 복수의 원소들의 조합의 질화막이 이용될 수 있다: 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc).

[0193] 이 실시형태에서, 티타늄막이, 소스 또는 드레인 전극층(465a1 및 465a2)에 대해 스퍼터링 방법을 이용하여 150nm의 두께로 형성된다.

[0194] 그 후에, 산화물 반도체막이 게이트 절연층(452) 위에 2nm 이상 200nm 이하의 두께로 형성된다.

[0195] 그 후에, 산화물 반도체막이 형성되고, 제 2 포토리소그래피 공정에서, 산화물 반도체막은 섬형상 산화물 반도체층(462)으로 가공된다(도 8b 참조). 이 실시형태에서, 산화물 반도체막은 In-Ga-Zn-O계 산화물 반도체 성막용 타겟을 이용하여 스퍼터링 방법으로 형성된다.

[0196] 기판은 감압 하에서 유지된 처리실에 유지되고, 수소 및 수분이 제거된 스퍼터링 가스가 남아있는 수분이 제거된 처리실로 도입되고, 산화물 반도체막이 타겟으로서 금속 산화물을 이용하여 기판(450) 위에 성막된다. 처리실에 남아있는 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 또한, 배기 수단은 냉각 트랩이 구비된 터보 펌프일 수 있다. 크라이오 펌프로 배기되는 성막실에서, 수소 원자, 물( $H_2O$ )과 같은 수소 원자를 함유한 화합물,(더욱 바람직하게, 또한 탄소 원자를 함유한 화합물) 등이 제거되고, 그에 의해 성막실에서 형성된 산화물 반도체막의 불순물의 농도가 감소될 수 있다. 기판은 산화물 반도체막이 형성될 때 가열될 수 있다.

[0197] 산화물 반도체막이 형성될 때 이용되는 스퍼터링 가스로서, 수소, 수분, 수산기 또는 수소화물과 같은 불순물이 ppm 또는 ppb의 레벨로 표현되는 농도까지 제거되는 고순도 가스를 이용하는 것이 바람직하다.

[0198] 성막 조건의 예는 다음과 같다: 기판 온도는 실온이고, 기판과 타겟 사이의 거리는 60mm이고, 압력은

0.4Pa이고, DC 전력은 0.5kW이고, 분위기는 산소 및 아르곤을 함유한 분위기이다(아르곤에 대한 산소의 유량은 15sccm:30sccm이다). 성막시 생성되는 가루 물질들(또한, 입자들 또는 먼지라고도 칭해짐)이 감소될 수 있고 막 두께가 균일해질 수 있기 때문에 펠스식 DC 전원이 이용되는 것이 바람직하다. 산화물 반도체막은 5nm 이상 30nm 이하의 두께를 가지는 것이 바람직하다. 적합한 두께는 이용된 산화물 반도체 재료에 의존하고 두께는 재료에 따라 선택될 수 있음을 유념한다.

[0199] 이 실시형태에서, 산화물 반도체막은, 예천트로서 인산, 아세트산, 질산의 혼합 용액으로 습식 에칭 방법을 이용하여 섬형상 산화물 반도체층(462)으로 가공된다.

[0200] 다음에, 산화물 반도체층(462)은 제 1 가열 처리를 받는다. 제 1 가열 처리의 온도는 400°C 이상 750°C 이하이고, 바람직하게는 400°C 이상 기판의 변형점 이하이다. 여기서, 기판은 가열 처리 장치들 중 하나인 전기로에 도입되고, 한 시간 동안 450°C의 질소 분위기에서 산화물 반도체층에 대해 가열 처리가 수행된 다음, 산화물 반도체층은 산화물 반도체층으로의 수분 또는 수소의 진입이 방지되도록 대기애 노출되지 않는다; 따라서, 산화물 반도체층이 획득된다. 제 1 가열 처리를 통해, 산화물 반도체층(462)의 탈수화 또는 탈수소화가 행해질 수 있다.

[0201] 열 처리를 위한 장치는 전기로에 제한되지 않고, 저항 발열체와 같은 발열체로부터 열 전도 또는 열 복사를 이용하여 피처리물을 가열하기 위한 장치가 구비된 것일 수 있다. 예를 들면, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid thermal anneal)장치와 같은 RTA(rapid thermal anneal) 장치가 이용될 수 있다. 예를 들면, 제 1 가열 처리로서, GRTA는 다음과 같이 수행될 수 있다. 기판은 650°C 내지 700°C의 고온으로 가열된 불활성 가스로 이동되어 넣어지고, 수 분 동안 가열되고, 고온으로 가열된 불활성 가스에서 이동되어 꺼내어 진다. GRTA는 단시간의 고온 가열 처리가 가능하다.

[0202] 제 1 가열 처리에서, 수분, 수소 등이 헬륨, 네온 또는 아르곤과 같은 희가스나 질소에 포함되지 않음을 유념한다. 대안적으로, 가열 처리를 위한 장치에 도입된 헬륨, 네온 또는 아르곤과 같은 희가스나 질소는 6N(99.9999%) 이상의 순도를 가지고, 바람직하게는 7N(99.99999%) 이상의 순도를 가진다(즉, 불순물 농도가 1ppm 이하로 설정되고, 바람직하게는 0.1ppm 이하로 설정된다).

[0203] 또한, 산화물 반도체층은 제 1 가열 처리의 조건 또는 산화물 반도체층의 재료에 의존하여 미결정막 또는 다결정막이 되도록 결정화될 수 있다.

[0204] 대안적으로, 산화물 반도체층의 제 1 가열 처리는 아직 섬형상 산화물 반도체층으로 가공되지 않은 산화물 반도체막에 대해 수행될 수 있다. 그 경우, 제 1 가열 처리후, 기판은 가열 장치로부터 꺼내지고, 포토리소그래피 공정이 수행된다.

[0205] 산화물 반도체층에 대한 탈수화 또는 탈수소화의 효과를 갖는 가열 처리가 다음의 타이밍들 중 어느 것에서 수행될 수 있다: 산화물 반도체층이 형성된 후; 소스 전극층 및 드레인 전극층이 산화물 반도체층 위에 형성된 후; 및 게이트 절연층이 소스 전극층 및 드레인 전극층 위에 형성된 후.

[0206] 다음에, 도전막이 절연층(457) 및 산화물 반도체층(462) 위에 형성되고, 제 3 포토리소그래피 공정이 수행된다. 레지스트 마스크는 도전막 위에 형성되고 선택적인 에칭이 수행되어, 소스 또는 드레인 전극층(465b) 및 배선층(468)이 형성된다. 그 후에, 레지스트 마스크가 제거된다(도 8c 참조). 소스 또는 드레인 전극층(465b) 및 배선층(468)은 소스 또는 드레인 전극층(465a1 및 465a2)의 재료 및 단계들과 유사한 재료 및 단계들을 이용하여 형성될 수 있다.

[0207] 이 실시형태에서, 티타늄막이, 소스 또는 드레인 전극층(465b) 및 배선층(468)에 대해 스퍼터링 방법을 이용하여 150nm의 두께로 형성된다. 이 실시형태에서, 동일한 티타늄막이 소스 또는 드레인 전극층(465a1 및 465a2) 및 소스 또는 드레인 전극층(465b)에 이용되어, 소스 또는 드레인 전극층(465a1 및 465a2)의 에칭율은 소스 또는 드레인 전극층(465b)의 에칭율과 동일하거나 실질적으로 동일하다. 따라서, 배선층(468)은 소스 또는 드레인 전극층(465b)이 에칭될 때 소스 또는 드레인 전극층(465a1 및 465a2)이 에칭되는 것을 방지하기 위해, 산화물 반도체층(462)으로 피복되지 않은 소스 또는 드레인 전극층(465a2)의 일부 위에 제공된다. 소스 또는 드레인 전극층(465b)의 높은 선택비를 에칭 단계에서 소스 또는 드레인 전극층(465a1 및 465a2)에 제공하는 상이한 재료들을 이용하는 경우에, 에칭시 소스 또는 드레인 전극층(465a2)을 보호하는 배선층(468)이 반드시 제공될 필요는 없다.

[0208] 재료들 및 에칭 조건들은 도전막이 에칭될 때 산화물 반도체층(462)이 제거되지 않도록 적합하게 조정되는 것을

유념한다.

[0209] 제 3 포토리소그래피 공정에서, 산화물 반도체층(462)의 일부만 에칭되고, 그에 의해 그루브(오목부)를 갖는 산화물 반도체층이 형성될 수 있음을 유념한다. 소스 또는 드레인 전극층(465b) 및 배선층(468)을 형성하기 위해 이용되는 레지스트 마스크는 잉크-젯 방법을 이용하여 형성될 수 있다. 레지스트 마스크가 잉크-젯 방법을 이용하여 형성될 때, 포토마스크는 이용되지 않는다; 따라서 제작 비용들이 감소될 수 있다.

[0210] 다음에, 게이트 절연층(452)이 절연층(457), 산화물 반도체층(462), 소스 또는 드레인 전극층(465a1 및 465a2), 소스 또는 드레인 전극층(465b) 및 배선층(468) 위에 형성된다.

[0211] 게이트 절연층(452)은 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층 및 산화 알루미늄 층 중 어느 것을 이용하여 플라즈마 CVD 방법, 스퍼터링 방법 등으로 단층 구조 또는 적층 구조로 형성될 수 있다. 게이트 절연층(452)은 게이트 절연층(452)이 수소를 가능한 적게 함유하도록 스퍼터링 방법을 이용하여 형성되는 것이 바람직하다는 것을 유념한다. 산화 실리콘막이 스퍼터링 방법을 이용하여 형성되는 경우, 실리콘 타겟 또는 석영 타겟이 타겟으로서 이용되고, 산소와 아르곤의 혼합 가스가 스퍼터링 가스로서 이용된다.

[0212] 게이트 절연층(452)은 산화 실리콘층 및 질화 실리콘층이 소스 또는 드레인 전극층(465a1 및 465a2) 및 소스 또는 드레인 전극층(465b) 측으로부터 적층되는 구조를 가질 수 있다. 이 실시형태에서, 산화 실리콘층은 다음의 조건 하에서 RF 스퍼터링 방법을 이용하여 100nm의 두께로 형성된다: 압력은 0.4Pa이고; 고주파 전력은 1.5kW이고; 분위기는 산소와 아르곤을 함유한 분위기이다(아르곤에 대한 산소의 유량은 1:1이다(각각의 유량은 25sccm이다)).

[0213] 다음, 제 4 포토리소그래피 공정이 수행된다. 게이트 절연층(452)의 일부를 제거하기 위해 레지스트 마스크가 형성되고 선택적인 에칭이 수행되어, 배선층(438)에 도달하는 개구부(423)가 형성된다(도 8d 참조). 도시되지 않았지만, 개구부(423)를 형성할 때, 소스 또는 드레인 전극층(456b)에 도달하는 개구부가 형성될 수 있다. 이 실시형태에서, 소스 또는 드레인 전극층(456b)에 도달하는 개구부는 충간 절연층이 더 적층된 후에 형성되고, 전기 접속을 위한 배선층이 개구부에 형성된다.

[0214] 그 후에, 도전막이 게이트 절연층(452) 위 및 개구부(423)에 형성된 후에, 게이트 전극층(461)(461a 및 461b) 및 배선층(464)이 제 5 포토리소그래피 공정으로 형성된다. 레지스트 마스크는 잉크-젯 방법을 이용하여 형성될 수 있음을 유념한다. 레지스트 마스크가 잉크-젯 방법을 이용하여 형성될 때, 포토마스크는 이용되지 않는다; 따라서, 제작 비용들이 감소될 수 있다.

[0215] 또한, 게이트 전극층(461)(461a 및 461b) 및 배선층(464)은, 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴 및 스칸듐과 같은 금속 재료들 중 어느 것 및 이들 재료들 중 어느 것을 주성분으로 포함하는 합금 재료를 이용하여 단층 구조 또는 적층 구조로 형성될 수 있다.

[0216] 이 실시형태에서, 티타늄막이 게이트 전극층(461)(461a 및 461b) 및 배선층(464)에 대해 스퍼터링 방법을 이용하여 150nm의 두께로 형성된다.

[0217] 다음에, 제 2 가열 처리(바람직하게 200°C 이상 400°C 이하, 예를 들면 250°C 이상 350°C 이하)가 불활성 가스 분위기 또는 산소 가스 분위기에서 수행된다. 이 실시형태에서, 제 2 가열 처리는 한 시간 동안 250°C로 질소 분위기에서 수행된다. 제 2 가열 처리는 보호 절연층 또는 평탄화 절연층이 박막 트랜지스터(410) 위에 형성된 후에 수행될 수 있다.

[0218] 또한, 가열 처리는 대기중에서 한 시간 이상 30 시간 이하 동안 100°C 이상 200°C 이하로 수행될 수 있다. 이 가열 처리는 고정된 가열 온도로 수행될 수 있다. 대안적으로, 다음의 가열 온도 변화들이 복수 번 반복적으로 행해질 수 있다: 가열 온도는 실온에서 100°C 이상 200°C 이하의 온도까지 증가되고, 그 후에 실온으로 감소된다. 또한, 이 가열 처리는 산화물 절연층의 형성 전에 감압 하에서 수행될 수 있다. 감압 하에서, 가열 시간이 단축될 수 있다.

[0219] 상기 단계들을 통해, 수소, 수분, 수소화물 또는 수산화물의 농도가 감소된 산화물 반도체층(462)을 포함하는 박막 트랜지스터(460)가 형성될 수 있다(도 8e 참조).

[0220] 평탄화를 위한 평탄화 절연층 또는 보호 절연층이 박막 트랜지스터(460) 위에 제공될 수 있다. 도시되지 않았지만, 소스 또는 드레인 전극층(465b)에 도달하는 개구부가 형성될 수 있다. 이 실시형태에서, 소스 또는 드레인 전극층(465b)에 도달하는 개구부는, 게이트 절연층(452), 보호 절연층 및 평탄화층에 형성되고, 소스 또는 드레

인 전극층(465b)에 대한 전기 접속을 위한 배선층이 개구부에 형성된다.

[0221] 이 실시형태는 다른 실시형태들 중 어느 것과 적합하게 조합하여 구현될 수 있다.

[0222] 반응 분위기에 남아있는 수분은 산화물 반도체막을 형성할 때 상기와 같이 제거되고, 그에 의해 산화물 반도체 막에서의 수소 및 수소화물의 농도가 감소될 수 있다. 따라서, 산화물 반도체막은 안정화될 수 있다.

[0223] 따라서, 산화물 반도체층을 구비한 박막 트랜지스터를 포함하는 반도체 장치는 안정한 전기 특성들 및 높은 신뢰도를 가질 수 있다.

[0224] (실시형태 4)

[0225] 이 실시형태에서, 이 명세서에 개시된 논리 회로 및 반도체 장치에 포함된 트랜지스터들에 적용될 수 있는 박막 트랜지스터들의 다른 예가 기술된다. 실시형태 2에서의 부분들과 동일한 부분들 및 실시형태 2의 부분들의 기능들과 유사한 기능들을 갖는 부분들 및 실시형태 2에서의 단계들과 유사한 단계들이 실시형태 2로서 다루어질 수 있고, 반복된 기술이 생략된다. 또한, 동일한 부분들의 상세한 기술도 또한 생략된다. 이 실시형태에 기술된 박막 트랜지스터들(425 및 426)은 실시형태 1에서의 논리 회로 및 반도체 장치에 포함되는 박막 트랜지스터들에 이용될 수 있다.

[0226] 이 실시형태의 박막 트랜지스터들은 도 9a 및 도 9b를 참조하여 기술된다.

[0227] 도 9a 및 도 9b는 박막 트랜지스터들의 단면 구조예를 도시한다. 도 9a 및 도 9b의 박막 트랜지스터들(425 및 426)은 각각, 산화물 반도체층이 도전층과 게이트 전극층 사이에 개재된 박막 트랜지스터들 중 하나이다.

[0228] 또한, 도 9a 및 도 9b에서, 실리콘 기판이 기판으로서 이용되고, 박막 트랜지스터들(425 및 426)은 실리콘 기판(420) 위에 형성된 절연층(422) 위에 제공된다.

[0229] 도 9a에서, 도전층(427)은 적어도 전체 산화물 반도체층(412)과 중첩하도록 실리콘 기판(420) 위의 절연층(407)과 절연층(422) 사이에 형성된다.

[0230] 도 9b는 절연층(422)과 절연층(407) 사이의 도전층이 예칭에 의해 도전층(424)과 같이 가공되고, 적어도 채널 형성 영역을 포함하는 산화물 반도체층(412)의 일부와 오버랩하는 예를 도시하는 것을 유념한다.

[0231] 도전층들(427 및 424)은 나중 단계에서 수행될 가열 처리를 위한 온도를 견딜 수 있는 금속 재료를 이용하여 각각 형성될 수 있다: 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 원소, 상기 원소들 중 어느 것을 구성성분으로 함유한 합금, 이를 원소들의 임의의 조합을 함유한 합금막, 상기 원소들 중 어느 것을 구성성분으로 함유한 질화물 등. 또한, 도전층들(427 및 424)은 단층 구조 또는 적층 구조를 각각 가질 수 있고, 예를 들면 텅스텐층의 단일층 또는 질화 텅스텐층과 텅스텐층의 적층이 이용될 수 있다.

[0232] 도전층들(427 및 424)의 전위는 박막 트랜지스터들(425 및 426)의 게이트 전극층(411)의 전위와 동일하거나 상이할 수 있다. 도전층들(427 및 424)은 또한 제 2 게이트 전극층으로서 각각 기능할 수 있다. 도전층들(427 및 424)의 전위는 GND 또는 0V와 같이 고정된 전위일 수 있다.

[0233] 박막 트랜지스터들(425 및 426)의 전기 특성들은 도전층들(427 및 424)에 의해 제어될 수 있다.

[0234] 이 실시형태는 다른 실시형태들 중 어느 것과 적합하게 조합하여 구현될 수 있다.

[0235] 삭제

[0236] (실시형태 5)

[0237] 이 실시형태에서, 이 명세서에 개시된 논리 회로 및 반도체 장치에 포함된 트랜지스터들에 적용될 수 있는 박막 트랜지스터들의 예를 도시한다.

[0238] 이 실시형태의 박막 트랜지스터 및 박막 트랜지스터의 제작 방법의 일 실시형태는 도 10a 내지 도 10e를 참조하여 기술된다.

[0239] 도 10a 내지 도 10e는 박막 트랜지스터의 단면 구조예를 도시한다. 도 10a 내지 도 10e에 도시된 박막 트랜지스터(390)는 하부 게이트 박막 트랜지스터들 중 하나이고, 역 스태거형 박막 트랜지스터라고도 칭해진다.

[0240] 단일-게이트 박막 트랜지스터를 박막 트랜지스터(390)로서 이용하는 기술이 주어지지만, 복수의 채널 형성 영역들을 포함하는 멀티-게이트 박막 트랜지스터가 필요시 형성될 수 있다.

[0241] 기판(394) 위에 박막 트랜지스터(390)를 제작하는 공정은 도 10a 내지 도 10e를 참조하여 하기에 기술된다.

[0242] 먼저, 절연 표면을 갖는 기판(394) 위에 도전막이 형성된 후에, 게이트 전극층(391)이 제 1 포토리소그래피 공정으로 형성된다. 게이트 전극층은 그 위에 적층된 게이트 절연층과의 괴복성이 개선될 수 있기 때문에 테이퍼 형상을 가지는 것이 바람직하다. 레지스트 마스크는 잉크-젯 방법을 이용하여 형성될 수 있음을 유념한다. 레지스트 마스크가 잉크-젯 방법을 이용하여 형성될 때, 포토마스크는 이용되지 않는다; 따라서 제작 비용들이 감소될 수 있다.

[0243] 나중에 수행될 가열 처리를 견디기 위해 적어도 내열성을 가진다면, 절연 표면을 갖는 기판(394)으로서 이용될 수 있는 기판에 대한 특정한 제한이 없다. 바륨보로실리케이트 유리, 알루미노보로실리케이트 유리 등을 이용하여 형성된 유리 기판이 이용될 수 있다.

[0244] 나중에 수행되는 가열 처리의 온도가 높을 때, 730°C 이상의 변형점을 갖는 기판이 유리 기판으로 이용되는 것이 바람직하다. 유리 기판의 재료로서, 예를 들면, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리 또는 바륨보로실리케이트 유리와 같은 유리 재료가 이용된다. 일반적으로, 산화 봉소보다 많은 양의 산화 바륨 ( $BaO$ )을 함유함으로써, 유리 기판은 내열성이 있고 더욱 실용적임을 유념한다. 따라서,  $B_2O_3$ 보다 많은 양의  $BaO$ 을 함유한 유리 기판이 이용되는 것이 바람직하다.

[0245] 상술된 유리 기판 대신에, 세라믹 기판, 석영 기판 또는 사파이어 기판과 같은 절연체를 이용하여 형성된 기판이 기판(394)으로 이용될 수 있음을 유념한다. 대안적으로, 결정화된 유리 기판 등이 이용될 수 있다. 또한 대안적으로, 플라스틱 기판 등이 적합하게 이용될 수 있다.

[0246] 하지막이 되는 절연막이 기판(394)과 게이트 전극층(391) 사이에 제공될 수 있다. 하지막은 기판(394)으로부터 불순물 원소의 확산을 방지하는 기능을 가지고, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막 및 산화질화 실리콘막 중 어느 것을 이용하여 단층 구조 또는 적층 구조로 형성될 수 있다.

[0247] 또한, 게이트 전극층(391)은 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴 및 스칸듐과 같은 금속 재료들 중 어느 것 및 이들 재료들 중 어느 것을 주성분으로 포함하는 합금 재료를 이용하여 단층 구조 또는 적층 구조로 형성될 수 있다.

[0248] 게이트 전극층(391)의 2층 구조로서, 예를 들면, 몰리브덴층이 알루미늄층 위에 적층되는 2층 구조, 몰리브덴층이 구리층 위에 적층되는 2층 구조, 질화 티타늄층 또는 질화 탄탈층이 구리층 위에 적층되는 2층 구조, 질화 티타늄층 및 몰리브덴층이 적층되는 2층 구조, 또는 질화 텉스텐층 및 텉스텐층이 적층되는 2층 구조가 바람직하다. 3층 구조로서, 텉스텐층 또는 질화 텉스텐층, 알루미늄 및 실리콘의 합금층 또는 알루미늄 및 티타늄의 합금층 및 질화 티타늄층 또는 티타늄층이 바람직하다. 게이트 전극층이 투광성 도전막을 이용하여 형성될 수 있다는 것을 유념한다. 투광성 도전성 산화물은 투광성 도전막의 예로서 주어질 수 있다.

[0249] 그 후에, 게이트 절연층(397)이 게이트 전극층(391) 위에 형성된다.

[0250] 게이트 절연층(397)은 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층 및 산화 알루미늄층 중 어느 것을 이용하여 플라즈마 CVD 방법, 스퍼터링 방법 등으로 단층 구조 또는 적층 구조로 형성될 수 있다. 게이트 절연층(397)은 게이트 절연층(397)이 수소를 가능한 적게 함유하도록 스퍼터링 방법을 이용하여 형성되는 것이 바람직함을 유념한다. 산화 실리콘막이 스퍼터링 방법을 이용하여 형성되는 경우, 실리콘 타겟 또는 석영 타겟이 타겟으로서 이용되고, 산소와 아르곤의 혼합된 가스가 스퍼터링 가스로서 이용된다.

[0251] 게이트 절연층(397)은 질화 실리콘층 및 산화 실리콘층이 게이트 전극층(391) 층으로부터 적층되는 구조를 가질 수 있다. 예를 들면, 50nm 이상 200nm 이하의 두께를 갖는 질화 실리콘층( $SiN_y$  ( $y > 0$ ))이 제 1 게이트 절연층으로서 스퍼터링 방법을 이용하여 형성되고, 5nm 이상 300nm 이하의 두께를 갖는 산화 실리콘층( $SiO_x$  ( $x > 0$ )))이 제 1 게이트 절연층 위에서 제 2 게이트 절연층으로서 적층된다; 따라서, 100nm의 두께를 갖는 게이트 절연층이 형성될 수 있다.

[0252] 또한, 수소, 수산기 및 수분이 게이트 절연층(397) 및 산화물 반도체막(393)에 가능한 적게 함유되게 하기 위해, 게이트 전극층(391)이 형성된 기판(394) 또는 게이트 절연층(397)까지 층들이 형성된 기판(394)은 기판(394)에 흡착되는 수소 및 수분과 같은 불순물들이 제거되도록 막 형성을 위한 사전 처리로서 스퍼터링 장치의

예열실에서 예열되는 것이 가능하다. 예열을 위한 온도는 100°C 이상 400°C 이하이고, 바람직하게는 150°C 이상 300°C 이하이다. 예열실에 제공되는 배기 수단으로서 크라이오 펌프가 바람직하다는 것을 유념한다. 이 예열 처리는 생략될 수 있음을 유념한다. 또한, 산화물 절연층(396)의 형성 전에, 소스 전극층(395a) 및 드레인 전극층(395b)까지의 층이 형성된 기판(394)에 대해 예열이 유사하게 수행될 수 있다.

[0253] 그 후에, 산화물 반도체막(393)이 게이트 절연층(397) 위에 2nm 이상 200nm 이하의 두께로 형성된다(도 10a 참조).

[0254] 산화물 반도체막(393)이 스퍼터링 방법을 이용하여 형성되기 전에, 게이트 절연층(397)의 표면에 부착된 먼지는, 아르곤 가스가 도입되어 플라즈마가 생성되는 역 스퍼터링으로 제거되는 것이 바람직하다는 것을 유념한다.

[0255] 산화물 반도체막(393)은 스퍼터링 방법을 이용하여 형성된다. 산화물 반도체막(393)은 In-Ga-Zn-O계 산화물 반도체막, In-Sn-Zn-O계 산화물 반도체막, In-Al-Zn-O계 산화물 반도체막, Sn-Ga-Zn-O계 산화물 반도체막, Al-Ga-Zn-O계 산화물 반도체막, Sn-Al-Zn-O계 산화물 반도체막, In-Zn-O계 산화물 반도체막, Sn-Zn-O계 산화물 반도체막, Al-Zn-O계 산화물 반도체막, In-O계 산화물 반도체막, Sn-O계 산화물 반도체막, 또는 Zn-O계 산화물 반도체막을 이용하여 형성된다. 이 실시형태에서, 산화물 반도체막(393)은 In-Ga-Zn-O계 산화물 반도체 성막용 타겟을 이용하여 스퍼터링 방법으로 형성된다. 또한, 산화물 반도체막(393)은 희가스(통상적으로, 아르곤) 분위기, 산소 분위기 또는 희가스(통상적으로, 아르곤)와 산소를 함유한 혼합된 분위기에서 스퍼터링 방법을 이용하여 형성될 수 있다. 스퍼터링 방법을 채용하는 경우, 2wt% 이상 10wt% 이하의 SiO<sub>2</sub>를 함유한 타겟이 막 형성에 이용될 수 있다.

[0256] 스퍼터링 방법을 이용하여 산화물 반도체막(393)을 형성하기 위한 타겟으로서, 산화 아연을 주성분으로 함유한 금속 산화물 타겟이 이용될 수 있다. 금속 산화물 타겟의 다른 예로서, In, Ga 및 Zn (조성비에서, In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO = 1:1:1 [mol%], In:Ga:Zn = 1:1:0.5 [atomic%])을 함유한 산화물 반도체 성막용 타겟이 이용될 수 있다. 대안적으로, In, Ga 및 Zn (조성비에서, In:Ga:Zn = 1:1:1 또는 1:1:2 [atomic%])을 함유한 산화물 반도체 성막용 타겟이 이용될 수 있다. 산화물 반도체 성막용 타겟의 충전율은 90% 이상 100% 이하이고, 바람직하게는 95% 이상 99.9% 이하이다. 고충전율을 가진 산화물 반도체 성막용 타겟의 이용으로, 조밀한 산화물 반도체막이 형성된다.

[0257] 기판은 감압 하에서 유지된 처리실에 유지되고, 기판은 실온 또는 400 °C보다 낮은 온도로 가열된다. 그 후에, 수소 및 수분이 제거된 스퍼터링 가스가 남아있는 수분이 제거된 처리실로 도입되고, 산화물 반도체막(393)이 타겟으로서 금속 산화물을 이용하여 기판(394) 위에 형성된다. 처리실에 남아있는 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 또한, 배기 수단은 냉각 트랩이 구비된 터보 펌프일 수 있다. 크라이오 펌프로 배기되는 성막실에서, 수소 원자, 물(H<sub>2</sub>O)과 같이 수소 원자를 함유한 화합물(더욱 바람직하게, 또한 탄소 원자를 함유한 화합물) 등이 제거되고, 그에 의해 성막실에서 형성된 산화물 반도체막의 불순물의 농도가 감소될 수 있다.

[0258] 성막 조건의 예는 다음과 같다: 기판과 타겟 사이의 거리는 60mm이고, 압력은 0.6Pa이고, DC 전력은 0.5kW이고, 분위기는 산소 분위기이다(산소의 유량은 100%이다). 성막시 생성되는 가루 물질들이 감소될 수 있고 막 두께가 균일해질 수 있기 때문에 펄스식 DC 전원이 이용되는 것이 바람직하다. 산화물 반도체막은 5nm 이상 30nm 이하의 두께를 가지는 것이 바람직하다. 적합한 두께는 이용된 산화물 반도체 재료에 의존하고 두께는 재료에 따라 선택될 수 있음을 유념한다.

[0259] 그 후에, 제 2 포토리소그래피 공정에서, 산화물 반도체막이 섬형상 산화물 반도체층(399)으로 가공된다(도 10b 참조). 섬형상 산화물 반도체층(399)을 형성하기 위한 레지스트 마스크는 잉크-젯 방법을 이용하여 형성될 수 있다. 레지스트 마스크가 잉크-젯 방법을 이용하여 형성될 때, 포토마스크는 이용되지 않는다; 따라서, 제작 비용들이 감소될 수 있다.

[0260] 산화물 반도체층(399)을 형성할 때, 콘택트 홀이 게이트 절연층(397)에 형성될 수 있다.

[0261] 산화물 반도체층(399)의 예칭은 건식 예칭, 습식 예칭, 또는 건식 예칭과 습식 예칭 둘다일 수 있음을 유념한다.

[0262] 건식 예칭을 위한 예칭 가스로서, 염소를 함유한 가스(염소(Cl<sub>2</sub>), 염화 봉소(BCl<sub>3</sub>), 염화 실리콘(SiCl<sub>4</sub>), 또는

사염화탄소( $CCl_4$ )와 같은 염소계 가스)가 이용되는 것이 바람직하다.

[0263] 대안적으로, 플루오르를 함유한 가스(사불화탄소( $CF_4$ ), 불화 유황( $SF_6$ ), 불화 질소( $NF_3$ ) 또는 트리플루오로메탄( $CHF_3$ )과 같은 플루오르계 가스); 브롬화 수소(HBr); 산소( $O_2$ ); 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 첨가된 이들 가스들 중 어느 하나가 이용될 수 있다.

[0264] 건식 에칭 방법으로서, 평행 평판형 RIE(reactive ion etching) 방법 또는 ICP(inductively coupled plasma) 에칭 방법이 이용될 수 있다. 막을 원하는 형상으로 에칭하기 위하여, 에칭 조건(코일형 전극에 인가된 전력량, 기판측의 전극에 인가된 전력량, 기판측의 전극의 온도 등)이 적합하게 조정된다.

[0265] 습식 에칭에 이용되는 에천트로서, 인산, 아세트산, 질산 등의 혼합 용액이 이용될 수 있다. 대안적으로, ITO07N(KANTO CHEMICAL CO., INC.에 의해 제작)이 이용될 수 있다.

[0266] 습식 에칭에 이용된 에천트는 에칭된 재료와 함께 세정에 의해 제거된다. 에천트 및 에칭된 재료를 포함하는 폐액은 정제될 수 있고, 재료는 재사용될 수 있다. 산화물 반도체층에 포함된 인듐과 같은 재료가 에칭 및 재사용 후의 폐액에서 수집될 때, 자원들이 효율적으로 이용될 수 있고 비용이 감소될 수 있다.

[0267] 에칭 조건들(에천트, 에칭 시간 및 온도와 같이)은 산화물 반도체막이 원하는 형상을 가지도록 에칭될 수 있도록 재료에 의존하여 적합하게 조정된다.

[0268] 산화물 반도체층(399) 및 게이트 절연층(397)의 표면들에 부착된 잔여 레지스트 등이 제거될 수 있도록, 다음의 단계에서 도전막의 형성 전에 역 스퍼터링을 수행하는 것이 바람직하다는 것을 유념한다.

[0269] \*다음에, 도전막이 게이트 절연층(397) 및 산화물 반도체층(399) 위에 형성된다. 도전막은 스퍼터링 방법 또는 진공 증착 방법을 이용하여 형성될 수 있다. 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo 또는 W로부터 선택된 원소; 상기 원소들 중 어느 것을 포함한 합금; 이들 원소들 중 어느 것의 조합을 함유한 합금막 등이 존재한다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨 및 톨륨으로부터 선택된 하나 이상의 재료들이 이용될 수 있다. 도전막은 단층 구조 또는 2 이상의 층들의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 포함하는 알루미늄막의 단층 구조, 티타늄막이 알루미늄막 위에 적층된 2층 구조, Ti막, 알루미늄막 및 Ti막이 순서대로 적층된 3층 구조 등이 주어질 수 있다. 대안적으로, 막, 합금막 또는 Al과 다음에서 선택된 하나 또는 복수의 원소들의 조합의 질화막이 이용될 수 있다: 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc).

[0270] 제 3 포토리소그래피 공정이 수행된다. 도전막 위에 레지스트 마스크가 형성되고 선택적 에칭이 수행되어, 소스 전극층(395a) 및 드레인 전극층(395b)이 형성된다. 그 후에, 레지스트 마스크가 제거된다(도 10c 참조).

[0271] 자외선, KrF 레이저 빔 또는 ArF 레이저 빔이 제 3 포토리소그래피 공정에서 레지스트 마스크를 형성하기 위한 노광에 이용된다. 나중에 형성될 박막 트랜지스터의 채널 길이 L은, 산화물 반도체층(399) 위에 서로 인접하는 소스 전극층의 하부와 드레인 전극층의 하부 사이의 간격의 폭에 의존한다. 채널 길이 L이 25nm보다 짧은 경우에 노광이 수행될 때, 수 나노미터들 내지 수십 나노미터들의 극도로 짧은 파장들의 초자외선이 제 3 포토리소그래피 공정에서 레지스트 마스크를 형성하기 위한 노광에 이용됨을 유념한다. 초자외선으로의 노광은 고해상 및 큰 초점 심도를 유발한다. 따라서, 나중에 형성될 박막 트랜지스터의 채널 길이 L은 10nm 이상 1000nm 이하로 설정될 수 있다. 따라서, 회로의 동작 속도가 증가되고, 또한 저전력 소비가 달성될 수 있도록 오프 전류가 상당히 작아질 수 있다.

[0272] 재료들 및 에칭 조건들은 도전층이 에칭될 때 산화물 반도체층(399)이 제거되지 않도록 적합하게 조정됨을 유념한다.

[0273] 제 3 포토리소그래피 공정에서, 산화물 반도체층(399)의 일부만 에칭되고, 그에 의해 그루브(오목부)를 갖는 산화물 반도체층이 형성될 수 있음을 유념한다. 소스 전극층(395a) 및 드레인 전극층(395b)을 형성하기 위해 이용되는 레지스트 마스크는 잉크-젯 방법을 이용하여 형성될 수 있다. 레지스트 마스크가 잉크-젯 방법을 이용하여 형성될 때, 포토마스크는 이용되지 않는다; 따라서 제작 비용들이 감소될 수 있다.

[0274] 포토리소그래피 단계에서 포토마스크들 및 단계들의 수를 감소시키기 위해, 복수의 강도들을 가지도록 광이 투과되는 노광 마스크인 다계조 마스크를 이용하여 형성된 레지스트 마스크를 이용하여 에칭이 수행될 수 있다. 다계조 마스크를 이용하여 형성된 레지스트 마스크가 복수의 두께들을 가지고, 에칭을 수행함으로써 형성이 더 변경될 수 있기 때문에, 레지스트 마스크는 상이한 패턴들을 제공하기 위해 복수의 에칭 단계들에서 이용될 수

있다. 따라서, 적어도 두 종류의 상이한 패턴들에 대응하는 레지스트 마스크는 다계조 마스크를 이용하여 형성될 수 있다. 따라서, 노광 마스크들의 수가 감소될 수 있고, 대응하는 포토리소그래피 단계들의 수도 또한 감소될 수 있고, 그에 의해 공정의 단순화가 실현될 수 있다.

[0276]  $N_2O$ ,  $N_2$  또는  $Ar$ 과 같은 가스로 플라즈마 처리를 이용하여, 산화물 반도체층의 노출된 부분의 표면에 흡착된 수분이 제거될 수 있다. 대안적으로, 플라즈마 처리는 산소와 아르곤의 혼합된 가스를 이용하여 수행될 수 있다.

[0277] 플라즈마 처리를 수행하는 경우에, 산화물 절연층(396)은 대기애 노출되지 않고, 보호 절연막의 역할을 하고 산화물 반도체층의 일부와 접촉하는 산화물 절연층으로서 형성된다(도 10d 참조). 이 실시형태에서, 산화물 절연층(396)은 산화물 반도체층(399)이 소스 전극층(395a) 및 드레인 전극층(395b)과 중첩하지 않는 영역에서 산화물 반도체층(399)과 접촉하여 형성된다.

[0278] 이 실시형태에서, 섬형상 산화물 반도체층(399), 소스 전극층(395a), 드레인 전극층(395b)까지의 층들이 형성된 기판(394)은 실온 또는  $100^\circ C$  이하의 온도로 가열되고, 수소 및 수분이 제거되고 고순도 산소를 함유하는 스퍼터링 가스가 도입되고, 실리콘 반도체 타겟이 이용되고, 그에 의해 결함을 갖는 산화 실리콘층이 산화물 절연층(396)으로서 형성된다.

[0279] 예를 들면, 산화 실리콘층이 펄스형 DC 스퍼터링 방법을 이용하여 형성되며, 이 방법에서 스퍼터링 가스의 순도는 6N이고, 봉소-도핑된 실리콘 타겟(저항은  $0.01\Omega\text{cm}$ )이 이용되고, 기판과 타겟 사이의 거리(T-S 거리)는 89mm이고, 압력은 0.4Pa이고, DC 전력은 6kW이고, 분위기는 산소 분위기(산소 유량은 100%임)이다. 산화 실리콘막의 두께는 300nm이다. 실리콘 타겟 대신에, 석영(바람직하게, 합성 석영)이 산화 실리콘막이 형성될 때 이용되는 타겟으로서 이용될 수 있음을 유념한다. 스퍼터링 가스로서, 산소 또는 산소와 아르곤의 혼합된 가스가 이용된다.

[0280] 그 경우, 산화물 절연층(396)은 처리실에 남아있는 수분을 제거하여 형성되는 것이 바람직하다. 이것은 수소, 수산기 및 수분이 산화물 반도체층(399) 및 산화물 절연층(396)에 함유되는 것을 방지하기 위한 것이다.

[0281] 처리실에 남아있는 수분을 제거하기 위하여, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 또한, 배기 수단은 냉각 트랩이 구비된 터보 펌프일 수 있다. 크라이오 펌프로 배기되는 성막실에서, 수소 원자, 물( $H_2O$ )과 같이 수소 원자를 함유한 화합물 등이 제거되고, 그에 의해 성막실에서 형성된 산화물 절연층(396)의 불순물의 농도가 감소될 수 있다.

[0282] 산화물 절연층(396)으로서, 산화질화 실리콘층, 산화 알루미늄층, 산화질화 알루미늄층 등이 산화 실리콘층 대신에 이용될 수 있음을 유념한다.

[0283] 또한, 가열 처리는 산화물 절연층(396) 및 산화물 반도체층(399)이 서로 접촉하는 동안  $100^\circ C$  내지  $400^\circ C$ 로 수행될 수 있다. 이 실시형태에서의 산화물 절연층(396)은 많은 결함들을 가지기 때문에, 가열 처리를 이용하여, 산화물 반도체층(399)에서의 불순물이 더욱 감소될 수 있도록, 산화물 반도체층(399)에 함유된 수소, 수분, 수산기 또는 수소화물과 같은 불순물이 산화물 절연층(396)에 확산될 수 있다.

[0284] 상기 단계들을 통해, 수소, 수분, 수소화물 또는 수산화물이 감소되는 산화물 반도체층(392)을 포함하는 박막 트랜지스터(390)가 형성될 수 있다(도 10e 참조).

[0285] 반응 분위기에 남아있는 수분은 산화물 반도체막을 형성할 때 상술된 바와 같이 제거되고, 그에 의해 산화물 반도체막에서의 수소 및 수소화물의 농도가 감소될 수 있다. 따라서, 산화물 반도체막이 안정화될 수 있다.

[0286] 보호 절연층이 산화물 절연층 위에 제공될 수 있다. 이 실시형태에서, 보호 절연층(398)은 산화물 절연층(396) 위에 형성된다. 보호 절연층(398)으로서, 질화 실리콘층, 질화산화 실리콘층, 질화 알루미늄층, 질화산화 알루미늄층 등이 이용된다.

[0287] 산화물 절연층(396)까지의 층들이 형성된 기판(394)이  $100^\circ C$  내지  $400^\circ C$ 의 온도로 가열되고, 수소 및 수분이 제거되고 고순도 질소를 함유한 스퍼터링 가스가 도입되고, 실리콘 반도체 타겟이 이용되고, 그에 의해 질화 실리콘층이 보호 절연층(398)으로서 형성된다. 이 경우, 보호 절연층(398)은 산화물 절연층(396)과 유사하게, 처리실에 남아있는 수분을 제거하여 형성되는 것이 바람직하다.

[0288] 보호 절연층(398)이 형성되는 경우, 기판(394)은 보호 절연층(398)을 형성할 때  $100^\circ C$  내지  $400^\circ C$ 로 가열되고, 그에 의해 산화물 반도체층에 함유된 수소 또는 수분이 산화물 절연층에 확산될 수 있다. 그 경우, 가열 처리는

산화물 절연층(396)의 형성 후에 반드시 수행될 필요는 없다.

[0289] 산화 실리콘층이 산화물 절연층(396)으로서 형성되고 질화 실리콘층이 보호 절연층(398)으로서 그 위에 적층되는 경우, 산화 실리콘층 및 질화 실리콘층이 동일 처리실에서 공용 실리콘 타겟을 이용하여 형성될 수 있다. 산소를 함유한 스퍼터링 가스가 먼저 도입된 후에, 산화 실리콘층이 처리실에 장착된 실리콘 타겟을 이용하여 형성되고, 그 후에 스퍼터링 가스가 질소를 함유한 스퍼터링 가스로 전환되고, 동일한 실리콘 타겟이 질화 실리콘층을 형성하기 위해 이용된다. 산화 실리콘층 및 질화 실리콘층이 대기에 노출되지 않고 연속으로 형성될 수 있기 때문에, 수소 및 수분과 같은 불순물들이 산화 실리콘층의 표면 상에 흡착되는 것이 방지될 수 있다. 그 경우, 산화 실리콘층이 산화물 절연층(396)으로서 형성되고 질화 실리콘층이 보호 절연층(398)으로서 그 위에 형성된 후, 산화물 반도체층에 함유된 수소 또는 수분을 산화물 절연층으로 확산하기 위한 가열 처리(100°C 내지 400°C의 온도에서)가 수행되는 것이 바람직하다.

[0290] 보호 절연층이 형성된 후, 가열 처리는 대기에서 한 시간 이상 30 시간 이하 동안 100°C 이상 200°C 이하로 더 수행될 수 있다. 이 가열 처리는 고정된 가열 온도로 수행될 수 있다. 대안적으로, 다음의 가열 온도 변화가 복수 번 반복적으로 행해질 수 있다: 가열 온도는 실온에서 100°C 이상 200°C 이하의 온도까지 증가되고, 그 후에 실온으로 감소된다. 또한, 이 가열 처리는 산화물 절연층의 형성 전에 감압 하에서 수행될 수 있다. 감압 하에서, 가열 시간이 단축될 수 있다. 가열 처리를 이용하여, 박막 트랜지스터가 노멀리 오프(normally off)될 수 있다. 따라서, 박막 트랜지스터의 신뢰도가 개선될 수 있다.

[0291] 반응 분위기에 남아있는 수분은 게이트 절연층 위에 채널 형성 영역을 포함하는 산화물 반도체층을 형성할 때 제거되고, 그에 의해 산화물 반도체층의 수소 및 수소화물의 농도가 감소될 수 있다.

[0292] 상기 단계들은 액정 표시 패널들, 전계발광 표시 패널들, 전자 잉크를 이용한 표시 장치들 등의 백플레이인(박막 트랜지스터들이 형성되는 기판들)의 제작에 이용될 수 있다. 상기 단계들이 400°C 이하의 온도로 수행될 수 있기 때문에, 이들은 또한 1mm 이하의 두께와 1m보다 긴 측면을 가진 유리 기판을 제작하는 단계들에 적용될 수 있다. 또한, 모든 상기 단계들은 400°C 이하의 처리 온도로 수행될 수 있고, 표시 패널들은 에너지를 그다지 소비하지 않고 제작될 수 있다.

[0293] 이 실시형태는 다른 실시형태들 중 어느 것과 적합하게 조합하여 구현될 수 있다.

[0294] 따라서, 산화물 반도체층을 포함하는 박막 트랜지스터는 안정한 전기 특성들 및 높은 신뢰도를 가질 수 있다.

[0295] (실시형태 6)

[0296] 이 실시형태에서, 이 명세서에 개시된 논리 회로 및 반도체 장치에 포함된 트랜지스터들에 적용될 수 있는 박막 트랜지스터들의 예를 도시한다.

[0297] 이 실시형태의 박막 트랜지스터 및 박막 트랜지스터의 제작 방법의 일 실시형태는 도 11a 내지 도 11e를 참조하여 기술된다.

[0298] 도 11a 내지 도 11e는 박막 트랜지스터의 단면 구조예를 도시한다. 도 11a 내지 도 11e에 도시된 박막 트랜지스터(310)는 하부 게이트 박막 트랜지스터들 중 하나이고, 역 스태거형 박막 트랜지스터라고도 칭해진다.

[0299] 단일-게이트 박막 트랜지스터를 박막 트랜지스터(310)로서 이용하는 기술이 주어지지만, 복수의 채널 형성 영역들을 포함하는 멀티-게이트 박막 트랜지스터가 필요시 형성될 수 있다.

[0300] 기판(300) 위에 박막 트랜지스터(410)를 제작하는 공정은 도 11a 내지 도 11e를 참조하여 하기에 기술된다.

[0301] 먼저, 절연 표면을 갖는 기판(300) 위에 도전막이 형성된 후에, 게이트 전극층(311)이 제 1 포토리소그래피 공정으로 형성된다. 레지스트 마스크는 잉크-젯 방법을 이용하여 형성될 수 있음을 유념한다. 레지스트 마스크가 잉크-젯 방법을 이용하여 형성될 때, 포토마스크는 이용되지 않는다; 따라서 제작 비용들이 감소될 수 있다.

[0302] 나중에 수행될 가열 처리를 견디기 위해 적어도 내열성을 가진다면, 절연 표면을 갖는 기판(300)으로서 이용될 수 있는 기판에 대한 특정한 제한이 없다. 바륨보로실리케이트 유리, 알루미노보로실리케이트 유리 등을 이용하여 형성된 유리 기판이 이용될 수 있다.

[0303] 나중에 수행되는 가열 처리의 온도가 높을 때, 730°C 이상의 변형점을 갖는 기판이 유리 기판으로 이용되는 것이 바람직하다. 유리 기판의 재료로서, 예를 들면, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리 또는 바륨보로실리케이트 유리와 같은 유리 재료가 이용된다. 산화 봉소보다 많은 양의 산화 바륨(BaO)을 함유함

으로써, 유리 기판은 내열성이 있고 더욱 실용적임을 유념한다. 따라서,  $B_2O_3$ 보다 많은 양의  $BaO$ 을 함유한 유리 기판이 이용되는 것이 바람직하다.

[0304] 상술된 유리 기판 대신에, 세라믹 기판, 석영 기판 또는 사파이어 기판과 같은 절연체를 이용하여 형성된 기판이 기판(300)으로 이용될 수 있음을 유념한다. 대안적으로, 결정화된 유리 기판 등이 이용될 수 있다.

[0305] 하지막이 되는 절연막이 기판(300)과 게이트 전극층(311) 사이에 제공될 수 있다. 하지막은 기판(300)으로부터 불순물 원소의 확산을 방지하는 기능을 가지고, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막 및 산화질화 실리콘막 중 어느 것을 이용하여 단층 구조 또는 적층 구조로 형성될 수 있다.

[0306] 또한, 게이트 전극층(311)은 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴 및 스칸듐과 같은 금속 재료들 중 어느 것 및 이들 재료들 중 어느 것을 주성분으로 포함하는 합금 재료를 이용하여 단층 구조 또는 적층 구조로 형성될 수 있다.

[0307] 게이트 전극층(311)의 2층 구조로서, 예를 들면, 몰리브덴층이 알루미늄층 위에 적층되는 2층 구조, 몰리브덴층이 구리층 위에 적층되는 2층 구조, 질화 티타늄층 또는 질화 탄탈층이 구리층 위에 적층되는 2층 구조, 질화 티타늄층 및 몰리브덴층이 적층되는 2층 구조, 또는 질화 텉스텐층 및 텉스텐층이 적층되는 2층 구조가 바람직하다. 3층 구조로서, 텉스텐층 또는 질화 텉스텐층, 알루미늄 및 실리콘의 합금층 또는 알루미늄 및 티타늄의 합금층 및 질화 티타늄층 또는 티타늄층의 적층이 바람직하다.

[0308] 그 후에, 게이트 절연층(302)이 게이트 전극층(311) 위에 형성된다.

[0309] 게이트 절연층(302)은 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층 및 산화 알루미늄층 중 어느 것을 이용하여 플라즈마 CVD 방법, 스퍼터링 방법 등으로 단층 구조 또는 적층 구조로 형성될 수 있다. 예를 들면, 산화질화 실리콘층은 성막 가스에 대해  $SiH_4$ , 산소 및 질소로 플라즈마 CVD 방법을 이용하여 형성될 수 있다. 예를 들면, 게이트 절연층(302)의 두께는 100nm 이상 500nm 이하이고, 게이트 절연층(302)이 적층된 구조를 가지는 경우에, 5nm 이상 300nm 이하의 두께를 갖는 제 2 게이트 절연층은 예를 들면 50nm 이상 200nm 이하의 두께를 갖는 제 1 게이트 절연층 위에 적층된다.

[0310] 이 실시형태에서, 100nm 이하의 두께를 갖는 산화질화 실리콘층은 플라즈마 CVD 방법을 이용하여 게이트 절연층(302)으로서 형성된다.

[0311] 그 후에, 산화물 반도체막(330)은 게이트 절연층(302) 위에 2nm 이상 200nm 이하의 두께로 형성된다.

[0312] 산화물 반도체막(330)이 스퍼터링 방법을 이용하여 형성되기 전에, 게이트 절연층(302)의 표면에 부착된 먼지는, 아르곤 가스가 도입되어 플라즈마가 생성되는 역 스퍼터링으로 제거되는 것이 바람직하다는 것을 유념한다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기, 산소 분위기 등이 이용될 수 있음을 유념한다.

[0313] 산화물 반도체막(330)은 In-Ga-Zn-O계 산화물 반도체막, In-Sn-Zn-O계 산화물 반도체막, In-Al-Zn-O계 산화물 반도체막, Sn-Ga-Zn-O계 산화물 반도체막, Al-Ga-Zn-O계 산화물 반도체막, Sn-Al-Zn-O계 산화물 반도체막, In-Zn-O계 산화물 반도체막, Sn-Zn-O계 산화물 반도체막, Al-Zn-O계 산화물 반도체막, In-O계 산화물 반도체막, Sn-O계 산화물 반도체막, 또는 Zn-O계 산화물 반도체막을 이용하여 형성된다. 이 실시형태에서, 산화물 반도체막(330)은 In-Ga-Zn-O계 산화물 반도체 성막용 타겟을 이용하여 스퍼터링 방법으로 형성된다. 도 11은 이 단계에서의 단면도에 대응한다. 또한, 산화물 반도체막(330)은 희가스(통상적으로, 아르곤) 분위기, 산소 분위기 또는 희가스(통상적으로, 아르곤)와 산소를 함유한 혼합된 분위기에서 스퍼터링 방법을 이용하여 형성될 수 있다. 스퍼터링 방법을 채용하는 경우, 2wt% 이상 10wt% 이하의  $SiO_2$ 를 함유한 타겟이 막 형성에 이용될 수 있다.

[0314] 스퍼터링 방법을 이용하여 산화물 반도체막(330)을 형성하기 위한 타겟으로서, 산화 아연을 주성분으로 함유한 금속 산화물 타겟이 이용될 수 있다. 금속 산화물 타겟의 다른 예로서, In, Ga 및 Zn (조성비에서,  $In_2O_3:Ga_2O_3:ZnO = 1:1:1$  [mol%],  $In:Ga:Zn = 1:1:0.5$  [atomic%])을 함유한 산화물 반도체 성막용 타겟이 이용될 수 있다. 대안적으로, In, Ga 및 Zn (조성비에서,  $In:Ga:Zn = 1:1:1$  또는  $1:1:2$  [atomic%])을 함유한 산화물 반도체 성막용 타겟이 이용될 수 있다. 산화물 반도체 성막용 타겟의 충전율은 90% 이상 100% 이하이고, 바람직하게는 95% 이상 99.9% 이하이다. 고충전율을 가진 산화물 반도체 성막용 타겟의 이용으로, 조밀한 산화물 반도체막이 형성된다.

[0315] 산화물 반도체막(330)이 형성될 때 이용되는 스퍼터링 가스로서, 수소, 수분, 수산기 또는 수소화물과 같은 불

순물이 ppm 또는 ppb의 레벨로 표현되는 농도까지 제거되는 고순도 가스를 이용하는 것이 바람직하다.

[0316] 기관은 감압 하에서 유지된 처리실에 유지되고, 기관 온도는 100°C 내지 600°C, 바람직하게는 200°C 내지 400°C로 설정된다. 막 형성은 기관이 가열되는 동안 수행되고, 그에 의해 형성된 산화물 반도체막에 함유된 불순물의 농도가 감소될 수 있다. 또한, 스퍼터링으로 인한 손상들이 감소될 수 있다. 그 후에, 수소 및 수분이 제거된 스퍼터링 가스는 남아있는 수분이 제거된 처리실로 도입되고, 산화물 반도체막(330)이 타겟으로서 금속 산화물을 이용하여 기관(300) 위에 형성된다. 처리실에 남아있는 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 또한, 배기 수단은 냉각 트랩이 구비된 터보 펌프일 수 있다. 크라이오 펌프로 배기되는 성막실에서, 수소 원자, 물( $H_2O$ )과 같이 수소 원자를 함유한 화합물(더욱 바람직하게, 또한 탄소 원자를 함유한 화합물) 등이 제거되고, 그에 의해 성막실에서 형성된 산화물 반도체막의 불순물의 농도가 감소될 수 있다.

[0317] 성막 조건의 예는 다음과 같다: 기관과 타겟 사이의 거리는 100mm이고, 압력은 0.6Pa이고, DC 전력은 0.5kW이고, 분위기는 산소 분위기이다(산소의 유량은 100%이다). 성막시 생성되는 가루 물질들이 감소될 수 있고 막 두께가 균일해질 수 있기 때문에 펄스식 DC 전원이 이용되는 것이 바람직하다. 산화물 반도체막은 5nm 이상 30nm 이하의 두께를 가지는 것이 바람직하다. 적합한 두께는 이용된 산화물 반도체 재료에 의존하고 두께는 재료에 따라 선택될 수 있음을 유념한다.

[0318] 그 후에, 제 2 포토리소그래피 공정에서, 산화물 반도체막(330)이 섬형상 산화물 반도체층(399)으로 가공된다. 섬형상 산화물 반도체층을 형성하기 위한 레지스트 마스크는 잉크-젯 방법을 이용하여 형성될 수 있다. 레지스트 마스크가 잉크-젯 방법을 이용하여 형성될 때, 포토마스크는 이용되지 않는다; 따라서, 제작 비용들이 감소될 수 있다.

[0319] 다음에, 산화물 반도체층은 제 1 가열 처리를 받는다. 제 1 가열 처리를 통해, 산화물 반도체층의 탈수화 또는 탈수소화가 행해질 수 있다. 제 1 가열 처리의 온도는 400°C 이상 750°C 이하이고, 바람직하게는 400°C 이상 기관의 변형점 이하이다. 여기서, 기관은 가열 처리 장치들 중 하나인 전기로에 도입되고, 한 시간 동안 450°C의 질소 분위기에서 산화물 반도체층에 대해 가열 처리가 수행된 다음, 산화물 반도체층은 산화물 반도체층으로의 수분 또는 수소의 침입이 방지되도록 대기기에 노출되지 않는다; 따라서, 산화물 반도체층(331)이 획득된다(도 11b 참조).

[0320] 열 처리를 위한 장치는 전기로에 제한되지 않고, 저항 발열체와 같은 발열체로부터 열 전도 또는 열 복사를 이용하여 피처리물을 가열하기 위한 장치가 구비된 것일 수 있다. 예를 들면, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid thermal anneal)장치와 같은 RTA(rapid thermal anneal) 장치가 이용될 수 있다. LRTA 장치는, 할로겐 램프, 금속 할로겐화물 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자파)의 복사에 의해 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 이용하여 가열 처리하기 위한 장치이다. 가스로서, 질소 또는 아르곤과 같은 희가스와 같이, 가열 처리로 인해 피처리물과 거의 반응하지 않는 불활성 가스가 이용된다.

[0321] 예를 들면, 제 1 가열 처리로서, GRTA는 다음과 같이 수행될 수 있다. 기관은 650°C 내지 700°C의 고온으로 가열된 불활성 가스로 이동되어 넣어지고, 수 분 동안 가열되고, 고온으로 가열된 불활성 가스에서 이동되어 꺼내어진다. GRTA는 단시간의 고온 가열 처리가 가능하다.

[0322] 제 1 가열 처리에서, 수분, 수소 등이 헬륨, 네온 또는 아르곤과 같은 희가스나 질소에 포함되지 않음을 유념한다. 대안적으로, 가열 처리를 위한 장치에 도입된 헬륨, 네온 또는 아르곤과 같은 희가스나 질소는 6N(99.9999%) 이상의 순도를 가지고, 바람직하게는 7N(99.99999%) 이상의 순도를 가진다(즉, 불순물 농도가 1ppm 이하로 설정되고, 바람직하게는 0.1ppm 이하로 설정된다).

[0323] 또한, 산화물 반도체층은 제 1 가열 처리의 조건 또는 산화물 반도체층의 재료에 의존하여 미결정막 또는 다결정막이 되도록 결정화될 수 있다. 예를 들면, 산화물 반도체층은 90% 이상 또는 80% 이상의 결정화 정도를 갖는 미결정 산화물 반도체막이 되도록 결정화될 수 있다. 또한, 제 1 가열 처리의 조건 및 산화물 반도체층의 재료에 의존하여, 산화물 반도체층은 결정 성분을 함유하지 않은 비정질 산화물 반도체막이 될 수 있다. 산화물 반도체층은, 미결정 부분(1nm 이상 20nm 이하, 통상적으로 2nm 이상 4nm 이하의 입자 직경)이 비정질 산화물 반도체에 혼합되는 산화물 반도체막이 될 수 있다.

[0324] 대안적으로, 산화물 반도체층의 제 1 가열 처리는, 섬형상 산화물 반도체층으로 가공되지 않은 산화물 반도체막(330)에 대해 수행될 수 있다. 그 경우, 제 1 가열 처리후, 기관은 가열 장치에서 꺼내지고 포토리소그래피 공

정이 수행된다.

[0325] 산화물 반도체층에 대한 탈수화 또는 탈수소화의 효과를 갖는 가열 처리가 다음의 타이밍들 중 어느 것에서 수행될 수 있다: 산화물 반도체층이 형성된 후; 소스 전극층 또는 드레인 전극층이 산화물 반도체층 위에 형성된 후; 및 보호 절연층이 소스 전극층 및 드레인 전극층 위에 형성된 후.

[0327] \*게이트 절연층(302)에 콘택트 홀을 형성하는 경우, 상기 단계는 산화물 반도체막(330)의 탈수화 또는 탈수소화 전 또는 후에 수행될 수 있다.

[0328] 산화물 반도체막의 에칭은 습식 에칭에 제한되지 않고 건식 에칭일 수 있음을 유념한다.

[0329] 에칭 조건들(예천트, 에칭 시간 및 온도와 같이)은 산화물 반도체막이 원하는 형상을 가지도록 에칭될 수 있도록 재료에 의존하여 적합하게 조정된다.

[0330] 다음에, 도전막이 게이트 절연층(302) 및 산화물 반도체층(331) 위에 형성된다. 도전막은 스퍼터링 방법 또는 전공 증착 방법을 이용하여 형성될 수 있다. 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo 또는 W로부터 선택된 원소; 상기 원소들 중 어느 것을 포함한 합금; 이들 원소들 중 어느 것의 조합을 함유한 합금막 등이 존재한다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨 및 톨륨으로부터 선택된 하나 이상의 재료들이 이용될 수 있다. 도전막은 단층 구조 또는 2 이상의 층들의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 포함하는 알루미늄막의 단층 구조, 티타늄막이 알루미늄막 위에 적층된 2층 구조, Ti막, 알루미늄막 및 Ti막이 순서대로 적층된 3층 구조 등이 주어질 수 있다. 대안적으로, 막, 합금막 또는 Al과 다음에서 선택된 하나 또는 복수의 원소들의 조합의 질화막이 이용될 수 있다: 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc).

[0331] 열 처리가 도전막의 형성 후에 수행되는 경우, 도전막은 가열 처리를 견딜 만큼 충분한 내열성을 가지는 것이 바람직하다.

[0332] 제 3 포토리소그래피 공정이 수행된다. 레지스트 마스크가 도전막 위에 형성되고 선택적인 에칭이 수행되어, 소스 또는 드레인 전극층(315a) 및 소스 또는 드레인 전극층(315b)이 형성된다. 그 후에 레지스트 마스크가 제거된다(도 11c 참조).

[0333] 자외선, KrF 레이저 빔 또는 ArF 레이저 빔이 제 3 포토리소그래피 공정에서 레지스트 마스크를 형성하기 위한 노광에 이용된다. 나중에 형성될 박막 트랜지스터의 채널 길이 L은, 산화물 반도체층(331) 위에 서로 인접하는 소스 전극층의 하부와 드레인 전극층의 하부 사이의 간격의 폭에 의존한다. 채널 길이 L이 25nm보다 짧은 경우에 노광이 수행될 때, 수 나노미터들 내지 수십 나노미터들의 극도로 짧은 파장들의 초자외선이 제 3 포토리소그래피 공정에서 레지스트 마스크를 형성하기 위한 노광에 이용됨을 유념한다. 초자외선으로의 노광은 고해상 및 큰 초점 심도를 유발한다. 따라서, 나중에 형성될 박막 트랜지스터의 채널 길이 L은 10nm 이상 1000nm 이하로 설정될 수 있다. 따라서, 회로의 동작 속도가 증가되고, 또한 저전력 소비가 달성될 수 있도록 오프 전류가 상당히 작아질 수 있다.

[0334] 재료들 및 에칭 조건들은 도전막이 에칭될 때 산화물 반도체층(331)이 제거되지 않도록 적합하게 조정됨을 유념한다.

[0335] 제 3 포토리소그래피 공정에서, 산화물 반도체층(331)의 일부만 에칭되고, 그에 의해 그루브(오목부)를 갖는 산화물 반도체층이 형성될 수 있음을 유념한다. 소스 전극층(315a) 및 드레인 전극층(315b)을 형성하기 위해 이용되는 레지스트 마스크는 잉크-젯 방법을 이용하여 형성될 수 있다. 레지스트 마스크가 잉크-젯 방법을 이용하여 형성될 때, 포토마스크는 이용되지 않는다; 따라서 제작 비용들이 감소될 수 있다.

[0336] 또한, 산화물 도전층이 산화물 반도체층과 소스 및 드레인 전극층들 사이에 형성될 수 있다. 소스 및 드레인 전극층들을 형성하기 위해 산화물 도전층 및 금속층이 연속으로 형성될 수 있다. 산화물 도전층은 소스 영역 및 드레인 영역으로서 기능할 수 있다.

[0337] 산화물 도전층이 산화물 반도체층과 소스 및 드레인 전극층들 사이의 소스 영역 및 드레인 영역으로서 제공될 때, 소스 영역 및 드레인 영역은 낮은 저항을 가질 수 있고 트랜지스터는 고속으로 동작할 수 있다.

[0338] 포토리소그래피 단계에서 포토마스크들 및 단계들의 수를 감소시키기 위해, 복수의 강도들을 가지도록 광이 투과되는 노광 마스크인 다계조 마스크를 이용하여 형성된 레지스트 마스크를 이용하여 에칭이 수행될 수 있다. 다계조 마스크를 이용하여 형성된 레지스트 마스크가 복수의 두께들을 가지고 에칭을 수행함으로써 형상이 더

변경될 수 있기 때문에, 레지스트 마스크는 상이한 패턴들을 제공하기 위해 복수의 애칭 단계들에서 이용될 수 있다. 따라서, 적어도 두 종류의 상이한 패턴들에 대응하는 레지스트 마스크는 다계조 마스크를 이용하여 형성될 수 있다. 따라서, 노광 마스크들의 수가 감소될 수 있고, 대응하는 포토리소그래피 단계들의 수도 또한 감소될 수 있고, 그에 의해 공정의 단순화가 실현될 수 있다.

[0339]  $\text{N}_2\text{O}$ ,  $\text{N}_2$  또는  $\text{Ar}$ 과 같은 가스로 플라즈마 처리가 수행된다. 이 플라즈마 처리를 이용하여, 산화물 반도체층의 노출된 부분의 표면에 흡착된 수분이 제거될 수 있다. 대안적으로, 플라즈마 처리는 산소와 아르곤의 혼합된 가스를 이용하여 수행될 수 있다.

[0340] 플라즈마 처리가 수행된 후에, 보호 절연막이 되고 산화물 반도체층의 일부와 접촉하는 산화물 절연층(316)은 대기애 노출되지 않고 형성된다.

[0341] 산화물 절연층(316)은 스퍼터링 방법 등으로 1nm 이상의 두께로 적합하게 형성될 수 있으며, 이 방법은 수분 또는 수소와 같은 불순물이 산화물 절연층(316)에 진입하지 않는 방법이다. 수소가 산화물 절연층(316)에 포함될 때, 산화물 반도체층으로의 수소의 진입 또는 수소에 의한 산화물 반도체층에서의 산소의 추출이 유발되고, 그에 의해 산화물 반도체층의 백채널이 n형이 되고(저저항을 가지기 위해), 따라서 기생 채널이 형성될 수 있다. 따라서, 산화물 절연층(316)이 수소를 가능한 적게 함유하도록 형성되도록 수소가 이용되지 않는 형성 방법이 채용되는 것이 중요하다.

[0342] 이 실시형태에서, 산화 실리콘막이 산화물 절연층(316)으로서 스퍼터링 방법을 이용하여 200nm의 두께로 형성된다. 막 형성에서의 기판 온도는 실온 이상 300°C 이하일 수 있고, 이 실시형태에서는 100°C이다. 산화 실리콘막은 희가스(통상적으로, 아르곤) 분위기, 산소 분위기 또는 희가스(통상적으로, 아르곤)와 산소를 함유한 혼합된 분위기에서 스퍼터링 방법을 이용하여 형성될 수 있다. 또한, 산화 실리콘 타겟 또는 실리콘 타겟이 타겟으로서 이용될 수 있다. 예를 들면, 산화 실리콘막이 산소 및 질소를 함유한 분위기에서 스퍼터링 방법을 이용하여 실리콘 타겟을 이용하여 형성될 수 있다. 산소-결핍 상태이고 따라서 n형인, 즉 저저항을 갖는 영역에서 산화물 반도체층과 접촉하여 형성된 산화물 절연층(316)은 수분, 수소 이온 및  $\text{OH}^-$ 와 같은 불순물들을 함유하지 않고, 외부로부터의 이러한 불순물의 침입을 차단하는 무기 절연막, 통상적으로 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막 또는 산화질화 알루미늄막을 사용하여 형성된다.

[0343] 그 경우, 산화물 절연층(316)이 처리실에 남아있는 수분을 제거하여 형성되는 것이 바람직하다. 이것은 수소, 수산기 및 수분이 산화물 반도체층(331) 및 산화물 절연층(316)에 함유되는 것을 방지하기 위한 것이다.

[0344] 처리실에 남아있는 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 또한, 배기 수단은 냉각 트랩이 구비된 터보 펌프일 수 있다. 크라이오 펌프로 배기되는 성막실에서, 수소 원자, 물( $\text{H}_2\text{O}$ )과 같이 수소 원자를 함유한 화합물 등이 제거되고, 그에 의해 성막실에서 형성된 산화물 절연층(316)의 불순물의 농도가 감소될 수 있다.

[0345] 산화물 절연층(316)이 형성될 때 이용되는 스퍼터링 가스로서, 수소, 수분, 수산기 또는 수소화물과 같은 불순물이 ppm 또는 ppb의 레벨로 표현되는 농도까지 제거되는 고순도 가스를 이용하는 것이 바람직하다.

[0346] 다음에, 제 2 가열 처리(바람직하게 200°C 이상 400°C 이하, 예를 들면 250°C 이상 350°C 이하)가 불활성 가스 분위기 또는 산소 가스 분위기에서 수행된다. 예를 들면, 제 2 가열 처리는 한 시간 동안 250°C로 질소 분위기에서 수행된다. 제 2 가열 처리를 이용하여, 산화물 반도체층의 일부(채널 형성 영역)가 산화물 절연층(316)과 접촉하는 동안 가열이 적용된다.

[0347] 상기 단계들을 통해, 탈수화 또는 탈수소화를 위한 가열 처리가 형성된 산화물 반도체층에 대해 수행될 때 산화물 반도체층은 산소-결핍 상태가 되고 따라서 저저항을 가지며, 즉 n형이 된다. 그 후에, 산화물 절연층은 산화물 반도체층과 접촉하여 형성된다. 따라서, 산화물 반도체층의 부분은 선택적으로 산소 과잉 상태에 있다. 결과적으로, 게이트 전극층(311)과 중첩하는 채널 형성 영역(313)은 i-형이 된다. 그때, 적어도 채널 형성 영역(363)보다 높은 캐리어 농도를 가지고 소스 전극층(315a)과 오버랩하는 고저항 소스 영역(314a)과, 적어도 채널 형성 영역(363)보다 높은 캐리어 농도를 가지고 드레인 전극층(315b)과 오버랩하는 고저항 드레인 영역(314b)은 자기 정합적(self-aligned)으로 형성된다. 상기 단계들을 통해, 박막 트랜지스터(310)가 형성된다(도 11d 참조).

[0348] 또한, 가열 처리는 대기중에서 한 시간 이상 30 시간 이하 동안 100°C 이상 200°C 이하로 수행될 수 있다. 이

실시형태에서, 가열 처리는 10시간 동안 150°C로 수행된다. 이 가열 처리는 고정된 가열 온도로 수행될 수 있다. 대안적으로, 다음의 가열 온도 변화들이 복수 번 반복적으로 행해질 수 있다: 가열 온도는 실온에서 100°C 이상 200°C 이하의 온도까지 증가되고, 그 후에 실온으로 감소된다. 또한, 이 가열 처리는 산화물 절연층의 형성 전에 감압 하에서 수행될 수 있다. 감압 하에서, 가열 시간이 단축될 수 있다. 이 가열 처리를 이용하여, 산화물 반도체층에서 산화물 절연층으로 수소가 도입된다; 따라서, 박막 트랜지스터가 노멀리 오프될 수 있다. 따라서, 박막 트랜지스터의 신뢰도가 개선될 수 있다. 많은 결점들을 갖는 산화 실리콘층이 산화물 절연층으로 이용될 때, 이 가열 처리를 이용하여, 산화물 반도체층에 함유된 수소, 수분, 수산기 또는 수소화물과 같은 불순물은 산화물 반도체층에서의 불순물이 더욱 감소될 수 있도록 산화물 절연층으로 확산될 수 있다.

[0349] 드레인 전극층(315b)(및 소스 전극층(315a))과 중첩하는 산화물 반도체층에서 고저항 드레인 영역(314b)(및 고저항 소스 영역(314a))을 형성함으로써, 박막 트랜지스터의 신뢰도가 개선될 수 있음을 유념한다. 특히, 고저항 드레인 영역(314b)을 형성함으로써, 드레인 전극층(315b), 고저항 드레인 영역(314b) 및 채널 형성 영역(313)의 도전성들이 가변하는 구조가 획득될 수 있다. 따라서, 박막 트랜지스터가 고전력 공급 전위 VDD를 공급하기 위한 배선에 접속된 드레인 전극층(315b)으로 동작하는 경우에, 고저항 드레인 영역이 버퍼의 역할을 하고, 게이트 전극층(311)과 드레인 전극층(315b) 사이에 전압이 인가되는 경우에도 전계가 국부적으로 인가되지 않는다; 따라서 박막 트랜지스터의 내전압이 증가될 수 있다.

[0350] 또한, 산화물 반도체층의 두께가 15nm 이하인 경우에, 산화물 반도체층에서 고저항 소스 영역 또는 고저항 드레인 영역이 전체 두께 방향으로 형성된다. 산화물 반도체층의 두께가 30nm 이상 50nm 이하인 경우에, 산화물 반도체층의 부분에서, 즉 소스 전극층 또는 드레인 전극층과 접촉하는 산화물 반도체층의 영역 및 그 주변에서, 저항이 감소되고, 고저항 소스 영역 또는 고저항 드레인 영역이 형성되는 동안, 게이트 절연막에 가까운 산화물 반도체층의 영역이 i-형이 될 수 있다.

[0351] 보호 절연층은 산화물 절연층(316) 위에 부가적으로 형성될 수 있다. 예를 들면, 질화 실리콘막이 RF 스퍼터링 방법을 이용하여 형성된다. RF 스퍼터링 방법은 높은 생산성으로 인해 보호 절연층의 형성 방법으로서 바람직하다. 보호 절연층은 수분, 수소 이온 및 OH<sup>-</sup>와 같은 불순물들을 함유하지 않고, 외부로부터 이들의 침입을 차단하는 무기 절연막을 이용하여 형성한다: 예를 들면 질화 실리콘막, 질화 알루미늄막, 질화산화 실리콘막, 또는 질화산화 알루미늄막 등이 이용된다. 이 실시형태에서, 보호 절연층으로서, 보호 절연층(303)이 질화 실리콘막을 이용하여 형성된다(도 11e 참조).

[0352] 산화물 절연층(316)까지 층들이 형성된 기판(300)은 100°C 내지 400°C의 온도로 가열되고, 수소 및 수분이 제거되고 고순도 질소가 함유된 스퍼터링 가스가 도입되고, 실리콘 타겟이 이용되고, 그에 의해 질화 실리콘층이 보호 절연층(303)으로서 형성된다. 이 경우, 보호 절연층(303)은 산화물 절연층(316)과 유사하게, 처리실에 남아 있는 수분을 제거하여 형성되는 것이 바람직하다.

[0353] 평탄화를 위한 평탄화 절연층이 보호 절연층(303) 위에 제공될 수 있음을 유념한다.

[0354] 또한, 도전층이 보호 절연층(303) 위에(평탄화 절연층을 제공하는 경우에), 평탄화 절연층 위에), 산화물 반도체층과 중첩되도록 형성될 수 있다. 도전층의 전위는 박막 트랜지스터(310)의 게이트 전극층(311)과 동일하거나 상이할 수 있다. 도전층은 또한, 제 2 게이트 전극층으로서 기능할 수 있다. 도전층의 전위는 GND 또는 0V와 같이 고정된 전위일 수 있다.

[0355] 박막 트랜지스터(310)의 전기 특성들은 도전층에 의해 제어될 수 있다.

[0356] 이 실시형태는 다른 실시형태들 중 어느 것과 조합하여 적합하게 구현될 수 있다.

[0357] 따라서, 산화물 반도체층을 포함하는 박막 트랜지스터는 안정한 전기 특성들 및 높은 신뢰도를 가질 수 있다.

[0358] (실시형태 7)

[0359] 이 실시형태에서, 이 명세서에 개시된 논리 회로 및 반도체 장치에 포함된 트랜지스터들에 적용될 수 있는 박막 트랜지스터의 예가 기술된다.

[0360] 이 실시형태의 박막 트랜지스터 및 박막 트랜지스터의 제작 방법의 일 실시형태는 도 12a 내지 도 12d를 참조하여 기술된다.

[0361] 도 12a 내지 도 12d는 박막 트랜지스터의 단면 구조예를 도시한다. 도 12a 내지 도 12d에 도시된 박막 트랜지스터(360)는 소위 채널 보호형 박막 트랜지스터(또한, 채널-스톱형 박막 트랜지스터라고도 칭해짐)인 하부 게이트

박막 트랜지스터들 중 하나이고, 또한 역 스태거형 박막 트랜지스터라고도 칭해진다.

[0362] 단일-케이트 박막 트랜지스터를 박막 트랜지스터(360)로서 이용하는 기술이 주어지지만, 복수의 채널 형성 영역들을 포함하는 멀티-케이트 박막 트랜지스터가 필요시 형성될 수 있다.

[0363] 기판(320) 위에 박막 트랜지스터(360)를 제작하는 공정은 도 12a 내지 도 12d를 참조하여 하기에 기술된다.

[0364] 먼저, 절연 표면을 갖는 기판(320) 위에 도전막이 형성된 후에, 케이트 전극층(361)이 제 1 포토리소그래피 공정으로 형성된다. 레지스트 마스크는 잉크-젯 방법을 이용하여 형성될 수 있음을 유념한다. 레지스트 마스크가 잉크-젯 방법을 이용하여 형성될 때, 포토마스크는 이용되지 않는다; 따라서 제작 비용들이 감소될 수 있다.

[0365] 또한, 케이트 전극층(361)은 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴 및 스칸듐과 같은 금속 재료들 중 어느 것 및 이들 재료들 중 어느 것을 주성분으로 포함하는 합금 재료를 이용하여 단층 구조 또는 적층 구조로 형성될 수 있다.

[0366] 그 후에, 케이트 절연층(322)이 케이트 전극층(361) 위에 형성된다.

[0367] 이 실시형태에서, 100nm 이하의 두께를 갖는 산화질화 실리콘층이 플라즈마 CVD 방법을 이용하여 케이트 절연층(322)으로서 형성된다.

[0368] 그 후에, 산화물 반도체막이 케이트 절연층(322) 위에 2nm 이상 200nm 이하의 두께로 형성되고 제 2 포토리소그래피 공정으로 섬형상 산화물 반도체층으로 가공된다. 이 실시형태에서, 산화물 반도체막은 In-Ga-Zn-O계 산화물 반도체 성막용 타겟을 이용하여 스퍼터링 방법으로 형성된다.

[0369] 그 경우, 산화물 반도체막은 처리실에 남아있는 수분을 제거하여 형성되는 것이 바람직하다. 이것은 수소, 수산기 및 수분이 산화물 반도체막에 함유되는 것을 방지하기 위한 것이다.

[0370] 처리실에 남아있는 수분을 제거하기 위하여, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 또한, 배기 수단은 냉각 트랩이 구비된 터보 펌프일 수 있다. 크라이오 펌프로 배기되는 성막실에서, 수소 원자, 수분(H<sub>2</sub>O)과 같이 수소 원자를 함유한 화합물 등이 제거되고, 그에 의해 성막실에서 형성된 산화물 반도체막의 불순물의 농도가 감소될 수 있다.

[0371] 산화물 반도체막이 형성될 때 이용되는 스퍼터링 가스로서, 수소, 수분, 수산기 또는 수소화물과 같은 불순물이 ppm 또는 ppb의 레벨로 표현되는 농도까지 제거되는 고순도 가스를 이용하는 것이 바람직하다.

[0372] 다음에, 산화물 반도체층에는 탈수화 또는 탈수소화가 행해진다. 탈수화 또는 탈수소화를 위한 제 1 가열 처리의 온도는 400°C 이상 750°C 이하이고, 바람직하게는 400°C 이상 기판의 변형점 이하이다. 여기서, 기판은 가열 처리 장치들 중 하나인 전기로에 도입되고, 한 시간 동안 450°C의 질소 분위기에서 산화물 반도체층에 대해 가열 처리가 수행된 다음, 산화물 반도체층은 산화물 반도체층으로의 수분 또는 수소의 진입이 방지되도록 대기에 노출되지 않는다; 따라서, 산화물 반도체층(332)이 획득된다(도 12a 참조).

[0373] 다음에, N<sub>2</sub>O, N<sub>2</sub> 또는 Ar과 같은 가스로 플라즈마 처리가 수행된다. 이 플라즈마 처리를 이용하여, 산화물 반도체층의 노출된 부분의 표면에 흡착된 수분이 제거된다. 대안적으로, 플라즈마 처리는 산소와 아르곤의 혼합된 가스를 이용하여 수행될 수 있다.

[0374] 다음에, 산화물 절연층이 케이트 절연층(322) 및 산화물 반도체층(332) 위에 형성되고, 제 3 포토리소그래피 공정이 수행된다. 레지스트 마스크가 형성되고 선택적인 에칭이 수행되어, 산화물 절연층(366)이 형성된다. 그 후에, 레지스트 마스크가 제거된다.

[0375] 이 실시형태에서, 산화 실리콘막이 스퍼터링 방법을 이용하여 산화물 절연층(366)으로서 200nm의 두께로 형성된다. 성막시 기판의 온도는 실온 이상 300°C 이하일 수 있고, 이 실시형태에서는 100°C이다. 산화 실리콘막은 희가스(통상적으로, 아르곤) 분위기, 산소 분위기 또는 희가스(통상적으로, 아르곤)와 산소를 함유한 혼합된 분위기에서 스퍼터링 방법을 이용하여 형성될 수 있다. 또한, 산화 실리콘 타겟 또는 실리콘 타겟이 타겟으로서 이용될 수 있다. 예를 들면, 산화 실리콘막이 산소 및 질소를 함유한 분위기에서 스퍼터링 방법을 이용하여 실리콘 타겟을 이용하여 형성될 수 있다. 산소-결핍 상태이고 따라서 저저항을 갖는 영역에서 산화물 반도체층과 접촉하여 형성된 산화물 절연층(366)은 수분, 수소 이온 및 OH<sup>-</sup>와 같은 불순물들을 함유하지 않고, 외부로부터의 이러한 불순물의 침입을 차단하는 무기 절연막, 통상적으로 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄

막 또는 산화질화 알루미늄막을 이용하여 형성된다.

[0376] 그 경우, 산화물 절연층(366)이 처리실에 남아있는 수분을 제거하여 형성되는 것이 바람직하다. 이것은 수소, 수산기 및 수분이 산화물 반도체층(332) 및 산화물 절연층(366)에 함유되는 것을 방지하기 위한 것이다.

[0377] 처리실에 남아있는 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 또한, 배기 수단은 냉각 트랩이 구비된 터보 펌프일 수 있다. 크라이오 펌프로 배기되는 성막실에서, 수소 원자, 물( $H_2O$ )과 같이 수소 원자를 함유한 화합물 등이 제거되고, 그에 의해 성막실에서 형성된 산화물 절연층(366)의 불순물의 농도가 감소될 수 있다.

[0378] 산화물 절연층(366)이 형성될 때 이용되는 스퍼터링 가스로서, 수소, 수분, 수산기 또는 수소화물과 같은 불순물이 ppm 또는 ppb의 레벨로 표현되는 농도까지 제거되는 고순도 가스를 이용하는 것이 바람직하다.

[0379] 다음에, 제 2 가열 처리(바람직하게 200°C 이상 400°C 이하, 예를 들면 250°C 이상 350°C 이하)가 불활성 가스 분위기 또는 산소 가스 분위기에서 수행된다. 예를 들면, 제 2 가열 처리는 한 시간 동안 250°C로 질소 분위기에서 수행된다. 제 2 가열 처리를 이용하여, 산화물 반도체층의 일부(채널 형성 영역)가 산화물 절연층(366)과 접촉하는 동안 가열이 적용된다.

[0380] 이 실시형태에서, 또한 산화물 절연층(366)이 제공되는 산화물 반도체층(332)에 대해 가열 처리가 행해지고, 따라서 질소와 같은 불활성 가스 분위기에서 감압하에서 산화물 반도체층(332)이 노출된다. 질소와 같은 불활성 가스 분위기에서 또는 감압하에서 가열 처리를 수행함으로써, 산화물 절연층(366)으로 피복되지 않고 따라서 노출된 산화물 반도체층(332)의 영역들의 저항이 증가될 수 있다. 예를 들면, 가열 처리는 한 시간 동안 250°C로 질소 분위기에서 수행된다.

[0381] 질소 분위기에서 산화물 절연층(366)이 구비된 산화물 반도체층(332)에 대한 가열 처리로, 산화물 반도체층(332)의 노출된 영역들의 저항이 증가된다. 따라서, 상이한 저항들을 가진 영역들(도 12b에서 음영 영역들 및 백색 영역들로 표시됨)을 포함하는 산화물 반도체층(362)이 형성된다.

[0382] 다음에, 게이트 절연층(322), 산화물 반도체층(362) 및 산화물 절연층(366) 위에 도전막이 형성된 후에, 제 4 포토리소그래피 공정이 수행된다. 레지스트 마스크가 형성되고 선택적인 에칭이 수행되어, 소스 전극층(365a) 및 드레인 전극층(365b)이 형성된다. 그 후에, 레지스트 마스크가 제거된다(도 12c 참조).

[0383] 다음에, 소스 전극층(365a) 및 드레인 전극층(365b)의 재료로서, Al, Cr, Cu, Ta, Ti, Mo 또는 W로부터 선택된 원소; 상기 원소들 중 어느 것을 포함한 합금; 이들 원소들 중 어느 것의 조합을 함유한 합금막 등이 존재한다. 금속 도전막은 단층 구조 또는 2 이상의 층들의 적층 구조를 가질 수 있다.

[0384] 상기 단계들을 통해, 산화물 반도체층은 탈수화 또는 탈수소화를 위한 가열 처리가 상기 형성된 산화물 반도체층에 대해 수행될 때 산소-결핍 상태, 즉 n형이 된다. 그 후에, 산화물 절연층은 산화물 반도체층과 접촉하여 형성된다. 따라서, 산화물 반도체층의 일부는 선택적으로 산소 과잉 상태에 있다. 결과적으로, 게이트 전극층(361)과 중첩하는 채널 형성 영역(363)은 i-형이 된다. 그때, 적어도 채널 형성 영역(363)보다 높은 캐리어 농도를 가지고 소스 전극층(365a)과 오버랩하는 고저항 소스 영역(364a)과, 적어도 채널 형성 영역(363)보다 높은 캐리어 농도를 가지고 드레인 전극층(365b)과 오버랩하는 고저항 드레인 영역(364b)은 자기 정합적으로 형성된다. 상기 단계들을 통해, 박막 트랜지스터(360)가 형성된다.

[0385] 또한, 가열 처리는 대기중에서 한 시간 이상 30 시간 이하 동안 100°C 이상 200°C 이하로 수행될 수 있다. 이 실시형태에서, 가열 처리는 10시간 동안 150°C로 수행된다. 이 가열 처리는 고정된 가열 온도로 수행될 수 있다. 대안적으로, 다음의 가열 온도 변화들이 복수 번 반복적으로 행해질 수 있다: 가열 온도는 실온에서 100°C 이상 200°C 이하의 온도까지 증가되고, 그 후에 실온으로 감소된다. 또한, 이 가열 처리는 산화물 절연층의 형성 전에 감압 하에서 수행될 수 있다. 감압 하에서, 가열 시간이 단축될 수 있다. 이 가열 처리를 이용하여, 산화물 반도체층에서 산화물 절연층으로 수소가 도입된다; 따라서, 박막 트랜지스터가 노멀리 오프될 수 있다. 따라서, 박막 트랜지스터의 신뢰도가 개선될 수 있다.

[0386] 드레인 전극층(365b)(및 소스 전극층(365a))과 중첩하는 산화물 반도체층에서 고저항 드레인 영역(364b)(및 고저항 소스 영역(364a))을 형성함으로써, 박막 트랜지스터의 신뢰도가 개선될 수 있음을 유념한다. 특히, 고저항 드레인 영역(364b)을 형성함으로써, 드레인 전극층(365b), 고저항 드레인 영역(364b) 및 채널 형성 영역(363)의 도전성들이 가변하는 구조가 획득될 수 있다. 따라서, 박막 트랜지스터가 고전력 공급 전위 VDD를 공급하기 위

한 배선에 접속된 드레인 전극층(365b)으로 동작하는 경우에, 고저항 드레인 영역이 베퍼의 역할을 하고, 게이트 전극층(361)과 드레인 전극층(365b) 사이에 전압이 인가되는 경우에도 전계가 국부적으로 인가되지 않는다; 따라서 박막 트랜지스터의 내전압이 증가될 수 있다.

[0387] 보호 절연층(323)이 소스 전극층(365a), 드레인 전극층(365b) 및 산화물 절연층(366) 위에 형성된다. 이 실시형태에서, 보호 절연층(323)이 질화 실리콘막을 이용하여 형성된다(도 12d 참조).

[0388] 산화물 절연층이 또한 소스 전극층(365a), 드레인 전극층(365b) 및 산화물 절연층(366) 위에 형성될 수 있고 보호 절연층(323)이 산화물 절연층 위에 적층될 수 있음을 유념한다.

[0389] 따라서, 산화물 반도체층을 포함하는 박막 트랜지스터는 안정한 전기 특성들 및 높은 신뢰도를 가질 수 있다.

[0390] 이 실시형태는 다른 실시형태들 중 어느 것과 조합하여 적합하게 구현될 수 있음을 유념한다.

[0391] (실시형태 8)

[0392] 이 실시형태에서, 이 명세서에 개시된 논리 회로 및 반도체 장치에 포함된 트랜지스터들에 적용될 수 있는 박막 트랜지스터의 예가 기술된다.

[0393] 이 실시형태의 박막 트랜지스터 및 박막 트랜지스터의 제작 방법의 일 실시형태는 도 13a 내지 도 13d를 참조하여 기술된다.

[0394] 단일-게이트 박막 트랜지스터를 박막 트랜지스터(350)로서 이용하는 기술이 주어지지만, 복수의 채널 형성 영역들을 포함하는 멀티-게이트 박막 트랜지스터가 필요시 형성될 수 있다.

[0395] 기판(340) 위에 박막 트랜지스터(350)를 제작하는 공정이 도 13a 내지 도 13d를 참조하여 하기에 기술된다.

[0396] 먼저, 절연 표면을 갖는 기판(340) 위에 도전막이 형성된 후에, 게이트 전극층(351)이 제 1 포토리소그래피 공정으로 형성된다. 이 실시형태에서, 텅스텐막이 150nm의 두께로 게이트 전극층(351)으로서 형성된다.

[0397] 그 후에, 게이트 절연층(342)이 게이트 전극층(351) 위에 형성된다. 이 실시형태에서, 산화질화 실리콘층이 플라즈마 CVD 방법을 이용하여 100nm 이하의 두께로 게이트 절연층(342)으로서 형성된다.

[0398] 다음에, 도전막이 게이트 절연층(342) 위에 형성된 후에, 제 2 포토리소그래피 공정이 수행된다. 레지스트 마스크가 형성되고 선택적인 에칭이 수행되어, 소스 전극층(355a) 및 드레인 전극층(355b)이 형성된다. 그 후에, 레지스트 마스크가 제거된다(도 13a 참조).

[0399] 그 후에, 산화물 반도체막(345)이 형성된다(도 13b 참조). 이 실시형태에서, 산화물 반도체막(345)은 In-Ga-Zn-0계 산화물 반도체 성막용 타겟을 이용하여 스퍼터링 방법으로 형성된다. 산화물 반도체막(345)은 제 3 포토리소그래피 공정으로 섬형상 산화물 반도체층으로 가공된다.

[0400] 그 경우, 산화물 반도체막(345)은 처리실에 남아있는 수분을 제거하여 형성되는 것이 바람직하다. 이것은 수소, 수산기 및 수분이 산화물 반도체막(345)에 함유되는 것을 방지하기 위한 것이다.

[0401] 처리실에 남아있는 수분을 제거하기 위하여, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 또한, 배기 수단은 냉각 트랩이 구비된 터보 펌프일 수 있다. 크라이오 펌프로 배기되는 성막실에서, 수소 원자, 물( $H_2O$ )과 같이 수소 원자를 함유한 화합물 등이 제거되고, 그에 의해 성막실에서 형성된 산화물 반도체막(345)의 불순물의 농도가 감소될 수 있다.

[0402] 산화물 반도체막(345)이 형성될 때 이용되는 스퍼터링 가스로서, 수소, 수분, 수산기 또는 수소화물과 같은 불순물이 ppm 또는 ppb의 레벨로 표현되는 농도까지 제거되는 고순도 가스를 이용하는 것이 바람직하다.

[0403] 다음에, 산화물 반도체층에는 탈수화 또는 탈수소화가 행해진다. 제 1 가열 처리의 온도는 400°C 이상 750°C 이하이고, 바람직하게는 400°C 이상 기판의 변형점 이하이다. 여기서, 기판은 가열 처리 장치들 중 하나인 전기로에 도입되고, 한 시간 동안 450°C의 질소 분위기에서 산화물 반도체층에 대해 가열 처리가 수행된 다음, 산화물 반도체층은 산화물 반도체층으로의 수분 또는 수소의 진입이 방지되도록 대기애 노출되지 않는다; 따라서, 산화물 반도체층(346)이 획득된다(도 13c 참조).

[0404] 제 1 가열 처리로서, GRTA가 다음과 같이 수행될 수 있다. 기판은 650°C 내지 700°C의 고온으로 가열된 불활성 가스로 이동되어 넣어지고, 수분 동안 가열되고, 고온으로 가열된 불활성 가스에서 이동되어 꺼내어진다. GRTA

는 단시간의 고온 가열 처리가 가능하다.

[0406] \*보호 절연막의 역할을 하고 산화물 반도체층(346)과 접촉하는 산화물 절연층(356)이 형성된다.

[0407] 산화물 절연층(356)은 스퍼터링 방법 등을 이용하여 1nm 이상의 두께로 적합하게 형성될 수 있으며, 스퍼터링 방법은 수분 또는 수소와 같은 불순물이 산화물 절연층(356)에 침입하지 않는 방법이다. 수소가 산화물 절연층(356)에 함유될 때, 산화물 반도체층으로의 수소의 침입 또는 수소에 의한 산화물 반도체층에서의 산소의 추출이 유발되고, 그에 의해 산화물 반도체층의 백채널이 저저항을 가지게 되고( $n$ 형이 되고), 따라서 기생 채널이 형성될 수 있다. 따라서, 산화물 절연층(356)이 수소를 가능한 적게 함유하도록 형성되도록 수소가 이용되지 않는 형성 방법이 채용되는 것이 중요하다.

[0408] 이 실시형태에서, 산화 실리콘막이 산화물 절연층(356)으로서 스퍼터링 방법을 이용하여 200nm의 두께로 형성된다. 막 형성에서의 기판 온도는 실온 이상 300°C 이하일 수 있고, 이 실시형태에서는 100°C이다. 산화 실리콘막은 희가스(통상적으로, 아르곤) 분위기, 산소 분위기 또는 희가스(통상적으로, 아르곤)와 산소를 함유한 혼합된 분위기에서 스퍼터링 방법을 이용하여 형성될 수 있다. 또한, 산화 실리콘 타겟 또는 실리콘 타겟이 타겟으로서 이용될 수 있다. 예를 들면, 산화 실리콘막이 산소 및 질소를 함유한 분위기에서 스퍼터링 방법을 이용하여 실리콘 타겟을 이용하여 형성될 수 있다. 산소-결핍 상태이고 따라서  $n$ 형인, 즉 저저항을 갖는 영역에서 산화물 반도체층과 접촉하여 형성된 산화물 절연층(356)은 수분, 수소 이온 및  $\text{OH}^-$ 와 같은 불순물들을 함유하지 않고, 외부로부터의 이러한 불순물의 침입을 차단하는 무기 절연막, 통상적으로 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막 또는 산화질화 알루미늄막을 사용하여 형성된다.

[0409] 그 경우, 산화물 절연층(356)이 처리실에 남아있는 수분을 제거하여 형성되는 것이 바람직하다. 이것은 수소, 수산기 및 수분이 산화물 반도체층(346) 및 산화물 절연층(356)에 함유되는 것을 방지하기 위한 것이다.

[0410] 처리실에 남아있는 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 또한, 배기 수단은 냉각 트랩이 구비된 터보 펌프일 수 있다. 크라이오 펌프로 배기되는 성막실에서, 수소 원자, 물( $\text{H}_2\text{O}$ )과 같이 수소 원자를 함유한 화합물 등이 제거되고, 그에 의해 성막실에서 형성된 산화물 절연층(356)의 불순물의 농도가 감소될 수 있다.

[0411] 산화물 절연층(356)이 형성될 때 이용되는 스퍼터링 가스로서, 수소, 수분, 수산기 또는 수소화물과 같은 불순물이 ppm 또는 ppb의 레벨로 표현되는 농도까지 제거되는 고순도 가스를 이용하는 것이 바람직하다.

[0412] 다음에, 제 2 가열 처리(바람직하게 200°C 이상 400°C 이하, 예를 들면 250°C 이상 350°C 이하)가 불활성 가스 분위기 또는 산소 가스 분위기에서 수행된다. 예를 들면, 제 2 가열 처리는 한 시간 동안 250°C로 질소 분위기에서 수행된다. 제 2 가열 처리를 이용하여, 산화물 반도체층의 일부(채널 형성 영역)가 산화물 절연층(356)과 접촉하는 동안 가열이 적용된다.

[0413] 상기 단계들을 통해, 산소-결핍 상태에 있고 따라서 탈수화 또는 탈수소화를 통해 저저항을 갖는 산화물 반도체층은 산소 과잉 상태가 된다. 결과적으로, 저저항을 갖는  $i$ -형 산화물 반도체층(352)이 형성된다. 상기 단계들을 통해, 박막 트랜지스터(350)가 형성된다.

[0414] 또한, 가열 처리는 대기중에서 한 시간 이상 30 시간 이하 동안 100°C 이상 200°C 이하로 수행될 수 있다. 이 실시형태에서, 가열 처리는 10시간 동안 150°C로 수행된다. 이 가열 처리는 고정된 가열 온도로 수행될 수 있다. 대안적으로, 다음의 가열 온도 변화들이 복수 번 반복적으로 행해질 수 있다: 가열 온도는 실온에서 100°C 이상 200°C 이하의 온도까지 증가되고, 그 후에 실온으로 감소된다. 감압 하에서, 가열 시간이 단축될 수 있다. 이 가열 처리를 이용하여, 이 가열 처리를 이용하여, 산화물 반도체층에서 산화물 절연층으로 수소가 도입된다; 따라서, 박막 트랜지스터가 노멀리 오프될 수 있다. 따라서, 박막 트랜지스터의 신뢰도가 개선될 수 있다.

[0415] 보호 절연층이 산화물 절연층(356) 위에 부가적으로 형성될 수 있다. 예를 들면, 질화 실리콘막이 RF 스퍼터링 방법을 이용하여 형성된다. 이 실시형태에서, 보호 절연층으로서, 보호 절연층(343)이 질화 실리콘막을 이용하여 형성된다(도 13d 참조).

[0416] 평탄화를 위한 평탄화 절연층이 보호 절연층(343) 위에 제공될 수 있다.

[0417] 이 실시형태는 다른 실시형태들 중 어느 것과 적합하게 조합하여 구현될 수 있다.

[0418] 따라서, 산화물 반도체층을 포함하는 박막 트랜지스터는 안정한 전기 특성들 및 높은 신뢰도를 가질 수 있다.

[0419] (실시형태 9)

[0420] 이 실시형태에서, 이 명세서에 개시된 논리 회로 및 반도체 장치에 포함된 트랜지스터들에 적용될 수 있는 박막 트랜지스터의 예가 기술된다.

[0422] \*이 실시형태에서, 박막 트랜지스터의 제작 공정에서 실시형태 6과 부분적으로 상이한 예가 도 14를 참조하여 기술된다. 도 14가 단계들의 일부를 제외하고 도 11a 내지 도 11e와 동일하기 때문에, 공용 참조 번호들이 동일한 부분들에 이용되고, 동일한 부분의 상세한 기술은 생략된다.

[0423] 먼저, 게이트 전극층(381)이 기판(370) 위에 형성되고, 제 1 게이트 절연층(372a) 및 제 2 게이트 절연층(372b)이 그 위에 적층된다. 이 실시형태에서, 게이트 절연층은 질화물 절연층 및 산화물 절연층이 제 1 게이트 절연층(372a) 및 제 2 게이트 절연층(372b)으로서 각각 이용되는 2층 구조를 가진다.

[0424] 산화물 절연층으로서, 산화 실리콘층, 산화질화 실리콘층, 산화 알루미늄층, 산화질화 알루미늄층 등이 이용될 수 있다. 질화물 절연층으로서, 질화 실리콘층, 질화산화 실리콘층, 질화 알루미늄층, 질화산화 알루미늄층 등이 이용될 수 있다.

[0425] 이 실시형태에서, 게이트 절연층은 질화 실리콘층 및 산화 실리콘층이 게이트 전극층(381)측으로부터 적층되는 구조를 가질 수 있다. 50nm 이상 200nm 이하(이 실시형태에서는 50nm)의 두께를 갖는 질화 실리콘층( $\text{SiN}_y$  ( $y > 0$ ))이 제 1 게이트 절연층(372a)으로서 스퍼터링 방법을 이용하여 형성되고, 5nm 이상 300nm 이하(이 실시형태에서는 100nm)의 두께를 갖는 산화 실리콘층( $\text{SiO}_x$  ( $x > 0$ ))이 제 1 게이트 절연층(372a) 위에 제 2 게이트 절연층(372b)으로서 적층된다; 따라서, 150nm의 두께를 갖는 게이트 절연층이 형성된다.

[0426] 다음에, 산화물 반도체막이 형성된 다음 포토리소그래피 공정으로 섬형상 산화물 반도체층으로 가공된다. 이 실시형태에서, 산화물 반도체막은 In-Ga-Zn-O계 산화물 반도체 성막용 타겟을 이용하여 스퍼터링 방법으로 형성된다.

[0427] 그 경우, 산화물 반도체막은 처리실에 남아있는 수분을 제거하여 형성되는 것이 바람직하다. 이것은 수소, 수산기 및 수분이 산화물 반도체막에 함유되는 것을 방지하기 위한 것이다.

[0428] 처리실에 남아있는 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 또한, 배기 수단은 냉각 트랩이 구비된 터보 펌프일 수 있다. 크라이오 펌프로 배기되는 성막실에서, 수소 원자, 물( $\text{H}_2\text{O}$ )과 같이 수소 원자를 함유한 화합물 등이 제거되고, 그에 의해 성막실에서 형성된 산화물 반도체막의 불순물의 농도가 감소될 수 있다.

[0429] 산화물 반도체막이 형성될 때 이용되는 스퍼터링 가스로서, 수소, 수분, 수산기 또는 수소화물과 같은 불순물이 ppm 또는 ppb의 레벨로 표현되는 농도까지 제거되는 고순도 가스를 이용하는 것이 바람직하다.

[0430] 다음에, 산화물 반도체층에는 탈수화 또는 탈수소화가 행해진다. 탈수화 또는 탈수소화를 위한 제 1 가열 처리의 온도는 400°C 이상 750°C 이하이고, 바람직하게는 425°C 이상이다. 온도가 425°C 이상인 경우에는 가열 처리는 1시간 이하일 수 있는 반면, 온도가 425°C보다 낮은 경우에는 가열 처리 시간이 1시간보다 길다는 것을 유념한다. 여기서, 기판은 가열 처리 장치들 중 하나인 전기로에 도입되고, 질소 분위기에서 산화물 반도체층에 대해 가열 처리가 수행된 다음, 산화물 반도체층은 산화물 반도체층으로의 수분 또는 수소의 진입이 방지되도록 대기애 노출되지 않는다. 따라서, 산화물 반도체층이 획득된다. 그후, 고순도 산소 가스, 고순도  $\text{N}_2\text{O}$  가스 또는 초-건조 대기(노점이 -40°C 이하, 바람직하게는 -60°C 이하)가 동일 노에 도입되고, 냉각이 수행된다. 수분, 수소 등이 산소 가스 또는  $\text{N}_2\text{O}$  가스에 함유되지 않는 것이 바람직하다. 대안적으로, 가열 처리 장치에 도입되는 산소 가스 또는  $\text{N}_2\text{O}$  가스의 순도는 바람직하게 6N(99.9999%)이고, 더욱 바람직하게 7N(99.99999%), 또는 그 이상이다(즉, 산소 가스 또는  $\text{N}_2\text{O}$  가스의 불순물 농도는 바람직하게 1ppm 이하이고, 더욱 바람직하게 0.1 ppm 이하이다).

[0431] 열 처리 장치는 전기로에 제한되지 않고, 예를 들면, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid thermal anneal) 장치와 같은 RTA(rapid thermal anneal) 장치일 수 있음을 유념한다. LRTA 장치는, 할로겐 램프, 금속 할로겐화물 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프 또는 고압 수은 램프와

같은 램프로부터 방출된 광(전자파)의 복사에 의해 피처리물을 가열하기 위한 장치이다. LRTA 장치에는 램프뿐만 아니라 저항 발열체와 같은 발열체로부터의 열 전도 또는 열 복사에 의해 피처리물을 가열하기 위한 장치도 구비될 수 있다. GRTA는 고온 가스를 이용하여 가열 처리하기 위한 방법이다. 가스로서, 질소 또는 아르곤과 같은 희가스와 같이, 가열 처리로 피처리물과 거의 반응하지 않는 불활성 가스가 이용된다. 대안적으로, 가열 처리는 RTA 방법에 의해 수분 동안 600°C 내지 750°C로 수행될 수 있다.

[0432] 또한, 탈수화 또는 탈수소화를 위한 제1 가열 처리 후, 가열 처리는 산소 가스 분위기 또는 N<sub>2</sub>O 분위기에서 200°C 내지 400°C, 바람직하게는 200°C 내지 300°C로 수행될 수 있다.

[0433] 산화물 반도체층의 제1 가열 처리는 산화물 반도체막을 섬형상 산화물 반도체층으로 가공하기 전에 수행될 수 있다. 그 경우, 제1 가열 처리 후, 기판은 가열 장치에서 꺼내지고 포토리소그래피 단계가 수행된다.

[0434] 상기 공정들을 통해, 산화물 반도체층의 전체 영역은 산소 과잉 상태가 된다; 따라서, 산화물 반도체층은 더 높은 저항을 가지고, 즉 산화물 반도체층은 i-형이 된다. 따라서, 전체 영역이 i-형인 산화물 반도체층(382)이 형성된다.

[0435] 다음에, 도전막이 산화물 반도체층(382) 위에 형성되고, 포토리소그래피 공정이 수행된다. 레지스트 마스크가 형성되고 애칭이 선택적으로 수행되고, 그에 의해 소스 전극층(385a) 및 드레인 전극층(385b)이 형성된다. 그 후에, 산화물 절연층(386)이 스퍼터링 방법을 이용하여 형성된다.

[0437] \*그 경우, 산화물 절연층(386)은 처리실에 남아있는 수분을 제거하여 형성되는 것이 바람직하다. 이것은 수소, 수산기 및 수분이 산화물 반도체층(382) 및 산화물 절연층(386)에 함유되는 것을 방지하기 위한 것이다.

[0438] 처리실에 남아있는 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 또한, 배기 수단은 냉각 트랩이 구비된 터보 펌프일 수 있다. 크라이오 펌프로 배기되는 성막실에서, 수소 원자, 물(H<sub>2</sub>O)과 같이 수소 원자를 함유한 화합물 등이 제거되고, 그에 의해 성막실에서 형성된 산화물 절연층(386)의 불순물의 농도가 감소될 수 있다.

[0439] 산화물 절연층(386)이 형성될 때 이용되는 스퍼터링 가스로서, 수소, 수분, 수산기 또는 수소화물과 같은 불순물이 ppm 또는 ppb의 레벨로 표현되는 농도까지 제거되는 고순도 가스를 이용하는 것이 바람직하다.

[0440] 상기 단계들을 통해 박막 트랜지스터(380)가 형성될 수 있다.

[0441] 다음에, 박막 트랜지스터들의 전기 특성들의 변동을 감소시키기 위해, 가열 처리(바람직하게, 150°C 이상 350°C 이하)가 질소 가스 분위기와 같은 불활성 가스 분위기에서 수행될 수 있다. 예를 들면, 가열 처리는 1시간 동안 250°C로 질소 분위기에서 수행된다.

[0442] 또한, 가열 처리는 대기중에서 한 시간 이상 30 시간 이하 동안 100°C 이상 200°C 이하로 수행될 수 있다. 이 실시형태에서, 가열 처리는 10시간 동안 150°C로 수행된다. 이 가열 처리는 고정된 가열 온도로 수행될 수 있다. 대안적으로, 다음의 가열 온도 변화들이 복수 번 반복적으로 행해질 수 있다: 가열 온도는 실온에서 100°C 이상 200°C 이하의 온도까지 증가되고, 그 후에 실온으로 감소된다. 감압 하에서, 가열 시간이 단축될 수 있다. 이 가열 처리를 이용하여, 수소가 산화물 반도체층에서 산화물 절연층으로 도입된다; 박막 트랜지스터가 노멀리 오프될 수 있다. 따라서, 박막 트랜지스터의 신뢰도가 개선될 수 있다.

[0443] 보호 절연층(373)이 산화물 절연층(386) 위에 형성된다. 이 실시형태에서, 보호 절연층(373)이 스퍼터링 방법으로 질화 실리콘막을 이용하여 100nm의 두께로 형성된다.

[0444] 질화물 절연층을 이용하여 각각 형성된 보호 절연층(373) 및 제1 게이트 절연층(372a)은 수분, 수소, 수소화물 및 수산화물과 같은 불순물들을 함유하지 않고 외부로부터 이들의 진입을 차단하는 효과를 가진다.

[0445] 따라서, 보호 절연층(373)의 형성 후의 제작 공정에서, 외부로부터 수분과 같은 불순물의 침입이 방지될 수 있다. 또한, 액정 표시 장치와 같은 반도체 장치로서 장치가 완성된 후에도, 외부로부터 수분과 같은 불순물의 침입이 장기간 방지될 수 있다; 따라서, 장치의 장기간 신뢰도가 달성될 수 있다.

[0446] 또한, 질화물 절연층을 이용하여 형성된 보호 절연층(373)과 제1 게이트 절연층(372a) 사이의 절연층들의 일부가 보호 절연층(373) 및 제1 게이트 절연층(372a)이 서로 접촉하도록 제거될 수 있다.

[0447] 따라서, 산화물 반도체층에서의 수분, 수소, 수소화물 및 수산화물과 같은 불순물들이 가능한 많이 제거되고,

이러한 불순물들의 진입이 방지되어, 산화물 반도체층에서의 불순물들의 농도가 낮게 유지될 수 있다.

[0448] 평탄화를 위한 평탄화 절연층이 보호 절연층(373) 위에 제공될 수 있음을 유념한다.

[0449] 또한, 도전층이 보호 절연층(373) 위에서 산화물 반도체층과 중첩되도록 형성될 수 있다. 도전층의 전위는 박막 트랜지스터(380)의 게이트 전극층(381)과 동일하거나 상이할 수 있다. 도전층은 또한, 제 2 게이트 전극층으로서 기능할 수 있다. 도전층의 전위는 GND 또는 0V와 같이 고정된 전위일 수 있다.

[0450] 박막 트랜지스터(380)의 전기 특성들은 도전층에 의해 제어될 수 있다.

[0451] 이 실시형태는 다른 실시형태들 중 어느 것과 조합하여 적합하게 구현될 수 있다.

[0452] 따라서, 산화물 반도체층을 포함하는 박막 트랜지스터는 안정한 전기 특성들 및 높은 신뢰도를 가질 수 있다.

[0453] (실시형태 10)

[0454] 반도체 장치의 일 모드에 대응하는 액정 표시 패널의 외관 및 단면도가 도 15a 내지 도 15c를 참조하여 기술된다. 도 15a 및 도 15c는 박막 트랜지스터들(4010 및 4011) 및 액정 소자(4013)가 각각 제 1 기판(4001)과 제 2 기판(4006) 사이에서 씰재(4005)를 이용하여 밀봉되는 패널들의 평면도들이다. 도 15b는 도 15a 또는 도 15c에서 M-N을 따라 취해진 단면도이다.

[0455] 씰재(4005)는 제 1 기판(4001) 위에 제공되는 화소부(4002) 및 주사선 구동 회로(4004)를 둘러싸도록 제공된다. 제 2 기판(4006)은 화소부(4002) 및 주사선 구동 회로(4004) 위에 제공된다. 결과적으로, 화소부(4002) 및 주사선 구동 회로(4004)는 제 1 기판(4001), 씰재(4005) 및 제 2 기판(4006)에 의해 액정층(4008)과 함께 밀봉된다. 별도로 준비된 기판 위에 단일 결정 반도체막 또는 다결정 반도체막을 이용하여 형성되는 신호선 구동 회로(4003)는 제 1 기판(4001) 위에 씰재(4005)에 의해 둘러싸인 영역과 상이한 영역에 장착된다.

[0456] 별도로 형성되고, COG 방법, 배선 결합 방법, TAB 방법 등이 이용될 수 있는 구동 회로의 접속 방법에 관한 특정 제한은 존재하지 않는다. 도 15a는 신호선 구동 회로(4003)가 COG 방법을 이용하여 장착되는 예를 도시한다. 도 15c는 신호선 구동 회로(4003)가 TAB 방법을 이용하여 장착되는 예를 도시한다.

[0457] 제 1 기판(4001) 위에 제공되는 화소부(4002) 및 주사선 구동 회로(4004)는 복수의 박막 트랜지스터들을 포함한다. 도 15b는 화소부(4002)에 포함되는 박막 트랜지스터(4010) 및 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예로서 도시한다. 절연층들(4041, 4042 및 4021)이 박막 트랜지스터들(4010 및 4011) 위에 제공된다.

[0458] 실시형태들 2 내지 9의 박막 트랜지스터들 중 어느 것이 박막 트랜지스터들(4010 및 4011)로서 적합하게 이용될 수 있다. 수소 또는 수분이 박막 트랜지스터들(4010 및 4011)의 산화물 반도체층들에서 감소된다. 따라서, 박막 트랜지스터들(4010 및 4011)은 매우 신뢰 가능한 박막 트랜지스터들이다. 이 실시형태에서, 박막 트랜지스터들(4010 및 4011)은 n-채널 박막 트랜지스터들이다.

[0459] 도전층(4040)은 박막 트랜지스터(4011)에서의 산화물 반도체층의 채널 형성 영역과 중첩하는 절연층(4021)의 부분 위에 제공된다. 도전층(4040)은 산화물 반도체층의 채널 형성 영역과 중첩하는 위치에 제공되고, 그에 의해 BT 테스트 전 후의 박막 트랜지스터(4011)의 임계 전압의 변화량이 감소될 수 있다. 도전층(4040)의 전위는 박막 트랜지스터(4011)의 게이트 전극층의 전위와 동일하거나 상이할 수 있다. 도전층(4040)은 또한 제 2 게이트 전극층으로서 기능할 수 있다. 또한, 도전층(4040)의 전위는 GND 또는 0V일 수 있거나, 도전층(4040)은 플로팅 상태에 있을 수 있다.

[0460] 액정 소자(4013)에 포함된 화소 전극층(4030)은 박막 트랜지스터(4010)의 소스 또는 드레인 전극층에 전기적으로 접속된다. 액정 소자(4013)의 대향 전극층(4031)이 제 2 기판(4006) 상에 형성된다. 화소 전극층(4030), 대향 전극(4031) 및 액정층(4008)이 서로 중첩하는 부분은 액정 소자(4013)에 대응한다. 화소 전극층(4030) 및 대향 전극층(4031)에는 배향막들로서 기능하는 절연층(4032) 및 절연층(4033)이 각각 제공되고, 액정층(4008)이 그 사이에 절연층들(4032 및 4033)을 가진 전극층들 사이에 개재된다.

[0461] 투광성 기판이 제 1 기판(4001) 및 제 2 기판(4006)으로서 이용될 수 있음을 유념한다: 유리, 세라믹들 또는 플라스틱들이 이용될 수 있다. 플라스틱은 섬유유리-보강된 플라스틱(FRP)판, 폴리비닐 플루오르화물(PVF)막, 폴리에스테르막 또는 아크릴 수지막일 수 있다.

[0462] 스페이서(4035)는 절연막의 선택적인 에칭에 의해 획득된 원주형 격벽이고, 원주형 스페이서는 화소 전극층

(4030)과 대향 전극층(4031) 사이의 간격(셀 캡)을 제어하기 위해 제공된다. 대안적으로, 구형 스페이서가 스페이서(4035)로서 이용될 수 있다. 대향 전극층(4031)은 박막 트랜지스터(4010)가 형성되는 기판 위에 형성된 공통 전위선에 전기적으로 접속된다. 대향 전극층(4031) 및 공통 전위선은 공통 접속부를 이용하여 기판들의 쌍 사이에 제공된 도전 입자들을 통해 서로 전기적으로 접속된다. 도전 입자들은 셀재(4005)에 포함되는 것을 유념한다.

[0463] 대안적으로, 배향막이 불필요한 블루 상을 나타내는 액정이 이용될 수 있다. 블루 상은 콜레스테릭 액정의 온도가 증가되는 동안 콜레스테릭 상이 등방성 상으로 변화되기 직전에 생성되는 액정 상들 중 하나이다. 블루 상이 협소한 범위의 온도 내에서만 생성되기 때문에, 5wt% 이상의 키랄체를 함유한 액정 조성물이 온도 범위를 개선시키기 위해 액정층(4008)에 이용된다. 키랄체 및 블루 상을 나타내는 액정을 포함하는 액정 조성물은 1msec 이하의 짧은 응답 시간을 가지고, 광학적으로 등방성이다; 따라서, 배향 처리가 불필요하고 시야각의 의존도가 적다. 또한, 배향막이 제공될 필요가 없고 러빙 처리가 불필요하기 때문에, 러빙 처리에 의해 유발되는 정전기 방전 손상이 방지될 수 있고, 액정 표시 장치의 결함들 및 손상이 제작 공정에서 감소될 수 있다. 따라서, 액정 표시 장치의 생산성이 증가될 수 있다. 산화물 반도체층을 이용하여 형성된 박막 트랜지스터는 특히, 박막 트랜지스터의 전기 특성들이 정전기의 영향에 상당히 변동할 수 있고 설계된 범위로부터 벗어날 수 있는 가능성을 가진다. 따라서, 산화물 반도체층을 이용하여 형성된 박막 트랜지스터를 포함하는 액정 표시 장치에 대한 블루 상 액정 재료를 이용하는 것이 더욱 효과적이다.

[0464] 이 실시형태는 또한, 투과형 액정 표시 장치 외에도 반사형 액정 표시 장치에 적용될 수 있음을 유념한다.

[0465] 기판의 외면 상(뷰어쪽)에 편광판이 제공되고 액정 표시 장치의 예에서 기판의 내면 상에 착색층 및 표시 소자에 이용되는 전극층이 순차적으로 제공되지만, 편광판이 기판의 내면 상에 제공될 수 있다. 편광판 및 착색층의 적층 구조가 이 실시형태로 제한되지 않고, 제작 공정의 조건들 또는 편광판 또는 착색층의 재료들에 의존하여 적합하게 설정될 수 있다. 또한, 블랙 매트릭스이 되는 광-차단막이 표시부 이외의 부분에 제공될 수 있다.

[0466] 박막 트랜지스터들(4011 및 4010) 위에는 절연층(4041)이 산화물 반도체층들과 접촉하여 형성된다. 절연층(4041)은 임의의 실시형태들에서 기술된 산화물 절연층의 재료 및 방법과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 여기서, 절연층(4041)으로서, 산화 실리콘층이 스퍼터링 방법을 이용하여 형성된다. 또한, 보호 절연층(4042)이 절연층(4041) 상에 이와 접촉하여 형성된다. 보호 절연층(4042)은 실시형태 6에 기술된 보호 절연층(303)과 유사하게 형성될 수 있다; 예를 들면, 보호 절연층(4042)은 질화 실리콘막을 이용하여 형성될 수 있다. 박막 트랜지스터들에 의해 유발된 표면 거칠기를 감소시키기 위하여, 평탄화 절연층이 되는 절연층(4021)이 형성된다.

[0467] 절연층(4021)은 평탄화 절연층으로서 형성된다. 절연층(4021)으로서, 폴리아미드, 아크릴, 벤조사이클로부텐, 폴리아미드 또는 에폭시와 같은 내열성을 가진 유기 재료가 이용될 수 있다. 이러한 유기 재료들 외에도, 저-유전 상수 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 이용하는 것이 가능하다. 절연층(4021)은 이들 재료들로 형성된 복수의 절연막들을 적층함으로써 형성될 수 있음을 유념한다.

[0468] 절연층(4021)을 형성하기 위한 방법에 관한 특정 제한은 없다. 절연층(4021)은, 재료에 따라 스퍼터링 방법, SOG 방법, 스판 코팅 방법, 디핑 방법, 스프레이 코팅 방법 또는 액적 토출 방법(예를 들면 잉크-젯 방법, 스크린 인쇄 또는 오프셋 인쇄)과 같은 방법 또는 닥터 나이프, 롤 코터, 커튼 코터 또는 나이프 코터와 같은 도구(기기)를 이용하여 형성될 수 있다. 절연층(4021)의 소성 단계는 또한 반도체층의 어닐링의 역할을 하고, 그에 의해 반도체 장치가 효율적으로 제작될 수 있다.

[0469] 화소 전극층(4030) 및 대향 전극층(4031)은 인듐 주석 산화물(ITO), 산화 아연(ZnO)이 산화 인듐에 혼합된 산화 인듐 아연(IZO), 산화 실리콘(SiO<sub>2</sub>)이 산화 인듐에 혼합된 도전 재료, 유기 인듐, 유기 주석, 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티타늄을 함유한 인듐 산화물, 산화 티타늄을 함유한 인듐 주석 산화물 등과 같은 투광성 도전 재료를 이용하여 형성될 수 있다. 또한, 투광성이 필요하지 않거나 반사성이 반사형 액정 표시 장치에 필요한 경우, 화소 전극층(4030) 및 대향 전극층(4031)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 플레이늄(Pt), 알루미늄(Al), 구리(Cu) 및 은(Ag)과 같은 금속으로부터 선택된 재료들; 이들 금속들의 합금; 및 이들 금속들의 질화물의 하나 이상의 종류들을 이용하여 형성될 수 있다.

[0470] 도전성 고분자(또한 도전성 중합체라고도 칭해짐)를 함유한 도전성 조성물이 화소 전극층(4030) 및 대향 전극층

(4031)에 이용될 수 있다. 도전성 조성물을 이용하여 형성된 화소 전극은 바람직하게  $10000\Omega/\square$  이하의 시트 저항과, 550nm의 파장에서 70% 이상의 투광율을 가진다. 또한, 도전성 조성물에 함유된 도전성 고분자의 저항율은  $0.1\Omega\text{cm}$  이하가 바람직하다.

[0471] 도전성 고분자로서, 소위  $\pi$ -전자 공액계 도전성 중합체가 이용될 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 이들 중 2 이상 종류들의 공중합체 등이 주어질 수 있다.

[0472] 또한, 다양한 신호들 및 전위들이 별도로 형성된 신호선 구동 회로(4003), 주사선 구동 회로(4004) 또는 화소 전극(4002)에 FPC(4018)로부터 공급된다.

[0473] 접속 단자 전극(4015)이 액정 소자(4013)에 포함된 화소 전극층(4030)과 동일한 도전막을 이용하여 형성되고, 단자 전극(4016)은 박막 트랜지스터들(4010 및 4011)의 소스 및 드레인 전극층들과 동일한 도전막을 이용하여 형성된다.

[0474] 접속 단자 전극(4015)은 이방성 도전막(4019)을 통해 FPC(4018)에 포함된 단자에 전기적으로 접속된다.

[0475] 도 15a 내지 도 15c는 신호선 구동 회로(4003)가 제 1 기판(4001) 상에 별도로 형성되어 장착되는 각각의 예들을 도시하지만; 본 발명은 이 구조에 제한되지 않음을 유념한다. 주사선 구동 회로가 별도로 형성된 다음 장착될 수 있거나, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만이 별도로 형성된 다음 장착될 수 있다.

[0476] 블랙 매트릭스(광-차단층), 편광 부재, 위상차 부재 또는 반사방지 부재와 같은 광학 부재(광학 기판) 등이 적합하게 제공된다. 예를 들면, 원형 편광이 편광 기판 및 위상차 기판을 이용함으로써 채용될 수 있다. 또한, 백라이트, 사이드라이트 등이 광원으로서 이용될 수 있다.

[0477] 활성 매트릭스 액정 표시 장치에서, 매트릭스로 배열되는 화소 전극들을 구동함으로써 표시 패턴들이 스크린 상에 형성된다. 특히, 전압이 선택된 화소 전극과 화소 전극에 대응하는 대향 전극 사이에 인가되고, 따라서, 화소 전극과 대향 전극 사이에 배치된 액정층이 광학적으로 변조된다. 이 광학 변조는 뷰어에 의해 표시 패턴으로서 인식된다.

[0478] 액정 표시 장치는, 동화상을 표시할 때, 액정 분자들 자체의 응답 속도가 느리기 때문에 화상 잔상이 발생하거나 동화상이 흐린 문제를 가진다. 액정 표시 장치의 동화상 특성들을 개선하기 위한 기술로서, 전체 블랙 화상이 1 프레임씩 걸쳐 표시되는 소위 블랙 삽입이라 불리는 구동 기술이 존재한다.

[0479] 대안적으로, 수직 동기화 주파수가 1.5배 이상이고, 바람직하게는 정규 수직 동기화 주파수만큼 높은 2배 이상이고, 그에 의해 응답 속도가 개선되는 더블-프레임 레이트 구동이라 불리는 구동 방법이 채용된다.

[0480] 또한, 액정 표시 장치의 동화상을 특성들을 개선하기 위한 기술로서, 백라이트로서, 복수의 LED(light-emitting diode) 광원들 또는 복수의 EL 광원들을 포함하는 표면 광원이 이용되고, 표면 광원에 포함되는 각각의 광원이 독립적으로 구동되어 한 프레임 기간에 간헐적 조명을 수행하는 다른 구동 기술이 존재한다. 표면 광원으로서, 3개 이상의 종류의 LED들이 이용될 수 있거나, 또는 백색 발광 LED가 이용될 수 있다. 복수의 LED들이 독립적으로 제어될 수 있기 때문에, LED들이 발광하는 타이밍은 액정층의 광학 변조가 스위칭되는 타이밍과 동기화될 수 있다. 이 구동 기술에서, LED들의 일부가 턴 오프될 수 있다. 따라서, 특히 한 스크린에서 블랙 화상 영역의 비율이 높은 화상을 표시하는 경우, 액정 표시 장치가 저전력 소비로 구동될 수 있다.

[0482] \*이들 구동 기술들 중 어느 것과 조합될 때, 액정 표시 장치는 통상적인 액정 표시 장치들보다 동화상 특성들과 같이 더 양호한 표시 특성들을 가질 수 있다.

[0483] 박막 트랜지스터가 정전기 등으로 인해 쉽게 파괴되기 때문에, 보호 회로가 화소부 및 구동 회로부와 동일한 기판 위에 제공되는 것이 바람직하다. 보호 회로는 산화물 반도체층을 포함하는 비선형 소자를 이용하여 형성되는 것이 바람직하다. 예를 들면, 보호 회로는 화소 전극과 주사선 입력 단자 및 신호선 입력 단자 사이에 제공된다. 이 실시형태에서, 정전기 등으로 인한 서지 전압(surge voltage)이 주사선, 신호선 또는 용량 소자 버스선에 인가될 때, 화소 트랜지스터 등이 파괴되지 않도록 복수의 보호 회로들이 제공된다. 따라서, 보호 회로는 보호 회로에 서지 전압이 인가될 때 공통 배선에 전하를 방출하는 구조를 가진다. 보호 회로는 주사선과 공통 배선 사이에 병렬로 배열되는 비선형 소자들을 포함한다. 비선형 소자들의 각각은 다이오드와 같은 2단자 소자 또는 트랜지스터와 같은 3단자 소자를 포함한다. 예를 들면, 비선형 소자는 화소부의 박막 트랜지스터와 동일한 단계들을 통해 형성될 수 있다. 예를 들면, 다이오드의 특성들과 유사한 특성들이 게이트 단자를 드레인

단자에 접속함으로써 달성될 수 있다.

[0484] 또한, 액정 표시 모듈에 대해, 트위스트형 네마틱(TN) 모드, 인-플레인-스위칭(IPS) 모드, 프린지 필드 스위칭(FFS) 모드, 축 대칭 정렬형 마이크로-셀(ASM) 모드, 광학 보상형 복굴절(OCB) 모드, 강유전성 액정(FLC) 모드, 반강유전성 액정(AFLC) 모드 등이 이용될 수 있다.

[0485] 이 명세서에 개시된 반도체 장치에서 특정 제한은 없고, TN 액정, OCB 액정, STN 액정, VA 액정, ECB 액정, GH 액정, 고분자 분산형 액정, 디스코티 액정 등을 포함하는 액정 표시 장치가 이용될 수 있다. 특히, 수직 배향(VA) 모드를 활용한 투과형 액정 표시 장치와 같은 노멀리 블랙 액정 패널이 바람직하다. 일부 예들은 수직 배향 모드로서 주어진다. 예를 들면, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment), ASV 모드 등이 채용될 수 있다.

[0486] 또한, 이 실시형태는 또한 VA 액정 표시 장치에 적용될 수 있다. VA 액정 표시 장치는 액정 표시 패널에서의 액정 분자들의 배열이 제어되는 종류의 형태를 가진다. VA 액정 표시 장치에서, 액정 분자들은 전압이 인가되지 않을 때 패널 표면에 대해 수직 방향으로 정렬된다. 또한, 화소가 일부 영역들(서브화소들)로 분할되고 액정 분자들이 그들 각각의 영역들에서 상이한 방향들로 정렬되는 소위 멀티-도메인 또는 멀티-도메인 설계라 불리는 방법이 이용될 수 있다.

[0487] 이 실시형태는 다른 실시형태들 중 어느 것과 적합하게 조합하여 구현될 수 있다.

[0488] (실시형태 11)

[0489] 이 실시형태에서, 실시형태 1에 기술된 반도체 장치에서의 박막 트랜지스터 및 전계발광을 활용하여 액티브-매트릭스 발광 표시 장치를 제작하는 예들이 기술된다.

[0490] 전계발광을 활용한 발광 소자들은 발광 재료가 유기 화합물 또는 무기 화합물인지에 따라 분류된다. 일반적으로, 전자는 유기 EL소자라고 칭해지고 후자는 무기 EL소자라고 칭해진다.

[0491] 유기 EL 소자에서, 발광 소자에 전압을 인가함으로써, 전극들의 쌍으로부터 발광 유기 화합물을 함유한 층으로 전자들 및 정공들이 별도로 주입되고, 전류가 흐른다. 그 후에, 캐리어들(전자들 및 정공들)이 재결합되고, 그에 의해 발광한다. 이러한 메커니즘으로 인해, 이 발광 소자는 전류-여기 발광 소자라고 칭해진다.

[0492] 무기 EL 소자들은 그들 소자 구조들에 따라 분산형 무기 EL 소자 및 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자들이 바인더에서 분산되는 발광층을 가지고, 그 발광 메커니즘은 도너 레벨 및 억셉터 레벨을 활용하는 도너-억셉터 재결합형 발광이다. 박막 무기 EL 소자는, 발광층이 전극들 사이에 또한 개재된 유전체층들 사이에 개재되는 구조를 가지고, 그 발광 메커니즘은 금속 이온들의 내각 전자 천이를 활용하는 국재형 발광이다. 발광 소자로서 유기 EL 소자의 예가 여기에 기술되는 것을 유념한다.

[0493] 도 16은 반도체 장치의 예와 같이 디지털 시간 계조 구동이 적용될 수 있는 화소 구성의 예를 도시한다.

[0494] 디지털 시간 계조 구동이 적용되는 화소의 구조 및 동작이 기술된다. 여기서, 하나의 화소는 2개의 n-채널 트랜지스터들을 포함하며, 이들 각각은 채널 형성 영역으로서 산화물 반도체층을 포함한다.

[0495] 화소(6400)은 스위칭 전송기(6401), 구동기 트랜지스터(6402), 발광 소자(6404) 및 용량 소자(6403)를 포함한다. 스위칭 트랜지스터(6401)의 게이트는 주사선(6406)에 접속되고, 스위칭 트랜지스터(6401)의 제 1 전극(소스 전극 및 드레인 전극 중 하나)은 신호선(6405)에 접속되고, 스위칭 트랜지스터(6401)의 제 2 전극(소스 전극 및 드레인 전극 중 다른 하나)은 구동 트랜지스터(6402)의 게이트에 접속된다. 구동 트랜지스터(6402)의 게이트는 용량 소자(6403)를 통해 전원선(6407)에 접속되고, 구동 트랜지스터(6402)의 제 1 전극은 전원선(6407)에 접속되고, 구동 트랜지스터(6402)의 제 2 전극은 발광 소자(6404)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제 2 전극은 공통 전극에 대응한다. 공통 전극은 공통 전극과 동일한 기판 위에 제공된 공통 전위선(6408)에 전기적으로 접속된다.

[0496] 발광 소자(6404)의 제 2 전극(공통 전극)은 저전력 공급 전위로 설정된다. 저전력 공급 전위는 전원선(6407)에 설정된 고전력 공급 전위를 참조하여, 저전력 공급 전위 < 고전력 공급 전위를 만족하는 전위임을 유념한다. 저전력 공급 전위로서, 예를 들면, GND, OV 등이 채용될 수 있다. 고전력 공급 전위와 저전력 공급 전위 사이의 전위차가 발광 소자(6404)에 인가되고, 전류가 발광 소자(6404)에 공급되어, 발광 소자(6404)가 발광한다. 여기서, 발광 소자(6404)를 발광시키기 위해, 고전력 공급 전위와 저전력 공급 전위 사이의 전위차가 발광 소자(6404)의 임계 전압 이상이도록 각각의 전위가 설정된다.

[0497] 구동 트랜지스터(6402)의 게이트 용량이 용량 소자(6403)에 대한 대용으로서 이용될 때 용량 소자(6403)는 생략될 수 있다. 구동 트랜지스터(6402)의 게이트 용량은 채널 형성 영역과 게이트 전극 사이에 형성될 수 있다.

[0498] 여기서, 전압-입력 전압 구동 방법을 이용하는 경우, 구동 트랜지스터(6402)를 완전하게 턴 온 또는 오프시키기 위해 비디오 신호가 구동 트랜지스터(6402)의 게이트에 입력된다. 즉, 구동 트랜지스터(6402)는 선형 영역에서 동작한다. 구동 트랜지스터(6402)가 선형 영역에서 동작하기 때문에, 전원선(6407)의 전압보다 높은 전압은 구동 트랜지스터(6402)의 게이트에 인가된다. (전원선 전압 + 구동 트랜지스터(6402)의  $V_{th}$ ) 이상의 전압은 신호선(6405)에 인가되는 것을 유념한다.

[0499] 또한, 디지털 시간 계조 구동 대신 아날로그 계조 구동을 이용하는 경우, 도 16의 화소 구성과 동일한 화소 구성이 상이한 방식으로 신호들을 입력함으로써 채용될 수 있다.

[0500] 아날로그 계조 방법을 이용하는 경우, (발광 소자(6404)의 순방향 전압 + 구동 트랜지스터(6402)의  $V_{th}$ ) 이상인 전압이 구동 트랜지스터(6402)에 인가된다. 발광 소자(6404)의 순반향 전압은 원하는 휘도가 획득되고 적어도 순방향 임계 전압을 포함하는 전압을 나타낸다. 구동 트랜지스터(6402)가 포화 영역에서 동작할 수 있게 하는 비디오 신호를 입력함으로써, 전류가 발광 소자(6404)에 공급될 수 있다. 구동 트랜지스터(6402)가 포화 영역에서 동작할 수 있기 위해, 전원선(6407)의 전위는 구동 트랜지스터(6402)의 게이트 전위보다 높아지게 된다. 아날로그 비디오 신호가 이용될 때, 비디오 신호에 따라 발광 소자(6404)에 전류를 공급하고 아날로그 계조 구동을 수행하는 것이 가능하다.

[0501] 도 16에 도시된 화소 구성이 이에 제한되지 않음을 유념한다. 예를 들면, 스위치, 저항기, 용량 소자, 트랜지스터, 논리 회로 등이 도 16에 도시된 화소에 추가될 수 있다.

[0502] 다음에, 발광 소자의 구성들이 도 17a 내지 도 17c를 참조하여 기술될 것이다. 여기서, 화소의 단면 구조는 예로서 n-채널 구동 TFT를 취하여 기술될 것이다.

[0503] 발광 소자로부터 방출된 광을 추출하기 위해, 애노드 및 캐소드 중 적어도 하나가 광을 투과하도록 요구된다. 박막 트랜지스터 및 발광 소자가 기판 위에 형성된다. 발광 소자는 발광이 기판에 대향하는 표면을 통해 추출되는 상면 사출 구조; 발광이 기판측의 표면을 통해 추출되는 하면 사출 구조; 또는 발광이 기판에 대향하는 표면 및 기판측의 표면을 통해 추출되는 양면 사출 구조를 가질 수 있다. 화소 구성은 이들 사출 구조들 중 어느 것을 가진 발광 소자에 적용될 수 있다.

[0504] 다음에, 하면 사출 구조를 갖는 발광 소자가 도 17a를 참조하여 기술된다.

[0505] 도 17a는 구동 TFT(7011)이 n형이고 광이 발광 소자(7012)에서 제 1 전극(7013)측으로 발광되는 경우의 화소의 단면도이다. 도 17a에서, 발광 소자(7012)의 제 1 전극(7013)은, 구동 TFT(7011)의 드레인 전극층에 전기적으로 접속되는 투광성 도전막(7017) 위에 형성되고, EL층(7014) 및 제 2 전극(7015)이 제 1 전극(7013) 위에 순서대로 적층된다.

[0506] 투광성 도전막(7017)으로서, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘, 첨가된 인듐 주석 산화물 등의 투광성 도전막이 이용될 수 있다.

[0507] 다양한 재료들이 발광 소자의 제 1 전극(7013)에 이용될 수 있다. 예를 들면, 제 1 전극(7013)이 캐소드로서 이용되는 경우에, 제 1 전극(7013)은 예를 들면, Li 또는 Cs와 같은 알칼리 금속; Mg, Ca 또는 Sr과 같은 알칼리 토금속; 이를 금속들 중 어느 것을 함유한 합금(예를 들면, Mg:Ag 또는 Al:Li); 또는 Yb 또는 Er과 같은 희토류 금속과 같은 낮은 일함수를 갖는 재료를 이용하여 형성되는 것이 바람직하다. 도 17a에서, 제 1 전극(7013)은 광이 투과되는 두께로 적합하게 형성된다(바람직하게, 약 5nm 내지 30nm). 예를 들면, 20nm의 두께를 갖는 알루미늄막이 제 1 전극(7013)에 이용된다.

[0508] 투광성 도전막(7017) 및 제 1 전극(7013)이 투광성 도전막 및 알루미늄막을 적층한 다음 선택적인 에칭을 수행하여 형성될 수 있음을 유념한다. 이 경우, 에칭은 동일한 마스크를 이용하여 수행되는 것이 바람직하다.

[0509] 또한, 제 1 전극(7013)의 주변은 격벽(7019)으로 피복된다. 격벽(7019)은 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막; 무기 절연막; 또는 유기 폴리실록산을 이용하여 형성된다. 격벽(7019)은, 개구부의 측벽이 연속하는 곡선으로 기울어진 표면을 가지도록 형성되도록 제 1 전극(7013) 위에 개구부를 갖도록 감광성 수지 재료를 이용하여 형성되는 것이 특히 바람직하다. 감광성 수지 재료가 격벽(7019)에 이용되는 경우에, 레

지스트 마스크를 형성하는 단계는 생략될 수 있다.

[0510] 제 1 전극(7013) 및 격벽(7019) 위에 형성되는 EL층(7014)으로서, 적어도 발광층을 포함하는 EL층이 수용 가능하다. 또한, EL층(7014)은 단층 구조 또는 적층 구조를 가지도록 형성될 수 있다. EL층(7014)이 복수의 층들을 이용하여 형성될 때, 전자-주입층, 전자-수송층, 발광층, 정공-수송층 및 정공-주입층이 캐소드로서 기능하는 제 1 전극(7013) 위에 순서대로 적층된다. 발광층을 제외한 모든 이들 층들이 제공되어야 하는 것이 아님을 유념한다.

[0511] 적층 순서는 상기에 제시된 순서로 제한되지 않는다. 제 1 전극(7013)은 애노드의 역할을 할 수 있고, 정공-주입층, 정공-수송층, 발광층, 전자-수송층 및 전자-주입층은 제 1 전극(7013) 위에 순서대로 적층될 수 있다. 그러나, 전력 소비를 고려하여, 구동 회로부의 전압의 증가가 방지될 수 있고 전력 소비가, 제 1 전극(7013)이 애노드로서 이용되고, 정공-주입층, 정공-수송층, 발광층, 전자-수송층 및 전자-주입층이 제 1 전극(7013) 위에 순서대로 적층되는 경우보다 효과적으로 감소될 수 있기 때문에, 제 1 전극(7013)은 캐소드의 역할을 하고, 전자-주입층, 전자-수송층, 발광층, 정공-수송층 및 정공-주입층이 제 1 전극(7013) 위에 순서대로 적층되는 것이 바람직하다.

[0512] 또한, 임의의 다양한 재료들이 EL층(7014) 위에 형성된 제 2 전극(7015)에 이용될 수 있다. 예를 들면, 제 2 전극(7015)이 애노드로서 이용되는 경우에, 예를 들면 ZrN, Ti, W, Ni, Pt, Cr 등과 같이 높은 일함수를 갖는 재료; 또는 ITO, IZO 또는 ZnO와 같은 투명 도전 재료가 바람직하다. 또한, 차폐막(7016), 예를 들면 광을 차단하는 금속, 광을 반사하는 금속 등이 제 2 전극(7015) 위에 제공된다. 이 실시형태에서, ITO막은 제 2 전극(7015)으로서 이용되고 Ti막은 차폐막(7016)으로서 이용된다.

[0513] 발광 소자(7012)는 발광층을 포함하는 EL층(7014)이 제 1 전극(7013)과 제 2 전극(7015) 사이에 개재되는 영역에 대응한다. 도 17a에 도시된 소자 구조의 경우, 발광 소자(7012)로부터 방출된 광은 화살표로 표시된 바와 같이 제 1 전극(7013)쪽으로 배출된다.

[0514] 도 17a에 도시된 예에서, 투광성 도전막은 게이트 전극층으로서 이용되고 투광성 박막은 소스 및 드레인 전극층들로서 이용되는 것을 유념한다. 발광 소자(7012)로부터 방출된 광은 컬러 필터층(7033)을 통과하고, 기판을 통해 배출될 수 있다.

[0515] 컬러 필터층(7033)은 잉크-젯 방법과 같은 액적 토출 방법, 인쇄 방법, 포토리소그래피 기술을 이용하는 에칭 방법 등을 이용하여 형성된다.

[0516] 컬러 필터층(7033)은 오버코트층(7034)으로 피복되고, 또한 보호 절연층(7035)으로 피복된다. 적은 두께를 갖는 오버코트층(7034)이 도 17a에 도시되었지만, 오버코트층(7034)은 컬러 필터층(7033)으로 인해 거칠기를 평탄화하는 기능을 가지는 것을 유념한다.

[0517] 보호 절연층(7035), 오버코트층(7034), 평탄화 절연층(7036), 절연층(7032) 및 절연층(7031)에 형성되고 드레인 전극층에 도달하는 콘택트 훌이 격벽(7019)과 중첩하는 부분에 제공된다.

[0518] 양면 사출 구조를 가지는 발광 소자가 도 17b를 참조하여 기술된다.

[0519] 도 17b에서, 발광 소자(7022)의 제 1 전극(7023)은 구동 TFT(7021)의 드레인 전극층에 전기적으로 접속되는 투광성 도전막(7027) 위에 형성되고, EL층(7024) 및 제 2 전극(7025)이 제 1 전극(7023) 위에 순서대로 적층된다.

[0520] 투광성 도전막(7027)으로서, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물 등의 투광성 도전막이 이용될 수 있다.

[0521] 다양한 재료들이 제 1 전극(7023)에 이용될 수 있다. 예를 들면, 제 1 전극(7023)이 캐소드로서 이용되는 경우에, 제 1 전극(7023)은 예를 들면, Li 또는 Cs와 같은 알칼리 금속; Mg, Ca 또는 Sr과 같은 알칼리 토금속; 이들 금속들 중 어느 것을 함유한 합금(예를 들면, Mg:Ag 또는 Al:Li); 또는 Yb 또는 Er과 같은 희토류 금속과 같은 낮은 일함수를 갖는 재료를 이용하여 형성되는 것이 바람직하다. 이 실시형태에서, 제 1 전극(7023)은 캐소드로서 이용되고, 제 1 전극(7023)은 광이 투과되는 두께로 적합하게 형성된다(바람직하게, 약 5nm 내지 30nm). 예를 들면, 20nm의 두께를 갖는 알루미늄층이 캐소드로서 이용된다.

[0522] 투광성 도전막(7027) 및 제 1 전극(7023)이 투광성 도전막 및 알루미늄막을 적층한 다음 선택적인 에칭을 수행하여 형성될 수 있음을 유념한다. 이 경우, 에칭은 동일한 마스크를 이용하여 수행될 수 있고, 이것이 바람직하

다.

[0523] 또한, 제 1 전극(7023)의 주변은 격벽(7029)으로 피복된다. 격벽(7029)은 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막; 무기 절연막; 또는 유기 폴리실록산을 이용하여 형성된다. 격벽(7029)은, 개구부의 측벽이 연속하는 곡선으로 기울어진 표면을 가지도록 형성되도록 제 1 전극(7023) 위에 개구부를 갖도록 감광성 수지 재료를 이용하여 형성되는 것이 특히 바람직하다. 감광성 수지 재료가 격벽(7029)에 이용되는 경우에, 레지스트 마스크를 형성하는 단계는 생략될 수 있다.

[0524] 제 1 전극(7023) 및 격벽(7029) 위에 형성되는 EL층(7024)로서, 적어도 발광층을 포함하는 EL층이 수용 가능하다. 또한, EL층(7024)은 단층 구조 또는 적층 구조를 가지도록 형성될 수 있다. EL층(7024)이 복수의 층들을 이용하여 형성될 때, 전자-주입층, 전자-수송층, 발광층, 정공-수송층 및 정공-주입층이 캐소드로서 기능하는 제 1 전극(7023) 위에 순서대로 적층된다. 발광층을 제외한 모든 이들 층들이 제공되어야 하는 것이 아님을 유념한다.

[0525] 적층 순서는 상기에 제시된 순서로 제한되지 않는다. 제 1 전극(7023)은 애노드의 역할을 할 수 있고, 정공-주입층, 정공-수송층, 발광층, 전자-수송층 및 전자-주입층은 제 1 전극(7023) 위에 순서대로 적층될 수 있다. 그러나, 전력 소비를 고려하여, 제 1 전극(7023)이 애노드로서 이용되고, 정공-주입층, 정공-수송층, 발광층, 전자-수송층 및 전자-주입층이 제 1 전극(7023) 위에 순서대로 적층되는 경우보다 전력 소비가 효과적으로 감소될 수 있기 때문에, 제 1 전극(7023)은 캐소드로서 이용되고, 전자-주입층, 전자-수송층, 발광층, 정공-수송층 및 정공-주입층이 캐소드 위에 순서대로 적층되는 것이 바람직하다.

[0526] 또한, 임의의 다양한 재료들이 EL층(7024) 위에 형성된 제 2 전극(7025)으로 이용될 수 있다. 예를 들면, 제 2 전극(7025)이 애노드로서 이용되는 경우에, 높은 일함수를 갖는 재료, 예를 들면 ITO, IZO 또는 ZnO와 같은 투명 도전 재료가 바람직하다. 이 실시형태에서, 제 2 전극(7025)은 산화 실리콘을 포함하는 ITO층을 이용하여 형성되고 애노드로서 이용된다.

[0527] 발광 소자(7022)는 발광층을 포함하는 EL층(7024)이 제 1 전극(7023)과 제 2 전극(7025) 사이에 개재되는 영역에 대응한다. 도 17b에 도시된 소자 구조의 경우, 발광 소자(7022)로부터 방출된 광은 화살표로 표시된 바와 같이 제 2 전극(7025)쪽 및 제 1 전극(7023)쪽 둘다로 배출된다.

[0528] 도 17b에 도시된 예에서, 투광성 도전막은 게이트 전극층으로서 이용되고 투광성 박막은 소스 및 드레인 전극층들로서 이용되는 것을 유념한다. 발광 소자(7022)로부터 제 1 전극(7023)으로 방출된 광은 컬러 필터층(7043)을 통과하고, 기판을 통해 배출될 수 있다.

[0529] 컬러 필터층(7043)은 잉크-젯 방법과 같은 액적 토출 방법, 인쇄 방법, 포토리소그래피 기술을 이용하는 애칭 방법 등을 이용하여 형성된다.

[0530] 컬러 필터층(7043)은 오버코트층(7044)으로 피복되고, 또한 보호 절연층(7045)으로 피복된다.

[0531] 보호 절연층(7045), 오버코트층(7044), 평탄화 절연층(7046), 절연층(7042) 및 절연층(7041)에 형성되고 드레인 전극층에 도달하는 콘택트 훌이 격벽(7019)과 중첩하는 부분에 제공된다.

[0532] 전면-컬러 표시가 양면 사출 구조를 갖는 발광 소자를 이용하여 두 표시 표면들 상에 실현되는 경우에, 제 2 전극(7025)쪽으로부터 방출된 광은 컬러 필터층(7043)을 통과하지 않는다; 따라서, 컬러 필터층을 갖는 밀봉 기판이 제 2 전극(7025) 위에 추가로 제공되는 것이 바람직하다.

[0533] 다음에, 상면 사출 구조를 갖는 발광 소자가 도 17c를 참조하여 기술된다.

[0534] 도 17c는 구동 TFT(7001)가 n형이고 발광 소자(7002)로부터 방출된 광이 제 2 전극(7005)을 통과하는 경우의 화소의 단면도이다. 도 17c에서, 구동 TFT(7001)의 드레인 전극층과 제 1 전극(7003)이 서로 접촉되고, 구동 TFT(7001)와 발광 소자(7002)의 제 1 전극(7003)이 서로 전기적으로 접속된다. EL층(7004) 및 제 2 전극(7005)은 순서대로 제 1 전극(7003) 위에 적층된다.

[0535] 또한, 다양한 재료들이 제 1 전극(7003)으로 이용될 수 있다. 예를 들면, 제 1 전극(7003)이 캐소드로서 이용되는 경우, 제 1 전극(7003)은 Li 또는 Cs와 같은 알칼리 금속; Mg, Ca 또는 Sr과 같은 알칼리 토금속; 이들 금속들 중 어느 것을 함유한 합금(예를 들면, Mg:Ag 또는 Al:Li); 또는 Yb 또는 Er과 같은 희토류 금속과 같은 낮은 일함수를 갖는 재료를 이용하여 형성되는 것이 바람직하다.

[0536] 또한, 제 1 전극(7003)의 주변은 격벽(7009)으로 피복된다. 격벽(7009)은 폴리이미드, 아크릴, 폴리아미드, 에

폭시 등의 유기 수지막; 무기 절연막; 또는 유기 폴리실록산을 이용하여 형성된다. 격벽(7009)은, 개구부의 측벽이 연속하는 곡선으로 기울어진 표면을 가지도록 형성되도록 제 1 전극(7003) 위에 개구부를 가지도록 감광성 수지 재료를 이용하여 형성되는 것이 특히 바람직하다. 감광성 수지 재료가 격벽(7009)에 이용되는 경우에, 레지스트 마스크를 형성하는 단계는 생략될 수 있다.

[0537] 제 1 전극(7003) 및 격벽(7009) 위에 형성되는 EL층(7004)로서, 적어도 발광층을 포함하는 EL층이 수용 가능하다. 또한, EL층(7004)은 단층 구조 또는 적층 구조를 가지도록 형성될 수 있다. EL층(7004)이 복수의 층들을 이용하여 형성될 때, 전자-주입층, 전자-수송층, 발광층, 정공-수송층 및 정공-주입층이 캐소드로서 기능하는 제 1 전극(7003) 위에 순서대로 적층된다. 발광층을 제외한 이들 모든 층들이 제공되어야 하는 것이 아님을 유념한다.

[0538] 적층 순서는 상기에 제시된 순서로 제한되지 않고, 정공-주입층, 정공-수송층, 발광층, 전자-수송층 및 전자-주입층이 애노드로서 이용되는 제 1 전극(7003) 위에 순서대로 적층될 수 있다.

[0539] 도 17c에서, 정공-주입층, 정공-수송층, 발광층, 전자-수송층 및 전자-주입층은 Ti막, 알루미늄막 및 Ti막이 순서대로 적층되는 적층막 위에 순서대로 적층되고, 그 위에 Mg:Ag 합금 박막 및 ITO의 적층이 형성된다.

[0540] 그러나, 구동 TFT(7001)가 n형인 경우, 구동 회로부의 전압의 증가가 방지될 수 있고 전력 소비가 상기 순서로 적층된 층을 이용하는 경우에서보다 효과적으로 감소될 수 있기 때문에, 전자-주입층, 전자-수송층, 발광층, 정공-수송층 및 정공-주입층이 제 1 전극(7003) 위에 순서대로 적층되는 것이 바람직하다.

[0541] 제 2 전극(7005)은 투광성 도전 재료를 이용하여 형성된다. 예를 들면, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘인 첨가된 인듐 주석 산화물 등의 투광성 도전 막이 이용될 수 있다.

[0542] 발광 소자(7002)는 발광층을 포함하는 EL층(7004)이 제 1 전극(7003)과 제 2 전극(7005) 사이에 개재되는 영역에 대응한다. 도 17c에 도시된 화소의 경우, 발광 소자(7002)로부터 방출된 광은 화살표로 표시된 제 2 전극(7005)측으로 배출된다.

[0543] 도 17c에서, 구동 TFT(7001)의 드레인 전극층은 산화 실리콘층(7051), 보호 절연층(7052), 평탄화 절연층(7056), 평탄화 절연층(7053) 및 절연층(7055)에 형성된 콘택트 홀을 통해 제 1 전극(7003)에 전기적으로 접속된다. 평탄화 절연층들(7036, 7046, 7053 및 7056)은 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리아미드 또는 에폭시와 같은 수지 재료를 이용하여 형성될 수 있다. 이러한 수지 재료들 외에도, 저-유전 상수 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 이용하는 것이 가능하다. 평탄화 절연층들(7036, 7046, 7053 및 7056)은 이들 재료들로 형성된 복수의 절연막들을 적층함으로써 형성될 수 있음을 유념한다. 평탄화 절연층들(7036, 7046, 7053 및 7056)은 재료에 의존하여, 스퍼터링 방법, SOG 방법, 스판 코팅 방법, 디핑 방법, 스프레이 코팅 방법 또는 액적 토출 방법(예를 들면 잉크-젯 방법, 스크린 인쇄 또는 오프셋 인쇄)과 같은 방법 또는 닥터 나이프, 롤 코터, 커튼 코터 또는 나이프 코터와 같은 도구(기기)를 이용하여 형성될 수 있다.

[0544] 격벽(7009)은 인접하는 화소의 제 1 전극으로부터 제 1 전극(7003)을 절연하기 위해 제공된다. 격벽(7009)은 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막; 무기 절연막; 또는 유기 폴리실록산을 이용하여 형성된다. 격벽(7009)은, 개구부의 측벽이 연속하는 곡선으로 기울어진 표면을 가지도록 형성되도록 제 1 전극(7003) 위에 개구부를 갖도록 감광성 수지 재료를 이용하여 형성되는 것이 특히 바람직하다. 감광성 수지 재료가 격벽(7009)에 이용되는 경우에, 레지스트 마스크를 형성하는 단계는 생략될 수 있다.

[0545] 도 17c에 도시된 구조에서, 전면-컬러 표시를 수행하기 위해, 발광 소자(7002), 인접하는 발광 소자들 중 하나 및 인접하는 발광 소자들 중 다른 하나는 예를 들면, 각각 녹색 발광 소자, 적색 발광 소자 및 청색 발광 소자이다. 대안적으로, 풀 컬러 표시가 가능한 발광 표시 장치는 세 종류의 발광 소자들 외에도 백색 발광 소자를 포함하는 네 종류의 발광 소자들을 이용하여 제작될 수 있다.

[0546] 도 17c의 구조에서, 풀 컬러 표시가 가능한 발광 표시 장치는 배열된 모든 복수의 발광 소자들이 백색 발광 소자들인 방식으로 제작될 수 있고, 컬러 필터 등을 갖는 밀봉 기판이 발광 소자(7002) 상에 배열된다. 백색과 같은 단일 컬러를 나타내는 재료가 형성되고, 컬러 필터 또는 컬러 변환층과 조합되고, 그에 의해 전면 컬러 표시가 수행될 수 있다.

[0547] 말할 필요도 없이, 단색광 표시가 또한 수행될 수 있다. 예를 들면, 백색 발광을 이용하여 조명 시스템이 형성될 수 있거나 단일 컬러 발광을 이용하여 에어리어-컬러 발광 장치가 형성될 수 있다.

[0548] 필요하다면, 원형 편광판을 포함하는 편광막과 같은 광학막이 제공될 수 있다.

[0549] 여기에서 유기 EL 소자들이 발광 소자들로서 기술되었지만, 무기 EL 소자도 또한 발광 소자로서 제공될 수 있음을 유념한다.

[0550] 발광 소자의 구동을 제어하는 박막 트랜지스터(구동 TFT)가 발광 소자에 전기적으로 접속되는 예가 기술되었지만, 전류 제어용 TFT가 구동 TFT와 발광 소자 사이에 접속되는 구조가 채용될 수 있음을 유념한다.

[0551] 이 실시형태는 다른 실시형태들 중 어느 것과 조합하여 적합하게 구현될 수 있다.

[0552] 도 18a 및 도 18b는 이 실시형태에 따른 발광 표시 패널(또한 발광 패널이라고도 칭해짐)의 외관 및 단면을 도시한다. 도 18a는 제 1 기판 위에 형성된 박막 트랜지스터 및 발광 소자가 제 1 기판과 제 2 기판 사이에 씰채로 밀봉되는 패널의 평면도이다. 도 18b는 도 18a의 H-I를 따라 취해진 단면도이다.

[0553] 씰채(4505)는, 제 1 기판(4501) 위에 제공되는 화소부(4502), 신호선 구동 회로들(4503a 및 4503b) 및 주사선 구동 회로들(4504a 및 4504b)을 둘러싸도록 제공된다. 또한, 제 2 기판(4506)이 화소부(4502), 신호선 구동 회로들(4503a 및 4503b) 및 주사선 구동 회로들(4504a 및 4504b) 위에 제공된다. 따라서, 화소부(4502), 신호선 구동 회로들(4503a 및 4503b) 및 주사선 구동 회로들(4504a 및 4504b)은 충전체(4507)와 함께 제 1 기판(4501), 씰채(4505) 및 제 2 기판(4506)에 의해 밀봉된다. 패널이 이 방식으로 외부 대기에 노출되지 않도록 높은 기밀성 및 적은 탈기를 가진 피복 재료 또는 보호막(라미네이트막 또는 적외선 경화 수지막과 같이)으로 페 키징(밀봉)되는 것이 바람직하다.

[0554] 제 1 기판(4501) 위에 형성되는 화소부(4502), 신호선 구동 회로들(4503a 및 4503b) 및 주사선 구동 회로들(4504a 및 4504b)은 각각 복수의 박막 트랜지스터들을 포함한다. 화소부(4502)에 포함된 박막 트랜지스터(4510) 및 신호선 구동 회로(4503a)에 포함된 박막 트랜지스터(4509)가 도 18b에 예로서 도시된다.

[0555] 실시형태들 2 내지 9의 박막 트랜지스터들 중 어느 것이 박막 트랜지스터들(4509 및 4510)로서 적합하게 이용될 수 있고, 이들은 실시형태들의 박막 트랜지스터들에 대한 단계들 및 재료들과 유사한 단계들 및 재료들을 이용하여 형성될 수 있다. 박막 트랜지스터들(4509 및 4510)의 산화물 반도체층들에서 수소 또는 수분이 감소된다. 따라서, 박막 트랜지스터들(4509 및 4510)은 매우 신뢰 가능한 박막 트랜지스터들이다.

[0556] 도전층이 박막 트랜지스터(4509)에서 산화물 반도체층의 채널 형성 영역과 중첩하는 영역 위에 제공된다. 이 실시형태에서, 박막 트랜지스터들(4509 및 4510)은 n-채널 박막 트랜지스터들이다.

[0557] 도전층(4540)이 박막 트랜지스터(4509)에서 산화물 반도체층의 채널 형성 영역과 중첩하는 산화물 실리콘층(4542)의 일부 위에 제공된다. 도전층(4540)이 산화물 반도체층의 채널 형성 영역과 중첩하는 위치에 제공되고, 그에 의해 BT 테스트 전 및 후의 박막 트랜지스터(4509)의 임계 전압의 변화량이 감소될 수 있다. 도전층(4540)의 전위는 박막 트랜지스터(4509)의 게이트 전극층의 전위와 동일하거나 상이할 수 있다. 도전층(4540)은 또한 제 2 게이트 전극층으로서 기능할 수 있다. 대안적으로, 도전층(4540)의 전위는 GND 또는 0V일 수 있거나, 도전층(4540)은 플로팅 상태에 있을 수 있다.

[0558] 또한, 산화 실리콘층(4542)이 박막 트랜지스터(4510)의 산화물 반도체층을 커버하기 위해 형성된다. 박막 트랜지스터(4510)의 소스 또는 드레인 전극층은 박막 트랜지스터 위에 형성된 산화 실리콘층(4542) 및 절연층(4551)에 형성된 개구부에서 배선층(4550)에 전기적으로 접속된다. 배선층(4550)은 제 1 전극(4517)과 접촉하여 형성되고, 박막 트랜지스터(4510)는 배선층(4550)을 통해 제 1 전극(4517)에 전기적으로 접속된다.

[0559] 산화 실리콘층(4542)은 실시형태들 중 어느 것에 기술된 산화물 절연층의 재료 및 방법과 유사한 재료 및 방법을 이용하여 형성될 수 있다.

[0560] 컬러 필터층(4545)이 발광 소자(4511)의 발광 영역과 중첩하도록 절연층(4551) 위에 형성된다.

[0561] 또한, 컬러 필터층(4545)의 표면 거칠기를 감소시키기 위해, 컬러 필터층(4545)은 평탄화 절연막으로서 기능하는 오버코트층(4543)으로 피복된다.

[0562] 절연층(4544)이 오버코트층(4543) 위에 형성된다. 절연층(4544)은 실시형태 6에 기술된 보호 절연층(303)과 유사하게 형성될 수 있다. 예를 들면, 절연층(4544)으로서, 질화 실리콘층이 예를 들면 스퍼터링 방법을 이용하여

형성될 수 있다.

[0563] 참조 번호(4511)는 발광 소자를 표시한다. 발광 소자(4511)에 포함된 화소 전극인 제 1 전극(4517)은 배선층(4550)을 통해, 제 1 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속된다. 발광 소자(4511)는 제 1 전극(4517), 전계발광층(4512) 및 제 2 전극(4513)의 적층 구조를 가지고, 구조에 대한 특정 제한은 없음을 유념한다. 발광 소자(4511)의 구조는 발광 소자(4511)로부터 광이 추출되는 방향 등에 의존하여 적합하게 변경될 수 있다.

[0564] 격벽(4520)이 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성된다. 격벽(4520)은, 개구부의 측벽이 연속하는 곡선으로 기울어진 표면을 가지도록 형성되도록 제 1 전극(4517) 위에 개구부를 갖도록 감광성 수지 재료를 이용하여 형성되는 것이 특히 바람직하다.

[0565] 전계발광층(4512)은 단층 구조 또는 적층 구조를 가지도록 형성될 수 있다.

[0566] 산소, 수소, 수분, 이산화탄소 등의 발광 소자(4511)로의 진입을 방지하기 위하여, 보호막이 제 2 전극(4513) 및 격벽(4520) 위에 형성될 수 있다. 보호막으로서, 질화 실리콘막, 질화산화 실리콘막, DLC막 등이 형성될 수 있다.

[0567] 또한, 다양한 신호들 및 전위들이 신호선 구동 회로들(4503a 및 4503b), 주사선 구동 회로들(4504a 및 4504b) 또는 화소부(4502)에 FPC들(4518a 및 4518b)로부터 공급된다.

[0568] 접속 단자 전극(4515)이 발광 소자(4511)에 포함된 제 1 전극(4517)과 동일한 도전막을 이용하여 형성되고, 단자 전극(4516)은 박막 트랜지스터(4509)에 포함된 소스 및 드레인 전극층들과 동일한 도전막을 이용하여 형성된다.

[0569] 접속 단자 전극(4515)은 이방성 도전막(4519)을 통해 FPC(4518a)에 포함된 단자에 전기적으로 접속된다.

[0570] 발광 소자(4511)로부터 광이 추출되는 방향에 위치되는 제 2 기판은 투광성을 가져야 한다. 그 경우, 유리판, 플라스틱판, 폴리에스테르막 또는 아크릴막과 같은 투광성 재료가 제 2 기판(4506)에 이용된다.

[0571] 충전재(4507)로서, 질소 또는 아르곤과 같은 불활성 가스뿐만 아니라, 적외선 경화 수지 또는 열경화 수지가 이용될 수 있다. 예를 들면, PVC(polyvinyl chloride), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(polyvinyl butyral) 또는 EVA (ethylene vinyl acetate)가 이용될 수 있다. 예를 들면, 질소가 충전재에 이용된다.

[0572] 또한, 필요한 경우, 편광판, 원형 편광판(타원 편광판을 포함함) 또는 위상차판(1/4 파장판 또는 1/2 파장판)과 같은 광학막이 발광 소자의 발광 표면 상에 적합하게 제공될 수 있다. 또한, 편광판 또는 원형 편광판에는 반사 방지막이 제공될 수 있다. 예를 들면, 글레이어를 감소시키기 위해 표면 상에 돌출부 및 오목부에 의해 반사광이 확산될 수 있는 안티-글레이어 처리(anti-glare treatment)가 수행될 수 있다.

[0573] 셀재가 스크린 인쇄 방법, 잉크-젯 장치 또는 디스펜싱 장치를 이용하여 형성될 수 있다. 셀재로서, 통상적으로, 가시광 경화 수지, 적외선 경화 수지 또는 열경화 수지를 함유한 재료가 이용될 수 있다. 또한 충전재가 함유될 수 있다.

[0574] 신호선 구동 회로들(4503a 및 4503b) 및 주사선 구동 회로들(4504a 및 4504b)로서, 별도로 준비된 기판 위에 단일 결정 반도체막 또는 다결정 반도체막을 이용하여 형성되는 구동 회로들이 이용되어 장착될 수 있다. 대안적으로, 신호선 구동 회로들 또는 그 일부만, 또는 주사선 구동 회로들 또는 그 일부만이 별도로 형성되어 장착될 수 있다. 이 실시형태는 도 18a 및 도 18b에 도시된 구조에 제한되지 않는다.

[0575] 상기 공정을 통해, 반도체 장치로서 매우 신뢰 가능한 발광 표시 장치(표시 패널)가 제작될 수 있다.

[0576] 이 실시형태는 다른 실시형태들 중 어느 것과 조합하여 적합하게 구현될 수 있다.

[0577] (실시형태 12)

[0578] 이 실시형태에서, 전자 페이퍼의 예가 본 발명의 일 실시형태에 따른 반도체 장치로서 기술된다.

[0579] 도 19는 본 발명의 실시형태가 적용되는 반도체 장치의 예로서 액티브 매트릭스 전자 페이퍼를 도시한다. 이 실시형태에서, 실시형태 5에 기술된 박막 트랜지스터가 예를 들면 박막 트랜지스터(581)로서 이용된다. 박막 트랜지스터(581)의 산화물 반도체층들에서 수소 또는 수분이 감소된다. 따라서, 박막 트랜지스터(581)는 매우 신뢰

가능한 박막 트랜지스터이다.

[0580] 도 19의 전자 페이퍼는 트위스팅 볼 표시 시스템을 이용한 표시 장치의 예이다. 트위스팅 볼 표시 시스템은 흑색 및 백색으로 채색된 각각의 구형 입자들이 표시 소자에 이용되는 전극층들인 제 1 전극층과 제 2 전극층 사이에 배열되고, 구형 입자들의 배향을 제어하기 위해 제 1 전극층과 제 2 전극층 사이에서 전위차가 생성되어 표시가 수행되는 시스템을 나타낸다.

[0581] 기판(580) 위에 형성된 박막 트랜지스터(581)는 소스 및 드레인 전극층들이 산화 실리콘층(583), 보호 절연층(584) 및 절연층(585)에 형성된 개구부를 통해 제 1 전극층(587)에 전기적으로 접속되는 하부-게이트 구조를 가진다.

[0582] 제 1 전극층(587)과 제 2 전극층(588) 사이에는, 구형 입자들이 제공된다. 각각의 구형 입자는 흑색 영역(590a) 및 백색 영역(590b)과, 흑색 영역(590a) 및 백색 영역(590b) 주위에 액체로 충전된 캐비티(594)를 포함한다. 구형 입자의 주위는 수지와 같은 충전재(595)로 충전된다(도 19 참조). 이 실시형태에서, 제 1 전극층(587)이 화소 전극에 대응하고 대향 기판(596) 상에 제공되는 제 2 전극층(588)이 공통 전극에 대응한다.

[0583] 또한, 구형 소자 대신에, 전기영동 소자가 또한 이용될 수 있다. 양으로 대전된 백색 미립자들 및 음으로 대전된 흑색 미립자들과 같은 투명 액체가 캡슐화되는 약  $10\mu\text{m}$  내지  $200\mu\text{m}$ 의 직경을 가진 마이크로캡슐이 이용된다. 제 1 전극층과 제 2 전극층 사이에 제공된 마이크로캡슐에서, 전계가 제 1 전극층 및 제 2 전극층에 의해 인가될 때, 백색 미립자들 및 흑색 미립자들은 서로 대향하는 방향들로 이동하여, 백색 또는 흑색이 표시될 수 있다. 이 원리를 이용한 표시 소자가 전기영동 표시 소자이고, 일반적으로 소위 전자 페이퍼라고 칭해진다. 전기영동 표시 소자는 액정 표시 소자보다 높은 반사율을 가지고, 따라서 보조광이 불필요하고, 전력 소비가 낮고, 어두운 장소에서 표시부가 인식될 수 있다. 또한, 전력이 표시부에 공급되지 않을 때에도, 한번 표시된 화상이 유지될 수 있다. 따라서, 표시 기능을 가진 반도체 장치(간단히 표시 장치 또는 표시 장치가 구비된 반도체 장치라고 칭해질 수 있음)가 전파 소스로부터 떨어진 경우에도 표시된 화상이 저장될 수 있다.

[0584] 상기 단계들을 통해, 매우 신뢰 가능한 전자 페이퍼가 반도체 장치로서 제작될 수 있다.

[0585] 실시형태 1에 기술된 논리 회로는 예를 들면 이 실시형태에서의 전자 페이퍼의 구동 회로에 이용될 수 있다. 또한, 산화물 반도체층을 포함하는 트랜지스터가 표시부에서의 트랜지스터에 적용될 수 있기 때문에, 구동 회로 및 표시부는 예를 들면 하나의 기판 위에 제공될 수 있다.

[0586] 이 실시형태는 다른 실시형태들 중 어느 것과 조합하여 적합하게 구현될 수 있다.

[0587] (실시형태 13)

[0588] 이 명세서에 개시된 반도체 장치들은 다양한 전자 기기들(그 카테고리에 오락기를 포함함)에 적용될 수 있다. 전자 기기들의 예들은 텔레비전 세트(또한 텔레비전 또는 텔레비전 수상기라고도 칭해짐), 컴퓨터 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 모바일 폰(또한 모바일 폰 장치라고도 칭해짐), 휴대용 게임기, 휴대 정보 단말기, 오디오 재생 장치, 편집 기계와 같은 대형 게임기 등을 포함한다.

[0589] 도 20a는 모바일 폰의 예를 도시한다. 모바일 폰(1600)에는 하우징(1601)에 내장된 표시부(1602), 조작 버튼들(1603a 및 1603b), 외부 접속부(1604), 스피커(1605), 마이크로폰(1606) 등이 구비된다.

[0590] 도 20a에 도시된 모바일 폰(1600)의 표시부(1602)가 손가락 등으로 터치될 때, 데이터가 모바일 폰(1600)에 입력될 수 있다. 또한, 전화를 걸거나 메일을 작성하는 것과 같은 동작들이 손가락 등으로 표시부(1602)를 터치함으로써 수행될 수 있다.

[0591] 표시부(1602)의 주로 3개의 스크린 모드들이 존재한다. 제 1 모드는 주로 화상을 표시하기 위한 표시 모드이다. 제 2 모드는 주로 텍스트와 같은 데이터를 입력하기 위한 입력 모드이다. 제 3 모드는 표시 모드 및 입력 모드의 두 모드들이 조합된 표시-및-입력 모드이다.

[0592] 예를 들면, 전화를 걸거나 메일을 작성하는 경우, 주로 텍스트를 입력하기 위한 텍스트 입력 모드가 표시부(1602)를 위해 선택되어, 스크린 상에 표시된 텍스트가 입력될 수 있다. 이 경우, 표시부(1602)의 스크린의 거의 모든 영역 상에 키보드 또는 숫자 버튼들을 표시하는 것이 바람직하다.

[0593] 자이로스코프 또는 가속 센서와 같은 기울기 검출을 위한 센서를 포함하는 검출 장치가 모바일 폰(1600) 내부에 제공될 때, 표시부(1602) 상의 스크린의 표시는 모바일 폰(1600)의 방향(모바일 폰(1600)이 풍경 모드 또는 인물 모드를 위해 수평 또는 수직으로 배치될지의 여부)을 결정함으로써 자동으로 스위칭될 수 있다.

[0594] 스크린 모드들은 표시부(1602)를 터치하거나 하우징(1601)의 조작 버튼들(1603a 및 1603b)을 조작함으로써 스위칭된다. 대안적으로, 스크린 모드들은 표시부(1602) 상에 표시된 화상의 종류에 의존하여 스위칭될 수 있다. 예를 들면, 표시부에 표시된 화상에 대한 신호가 동화상들의 데이터일 때, 스크린 모드는 표시 모드로 스위칭된다. 신호가 텍스트 데이터일 때, 스크린 모드는 입력 모드로 스위칭된다.

[0595] 또한, 입력 모드에서, 표시부(1602)를 터치하는 것에 의한 입력이 특정 기간 동안 수행되지 않고 표시부(1602)의 광 센서에 의해 검출된 신호가 검출될 때, 스크린 모드는 입력 모드에서 표시 모드로 스위칭하도록 제어될 수 있다.

[0596] 표시부(1602)는 화상 센서로서 기능할 수 있다. 예를 들면, 장문(palm print), 지문 등의 화상이 손바닥 또는 손가락으로 표시부(1602)를 터치함으로써 취해지고, 개인 인증이 수행될 수 있다. 또한, 백라이트를 제공하거나 또는 표시부에 대한 근적외선 광을 방출하는 광원을 감지함으로써, 손가락 정맥, 손바닥 정맥 등의 화상이 취해질 수 있다.

[0597] 실시형태들에 기술된 반도체 장치들 중 어느 것은 표시부(1602)에 적용될 수 있다. 예를 들면, 실시형태들에 기술된 복수의 박막 트랜지스터들이 화소들에서 스위칭 소자들로서 배치될 수 있다.

[0598] 도 20b도 또한 모바일 폰의 예를 도시한다. 그 예가 도 20b에 도시된 휴대 정보 단말기는 복수의 기능들을 가질 수 있다. 예를 들면, 전화 기능 외에도, 이러한 휴대 정보 단말기는 컴퓨터를 내장함으로써 다양한 조작들의 데이터를 처리하는 기능을 가질 수 있다.

[0599] 도 20b에 도시된 휴대 정보 단말기는 하우징(1800) 및 하우징(1801)을 구비한다. 하우징(1801)은 표시 패널(1802), 스피커(1803), 마이크로폰(1804), 포인팅 디바이스(1806), 카메라 렌즈(1807), 외부 접속 단자(1808) 등을 포함한다. 하우징(1800)은 키보드(1810), 외부 메모리 슬롯(1811) 등을 포함한다. 또한, 안테나가 하우징(1800)에 내장된다.

[0600] 표시 패널(1802)에는 터치 패널이 구비된다. 화상으로 표시되는 복수의 조작 키들(1805)이 도 20b에서 점선으로 표시된다.

[0601] 또한, 상기 구조 외에도, 무접촉 IC 칩, 소형 메모리 장치 등이 내장될 수 있다.

[0602] 실시형태들의 중 어느 것에 기술된 반도체 장치는 표시 패널(1802)에 이용될 수 있다. 표시 패널(1802)에서, 표시 방향은 애플리케이션 모드에 의존하여 적합하게 변경된다. 또한, 휴대 정보 단말기에는 표시 패널(1802)과 동일한 표면 상에 카메라 렌즈(1807)가 구비되고, 따라서, 비디오 폰으로서 이용될 수 있다. 스피커(1803) 및 마이크로폰(1804)은 음성 호출들뿐만 아니라, 비디오폰 호출들, 기록, 사운드 재생 등에 이용될 수 있다. 또한, 도 20b에 도시된 바와 같이 전개되는 상태에서 하우징들(1800 및 1801)이 슬라이딩되어 하나가 다른 하나 위에 겹쳐진다; 따라서, 휴대 정보 단말기의 크기가 감소될 수 있고, 이것은 휴대 정보 단말기를 휴대하기에 적합하게 한다.

[0603] 외부 접속 단자(1808)가 AC 어댑터 및 USB 케이블과 같은 다양한 형태들이 케이블들에 접속될 수 있고, 충전 및 개인용 컴퓨터와의 데이터 통신이 가능하다. 또한, 저장 매체가 외부 메모리 슬롯(1811)에 삽입될 수 있어서, 대량의 데이터가 저장될 수 있고 이동될 수 있다.

[0604] 또한, 상기 기능들 외에도, 적외선 통신 기능, 텔레비전 수신 기능 등이 제공될 수 있다.

[0605] 도 21a는 텔레비전 세트의 예를 도시한다. 텔레비전 세트(9600)에서, 표시부(9603)가 하우징(9601)에 내장된다. 표시부(9603)는 화상들을 표시할 수 있다. 여기서, 하우징(9601)은 스탠드(9605)에 의해 지지된다.

[0606] 텔레비전 세트(9600)는 하우징(9601)의 조작 스위치 또는 개별 원격 제어기(9610)로 조작될 수 있다. 원격 제어기(9610)의 조작 키들(9609)을 이용하여 채널들이 스위칭될 수 있고 볼륨이 제어될 수 있고, 그에 의해 표시부(9603) 상에 표시된 화상이 제어될 수 있다. 또한, 원격 제어기(9610)에는 원격 제어기(9610)로부터 출력된 데이터를 표시하기 위한 표시부(9607)가 구비될 수 있다.

[0607] 텔레비전 세트(9600)에는 수신기, 모뎀 등이 구비될 수 있음을 유념한다. 수신기를 이용하여, 일반 TV 방송들이 수신될 수 있다. 또한, 표시 장치가 모뎀을 통해 유선으로 또는 무선으로 통신 네트워크에 접속될 때, 일방(전송기에서 수신기로) 또는 양방향(전송기와 수신기 사이 또는 수신기들 사이) 정보 통신이 수행될 수 있다.

[0608] 실시형태들 중 어느 것에 기술된 반도체 장치들이 표시부(9603)에 적용될 수 있다. 표시부(9603)에서, 예를 들면, 다른 실시형태들 중 어느 것에 기술된 복수의 박막 트랜지스터들이 화소들의 스위칭 소자들로서 제공될 수

있다.

[0609] 도 21b는 디지털 포토 프레임의 예를 도시한다. 예를 들면, 디지털 포토 프레임(9700)에서, 표시부(9703)가 하우징(9701)에 내장된다. 표시부(9703)는 다양한 화상들을 표시할 수 있다. 예를 들면, 표시부(9703)는 디지털 카메라 등으로 찍힌 화상의 데이터를 표시할 수 있고, 통상적인 포토 프레임으로서 기능한다.

[0610] 실시형태들 중 어느 것에 기술된 반도체 장치들은 표시부(9703)에 적용될 수 있다. 표시부(9703)에서, 예를 들면, 다른 실시형태들 중 어느 것에 기술된 복수의 박막 트랜지스터들이 화소들의 스위칭 소자들로서 제공될 수 있다.

[0611] 디지털 포토 프레임(9700)에는 조작부, 외부 접속 단자(USB 단자, USB 케이블과 같은 다양한 케이블들에 접속 가능한 단자 등), 기록 매체 삽입부 등이 구비되는 것을 유념한다. 이들 구성요소들이 표시부와 동일한 표면 상에 제공될 수 있지만, 설계 미학을 위해 측면 또는 후면 상에 이들을 제공하는 것이 바람직하다. 예를 들면, 디지털 카메라로 찍힌 화상의 데이터를 저장하는 메모리는 디지털 포토 프레임의 기록 매체 삽입부에 삽입되고 데이터가 로딩되고, 그에 의해 화상은 표시부(9703) 상에 표시될 수 있다.

[0612] 디지털 포토 프레임(9700)은 데이터를 무선으로 전송 및 수신하도록 구성될 수 있다. 무선 통신을 통해, 원하는 화상 데이터가 표시되도록 로딩될 수 있다.

[0613] 도 22는 휴대용 게임기이고, 휴대용 게임기가 개방되거나 접힐 수 있도록 연결부(9893)와 접속되는 하우징(9881) 및 하우징(9891)의 두 하우징들로 구성된다. 표시부(9882) 및 표시부(9883)는 하우징(9881) 및 하우징(9891)에 각각 내장된다.

[0614] 실시형태들 중 어느 것에 기술된 반도체 장치들은 표시부(9883)에 적용될 수 있다. 표시부(9883)에서, 예를 들면, 다른 실시형태들 중 어느 것에 기술된 복수의 박막 트랜지스터들이 화소들의 스위칭 소자들로서 제공될 수 있다.

[0615] 또한, 도 22에 도시된 휴대용 게임기에는 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키들(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음향, 시간, 강도, 전계, 전류, 전압, 전력, 방사선, 유량, 습도, 기울기, 진동, 냄새 또는 적외선을 측정하는 기능을 가짐) 및 마이크로폰(9889)) 등이 구비된다. 말할 필요도 없이, 휴대용 게임기의 구조는 상기에 제한되지 않고, 이 명세서에 개시된 적어도 박막 트랜지스터가 구비된 다른 구조들이 채용될 수 있다. 휴대용 게임기는 부가의 액세서리를 적합하게 포함할 수 있다. 도 22에 도시된 휴대용 게임기는 표시부 상에 표시하기 위해 기록 매체에 저장된 프로그램 또는 데이터를 판독하는 기능, 및 무선 통신에 의해 다른 휴대용 게임기와 데이터를 공유하는 기능을 가진다. 도 22에 도시된 휴대용 게임기의 기능은 이들에 제한되지 않고, 휴대용 게임기는 다양한 기능들을 가질 수 있음을 유념한다.

[0616] (실시형태 14)

[0617] 이 명세서에 개시된 반도체 장치는 전자 페이퍼로서 이용될 수 있다. 전자 페이퍼는 이들이 정보를 표시하는 한 모든 분야의 전자 기기들에 이용될 수 있다. 예를 들면, 전자 페이퍼는 e-북 판독기(전자 북), 포스터, 기차와 같은 차량의 광고, 또는 신용 카드와 같은 다양한 카드들의 표시들에 적용될 수 있다. 이러한 전자 기기들의 예는 도 23에 도시된다.

[0619] \*도 23은 e-북 판독기의 예를 도시한다. 예를 들면, 전자 서적(2700)은 하우징(2701) 및 하우징(2703)의 2개의 하우징들을 포함한다. 하우징(2701) 및 하우징(2703)은 전자 서적(2700)이 경첩부(2711)를 측으로 개폐할 수 있도록 경첩부(2711)와 조합된다. 이러한 구조는 전자 서적(2700)이 종이 서적처럼 동작할 수 있게 한다.

[0620] 표시부(2705) 및 표시부(2707)가 하우징(2701) 및 하우징(2703)에 각각 내장된다. 표시부(2705) 및 표시부(2707)는 하나의 화상 또는 상이한 화상들을 표시할 수 있다. 표시부(2705) 및 표시부(2707)가 예를 들면 상이한 화상들을 표시하는 경우, 우측상의 표시부(도 23에서 표시부(2705))는 텍스트를 표시할 수 있고, 좌측상의 표시부(도 23에서 표시부(2707))는 그래픽을 표시할 수 있다.

[0621] 도 23은 하우징(2701)에 조작부 등이 구비되는 예를 도시한다. 예를 들면, 하우징(2701)에는 전력 스위치(2721), 조작 키(2723), 스피커(2725) 등이 구비된다. 조작 키(2723)를 이용하여, 페이지들이 넘겨질 수 있다. 키보드, 포인팅 디바이스 등이 또한 하우징의 표면 상에 제공될 수 있고, 그 위에 표시부가 제공되는 것을 유념한다. 또한, 외부 접속 단자(이어폰 단자, USB 단자, AC 어댑터 및 USB 케이블과 같은 다양한 케이블들에 접속될 수 있는 단자 등), 기록 매체 삽입부 등이 하우징의 후면 또는 측면 상에 제공될 수 있다. 또한, 전자 서적

(2700)은 전자 사전의 기능을 가질 수 있다.

[0622] 전자 서적(2700)은 데이터를 무선으로 전송 및 수신할 수 있는 구성을 가질 수 있다. 무선 통신을 통해, 원하는 서적 데이터 등이 구매될 수 있고 전자 서적 서버로부터 다운로드될 수 있다.

[0623] 이 실시형태는 다른 실시형태들과 조합하여 적합하게 구현될 수 있다.

[0624] (실시형태 15)

[0625] 본 발명의 실시형태에 따라, 산화물 반도체에서 캐리어들의 도너들(또는 억셉터들)이 되는 불순물들이 매우 낮은 레벨로 감소되고, 그에 의해 산화물 반도체는 진성 또는 실질적으로 진성이 되고, 산화물 반도체는 박막 트랜지스터에 이용된다.

[0626] 도 24는 이러한 트랜지스터의 소스와 드레인 사이의 일부의 대역 구조이다. 고순도의 산화물 반도체에 대해, 페르미 준위가 이상적인 조건 하에서 금지 대역의 중간에 위치된다.

[0627] 이 경우,  $\Phi_m$ 은 일함수이고,  $x$ 는 산화물 반도체의 전자 친화력이다.

[0628] 여기서, 접합면에서, 전극에 대한 금속의 페르미 준위는 수학식  $\Phi_m = x$ 이 만족되는 경우에 산화물 반도체의 전 대역의 레벨과 동일하다. 수학식의 우측이 좌측보다 클 때, 음 접촉이 제공된다. 산화물 반도체는 3.05 eV의 대역 캡 및 4.3 eV의 전자 친화력을 가지고, 진성 상태(캐리어 밀도: 대략  $1 \times 10^{-7} / \text{cm}^3$ )이고, 소스 전극 및 드레인 전극이 4.3 eV의 일함수를 갖는 티타늄(Ti)을 이용하여 형성된다고 가정한다. 이러한 조건들 하에서, 전자들에 대한 쇼트키 장벽은 도 24에 도시된 바와 같이 형성되지 않는다.

[0629] 도 25는 산화물 반도체를 이용하여 형성된 트랜지스터에서 드레인쪽에 양의 전압이 인가되는 상태를 도시한다. 도 25는 양의 전압이 인가되고( $VD > 0$ ) 게이트에 전압이 인가되지 않거나( $VG = 0$ )(접선들로 도시됨) 또는 양의 전압이 게이트에 인가되는( $VG > 0$ )(실선들로 도시됨) 경우를 도시한다. 산화물 반도체의 대역 캡이 넓기 때문에, 진성이거나 실질적으로 진성인 고순도의 산화물 반도체의 진성 캐리어 밀도가 영이거나 영에 가깝다. 전압이 게이트에 인가되지 않는 경우, 캐리어(전자)가 높은 음 접촉 저항으로 인해 전극측에서 산화물 반도체쪽으로 주입되지 않아서, 전류가 흐르지 않고 이것은 오프 상태를 의미한다. 한편, 양의 전압이 게이트에 인가될 때, 음 접촉 저항이 감소되고, 따라서, 전류가 흐르고, 이것은 인 상태를 의미한다.

[0630] 도 26a는 양의 게이트 전압이 인가된 산화물 반도체를 이용하여 형성된 MOS 트랜지스터의 에너지 대역도이다. 이 경우, 고순도의 산화물 반도체에는 열적으로 여기된 캐리어들이 거의 존재하지 않는다. 따라서, 캐리어들은 또한 게이트 절연막의 주변에 저장되지 않는다. 그러나, 도 25에 도시된 바와 같이, 소스측에서 주입된 캐리어들의 전송이 가능하다.

[0631] 도 26b는 음의 게이트 전압이 인가된 산화물 반도체를 이용하여 형성된 MOS 트랜지스터의 에너지 대역도이다. 산화물 반도체에는 소수 캐리어들(정공들)이 거의 존재하지 않는다; 따라서, 캐리어들은 게이트 절연막의 주변에도 또한 저장되지 않는다. 이것은 오프 전류가 작다는 것을 의미한다.

[0632] 도 27은 실리콘 반도체를 이용하여 형성된 트랜지스터의 대역도이다. 실리콘 반도체에 대해, 대역 캡은 1.12 eV이고, 진성 캐리어 농도는  $1.45 \times 10^{10} / \text{cm}^3$  (300 K)이고, 실온들에서도 캐리어들이 존재한다. 열적으로 여기된 캐리어들은 실온들에서도 무시할 수 없다. 따라서, 오프 전류가 온도에 의존하여 크게 변동한다.

[0633] 이러한 방식으로, 트랜지스터에 대한 넓은 대역 캡을 가진 산화물 반도체를 단순히 이용할 뿐만 아니라, 수소와 같이 도너들이 될 불순물들을 감소시키고, 따라서 캐리어 밀도를  $1 \times 10^{14} / \text{cm}^3$  이하, 바람직하게는  $1 \times 10^{12} / \text{cm}^3$ 로 설정함으로써, 실제 동작 온도들에서 트랜지스터에 적용된 열에 의해 여기되는 캐리어들이 제거될 수 있어서, 트랜지스터는 소스측에서 주입된 캐리어들에 의해서만 동작될 수 있다. 따라서, 오프 전류가  $1 \times 10^{-13} [A]$  이하로 감소되고 온도 변화로 인해 거의 변경되지 않는 트랜지스터를 획득하는 것이 가능하고, 그에 의해 트랜지스터는 극히 안정한 방식으로 동작될 수 있다.

[0634] (실시형태 16)

[0635] 이 실시형태에서, 테스트 소자 그룹(또한 TEG라고도 칭해짐)을 이용하여 오프 전류의 측정된 값을 하기에 기술될 것이다.

[0636] 도 28은 실효적으로  $L/W = 3\mu\text{m}/50\mu\text{m}$ 의 200개의 박막 트랜지스터들이 병렬로 접속되는  $L/W = 3\mu\text{m}/10000\mu\text{m}$ 의 박막 트랜지스터의 초기 특성들을 도시한다. 또한, 상면도가 도 29a에 도시되고, 이것의 부분적으로 확대된 상면도가 도 29b에 도시된다. 도 29b에서 점선으로 둘러싸인 영역은  $L/W = 3\mu\text{m}/50\mu\text{m}$  및  $l_{ov} = 1.5\mu\text{m}$ 의 일단의 박막 트랜지스터이다. 박막 트랜지스터의 초기 특성들을 측정하기 위하여, 기판 온도가 실온으로 설정되고, 소스와 드레인 사이의 전압(이후, 드레인 전압 또는  $V_d$ )가 10V로 설정되었고, 소스와 게이트 사이의 전압(이후, 게이트 전압 또는  $V_g$ )이 -20V에서 +20V까지 변화되는 조건들 하에서, 소스-드레인 전류(이후 드레인 전류 또는  $I_d$ 라고 칭해짐)의 변화 특성들, 즉  $V_g$ - $I_d$  특성들이 측정되었다. 도 28은 -20V에서 +5V까지의 범위에서의  $V_g$ 를 도시한다는 것을 유념한다.

[0637] 도 28에서 보이는 바와 같이,  $10000\mu\text{m}$ 의 채널 폭  $W$ 를 갖는 박막 트랜지스터는 1V 및 10V의  $V_d$ 에서  $1 \times 10^{-13}\text{A}$  이하의 오프 전류를 가지며, 이것은 측정 장치의 분해능(100fA) 이하이다(반도체 파라미터 분석기, Agilent Technologies Inc.에 의해 제작된 Agilent 4156C). 채널 폭  $W$ 에서  $10000$  마이크로미터당 트랜지스터의 오프 전류는  $1 \times 10^{-13}\text{A}$  이하이다. 따라서, 채널 폭  $W$ 에서 마이크로미터당 트랜지스터의 오프 전류가  $1 \times 10^{-13}\text{A}$ 라고 말할 수 있다. 또한,  $1 \times 10^{-13}\text{A}$  이하인, 채널 폭  $W$ 에서  $10000$  마이크로미터당 트랜지스터의 오프 전류는  $1 \times 10^{-17}\text{A}$  이하인 채널 폭  $W$ 에서 마이크로미터당 트랜지스터의 오프 전류로 변환될 수 있다.

[0638] 측정에 이용되는 박막 트랜지스터를 제작하기 위한 방법이 기술된다.

[0639] 먼저, 질화 실리콘층이 CVD 방법에 의해 유리 기판 위에 하지 층으로서 형성되었고, 산화질화 실리콘층이 질화 실리콘층 위에 형성되었다. 텅스텐층이 스퍼터링 방법에 의해 산화질화 실리콘층 위에 게이트 전극층으로서 형성되었다. 여기서, 게이트 전극층은 텅스텐층을 선택적으로 에칭하여 형성되었다.

[0640] 그 후에, 100nm의 두께를 갖는 산화질화 실리콘층이 CVD 방법에 의해 게이트 전극층 위에 게이트 절연층으로서 형성되었다.

[0641] 그 후에, 50nm의 두께를 갖는 산화물 반도체층이 In-Ga-Zn-O계 산화물 반도체 성막용 타겟( $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:2$ 의 몰비)을 이용하여 스퍼터링 방법에 의해 게이트 절연층 위에 형성된다. 여기서, 섬형상 산화물 반도체층이 산화물 반도체층을 선택적으로 에칭하여 형성되었다.

[0642] 그 후에, 제 1 가열 처리가 질소 분위기에서 산화물 반도체층에 대해 1시간 동안 450°C로 클린 오븐에서 수행되었다.

[0643] 그 후에, 티타늄층(150nm의 두께를 가짐)이 스퍼터링 방법에 의해 산화물 반도체층 위해 소스 전극층 및 드레인 전극층으로서 형성되었다. 여기서, 소스 전극층 및 드레인 전극층은  $3\mu\text{m}$ 의 채널 길이  $L$ 과  $50\mu\text{m}$ 의 채널 폭  $W$ 를 각각 갖는 200개의 박막 트랜지스터들이 실효적으로  $L/W = 3\mu\text{m}/10000\mu\text{m}$ 의 박막 트랜지스터를 획득하기 위해 병렬로 접속되도록 선택적으로 에칭하여 형성되었다.

[0645] \*그 후에, 300nm의 두께를 갖는 산화 실리콘층은 반응 스퍼터링 방법에 의해 산화물 반도체층과 접촉하여 보호 절연층으로서 형성되었다. 여기서, 보호층인 산화 실리콘층을 선택적으로 에칭함으로써, 개구부들이 게이트 전극층, 소스 전극층 및 드레인 전극층 위에 형성되었다. 그 후, 제 2 가열 처리가 1시간 동안 250°C로 질소 분위기에서 수행되었다.

[0646] 그 후, 가열 처리는  $V_g$ - $I_d$  특성들의 측정 전에 10시간 동안 150°C로 수행되었다.

[0647] 상기 공정을 통해, 하부-게이트 박막 트랜지스터가 제작되었다.

[0648] 박막 트랜지스터가 도 28에 도시된 바와 같이 대략  $1 \times 10^{-13}\text{A}$ 의 오프 전류를 가지는 이유는 산화물 반도체층에서의 수소의 농도가 상기 제작 공정에서 상당히 감소될 수 있다는 것 때문이다. 산화물 반도체층의 수소의 농도는  $5 \times 10^{19}/\text{cm}^3$  이하이고, 바람직하게는  $5 \times 10^{18}/\text{cm}^3$  이하이고, 더욱 바람직하게는  $5 \times 10^{17}/\text{cm}^3$  이하이다. 산화물 반도체층의 수소의 농도는 2차 이온 질량 분석법(SIMS)에 의해 측정되었음을 유념한다.

[0649] In-Ga-Zn-O계 산화물 반도체를 이용한 예가 기술되었지만, 이 실시형태는 이에 특별히 제한되지 않는다. In-Sn-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체, In-Zn-O계 산화물 반도체, In-Sn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, In-O계 산화물 반도체, Sn-O계 산화물 반도체, 또는 Zn-O계 산화물 반도체와 같은 다른 산화물 반도체 재료도

또한 이용될 수 있다. 또한, 산화물 반도체 재료로서, 2.5wt% 내지 10wt%의  $\text{AlO}_x$ 와 혼합된 In-Al-Zn-O계 산화물 반도체 또는 2.5wt% 내지 10wt%의  $\text{SiO}_x$ 와 혼합된 In-Zn-O계 산화물 반도체가 이용될 수 있다.

[0650] 캐리어 측정 장치에 의해 측정된 산화물 반도체층의 캐리어 농도는 실리콘의 캐리어 농도,  $1.45 \times 10^{10}/\text{cm}^3$  이하, 바람직하게는  $5 \times 10^{14}/\text{cm}^3$  이하, 더욱 바람직하게는  $5 \times 10^{12}/\text{cm}^3$  이하이다. 달리 말하면, 산화물 반도체층의 캐리어 농도는 가능한 영에 가깝게 만들어질 수 있다.

[0651] 박막 트랜지스터는 또한 10nm 내지 1000nm의 채널 길이 L을 가질 수 있고, 이것은 회로 동작 속도의 증가를 가능하게 하고, 오프 전류는 극도로 작고, 이것은 전력 소비의 추가적인 감소를 가능하게 한다.

[0652] 또한, 회로 설계에서, 산화물 반도체층은 박막 트랜지스터가 오프 상태에 있을 때 절연층으로서 간주될 수 있다.

[0653] 그 후, 이 실시형태에서 제작된 박막 트랜지스터의 오프 전류의 온도 특성들이 평가되었다. 온도 특성들은 박막 트랜지스터가 이용되는 최종 제품의 내환경성, 성능 유지 등을 고려할 때 중요하다. 변화량이 작을수록 더욱 바람직함을 알아야 하며, 이것은 제품 설계를 위해 자유도를 증가시킨다.

[0654] 온도 특성들에 대해, 박막 트랜지스터들이 구비된 기판이  $-30^\circ\text{C}$ ,  $0^\circ\text{C}$ ,  $25^\circ\text{C}$ ,  $40^\circ\text{C}$ ,  $60^\circ\text{C}$ ,  $80^\circ\text{C}$ ,  $100^\circ\text{C}$  및  $120^\circ\text{C}$ 의 각각의 일정한 온도로 유지되었고, 드레인 전압이 6V로 설정되었고, 게이트 전압이  $-20\text{V}$ 에서  $+20\text{V}$ 까지 변경된 조건들 하에서 항온기를 이용하여  $Vg$ - $Id$  특성들이 획득되었다.

[0655] 도 30a는 상기 온도들에서 측정되고 서로 겹쳐진  $Vg$ - $Id$  특성들을 도시하고, 도 30b는 도 30a에서 점선으로 둘러싸인 오프 전류의 범위의 확대도를 도시한다. 도면에서 화살표로 표시된 최우측 곡선은  $-30^\circ\text{C}$ 에서 획득된 곡선이다; 최좌측 곡선은  $120^\circ\text{C}$ 에서 획득된 곡선이다; 그리고 다른 온도들에서 획득된 곡선들이 그 사이에 위치된다. 온-상태 전류들의 온도 의존도는 거의 관찰되지 않을 수 있다. 한편, 도 30b의 확대도에서도 또한 분명히 도시된 바와 같이, 오프 전류들은  $1 \times 10^{-12}\text{A}$ 이하이고, 이것은 20V의 게이트 전압의 주변을 제외한 모든 온도들에서 측정 장치의 분해능에 가깝고, 그 온도 의존도는 관찰되지 않는다. 달리 말하면,  $120^\circ\text{C}$ 의 고온에서도, 오프 전류는  $1 \times 10^{-12}\text{A}$  이하로 유지되었고, 채널 폭  $W$ 이  $10000\mu\text{m}$ 라고 가정하면, 오프 전류는 상당히 작은 것을 알 수 있다.

[0656] 고순도 산화물 반도체를 포함하는 박막 트랜지스터는 온도에 대한 오프 전류의 의존도를 거의 보여주지 않는다. 이것은 또한 산화물 반도체가 3eV 이상의 에너지 갭을 가지고 매우 적은 진성 캐리어들을 포함하는 사실로부터 기인된다. 또한, 소스 영역 및 드레인 영역은 축퇴된 상태에 있고, 이것도 또한 온도 의존도가 없음을 보여주기 위한 요인이다. 박막 트랜지스터는 축퇴된 소스 영역에서 산화물 반도체로 주입되는 캐리어들로 주로 동작하고, 상기 특성들(온도에 대한 오프 전류의 의존도)은 온도에 대한 캐리어 밀도의 의존도에 의해 설명될 수 있다.

[0657] 메모리 회로(메모리 소자) 등이 극히 작은 오프 전류와 같은 박막 트랜지스터를 이용하여 제작되는 경우, 누설이 거의 존재하지 않는다. 따라서, 메모리 데이터는 더 긴 시간 기간 동안 저장될 수 있다. 여기서 메모리 소자들은 그 카테고리에 논리 회로를 포함한다는 것을 유념한다.

[0658] 이 출원은 2009년 10월 16일 일본 특허청에 출원된 일본 특허 출원 일련번호 제2009-238918호에 기초하며, 그 전체 내용들은 본 명세서에 참조로서 포함되었다.

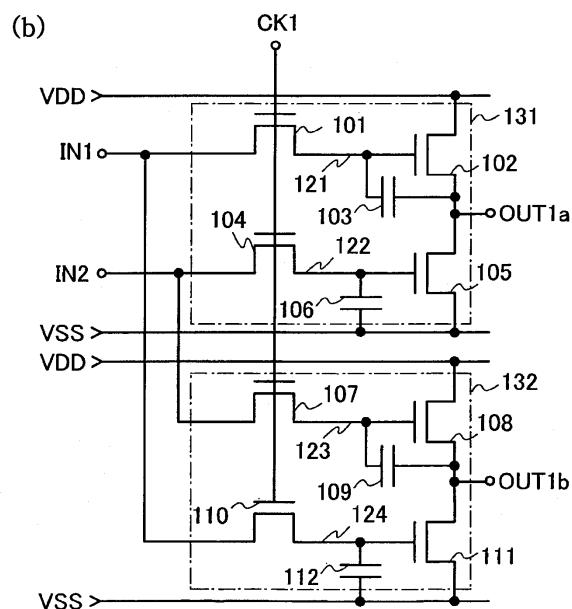
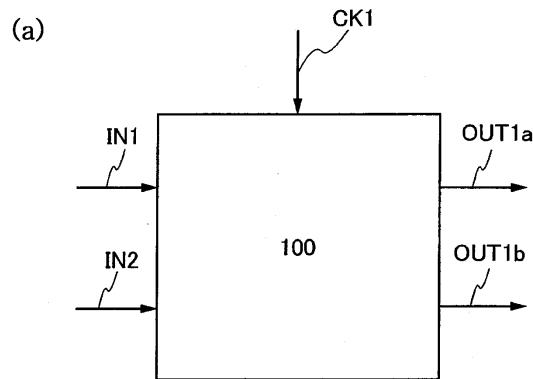
## 부호의 설명

[0659] 100: 논리 회로, 101: 트랜지스터, 102: 트랜지스터, 103: 용량 소자, 104: 트랜지스터, 105: 트랜지스터, 106: 용량 소자, 107: 트랜지스터, 108: 트랜지스터, 109: 용량 소자, 110: 트랜지스터, 111: 트랜지스터, 112: 용량 소자, 121: 노드, 122: 노드, 123: 노드, 124: 노드, 131: 단위 논리 회로, 132: 단위 논리 회로, 141: 기간, 142: 기간, 143: 기간, 144: 기간, 145: 기간, 146: 기간, 147: 기간, 148: 기간, 149: 기간, 150: 기간, 151: 논리 회로, 152: 논리 회로, 153: 논리 회로, 300: 기판, 302: 게이트 절연층, 303: 보호 절연층, 310: 박막 트랜지스터, 311: 게이트 전극층, 313: 채널 형성 영역, 314a: 고저항 소스 영역, 314b: 고저항 드레인 영역, 315a: 소스 전극층, 315b: 드레인 전극층, 316: 산화물 절연층, 320: 기판, 322: 게이트 절연층, 323: 보호 절연층, 330: 산화물 반도체막, 331: 산화물 반도체층, 332: 산화물 반도체층, 340: 기판, 342: 게이트 절연층, 343: 보호 절연층, 345: 산화물 반도체막, 346: 산화물 반도체층, 350: 박막 트랜지스터, 351: 게이트 전극층, 352: 산화물 반도체층, 355a: 소스 전극층, 355b: 드레인 전극층, 356: 산화물 절연층, 360: 박막

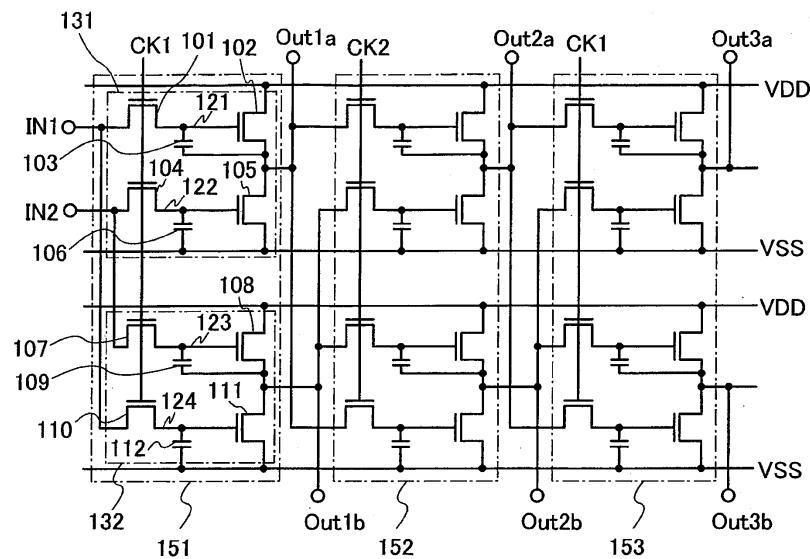
트랜지스터, 361: 게이트 전극층, 362: 산화물 반도체층, 363: 채널 형성 영역, 364a: 고저항 소스 영역, 364b: 고저항 드레인 영역, 365a: 소스 전극층, 365b: 드레인 전극층, 366: 산화물 절연층, 370: 기판, 372a: 제 1 게이트 절연층, 372b: 제 2 게이트 절연층, 373: 보호 절연층, 380: 박막 트랜지스터, 381: 게이트 전극층, 382: 산화물 반도체층, 385a: 소스 전극층, 385b: 드레인 전극층, 386: 산화물 절연층, 390: 박막 트랜지스터, 391: 게이트 전극층, 392: 산화물 반도체층, 393: 산화물 반도체막, 394: 기판, 395a: 소스 전극층, 395b: 드레인 전극층, 396: 산화물 절연층, 397: 게이트 절연층, 398: 보호 절연층, 399: 산화물 반도체층, 400: 기판, 402: 게이트 절연층, 407: 절연층, 410: 박막 트랜지스터, 411: 게이트 전극층, 412: 산화물 반도체층, 414a: 배선층, 414b: 배선층, 415a: 소스 또는 드레인 전극층, 415b: 소스 또는 드레인 전극층, 420: 실리콘 기판, 421a: 개구부, 421b: 개구, 422: 절연층, 423: 개구, 424: 도전층, 425: 박막 트랜지스터, 426: 박막 트랜지스터, 427: 도전층, 428: 배선층, 450: 기판, 452: 게이트 절연층, 457: 절연층, 460: 박막 트랜지스터, 461: 게이트 전극층, 461a: 게이트 전극층, 461b: 게이트 전극층, 462: 산화물 반도체층, 464: 배선층, 465a: 소스 또는 드레인 전극층, 465a1: 소스 또는 드레인 전극층, 465a2: 소스 또는 드레인 전극층, 465b: 소스 또는 드레인 전극층, 468: 배선층, 580: 기판, 581: 박막 트랜지스터, 583: 산화 실리콘층, 584: 보호 절연층, 585: 절연층, 587: 전극층, 588: 전극층, 590a: 흑색 영역, 590b: 백색 영역, 594: 캐비티, 595: 충전체, 596: 대향 기판, 1600: 휴대 전화기, 1601: 하우징, 1602: 표시부, 1603a: 조작 버튼, 1603b: 조작 버튼, 1604: 외부 접속 포트, 1605: 스피커, 1606: 마이크, 1800: 하우징, 1801: 하우징, 1802: 표시 패널, 1803: 스피커, 1804: 마이크로폰, 1805: 조작 키, 1806: 포인팅 디바이스, 1807: 카메라용 렌즈, 1808: 외부 접속 단자, 1810: 키보드, 1811: 외부 메모리 슬롯, 2700: 전자 서적, 2701: 하우징, 2702: 하우징, 2705: 표시부, 2707: 표시부, 2711: 측부, 2721: 전원, 2723: 조작 키, 2725: 스피커, 4001: 기판, 4002: 화소부, 4003: 신호선 구동 회로, 4004: 주사선 구동 회로, 4005: 씰재, 4006: 기판, 4008: 액정층, 4010: 박막 트랜지스터, 4011: 박막 트랜지스터, 4013: 액정 소자, 4015: 접속 단자 전극, 4016: 단자 전극, 4018: FPC, 4019: 이방성 도전막, 4021: 절연층, 4030: 화소 전극층, 4031: 대향 전극층, 4032: 절연층, 4033: 절연층, 4035: 스페이서, 4040: 도전층, 4041: 절연층, 4042: 보호 절연층, 4501: 기판, 4502: 표시부, 4503a: 신호선 구동회로, 4503b: 신호선 구동회로, 4504a: 주사선 구동 회로, 4504b: 주사선 구동 회로, 4505: 씰재, 4506: 기판, 4507: 충전체, 4509: 박막 트랜지스터, 4510: 박막 트랜지스터, 4511: 발광 소자, 4512: 전계 발광층, 4513: 전극, 4515: 접속 단자 전극, 4516: 단자 전극, 4517: 전극, 4518a: FPC, 4518b: FPC, 4519: 이방성 도전막, 4520: 격벽, 4540: 도전층, 4542: 산화 실리콘층, 4543: 오버코트층, 4544: 절연층, 4545: 컬러 필터층, 4550: 배선층, 4551: 절연층, 5300: 기판, 5301: 화소부, 5302: 주사선 구동 회로, 5303: 주사선 구동 회로, 5304: 신호선 구동 회로, 5305: 타이밍 제어 회로, 5601: 시프트 레지스터, 5602: 스위칭 회로, 5603: 박막 트랜지스터, 5604: 배선, 5605: 배선, 6400: 화소, 6401: 스위칭 트랜지스터, 6402: 구동용 트랜지스터, 6403: 용량 소자, 6404: 발광 소자, 6405: 신호선, 6406: 주사선, 6407: 전원선, 6408: 공통 전위선, 7001: 구동용 TFT, 7002: 발광 소자, 7003: 전극, 7004: EL 층, 7005: 전극, 7009: 격벽, 7011: 구동용 TFT, 7012: 발광 소자, 7013: 전극, 7014: EL 층, 7015: 전극, 7016: 차폐막, 7017: 도전막, 7019: 격벽, 7021: 구동용 TFT, 7022: 발광 소자, 7023: 전극, 7024: EL 층, 7025: 전극, 7026: 전극, 7027: 도전막, 7029: 격벽, 7031: 절연층, 7032: 절연층, 7033: 컬러 필터층, 7034: 오버코트층, 7035: 보호 절연층, 7036: 평탄화 절연층, 7041: 절연층, 7042: 절연층, 7043: 컬러 필터층, 7044: 오버코트층, 7045: 보호 절연층, 7046: 평탄화 절연층, 7051: 산화 실리콘층, 7052: 보호 절연층, 7053: 평탄화 절연층, 7055: 절연층, 7056: 평탄화 절연층, 9600: 텔레비전 장치, 9601: 하우징, 9603: 표시부, 9605: 스탠드, 9607: 표시부, 9609: 조작 키, 9610: 리모콘 조작기, 9700: 디지털 포토 프레임, 9701: 하우징, 9703: 표시부, 9881: 하우징, 9882: 표시부, 9883: 표시부, 9884: 스피커부, 9885: 조작 키, 9886: 기록 매체 삽입부, 9887: 접속 단자, 9888: 센서, 9889: 마이크로폰, 9890: LED 램프, 9891: 하우징, 9893: 연결부

도면

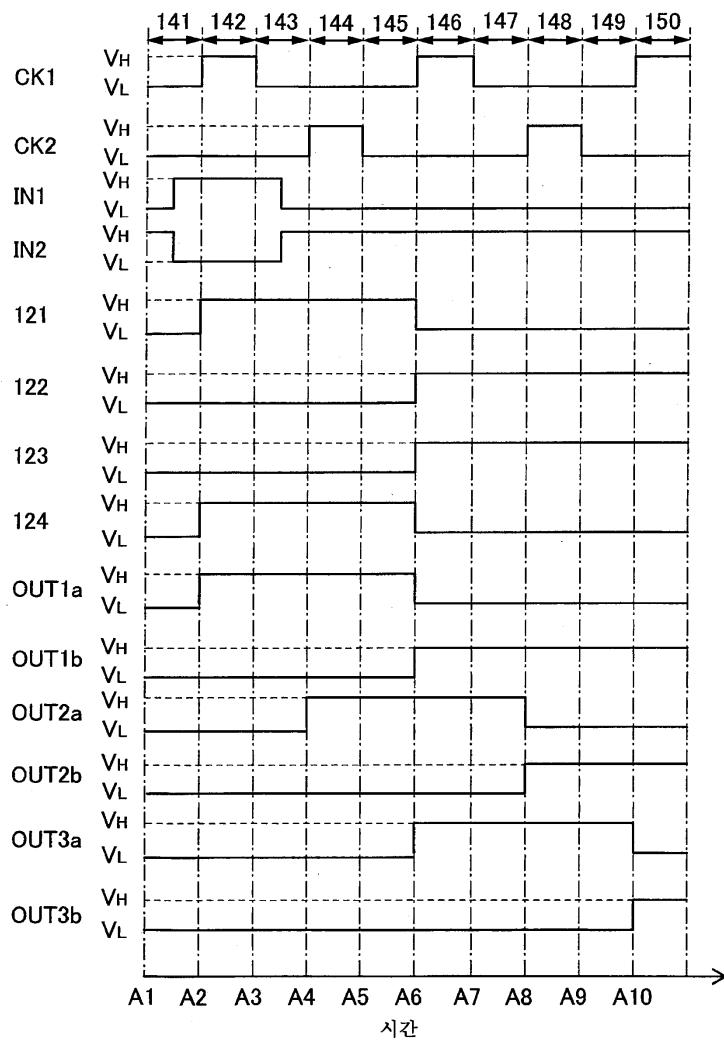
도면1



## 도면2

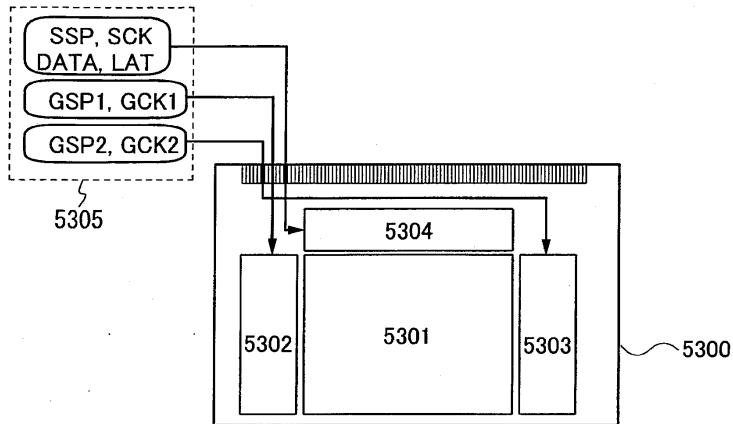


## 도면3

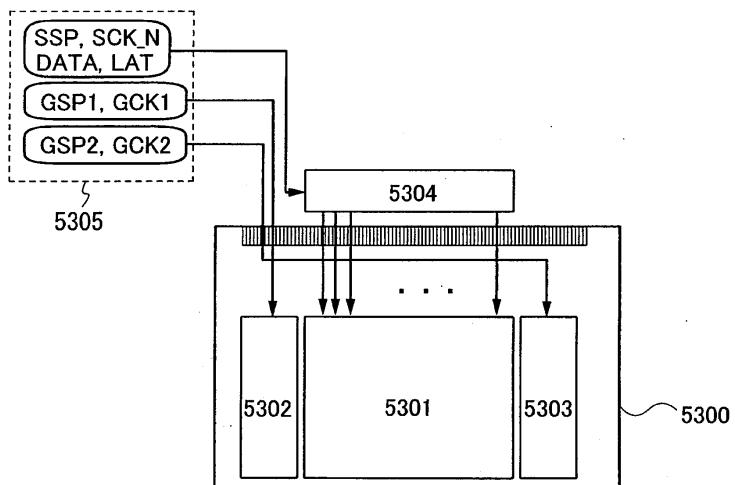


## 도면4

(a)

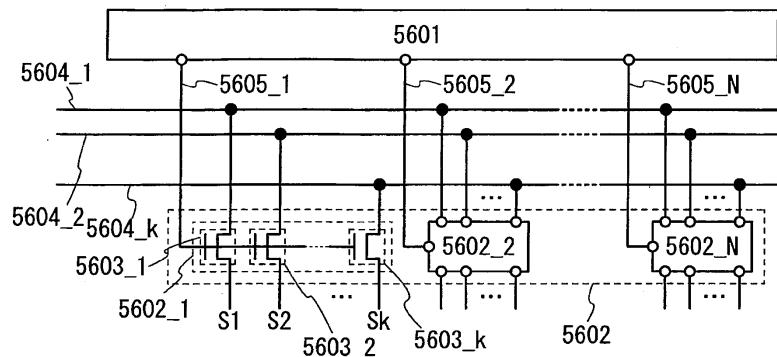


(b)

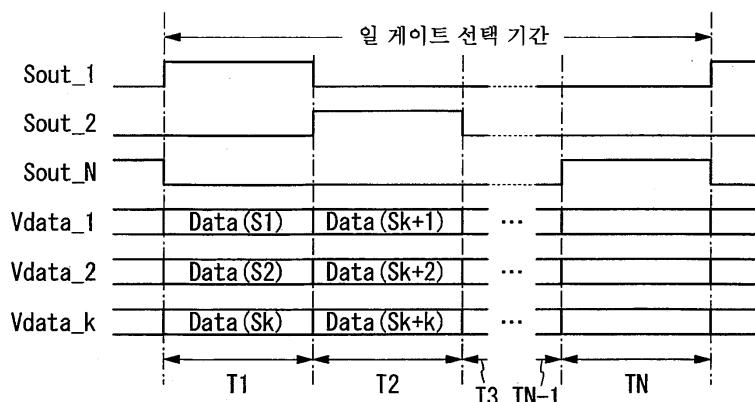


## 도면5

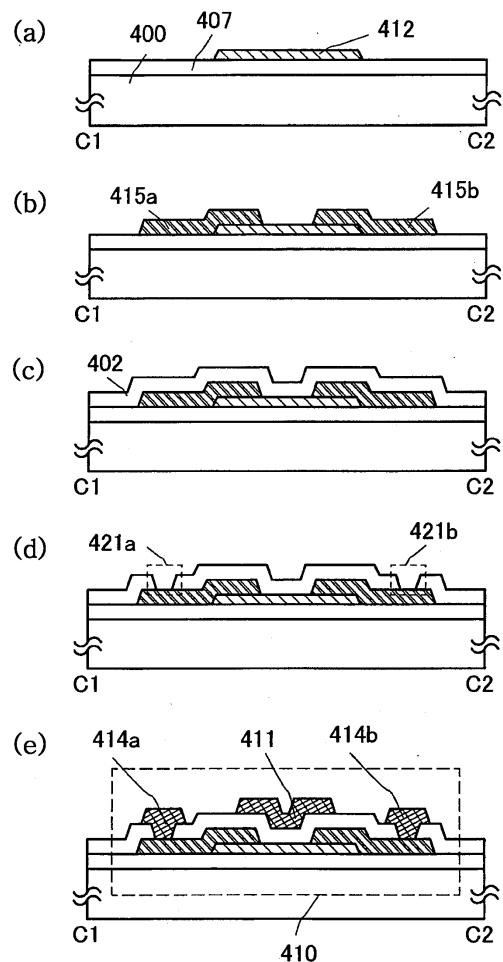
(a)



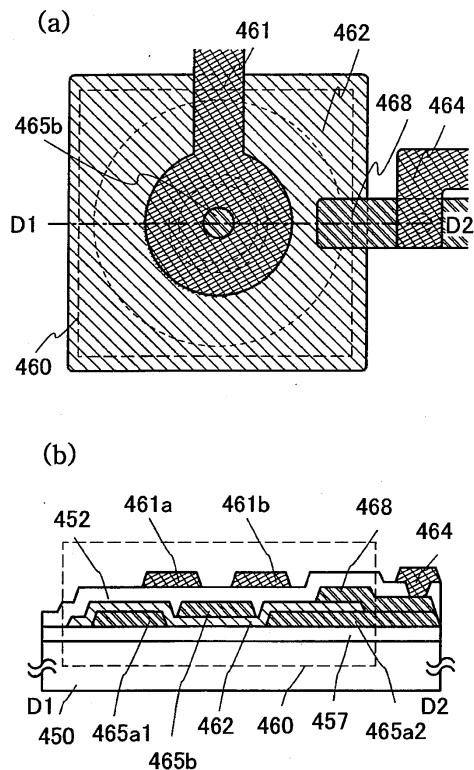
(b)



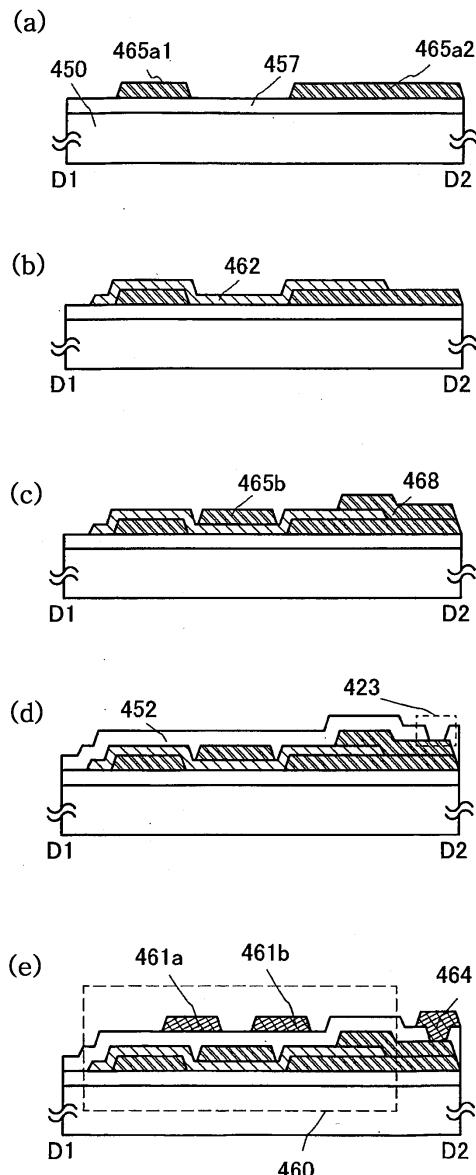
## 도면6



## 도면7

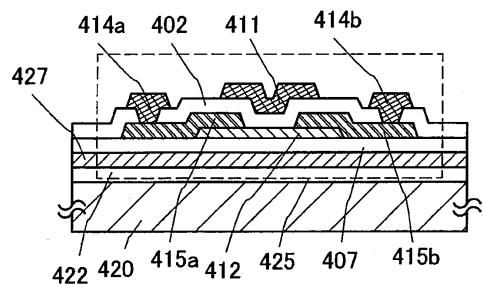


## 도면8

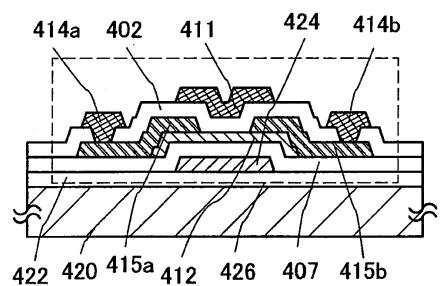


도면9

(a)

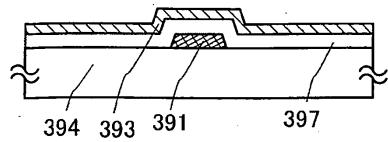


(b)

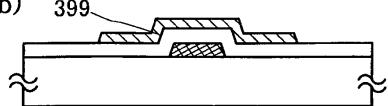


## 도면10

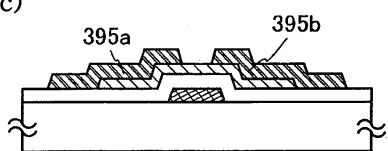
(a)



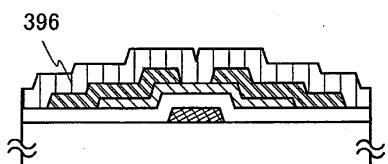
(b)



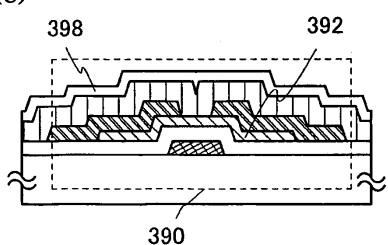
(c)



(d)

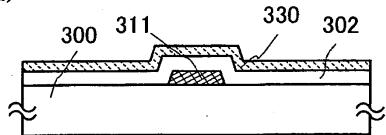


(e)

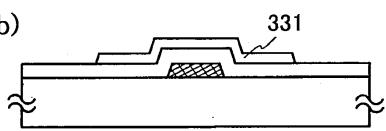


## 도면11

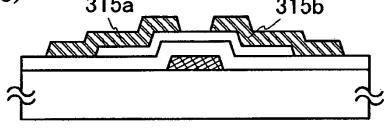
(a)



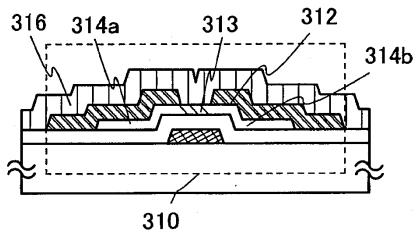
(b)



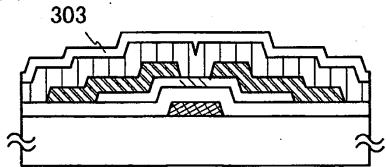
(c)



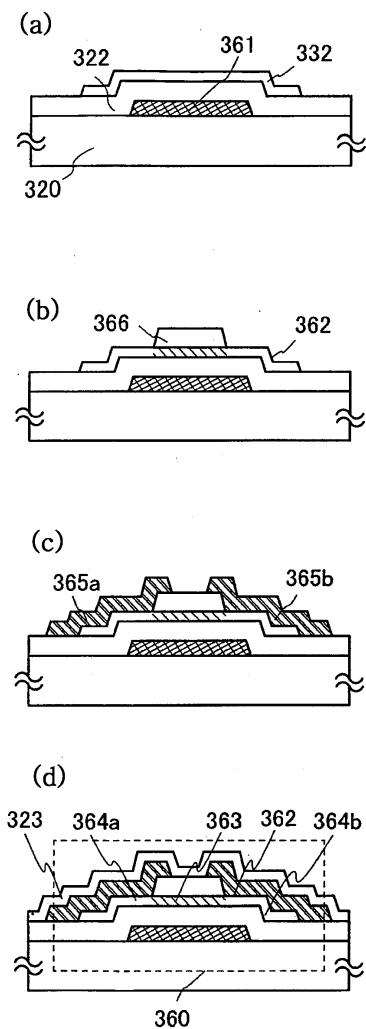
(d)



(e)

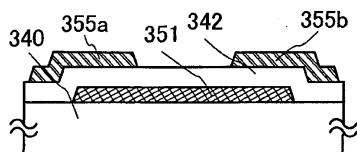


## 도면12

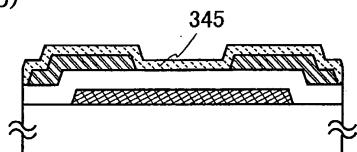


## 도면13

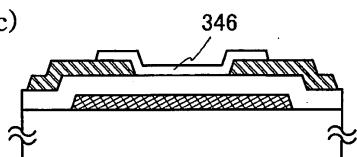
(a)



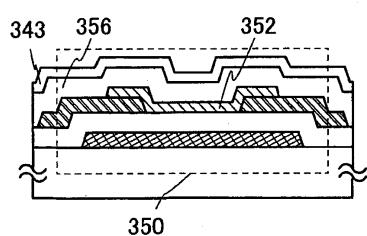
(b)



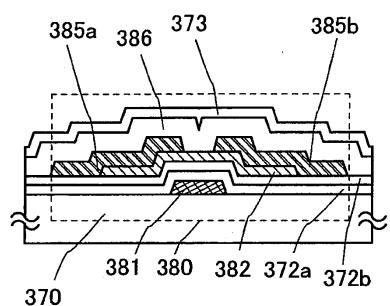
(c)



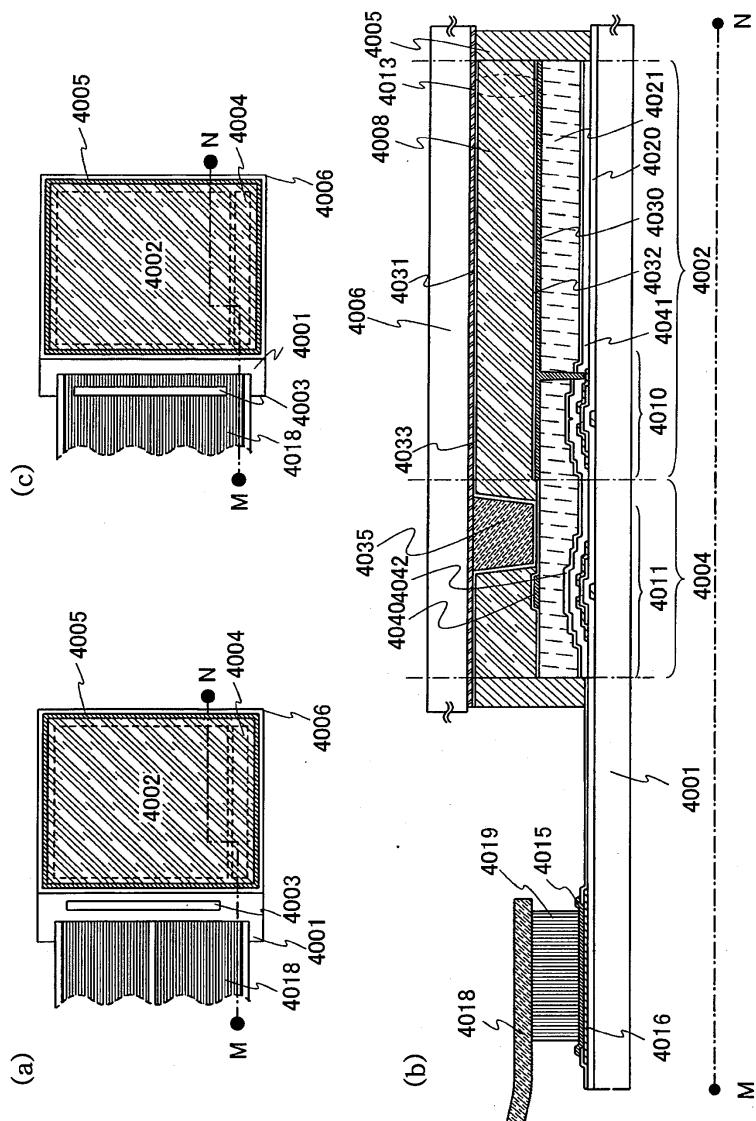
(d)



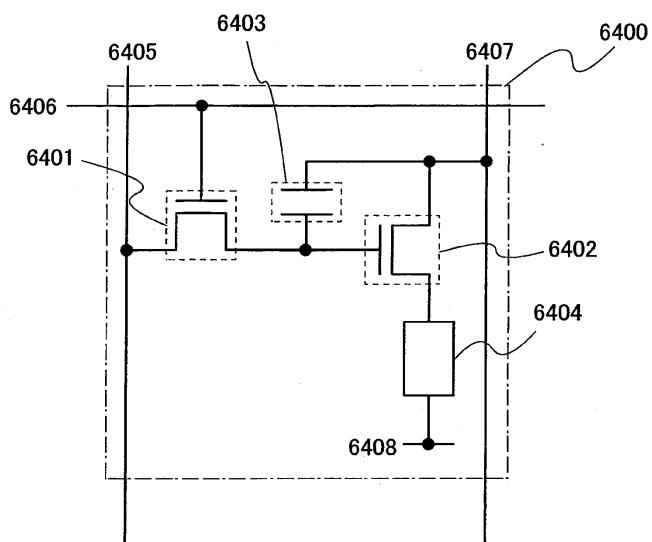
## 도면14



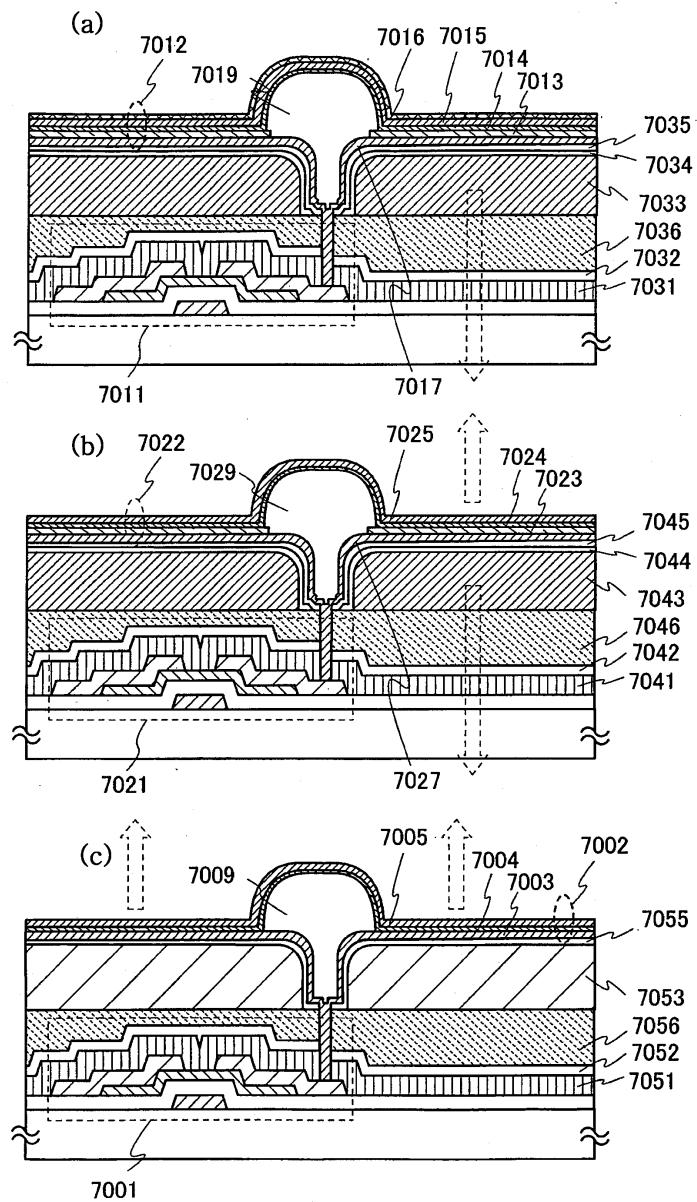
## 도면15



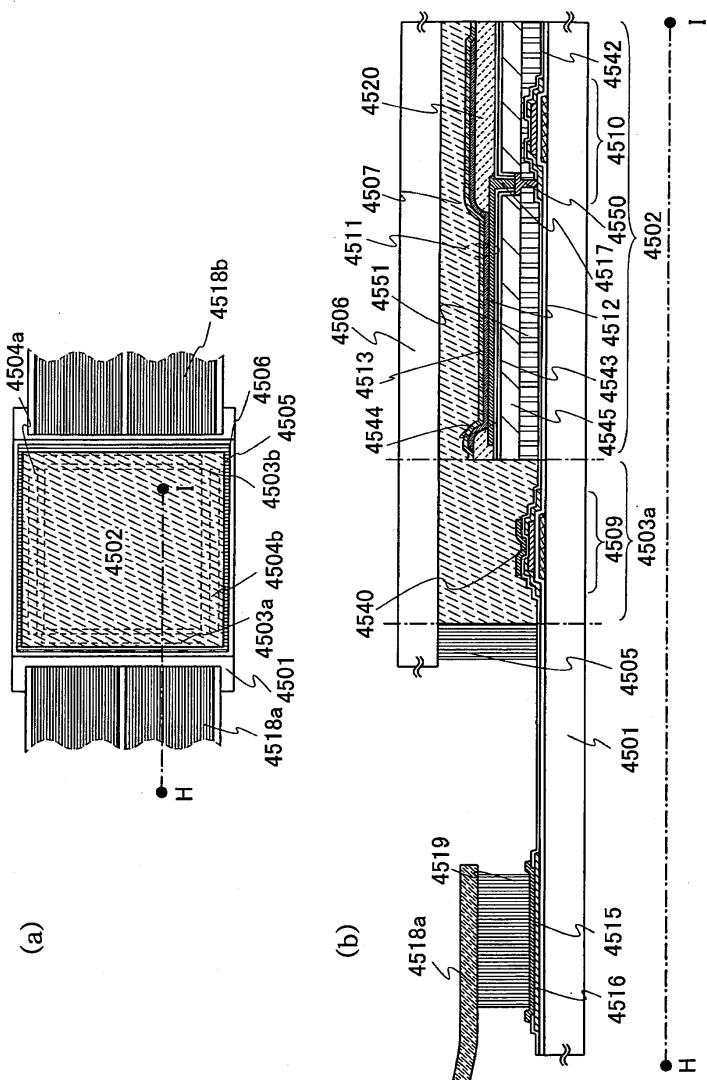
### 도면16



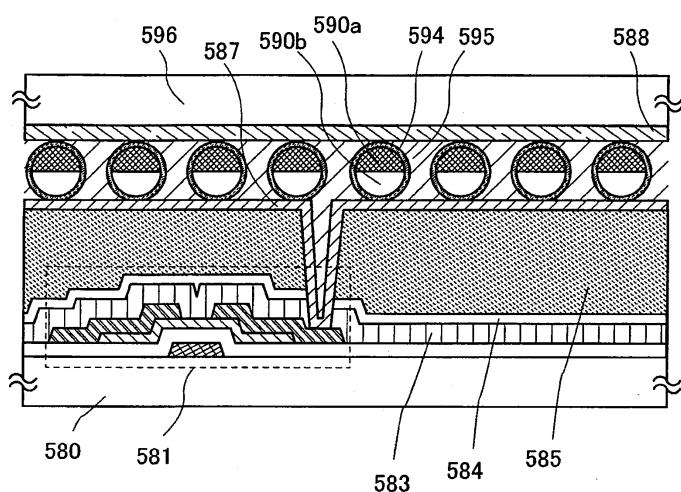
## 도면17



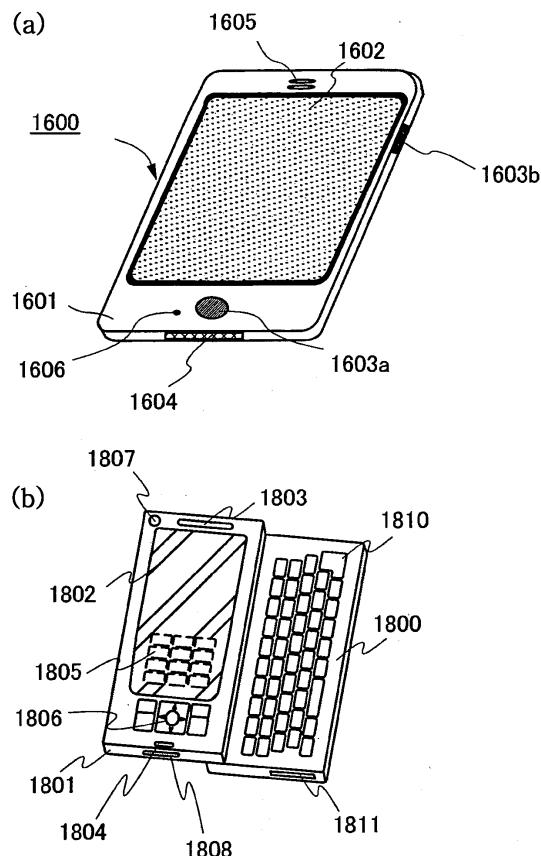
도면18



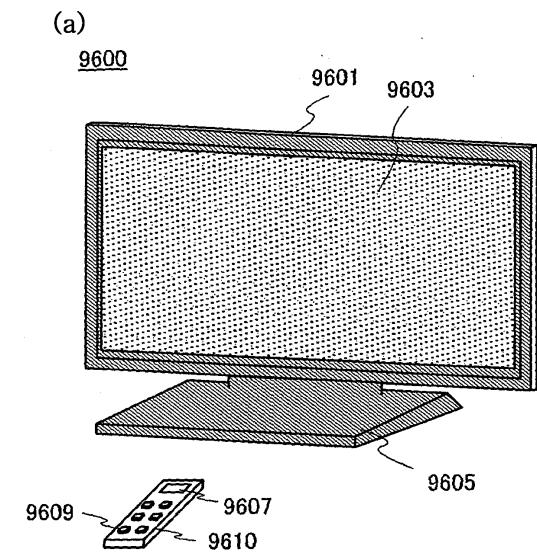
도면19



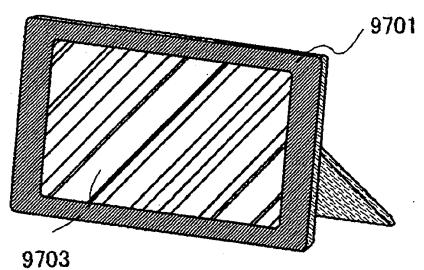
도면20



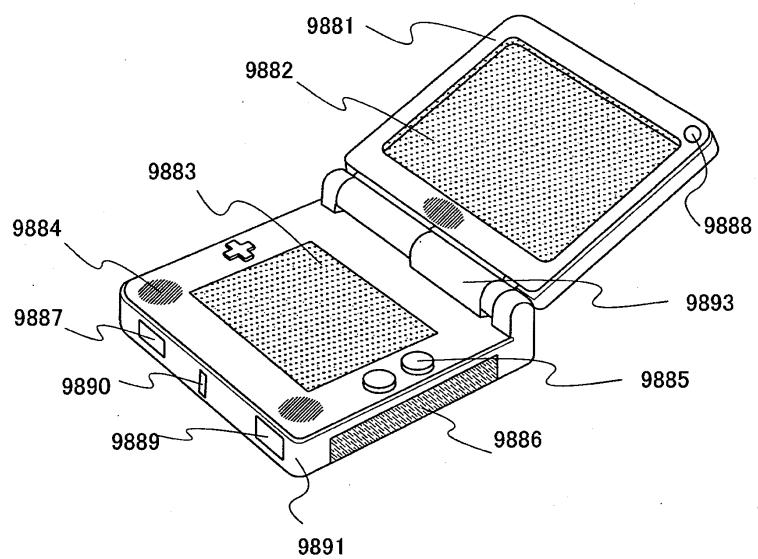
도면21



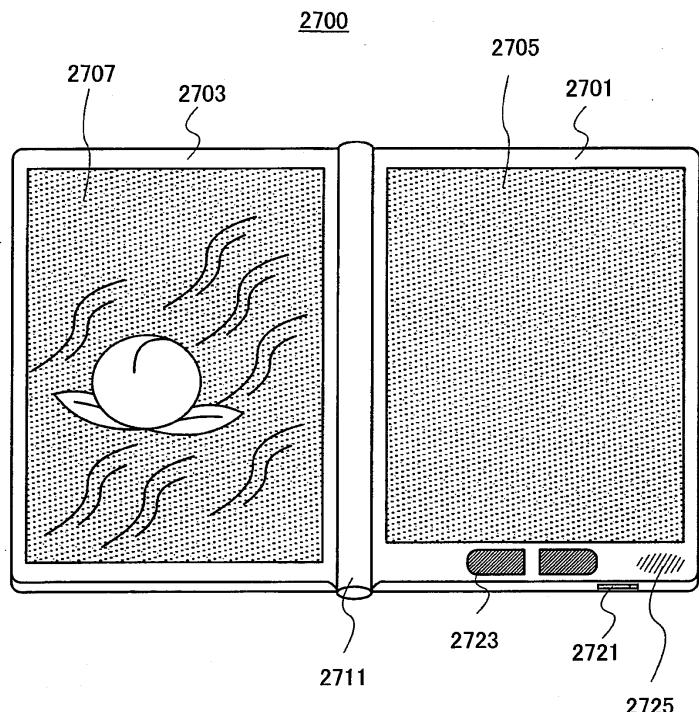
(b)



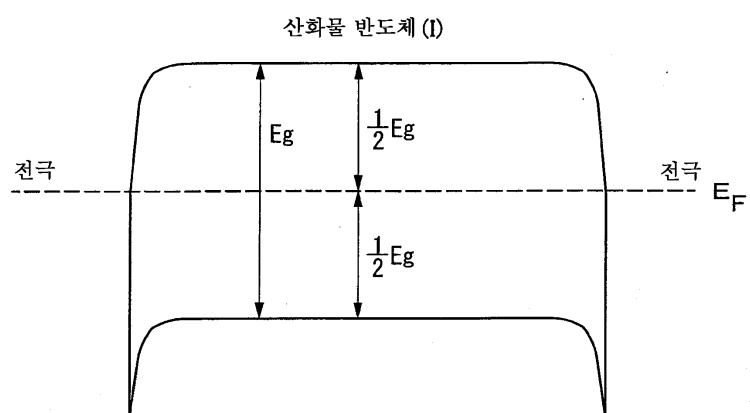
도면22



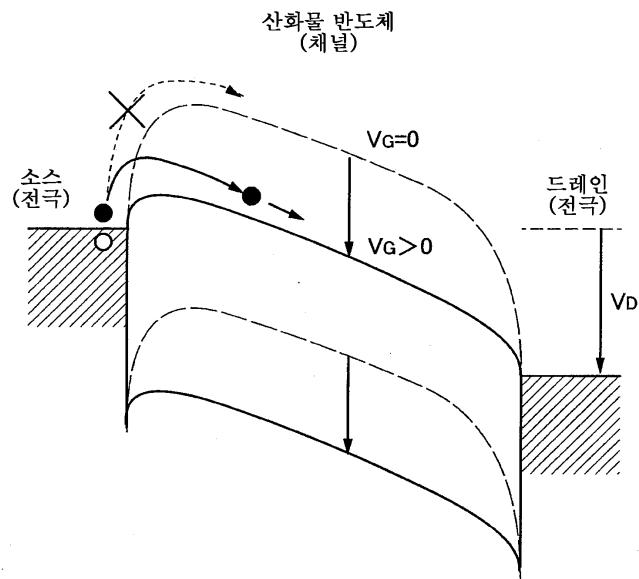
도면23



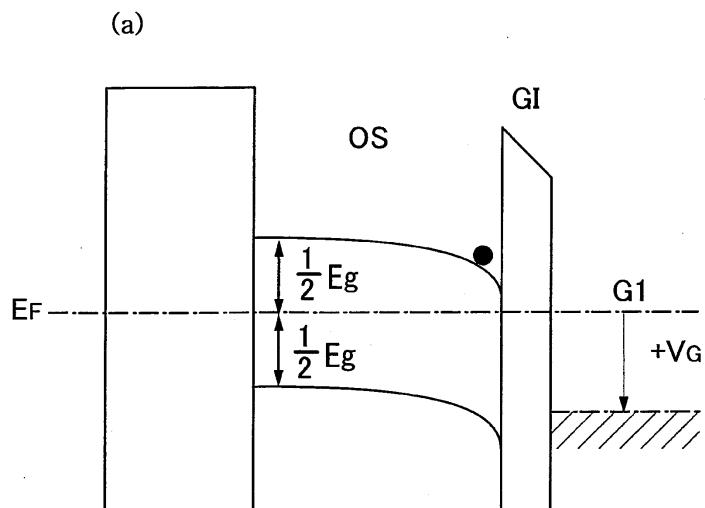
도면24



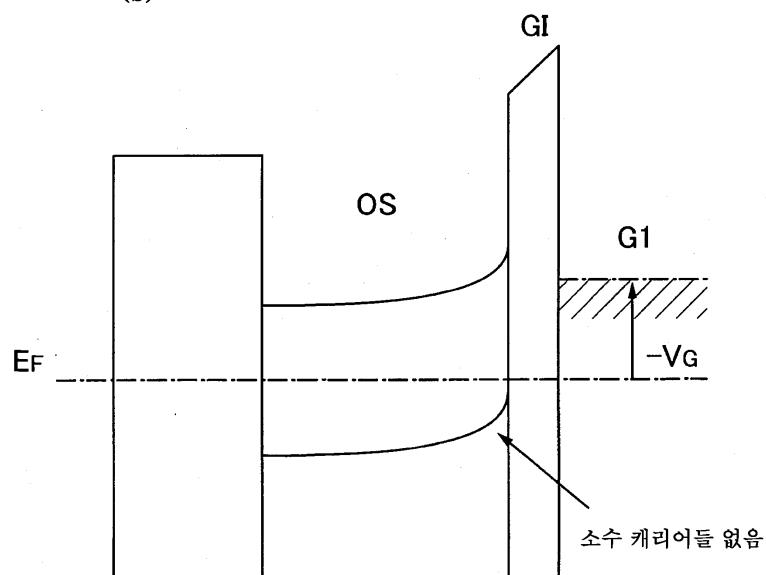
도면25



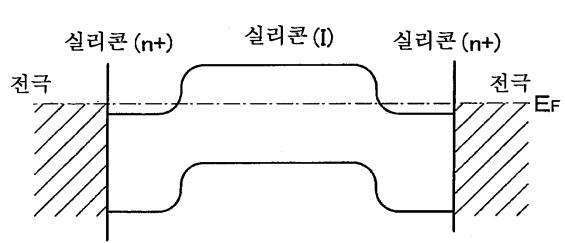
도면26



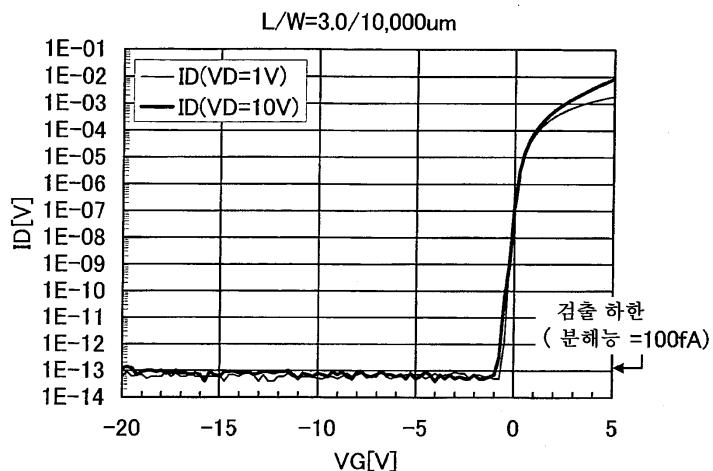
도면27



도면27

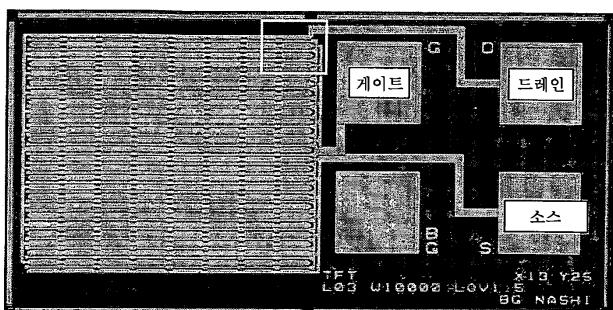


도면28

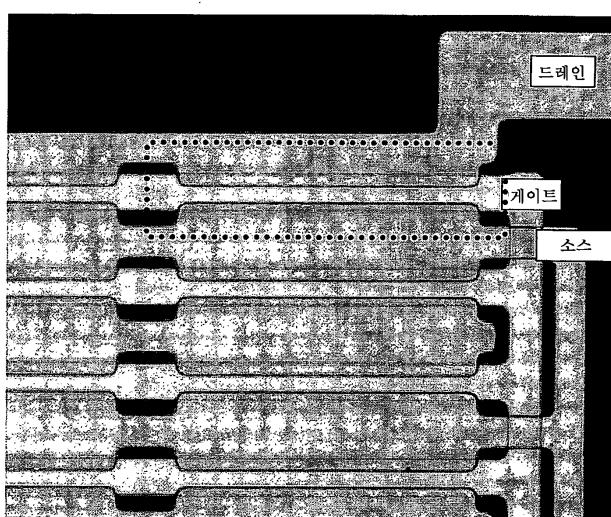


도면29

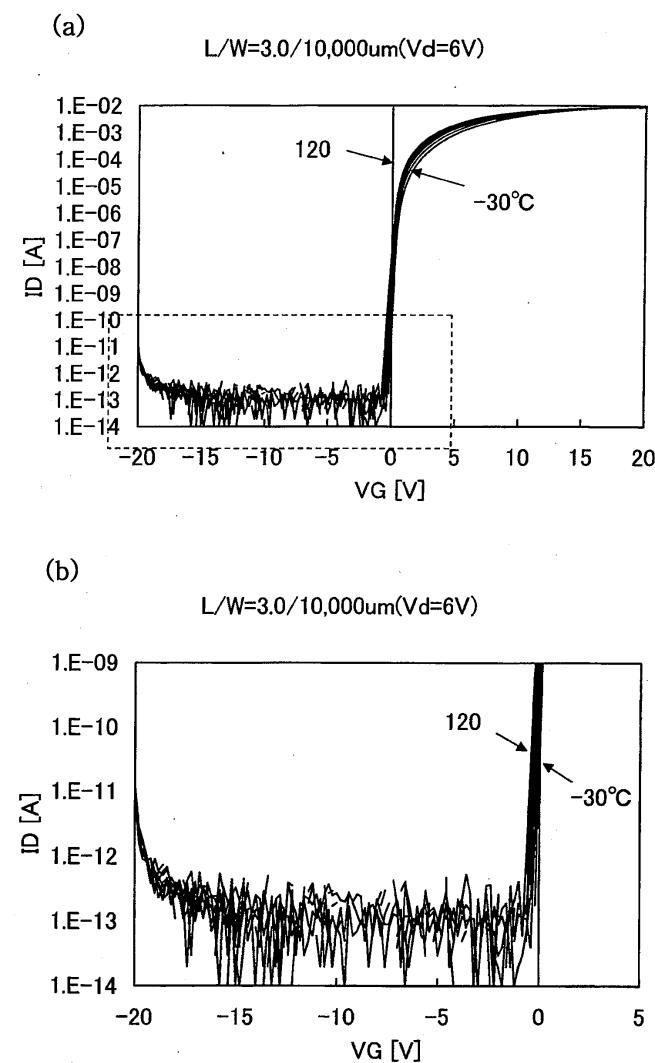
(a)



(b)

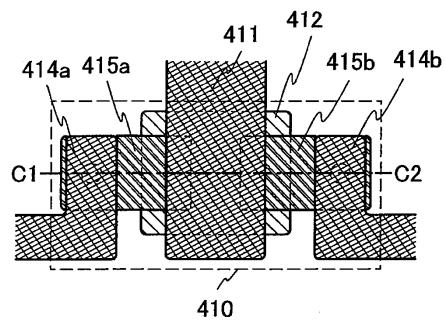


## 도면30



## 도면31

(a)



(b)

