

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3626336号
(P3626336)

(45) 発行日 平成17年3月9日(2005.3.9)

(24) 登録日 平成16年12月10日(2004.12.10)

(51) Int.Cl.⁷

F I

GO6F 1/12

GO6F 1/10

HO3K 19/0175

GO6F 1/04

GO6F 1/04

HO3K 19/00

34OD

33OZ

1O1N

請求項の数 6 (全 6 頁)

(21) 出願番号	特願平9-276395	(73) 特許権者	390039413
(22) 出願日	平成9年9月24日(1997.9.24)		シーメンス アクチエンゲゼルシャフト
(65) 公開番号	特開平10-124170		Siemens Aktiengesellschaft
(43) 公開日	平成10年5月15日(1998.5.15)		ドイツ連邦共和国 D-80333 ミュンヘン ヴィッテルスバッハープラッツ 2
審査請求日	平成13年6月7日(2001.6.7)	(74) 代理人	100075166
(31) 優先権主張番号	19639937.8		弁理士 山口 巖
(32) 優先日	平成8年9月27日(1996.9.27)	(72) 発明者	ウオルフガング エツカー
(33) 優先権主張国	ドイツ(DE)		ドイツ連邦共和国 81377 ミュンヘン フランツ-ゼン-シュトラッセ 16
		審査官	山崎 慎一
			最終頁に続く

(54) 【発明の名称】 レジスタの間に配置された組み合わせブロックを有する回路装置

(57) 【特許請求の範囲】

【請求項 1】

レジスタ (RG) の間に配置された組み合わせブロック (KBL) を有する同期型の回路装置において、組み合わせ回路 (KBL) の通過時間は、組み合わせ回路に対する入力信号が変化するかどうかに依存しており、比較ユニット (COM) および制御回路 (CON 1) が備えられ、

・比較ユニット (COM) は、組み合わせブロック (KBL) の前に接続されて いる入力レジスタ (RG1) の入力端 (E RG1) および出力端 (A RG 1) と接続されており、入力レジスタ (RG1) の入力端および出力端における値を比較し、

・制御回路 (CON 1) は、比較ユニット (COM) から比較の結果を導かれ、入力信号の信号値切換が生じた際制御信号を送出し、該制御信号は組み合わせブロック (KBL) の出力値を組み合わせブロック (KBL) の後ろに接続されている出力レジスタ (RG 2) にロードする際に遅延を発生する、
ことを特徴とする回路装置。

【請求項 2】

前記制御回路 (CON 1) は、入力レジスタ (RG1) の入力端および出力端における制御信号の値が等しい際に、制御信号から出力レジスタ (RG2) のイネーブル入力端に対する受け入れ信号 (R) を発生し、それによって出力レジスタ (RG2) が組み合わせブロック (KBL) の出力値をすぐ次のクロック信号 (T) により受け入れることを特徴とする請求項 1 記載の回路装置。

10

20

【請求項 3】

組み合わせブロック (K B L) が加算器 (A D D) として構成されており、入力レジスタ (R G 1) に供給されるオペランド (O P 1、O P 2) の下位バイト (L S B) と、入力レジスタ (R G 1) の出力端に出力される入力レジスタ (R G 1) 内に記憶されたオペランドの下位バイトとが、比較ユニット (C O M) において比較されることを特徴とする請求項 1 または 2 記載の回路装置。

【請求項 4】

比較ユニット (C O M) が X O R 回路であることを特徴とする請求項 3 記載の回路装置。

【請求項 5】

制御回路 (C O N 1) が N O R 回路であることを特徴とする請求項 3 記載の回路装置。

10

【請求項 6】

受け入れ信号 (R) がリリースのために入力レジスタに供給されることを特徴とする請求項 1 ないし 4 の 1 つに記載の回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、レジスタの間に配置された組み合わせブロックを有する回路装置に関する。

【0002】

【従来の技術】

同期回路の開発の際にレジスタ (以下ではたとえば入力レジスタ R G 1 および出力レジスタ R G 2 と呼ばれる) の間に常にいわゆる組み合わせブロック (組み合わせ回路 K B L と呼ばれる、図 1、2 参照) が位置している。物理的に条件付けられるセットアップおよびホールド時間を守るため、現在、組み合わせブロックおよびレジスタを配置するための以下の 3 つの原理がある。

20

【0003】

組み合わせブロック K B L を通じての値変化の通過時間 / 遅れ時間 K B L - V Z は、レジスタ R G を通じてのクロック周期 - セットアップ時間 (S e t u p / H o l d - V Z) およびクロック周期 - 信号通過時間 (R G - V Z) よりも小さい。このことは図 1 中に示されている。入力レジスタ R G 1 と出力レジスタ R G 2 との間に組み合わせブロック K B L が接続されている。レジスタ R G 1 および R G 2 はクロック信号 T により駆動される。

30

【0004】

組み合わせブロック K B L を通じての値変化の通過時間がクロック信号 T のクロック周期よりも係数 N だけ大きい。しかしその結果は N クロック信号の後に初めて組み合わせブロック K B L の後の出力レジスタ R G 2 の出力端から取り出される。

【0005】

組み合わせブロック K B L を通じての値変化の通過時間がクロック信号 T のクロック周期よりも係数 N だけ大きい。しかしその結果は N クロック信号の後に初めて組み合わせブロック K B L の後の出力レジスタ R G 2 に記憶される。そのために出力レジスタ R G 2 におけるイネーブル端子 E N が、制御回路 C O N により発生された N クロック信号だけ遅らされたパルスにより駆動される。このことは図 2 中に示されている。

40

【0006】

組み合わせ回路 K B L の通過時間は、常にその出力端における最後に可能な信号値変化が通過時間を決定するように決められている。その際に、作動中に常にこれらのケースが生ずることを前提としている。

【0007】

しかし組み合わせ回路の特定の入力信号が変化しないならば、通過時間へのその効果は考慮に入れなくてもよいであろう。入力信号が組み合わせ回路の通過時間を決定するような入力信号であれば、この場合には組み合わせ回路を通じての通過時間が減少する。

【0008】

ドイツ特許 3 6 0 6 4 0 6 号明細書から組み合わせブロックを有する回路装置であって

50

、その出力信号が組み合わせブロックの後に接続されている出力レジスタに与えられる回路装置が公知である。

【 0 0 0 9 】

さらにヨーロッパ特許出願公開 0 4 5 6 3 9 9 号明細書から組み合わせブロックおよびメモリユニットを有する回路が知られている。

【 0 0 1 0 】

【発明が解決しようとする課題】

本発明の課題は、上記の効果を利用し、また事象に関係する値を組み合わせ回路の出力端から取り出すことにある。

【 0 0 1 1 】

10

【課題を解決するための手段】

この課題は請求項 1 の特徴により解決される。本発明の実施態様は従属請求項にあげられている。

【 0 0 1 2 】

【実施例】

以下、図 3 および図 4 により本発明の実施例を説明する。

【 0 0 1 3 】

以下では常にクロックされるメモリ要素が、それがただ 1 つのビットを記憶し得るもの（これはフリップフロップ/レジスタとも呼ばれる）であるか多数のビットを記憶し得るものであるかに無関係に、レジスタと呼ばれる。入力値を受け入れるメモリ要素だけでなく、追加的または代替的に 1 つの値をセット、リセットするメモリ要素（これは J K フリップフロップと呼ばれる）または条件付きで記憶するメモリ要素（これはイネーブル端子付きのフリップフロップ/レジスタと呼ばれる）もここでレジスタと呼ばれる。さらにレジスタはもう 1 つの追加的な非同期のセット - またはリセット入力端を有し得る。

20

【 0 0 1 4 】

図 3 は本発明による回路装置を示す。入力レジスタ R G 1 の入力値 E __ R G 1 および出力値 A __ R G 1 は（少なくとも部分的に）比較ユニット C O M で比較される。それによって、クロック信号 T のすぐ次のクロックエッジの後に出力端における信号切換が現れるかどうか、またどこに現れるかが確かめられる。それに基づいて制御回路 C O N 1 が信号 R を発生し、それにより組み合わせ回路 K B L の後に続いている出力レジスタ R G 2 のロードが信号値切換に関係して制御される。追加的に、必要であれば、さらに制御回路 C O N 1 からの信号 R は、いつまたはどれだけ多くのサイクルの後に新しい値が入力レジスタ R G 1 に与えられるかを指示するために使用できる。

30

【 0 0 1 5 】

図 4 は入力レジスタ R G 1 と出力レジスタ R G 2 との間に配置されている加算器 A D D への上記の本発明の応用例を示す。入力レジスタ R G 1 は 2 つの 4 バイト入力端 O P 1、O P 2 および 1 つの 4 バイト出力端 A G を有する。加算器 A D D は純粹に組み合わせにより構成されている。

【 0 0 1 6 】

入力レジスタ R G 1 の入力端および出力端におけるオペランド O P 1、O P 2 のそれぞれ下位の 2 つのバイト（L S B と呼ばれる、上位バイトは M S B と呼ばれる）は X O R 回路でビットごとに X O R 演算される。X O R 演算の各出力は、値が相い異なっているときには “ 1 ” であり、さもなければそれらは “ 0 ” である。X O R 演算のすべての出力についていま N O R 回路 N O R により N O R 演算が実行される。X O R 演算の出力が “ 1 ” に等しいならば、すなわち下側のビットに事象が現れているならば、出力は “ 0 ” である。X O R 演算のすべての出力が値 “ 0 ” を有する場合には、N O R 演算の出力端には “ 1 ” が生じている。

40

【 0 0 1 7 】

この “ 1 ” は次いで一方では、すぐ次のクロック信号 T により加算器 A D D の出力端の値が出力レジスタ R G 2 に記憶され得るように、出力レジスタ R G 2 のイネーブル端子 E N

50

を“ 1 ”にセットするため、回路 D F F で遅らせられる。他方では、この値はフラグ R として出力され、それによってそれに関係して入力レジスタ R G 1 の入力端における値がもう 1 つの引き続いてのクロックの間保持され得る。この場合、N O R 演算の出力端に 1 クロックの後に値“ 1 ”が現れ、また 1 クロックの後にレジスタ R G 2 にクロックインされる。

【図面の簡単な説明】

【図 1】レジスタの間に配置された組み合わせブロックを有する公知の回路装置のブロック回路図。

【図 2】レジスタの間に配置された組み合わせブロックを有する他の公知の回路装置のブロック回路図。

10

【図 3】レジスタの間に配置された組み合わせブロックを有する本発明による回路装置のブロック回路図。

【図 4】加算器への本発明の応用例のブロック回路図。

【符号の説明】

A D D 加算器

A G 4 バイト出力端

C O M 比較ユニット

C O N 1 制御回路

E N イネーブル端子

K B L 組み合わせブロック

20

L S B 下位バイト

O P 1、O P 2 オペランド

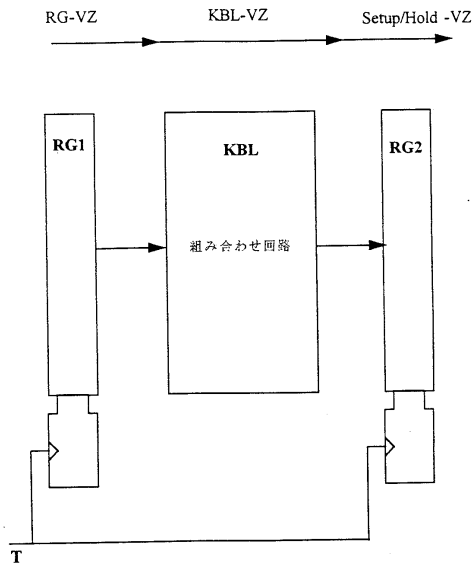
R 受け入れ信号

R G 1 入力レジスタ

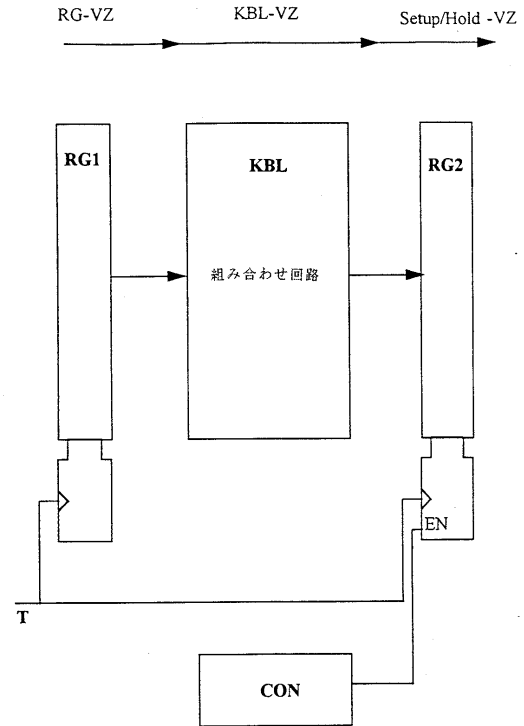
R G 2 出力レジスタ

T クロック信号

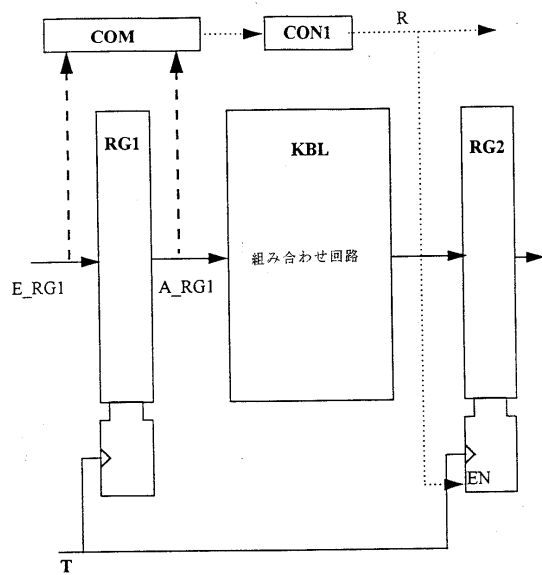
【 図 1 】



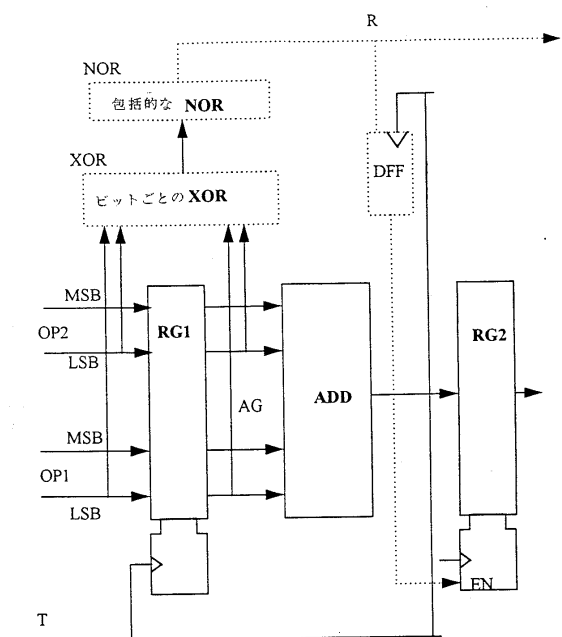
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

- (56)参考文献 特開平05-284002(JP,A)
特開平06-197006(JP,A)
特開昭62-131629(JP,A)
特開昭61-045629(JP,A)
特開平06-077808(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G06F 1/12
G06F 1/10
H03K 19/0175