

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3935475号
(P3935475)

(45) 発行日 平成19年6月20日(2007.6.20)

(24) 登録日 平成19年3月30日(2007.3.30)

(51) Int. Cl.

F I

H O 1 L 21/8246 (2006.01)

H O 1 L 27/10 4 4 4 B

H O 1 L 27/105 (2006.01)

H O 1 L 27/10 6 2 1 C

H O 1 L 21/8242 (2006.01)

H O 1 L 27/108 (2006.01)

請求項の数 10 (全 29 頁)

(21) 出願番号 特願2004-78229 (P2004-78229)
 (22) 出願日 平成16年3月18日(2004.3.18)
 (65) 公開番号 特開2005-268494 (P2005-268494A)
 (43) 公開日 平成17年9月29日(2005.9.29)
 審査請求日 平成17年11月16日(2005.11.16)

早期審査対象出願

前置審査

(73) 特許権者 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100110940
 弁理士 嶋田 高久
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100115059
 弁理士 今江 克実
 (74) 代理人 100115691
 弁理士 藤田 篤史

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に互いに間隔をおいて形成された第1の導電層及び第2の導電層と、
 前記半導体基板、前記第1の導電層及び前記第2の導電層の上に形成された第1の絶縁膜と、

前記第1の絶縁膜を貫通すると共に下端が前記第1の導電層と接続する第1のプラグと、
 前記第1の絶縁膜を貫通すると共に下端が前記第2の導電層と接続する第2のプラグと、

前記第1の絶縁膜の上に形成された第2の絶縁膜と、
 前記第2の絶縁膜における前記第1のプラグの上方に形成された第1の開口部と、
 前記第2の絶縁膜における前記第2のプラグの上方に形成された、前記第1の開口部の
 大きさよりも小さく且つ開口径が上方にいくにつれて大きくなっている第2の開口部と、
 前記第1の開口部の壁部及び底部に前記第1のプラグと電氣的に接続するように形成され
 た第1の金属膜よりなる下部電極、前記下部電極が有する第3の開口部の壁部及び底部
 の上に形成された強誘電体膜よりなる容量絶縁膜、及び前記容量絶縁膜の上に形成された
 第2の金属膜よりなる上部電極からなる容量素子とを備え、

前記第2の金属膜は、前記容量絶縁膜の上から前記第2の開口部に跨り、前記第2の開
 口部の壁面及び底面上に接するように形成されており、且つ前記第2のプラグを介して、
 前記第2の導電層と電氣的に接続されていることを特徴とする半導体装置。

10

20

【請求項 2】

前記第 2 の開口部の下に、前記第 2 のプラグと接続する第 2 の酸素バリア膜をさらに備え、

前記第 2 の開口部における前記第 2 の金属膜は、前記第 2 の酸素バリア膜と接続していることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 のプラグと前記下部電極との間には、第 1 の酸素バリア膜が形成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記第 1 の金属膜は、金属酸化物よりなることを特徴とする請求項 1 に記載の半導体装置。 10

【請求項 5】

前記容量素子は、水素バリア膜によって被覆されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

半導体基板上に、互いが離間するように第 1 の導電層及び第 2 の導電層を形成する工程と、

前記半導体基板、前記第 1 の導電層、及び前記第 2 の導電層の上に、第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜を貫通し、前記第 1 の導電層と接続する第 1 のプラグと、前記第 1 の絶縁膜を貫通し、前記第 2 の導電層と接続する第 2 のプラグとを形成する工程と、 20

前記第 1 の絶縁膜の上に第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜における前記第 1 のプラグの上方に第 1 の開口部を形成する工程と、

前記第 1 の開口部の壁部及び底部に第 1 の金属膜を形成する工程と、

前記第 2 の絶縁膜並びに前記第 1 の金属膜が有する第 3 の開口部の壁部及び底部の上に強誘電体膜を形成する工程と、

前記第 2 の絶縁膜及び前記強誘電体膜における前記第 2 のプラグの上方に、前記第 1 の開口部の大きさよりも小さく且つ開口径が上方にいくにつれて大きくなっている第 2 の開口部を形成する工程と、

前記強誘電体膜の上並びに前記強誘電体膜の上から前記第 2 の開口部に跨り、且つ前記第 2 の開口部の壁面及び底面上に接するように、前記第 2 のプラグと電氣的に接続する第 2 の金属膜を形成する工程とを備えることを特徴とする半導体装置の製造方法。 30

【請求項 7】

半導体基板上に、互いが離間するように第 1 の導電層及び第 2 の導電層を形成する工程と、

前記半導体基板、前記第 1 の導電層、及び前記第 2 の導電層の上に、第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜を貫通し、前記第 1 の導電層と接続する第 1 のプラグと、前記第 1 の絶縁膜を貫通し、前記第 2 の導電層と接続する第 2 のプラグとを形成する工程と、

前記第 1 の絶縁膜の上に第 2 の絶縁膜を形成する工程と、 40

前記第 2 の絶縁膜における前記第 1 のプラグの上方に第 1 の開口部を形成する工程と、

前記第 1 の開口部の壁部及び底部に第 1 の金属膜を形成する工程と、

前記第 2 の絶縁膜並びに前記第 1 の金属膜が有する第 3 の開口部の壁部及び底部の上に、強誘電体膜を形成する工程と、

前記第 2 のプラグの上方に形成された前記強誘電体膜を除去する工程と、

前記強誘電体膜を除去した前記第 2 の絶縁膜に前記第 1 の開口部の大きさよりも小さく且つ開口径が上方にいくにつれて大きくなっている第 2 の開口部を形成する工程と、

前記強誘電体膜の上並びに前記強誘電体膜の上から前記第 2 の開口部に跨り、且つ前記第 2 の開口部の壁面及び底面に接するように、前記第 2 のプラグと電氣的に接続する第 2 の金属膜を形成する工程とを備えることを特徴とする半導体装置の製造方法。 50

【請求項 8】

前記第 1 のプラグの上端と前記第 1 の開口部の底部との間には第 1 の酸素バリア膜が形成されていると共に、前記第 2 のプラグの上端と前記第 2 の開口部の底部との間には第 2 の酸素バリア膜が形成されていることを特徴とする請求項 6 又は 7 に記載の半導体装置の製造方法。

【請求項 9】

前記第 1 の開口部の下側には第 1 の水素バリア膜が形成されていると共に、前記第 2 の金属膜の上側には第 2 の水素バリア膜が形成されていることを特徴とする請求項 6 又は 7 に記載の半導体装置の製造方法。

【請求項 10】

前記第 2 の金属膜を形成する工程は、前記第 2 の開口部の底部において、前記第 2 の酸素バリア膜と接続するように形成されることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、誘電体メモリにおける上部電極の電位の引き出し構造に関する半導体装置及びその製造方法に関するものである。

【背景技術】

【0002】

強誘電体メモリは、プレーナ型及びスタック型の構造を使用した 1 ~ 64 k b i t の小容量のものが量産され始め、最近では、強誘電体膜を平坦部のみではなく側壁部も利用する立体スタック型の構造を有する強誘電体メモリの開発が着手されている。立体スタック型の構造を有する強誘電体メモリは、下部電極の直下に半導体基板と電氣的に接続するコンタクトプラグを配置することにより、セルサイズを縮小して集積度を向上させると共に、段差に沿って容量絶縁膜を形成することにより、容量絶縁膜の表面積をかせいで容量の確保を行なっている。この分野においては、強誘電体メモリに先行して、数々の D R A M のセル構造が提案されている。

【0003】

まず、第 1 の従来例に係る半導体装置について、図 2 4 参照しながら説明する（例えば、特許文献 1 又は特許文献 4 参照）。

【0004】

図 2 4 は、両面シリンダ型構造を採用したキャパシタを備えた半導体装置の断面図を示している。

【0005】

図 2 4 に示すように、シリコン基板 10 におけるメモリセルアレイ領域 A 1 及び周辺領域 A 2 には、素子分離領域 11 が設けられている。シリコン基板 10 上には、ゲート絶縁膜 12 が設けられ、該ゲート絶縁膜 12 の上には、ゲート電極 13 が設けられている。また、シリコン基板 10 の表面部には、ソース領域又はドレイン領域となる不純物拡散層（図示せず）が選択的に設けられており、これにより、M O S トランジスタが形成されている。シリコン基板 10 上には、M O S トランジスタを覆うように第 1 のシリコン窒化膜 14 が設けられている。第 1 のシリコン窒化膜 14 の上には、第 1 の層間絶縁膜 15 及び第 1 のシリコン酸化膜 16 が順に設けられている。なお、メモリセルアレイ領域 A 1 の第 1 の層間絶縁膜 15 内には、図示していない領域においてセルトランジスタのドレイン領域と接続する配線 17 が設けられており、周辺領域 A 2 においても、M O S トランジスタのドレイン領域と接続する配線 17 が設けられている。

【0006】

第 1 のシリコン窒化膜 14、第 1 の層間絶縁膜 15、及び第 1 のシリコン酸化膜 16 には、M O S トランジスタのソース領域と接続するコンタクトプラグ 18 が形成されている。第 1 のシリコン酸化膜 16 の上には、第 2 のシリコン窒化膜 19、第 2 のシリコン酸化

10

20

30

40

50

膜 20、及び第3のシリコン窒化膜 21 からなる積層層間絶縁膜が設けられている。積層層間絶縁膜には、第1のシリコン酸化膜 16 及びコンタクトプラグ 18 を露出させる円筒形の溝 22 が設けられている。溝 22 は、個々のコンタクトプラグ 18 毎に設けられており、溝 22 内の側壁及び底部にはライナー材 23 が設けられている。

【0007】

溝 22 の内部には、筒型形状を有する両面シリンダ型のキャパシタを構成する、溝 22 の底部から一定の高さを有する下部電極 24 が設けられており、該下部電極 24 は、ライナー材 23 を介してコンタクトプラグ 18 と電氣的に接続している。下部電極 24 の上には容量絶縁膜 25 が設けられ、該容量絶縁膜 25 の上には上部電極 26 が設けられている。このように、両面シリンダ型のスタック・キャパシタが形成されている。

10

【0008】

上部電極 26 の上には、第2の層間絶縁膜 27 が設けられている。第2の層間絶縁膜 27 には、上部電極 26 に達するコンタクトホール 28 が設けられており、該コンタクトホール 28 を埋め込むようにして金属配線層 29 が設けられている。第2の層間絶縁膜 27 の上には、第3の層間絶縁膜 30 が設けられている。このようにして、DRAM が形成されている。

【0009】

以上に示したDRAMの立体構造においては、配線 29 と上部電極 26 とを直接接続するコンタクトプラグを介して、上部電極 26 の電位を上部から引き出している。

【0010】

20

次に、第2の従来例に係る半導体装置について、図 25 を参照しながら説明する（例えば、特許文献 2 又は特許文献 3 参照）。

【0011】

図 25 は、第2の従来例に係る半導体装置の断面図を示している。

【0012】

図 25 に示すように、シリコン基板 50 には、素子分離領域 51 が設けられており、不純物拡散層 52 が形成されている。シリコン基板 50、素子分離領域 51、及び不純物拡散層 52 の上には、層間絶縁膜 53 が設けられており、該層間絶縁膜 53 を貫通すると共に下端が不純物拡散層 52 と接続するコンタクトプラグ 54 が形成されている。各コンタクトプラグ 54 の上には、下部電極 55 及び強誘電体膜 56 が順に形成されており、下部電極 55 及び強誘電体膜 56 の側壁には、下部電極 55 と後述する上部電極 57 との短絡を防止するサイドウォール 58 が形成されている。また、図 25 に示すように、一の強誘電体膜 55 には、下部電極 55 の上面を露出させる開口 59 が設けられている。層間絶縁膜 53 の上には、下部電極 55、容量絶縁膜 56、及びサイドウォール 58 を覆うように、上部電極 57 が形成されている。このように、図 25 に示した第2の従来例に係る半導体装置は、上部電極 57 の電位を上部へ直接引き出さずに、下部電極 55 を介して引き出している。

30

【特許文献 1】特開 2002 - 83880 号公報（図 1）

【特許文献 2】USP 5567636（Fig. 15）

【特許文献 3】特開 2003 - 174145 号公報

40

【特許文献 4】特開 2003 - 289134 号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、前述の第1の従来例に示すように、上部電極の電位を引き出すために、配線からのコンタクトプラグの下端を上部電極の上面に接続する構造を強誘電体メモリへ採用すると、以下に示す問題が発生する。

【0014】

すなわち、強誘電体メモリを構成する容量絶縁膜となる強誘電体膜は、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 系のピスマス層状構造型、 PbZrO_3 系のペロブスカイト結晶型に代表されるよう

50

に金属酸化物である。これらの金属酸化物は、還元性雰囲気中に曝されると容易に還元されるので、強誘電体膜の特性が劣化するという問題がある。

【0015】

一般的に、強誘電体膜の特性劣化を防止するためには、強誘電体膜を形成した後の半導体プロセス条件を低水素化する方法、又は強誘電体キャパシタを水素バリア膜で被覆する方法があり、最近では後者が主流となっている。これは、半導体装置の微細化の要求が進展するにつれて、W C V D又はT rのリカバリ等の半導体プロセスにおいて、水素の使用が不可避となる工程が出現してきたからである。

【0016】

そこで、第1の従来例における強誘電体キャパシタを水素バリア膜で被覆する構造を考えると、前述の通り、配線からのコンタクトプラグと上部電極とを接続する構造を有しているので、コンタクトプラグは上部電極の上部に配置される水素バリア膜を貫通して形成するしかない。このため、水素がコンタクトプラグを介して強誘電体膜に侵入することを避けることができない。たとえコンタクトプラグを充填する材料として水素バリア材料を使用したとしても、コンタクトホールを形成する際の水素（例えば、エッチングガスとして用いるC H₃等）による影響は不可避である。

【0017】

一方、前述の第2の従来例では、上部電極の電位の引き出しを強誘電体膜の開口を介して拡散層に接続する構造が開示されているが、強誘電体メモリの構造がコンケイブ型に代表されるような立体スタック型構造である場合についての問題認識はない。

【0018】

すなわち、強誘電体メモリの構造が立体スタック型構造である場合には、その構造上、段差形状に沿って強誘電体膜を成膜するため、上部電極及び下部電極、又は上部電極及びストレージノードコンタクトプラグの縦方向の距離が相対的に高くなる。このため、例えば、上部電極の段差被覆性が悪化する点、高いアスペクト比を有する開口の形成自体が困難である点、積層膜を開口する場合にはその形成が一層困難である点等の問題が発生するので、強誘電体メモリの構造が立体スタック型構造である場合には、強誘電体膜の開口を介して上部電極の電位の引き出しを拡散層に接続する構造を実現することは困難である。特に、立体スタック型構造の強誘電体メモリに特徴的な高アスペクト構造が進展することに伴って、コンタクト歩留まりを考慮した立体スタック型構造に特有のコンタクト構造を考え出すことが急務になってきている。

【0019】

ところが、第2の従来例においては、上部電極の電位の引き出しを強誘電体膜の開口を介して拡散層に接続する構造を立体スタック型構造の強誘電体メモリへの適用例、さらには、強誘電体キャパシタを水素バリア膜で被覆する構造への適用例は開示されていない。

【0020】

前記に鑑み、本発明の目的は、立体スタック型構造を有する誘電体メモリにおいて、上部電極の電位を拡散層へ引き出す構造を実現することを目的とする。さらに、微細化を可能とすると共に上部電極の剥離を懸念することなくコンタクト歩留まりの向上を可能とする半導体装置及びその製造方法を提供することである。

【課題を解決するための手段】

【0021】

前記の課題を解決するために、本発明の半導体装置は、半導体基板上に互いに間隔を置いて形成された第1の導電層及び第2の導電層と、半導体基板、第1の導電層及び第2の導電層の上に形成された第1の絶縁膜と、第1の絶縁膜を貫通すると共に下端が第1の導電層と接続する第1のプラグと、第1の絶縁膜の上に形成された第2の絶縁膜と、第2の絶縁膜における第1のプラグの上方に形成された第1の開口部と、第1の開口部の壁部及び底部に第1のプラグの上端と電気的に接続するように形成された第1の金属膜よりなる下部電極、下部電極の上に形成された強誘電体膜よりなる容量絶縁膜、及び容量絶縁膜の上に形成された第2の金属膜よりなる上部電極からなる容量素子とを備え、第2の導電層

10

20

30

40

50

と上部電極とは、第１の絶縁膜及び第２の絶縁膜の内部を介して、電氣的に接続されていることを特徴とする。

【００２２】

本発明の半導体装置によると、第２の導電層と上部電極とが第１の絶縁膜及び第２の絶縁膜の内部において電氣的に接続されているので、第１の開口部に形成された立体型の容量素子を備えた半導体記憶装置において、上部電極の電位を容量素子の下方に形成された例えば拡散層等の導電層へ引き出す構造を実現することができる。

【００２３】

本発明の半導体装置において、第１の絶縁膜を貫通すると共に下端が第２の導電層と接続する第２のプラグと、第２の絶縁膜における第２のプラグの上方に形成された第２の開口部とをさらに備え、第２の金属膜は、容量絶縁膜の上から第２の開口部の壁部及び底部にかけて延びるように形成されており、第２の導電層と上部電極とは、第２のプラグと、該第２のプラグと電氣的に接続し且つ第２の開口部の壁部及び底部に位置している第２の金属膜とを介して、電氣的に接続されていることが好ましい。

【００２４】

このようにすると、第２のプラグと第２の開口部に形成された第２の金属膜とのスタックコンタクトの構造を用いて、第２の導電層と上部電極とを電氣的に接続することにより、上部電極から第２の導電層を直接接続した場合に生じる高アスペクトによるコンタクト歩留まりの低下が抑制された構造を実現できる。また、ストレージノードコンタクトプラグとなる第１のプラグと同時に形成する第２のプラグを利用しているので、新たに上部電極の上方にコンタクトプラグを形成する必要がなく、製造工程数の増加を防止することができる。

【００２５】

本発明の半導体装置において、第１の絶縁膜を貫通すると共に下端が第２の導電層と接続する第２のプラグと、第２の絶縁膜における第２のプラグの上方に形成された第２の開口部とをさらに備え、強誘電体膜は、第２の開口部と連通する第３の開口部を有するように、下部電極の上から第２の絶縁膜の上面にかけて延びるように形成されており、第２の金属膜は、容量絶縁膜の上から第２の開口部の壁部及び底部にかけて延びるように形成されており、第２の導電層と上部電極とは、第２のプラグと、該第２のプラグと電氣的に接続し且つ第２の開口部の壁部及び底部に位置している第２の金属膜とを介して、電氣的に接続されていることが好ましい。

【００２６】

このようにすると、第２の開口部と連通する第３の開口部を有することにより、微細化の度合い又は微細加工が困難な材料のパターニング等を考慮して、第２の開口部及び第３の開口部の開口径を適宜設定して、設計の自由度を高めながら半導体装置の微細化を実現することができる。

【００２７】

本発明の半導体装置において、第２の開口部の開口径は、第３の開口径よりも小さいことが好ましい。

【００２８】

このようにすると、微細加工が困難な例えば金属酸化物等よりなる強誘電体膜の第３の開口部の開口径を大きくし、微細加工が容易な第２の絶縁膜の第２の開口部の開口径を小さくすることにより、第２の開口部を第１の開口部よりも小さく設定することができ、半導体装置の一層の微細化を実現できる。

【００２９】

本発明の半導体装置において、第２の開口部と第３の開口部とは、同じ開口径を有していることが好ましい。

【００３０】

このようにすると、アライメントマージン等の確保の必要性がない構造であるので、半導体装置のより一層の微細化を実現することができる。

10

20

30

40

50

【0031】

本発明の半導体装置において、第1の絶縁膜を貫通すると共に下端が第2の導電層と接続する第2のプラグと、第2の絶縁膜における前記第2のプラグの上方に形成された第2の開口部とをさらに備え、第1の金属膜は、第2の開口部の壁部及び底部にさらに形成されており、第2の金属膜は、容量絶縁膜の上から第2の開口部の壁部及び底部に位置する第1の金属膜の上にかけて延びるように形成されており、第2の導電層と上部電極とは、第2のプラグと、該第2のプラグと電氣的に接続し且つ第2の開口部の壁部及び底部に位置している第1の金属膜と、該第1の金属膜の上に位置している第2の金属膜とを介して、電氣的に接続されていることを特徴とする。

【0032】

10

このようにすると、第2の開口部内においては第1の金属膜と第2の金属膜とが積層され、容量絶縁膜がないため、例えば、強誘電体の結晶化に要する熱処理を行なう場合であっても、第1の金属膜と第2の金属膜との密着性が良いので、剥離が起こらず第1の金属膜に断線が生じることを抑制できるので、コンタクト歩留まりの低下が抑制された構造を実現できる。

【0033】

本発明の半導体装置において、第1の絶縁膜を貫通すると共に下端が第2の導電層と接続する第2のプラグと、第2の絶縁膜における第2のプラグの上方に形成された第2の開口部とをさらに備え、第1の金属膜は、第2の開口部の壁部及び底部にさらに形成されており、強誘電体膜は、第2の開口部の壁部及び底部に位置する前記第1の金属膜の上にさらに形成されており、第2の金属膜は、容量絶縁膜の上から延びるようにして第2の開口部の壁部及び底部に位置している第1の金属膜及び強誘電体膜を覆うと共に、該第1の金属膜の少なくとも一部と接触するように形成されており、第2の導電層と上部電極とは、第2のプラグと、該第2のプラグと電氣的に接続し且つ第2の開口部の壁部及び底部に位置している第1の金属膜と、第1の金属膜の一部と接触している第2の金属膜とを介して、電氣的に接続されていることが好ましい。

20

【0034】

このようにすると、第2の開口部内における構造が第1の開口部内に形成される容量素子の構造と同様の構造になるので、第2の開口部に第1の開口部とは異なる特有の構造を採用して上部電極の電位を第2の導電層へ引き出す場合に比べて、上部電極の電位を第2の導電層へ容易に引き出すことができる。また、特に、第2の金属膜の材料の選び方によっては、第2の金属膜と第2の絶縁膜との間の膜剥がれを防止できる。

30

【0035】

本発明の半導体装置において、第1のプラグと下部電極との間には、酸素バリア膜が形成されていることが好ましい。

【0036】

このようにすると、強誘電体の結晶化に要する酸素雰囲気下での熱処理の際に、第1のプラグが酸化することを防止できる。

【0037】

本発明の半導体装置において、第1の金属膜は金属酸化物よりなることが好ましい。

40

【0038】

このようにすると、一般的に用いられる白金等の貴金属材料を第2の金属膜に使用すると第2の金属膜は酸化膜等との間で剥離しやすいが、第2の金属膜として金属酸化物を使用すれば、第2の金属膜が剥離する懸念がなくなって、上部電極の電位を第2の導電層に引き出す構造に対する制約を低減することができる。

【0039】

本発明の半導体装置において、容量素子は、水素バリア膜によって被覆されていることが好ましい。

【0040】

このようにすると、水素による還元を防止し、強誘電体特性の劣化を防止することがで

50

きる。

【 0 0 4 1 】

また、前記の課題を解決するために、本発明に係る第 1 の半導体装置の製造方法は、半導体基板上に、互いが離間するように第 1 の導電層及び第 2 の導電層を形成する工程と、半導体基板、第 1 の導電層、及び第 2 の導電層の上に、第 1 の絶縁膜を形成する工程と、第 1 の絶縁膜を貫通すると共に下端が第 1 の導電層と接続する第 1 のプラグと、第 1 の絶縁膜を貫通すると共に下端が第 2 の導電層と接続する第 2 のプラグとを形成する工程と、第 1 の絶縁膜の上に第 2 の絶縁膜を形成する工程と、第 2 の絶縁膜における第 1 のプラグの上方に第 1 の開口部を形成する工程と、第 1 の開口部の壁部及び底部に第 1 の金属膜を形成する工程と、第 2 の絶縁膜及び第 1 の金属膜の上に強誘電体膜を形成する工程と、第 2 の絶縁膜及び強誘電体膜における第 2 のプラグの上方に第 2 の開口部を形成する工程と、強誘電体膜の上並びに第 2 の開口部の壁部及び底部に、第 2 のプラグと電氣的に接続する第 2 の金属膜を形成する工程とを備えることを特徴とする。

10

【 0 0 4 2 】

本発明に係る第 1 の半導体装置の製造方法によると、第 2 の導電層と上部電極となる第 2 の金属膜とを、第 2 のプラグと第 2 の開口部に形成された第 2 の金属膜とのスタックコンタクトの構造を用いて、電氣的に接続することにより、上部電極の電位を例えば拡散層等の第 2 の導電層へ引き出す構造を実現することができる。この場合、第 2 の金属膜と第 2 の導電層とを直接接続した場合に生じる高アスペクトによるコンタクト歩留まりの低下を抑制することができる。また、ストレージノードコンタクトプラグとなる第 1 のプラグと同時形成が可能な第 2 のプラグを利用しているので、製造工程数の増加を防止することもできる。さらに、容量素子を構成する第 1 の開口部と第 2 の開口部を非同時に形成するので、第 2 の導電層と上部電極との接続部分である第 2 の開口部を小さく形成することができ、微細化が実現できる。

20

【 0 0 4 3 】

また、前記の課題を解決するために、本発明に係る第 2 の半導体装置の製造方法は、半導体基板上に、互いが離間するように第 1 の導電層及び第 2 の導電層を形成する工程と、半導体基板、第 1 の導電層、及び第 2 の導電層の上に、第 1 の絶縁膜を形成する工程と、第 1 の絶縁膜を貫通すると共に下端が第 1 の導電層と接続する第 1 のプラグと、第 1 の絶縁膜を貫通すると共に下端が第 2 の導電層と接続する第 2 のプラグとを形成する工程と、第 1 の絶縁膜の上に第 2 の絶縁膜を形成する工程と、第 2 の絶縁膜における第 1 のプラグの上方に第 1 の開口部を形成する工程と、第 1 の開口部の壁部及び底部に第 1 の金属膜を形成する工程と、第 2 の絶縁膜及び第 1 の金属膜の上に、強誘電体膜を形成する工程と、強誘電体膜をパターンニングして、第 2 の絶縁膜における第 2 のプラグの上方に形成されている部分を露出させる工程と、第 2 の絶縁膜における露出させた部分に第 2 の開口部を形成する工程と、強誘電体膜の上並びに少なくとも第 2 の開口部の壁部及び底部に、第 2 のプラグと電氣的に接続する第 2 の金属膜を形成する工程とを備えることを特徴とする。

30

【 0 0 4 4 】

本発明に係る第 2 の半導体装置の製造方法によると、第 2 の導電層と上部電極となる第 2 の金属膜とを、第 2 のプラグと第 2 の開口部に形成された第 2 の金属膜とのスタックコンタクトの構造を用いて、電氣的に接続することにより、上部電極の電位を例えば拡散層等の第 2 の導電層へ引き出す構造を実現することができる。この場合、第 2 の金属膜と第 2 の導電層とを直接接続した場合に生じる高アスペクトによるコンタクト歩留まりの低下を抑制することができる。また、ストレージノードコンタクトプラグとなる第 1 のプラグと同時形成が可能な第 2 のプラグを利用しているので、製造工程数の増加を防止することもできる。さらに、第 2 の開口部を形成する前に、微細加工が困難な例えば金属酸化物等よりなる強誘電体膜を先にパターンニングして第 2 の絶縁膜を露出させているので、第 2 の開口部の微細加工が容易になり、半導体装置の一層の微細化を実現できる。

40

【 0 0 4 5 】

また、前記の課題を解決するために、本発明に係る第 3 の半導体装置の製造方法は、半

50

導体基板上に、互いが離間するように第１の導電層及び第２の導電層を形成する工程と、半導体基板、第１の導電層、及び第２の導電層の上に、第１の絶縁膜を形成する工程と、第１の絶縁膜を貫通すると共に下端が第１の導電層と接続する第１のプラグと、第１の絶縁膜を貫通すると共に下端が第２の導電層と接続する第２のプラグとを形成する工程と、第１の絶縁膜の上に第２の絶縁膜を形成する工程と、第２の絶縁膜における第１のプラグの上方に第１の開口部を形成すると共に、第２の絶縁膜における第２のプラグの上方に第２の開口部を形成する工程と、第１の開口部の壁部及び底部並びに第２の開口部の壁部及び底部に、第１の金属膜を形成する工程と、第２の絶縁膜及び第１の金属膜の上に強誘電体膜を形成する工程と、強誘電体膜をパターンニングして、第１の金属膜における第２の開口部の壁部及び底部に位置している少なくとも一部を露出させる工程と、強誘電体膜を覆うと共に第１の金属膜における一部と接触するように第２の金属膜を形成する工程とを備えることを特徴とする。

10

【 0 0 4 6 】

本発明に係る第３の半導体装置の製造方法によると、第２の導電層と上部電極となる第２の金属膜とを、第２のプラグと、第２の開口部に形成された第１の金属膜及び該第１の金属膜の一部と接する第２の金属膜とのスタックコンタクトの構造を用いて、電気的に接続することにより、上部電極の電位を例えば拡散層等の第２の導電層へ引き出す構造を実現することができる。この場合、第２の金属膜と第２の導電層とを直接接続した場合に生じる高アスペクトによるコンタクト歩留まりの低下を抑制することができる。また、ストレージノードコンタクトプラグとなる第１のプラグと同時形成が可能な第２のプラグを利用しているので、製造工程数の増加を防止することもできる。さらに、第２の開口部内における構造が第１の開口部内に形成される容量素子の構造と同様の構造になるので、第２の開口部に第１の開口部とは異なる特有の構造を採用して上部電極の電位を第２の導電層へ引き出す場合に比べて、上部電極の電位を第２の導電層へ容易に引き出すことができる。また、特に、第２の金属膜の材料の選び方によっては、第２の金属膜と第２の絶縁膜との間の膜剥がれを防止できる。

20

【 0 0 4 7 】

また、本発明に係る第１～第３の半導体装置の製造方法において、第１のプラグの上端と第１の開口部の底部との間には第１の酸素バリア膜が形成されていると共に、第２のプラグの上端と第２の開口部の底部との間には第２の酸素バリア膜が形成されていることが好ましい。

30

【 0 0 4 8 】

このようにすると、強誘電体の結晶化に要する酸素雰囲気下での熱処理の際に、第１のプラグ及び第２のプラグが酸化することを防止できる。

【 0 0 4 9 】

また、本発明に係る第１～第３の半導体装置の製造方法において、第１の開口部の下側には第１の水素バリア膜が形成されていると共に、第２の金属膜の上側には第２の水素バリア膜が形成されていることが好ましい。

【 0 0 5 0 】

このようにすると、強誘電体特性の劣化を防止することができる。

40

【発明の効果】**【 0 0 5 1 】**

以上説明したように、本発明の半導体装置及びその製造方法によると、第２の導電層と上部電極とが第１の絶縁膜及び第２の絶縁膜の内部を介して電気的に接続されているので、第１の開口部に形成された立体型の容量素子を備えた半導体記憶装置において、上部電極の電位を例えば拡散層等の導電層へ引き出す構造を実現することができる。

【発明を実施するための最良の形態】**【 0 0 5 2 】**

以下、本発明の各実施形態について図面を参照しながら説明する。

【 0 0 5 3 】

50

(第1の実施形態)

以下に、本発明の第1の実施形態に係る半導体装置について、図1～図7を参照しながら説明する。

【0054】

図1は、本発明の第1の実施形態に係る半導体装置の断面図を示している。

【0055】

図1に示すように、半導体基板100上には、素子形成領域を区画する素子分離領域(STI)101が形成されている。素子分離領域101で区画された素子形成領域には、第1の不純物拡散層(第1の導電層)102及び第2の不純物拡散層(第2の導電層)103が設けられている。なお、第1の不純物拡散層102及び第2の不純物拡散層103の表面にはコバルトシリサイド(CoSi_2)が形成されていてもよい。この場合には、より低抵抗化を実現して、回路動作上の遅延を防止できる。また、図1においては、第2の導電層が、半導体基板100上に配置された第2の不純物拡散層103である場合について説明しているが、例えば、ポリシリコン又はタングステンをを用いた配線等のように、後述する第1の絶縁膜104の中に内包されるような導電層であってもかまわない。

10

【0056】

半導体基板100、素子分離領域101、第1の不純物拡散層102及び第2の不純物拡散層103を覆うように、例えば膜厚が500～800nmである SiO_2 膜よりなる第1の絶縁膜104が形成されており、該第1の絶縁膜104の上には、例えば膜厚20～100nmである SiN 膜よりなる第1の水素バリア膜105が形成されている。なお、図1においては、第1の水素バリア膜105が形成された構造を示しているが、必要性を考慮して、第1の水素バリア膜105を構成しない構成であってもかまわない。

20

【0057】

第1の絶縁膜104及び第1の水素バリア膜105を貫通すると共に下端が第1の不純物拡散層102と接続する第1のコンタクトプラグ(第1のプラグ)106と、第1の絶縁膜104及び第1の水素バリア膜105を貫通すると共に下端が第2の不純物拡散層103と接続する第2のコンタクトプラグ(第2のプラグ)107とが形成されている。第1のコンタクトプラグ106及び第2のコンタクトプラグ107は、各々、タングステン又はポリシリコンよりなる。尚、第1のコンタクトプラグ106及び第2のコンタクトプラグ107は、 TiN と Ta よりなるバリア膜を有する構成であってもよい。

30

【0058】

第1の水素バリア膜105の上には、第1のコンタクトプラグ106及び第2のコンタクトプラグ107の上面を被覆するように、例えば IrO_2 / Ir / TiAlN の積層構造よりなる導電性の第1の酸素バリア膜108及び第2の酸素バリア膜109が形成されている。このように、第1の酸素バリア膜108及び第2の酸素バリア膜109を設けることにより、後述する強誘電体膜112を結晶化するために行なう酸素雰囲気中における熱処理において、第1のコンタクトプラグ106及び第2のコンタクトプラグ107が酸化することを防止できる。但し、強誘電体膜112の結晶化温度が十分に低温である場合には、第1の酸素バリア膜108及び第2の酸素バリア膜109を配置しない構成を採用してもかまわない。また、第1の酸素バリア膜108及び第2の酸素バリア膜109を構成する最下層の TiAlN は水素バリア膜としても機能する。

40

【0059】

第1の水素バリア膜105の上には、第1の酸素バリア膜108及び第2の酸素バリア膜109を覆うように、例えば膜厚が700～1000nmである SiO_2 膜よりなる第2の絶縁膜110が形成されている。第2の絶縁膜110には、第1の酸素バリア膜108の上面を露出させる第1の開口部110aと第2の酸素バリア膜109の上面を露出させる第2の開口部110bとが形成されている。ここで、第1の開口部110a及び第2の開口部110bは、図1に示すように、コンケープ形状をしており、開口径は上方にいくにつれて大きくなっている。

【0060】

50

第1の開口部110a、第1の酸素バリア膜108、及び第1のコンタクトプラグ106等は、強誘電体メモリの容量を形成するのに使用されるものであり、図示していないが、図面の右手にはさらに同じ形状を有する構造が複数形成されている。また、第2の開口部110bは、後述する上部電極の電位を第2の不純物拡散層103に引き出すために形成されているので、前記複数存在する強誘電体メモリに対して（例えばメモリセルのセルプレートに対して）1つあれば足りる。

【0061】

第1の開口部110aの壁部及び底部並びに第2の絶縁膜110の上には、例えば白金若しくはイリジウムに代表される貴金属又はその金属酸化物よりなる筒型形状を有し且つ第3の開口部111aを有する第1の金属膜111が形成されている。また、図示するよ

10

【0062】

第2の開口部110bの壁部及び底部を除く第2の絶縁膜110の上並びに第1の金属膜111が有する第3の開口部111aの壁部及び底部には、例えばSBT系、PZT系、又はBLT系等よりなり且つ第4の開口部112aを有する強誘電体膜112が形成されている。なお、強誘電体膜112は容量絶縁膜となる。第4の開口部112aの壁部及び底部を含む強誘電体膜112の上並びに第2の開口部110bの壁部及び底部には、例

20

【0063】

第5の開口部113a及び第6の開口部113bを含む第2の金属膜113の上には、例えば膜厚が50～300nmである第3の絶縁膜114が形成されており、該第3の絶縁膜114の上には、第2の水素バリア膜115が形成されている。耐還元性を有する強誘電体材料よりなる強誘電体膜112を使用した場合には、第1の水素バリア膜105及び第2の水素バリア膜115を形成しない構造にしてもよいが、一般的には水素バリア膜の組み合わせによって、例えば第1の水素バリア膜105と第2の水素バリア膜112とをメモリセルの端部で接続することにより、上部電極の電位を第2の不純物拡散層103へ引き出す領域も含めて完全に水素バリア膜で被覆することが可能になるので、強誘電体キャパシタの水素による特性劣化を確実に防止することが可能である。

30

【0064】

また、第2の水素バリア膜115の上には、例えば膜厚が100～300nmである第4の絶縁膜116が形成されている。なお、図示していないが、第4の絶縁膜115の上には、通常配線等が形成される。

40

【0065】

以上のように、本発明の第1の実施形態に係る半導体装置は、少なくとも第2の開口部110aの内部において、第1の金属膜111よりなる下部電極、強誘電体膜112よりなる容量絶縁膜、及び第2の金属膜113よりなる上部電極からなる強誘電体キャパシタが形成されている。そして、第2の金属膜113が第4の開口部112aの壁部及び底部を含む強誘電体膜112の上から第2の開口部110bの壁部及び底部に延びるように形成されていることにより、上部電極と第2の不純物拡散層103とを、第2の開口部110bの底部の下側に形成されている第2の酸素バリア膜109及び第2のコンタクトプラグ107を介して電氣的に接続することができる。このようにして、上部電極の電位と第

50

2の不純物拡散層103とを、第1及び第2の層間絶縁膜104及び110の内部において、電氣的に接続することができる。これにより、上部電極と第2の不純物拡散層103とを直接接続した場合に生じる高アスペクトによるコンタクト歩留まりの低下を抑制できる。また、ストレージノードコンタクトプラグとなる第1のコンタクトプラグ106と同時に形成する第2のコンタクトプラグ107を利用しているので、半導体製造装置の製造工程数の増加を防止ができる。

【0066】

以下に、本発明の第1の実施形態における各変形例について説明する。

【0067】

<第1の変形例>

図2は、本発明の第1の実施形態における第1の変形例に係る半導体装置の断面図を示している。なお、図2においては、前述の図1に示した半導体装置の構成要素と対応する同様部分には同一の符号を付している。

【0068】

図2に示すように、第1の変形例に係る半導体装置が図1に示した半導体装置と異なる点は、第1の金属膜111が第1の開口部110aの壁部及び底部にのみ形成されている点である。このような構成にしているのは、第1の開口部110aを形成した後に、第1の開口部110aの壁部及び底部を含む第2の絶縁膜110の上の全面に、第1の金属膜111を成膜した後、CMP又はエッチバックすることにより、自己整合的に第1の開口部110aの壁部及び底部のみに第1の金属膜111を形成することが可能になるからである。

【0069】

第1の変形例に係る半導体装置によると、第1の開口部110aの壁部及び底部のみに自己整合的に第1の金属膜111が形成されているので、図1に示した半導体装置に比べて、第1の開口部110aの開口縁部の外側にまで延びて形成された第1の金属膜111の端部における段差がないために、レジストの膜厚がばらつくことがなくなり、第2の開口部110bのパターニング精度が上がる。さらに、第1の金属膜111と第1の開口部110aとのアライメントマージンが不要となるため、セルサイズを小さくすることができ、微細化された半導体装置を実現することができる。

【0070】

<第2の変形例>

以下に、本発明の第1の実施形態における第2の変形例に係る半導体装置について、図3を参照しながら説明する。

【0071】

図3は、第2の変形例に係る半導体装置の断面図を示している。なお、図3においては、前述の図1に示した半導体装置の構成要素と対応する同様部分には同一の符号を付している。

【0072】

図3に示すように、第2の変形例に係る半導体装置が図1及び図2に示した半導体装置と異なる点は、強誘電体膜112が第2の開口部110bにおける開口縁部にまでは形成されていない点である。すなわち、第2の開口部110bを形成する際に、例えばメモリセルのセルプレート構造のように、強誘電体膜112が先にパターニングされて微細化が困難な強誘電体膜112が事前に取り除かれた構造にしている点である。このような構造にすることにより、第2の開口部110bを開口する際には、第2の絶縁膜110それ自体をパターニングすれば足り、強誘電体膜112を加工することが不要になるので、強誘電体膜112の加工の自由度（困難性）に制約されることなく、第2の開口部110bの微細化を可能とすることができる。

【0073】

<第3の変形例>

図4は、本発明の第1の実施形態における第3の変形例に係る半導体装置の断面図を示

10

20

30

40

50

している。なお、図4においては、前述の図1に示した半導体装置の構成要素と対応する同様部分には同一の符号を付している。

【0074】

図4に示すように、第3の変形例に係る半導体装置が図1及び図2に示した半導体装置と異なる点は、強誘電体膜112が第2の開口部110bにおける開口縁部にまでは形成されていない点に加えて、図3に示した半導体装置と異なる点は、第2の開口部110bの開口径よりも大きい開口径を有する第7の開口部112cが強誘電体膜112に形成されている点である。

【0075】

このような構成にすることにより、強誘電体膜112、第2の金属膜113、第2の開口部110bをパターニングするためのマスク回数は、前記第2の変形例の場合（強誘電体膜112の加工（1回目）第2の開口部110bの加工（2回目）第1の金属膜の加工（3回目））と同じ3回であるが、第3の変形例では、強誘電体膜112に形成する第7の開口部112cの加工（1回目）、第2の開口部110bの加工（2回目）の後、強誘電体膜112及び第2の金属膜113の同時加工（3回目）を行なうので、強誘電体膜112と第2の金属膜113とのアライメントマージンを見込む必要がなくなるので、その分だけ微細化を実現することができる。

【0076】

<第4の変形例>

図5は、本発明の第1の実施形態における第4の変形例に係る半導体装置の断面図を示している。なお、図5においては、前述の図1に示した半導体装置の構成要素と対応する同様部分には同一の符号を付している。

【0077】

図5に示すように、第4の変形例に係る半導体装置が、図3に示した半導体装置と異なる点は、第1の金属膜111が、第1の開口部110aの壁部及び底部に形成されているだけでなく、第2の開口部110bの壁部及び底部にも形成されている点である。すなわち、第2の開口部110bの壁部及び底部には、第8の開口部111bを有する第1の金属膜111が形成されており、第2の金属膜113は、第4の開口部112aの壁部及び底部を含む強誘電体膜112の上並びに第2の絶縁膜110の上並びに第8の開口部111bの壁部及び底部に形成されている。

【0078】

このような構成にすることにより、第2の開口部110bの壁部及び底部には、第2の金属膜113の下地となる第1の金属膜111が存在しているため、金属膜間の密着性が良いので、第2の開口部110bの壁部及び底部に第2の金属膜113が直接形成された場合に懸念される第2の金属膜113と第2の絶縁膜110との剥離を防止することができる。このため、上部電極の役割を果たす第2の金属膜の材料を絶縁材料に左右されことなく自由に選択することができる。

【0079】

<第5の変形例>

図6及び図7は、本発明の第1の実施形態における第5の変形例に係る半導体装置の断面図を示している。なお、図6及び図7においては、前述の図1に示した半導体装置の構成要素と対応する同様部分には同一の符号を付している。

【0080】

図6に示す半導体装置が、図5に示す半導体装置と異なる点は、強誘電体膜112が、第3の開口部111aの壁部及び底部に少なくとも形成されているだけでなく、第2の開口部110bの壁部及び底部に形成された第1の金属膜111が有する第8の開口部111bの壁部及び底部にも形成されている点である。すなわち、第8の開口部111bの壁部及び底部には、第9の開口部112bを有する強誘電体膜112が形成されており、第2の金属膜113は、第4の開口部112aの壁部及び底部を含む強誘電体膜112の上、第2の絶縁膜110の上、並びに第9の開口部112bの壁部及び底部に形成されて

10

20

30

40

50

いる。そして、この場合、上部電極の役割を有する第2の金属膜113は、第1の金属膜111bにおける第2の開口部110bの壁部に形成されている端部と接触している。

【0081】

また、図7に示す半導体装置が、図5に示す半導体装置と異なる点は、強誘電体膜112が、第2の開口部110aの壁部及び底部に形成された第1の金属膜111が有する第8の開口部111bの底部を除く第3の開口部111bの壁部及び底部、第2の絶縁膜110の上、並びに第9の開口部112bの壁部に形成されている点である。そして、この場合、上部電極の役割を有する第2の金属膜113は、第1の金属膜111bにおける第2の開口部110bの底部に形成されている部分と接触している。

【0082】

このように、図6及び図7に示す構成を採用することにより、第1の開口部110a内に順に配置されている材料と第2の開口部110b内に順に配置されている材料とが同一になるので、上部電極の電位を第2の不純物拡散層110bへ落とす構造を容易に実現することができる。また、第1の金属膜111と第2の金属膜113との接触は、図6及び図7のいずれの場合においても、第2の開口部110bの開口領域内で接触しているので、第2の開口部110bの開口領域内からはみ出して形成された場合に第1の金属膜111におけるはみ出し部分において接触させる場合と比べて、微細化を実現することができる。また、接触部分は、金属膜同士であるため、金属膜と絶縁膜との接触よりも密着性が良いので、接触部分での剥離がなく、断線を防止できる。

【0083】

(第2の実施形態)

以下に、本発明の第2の実施形態に係る半導体装置の製造方法について、図8(a)~(c)、図9(a)及び(b)、図10(a)及び(b)、並びに図11(a)及び(b)を参照しながら説明する。なお、これらの図面は、前述の第1の実施形態における図2に示した半導体装置を製造する場合の工程断面図を示しているので、これらの図面においては、図2に示す半導体装置の構成要素と対応する部分については同一の符号を付している。

【0084】

まず、図8(a)に示すように、半導体基板100上に、素子区画領域を区画する素子分離領域(STI)101を形成すると共に、第1の不純物拡散層(第1の導電層)102及び第2の不純物拡散層(第2の導電層)103を形成する。なお、第1の不純物拡散層102及び第2の不純物拡散層103の表面にコバルトシリサイド(CoSi₂)を形成してもよい。この場合には、より低抵抗化を実現して、回路動作上の遅延を防止できる。また、図8(a)においては、第2の導電層が、半導体基板100上に配置された第2の不純物拡散層103である場合について説明しているが、例えば、ポリシリコン又はタングステンをを用いた配線等のように、後述する第1の絶縁膜104の中に内包される導電層であってもかまわない。次に、半導体基板100、素子分離領域101、第1の不純物拡散層102及び第2の不純物拡散層103を覆うように、例えば膜厚が500~800nmであるSiO₂膜よりなる第1の絶縁膜104を形成した後、該第1の絶縁膜104の上に、例えば膜厚が20~800nmであるSiN膜よりなる第1の水素バリア膜105を形成する。なお、ここでは、第1の水素バリア膜105を形成する場合について説明しているが、必要性を考慮して、第1の水素バリア膜105を形成しない場合であってもよい。

【0085】

次に、図8(b)に示すように、第1の絶縁膜104及び第1の水素バリア膜105を貫通すると共に下端が第1の不純物拡散層102と接続する第1のコンタクトプラグ(第1のプラグ)106と、第1の絶縁膜104及び第1の水素バリア膜105を貫通すると共に下端が第2の不純物拡散層103と接続する第2のコンタクトプラグ(第2のプラグ)107とを形成する。なお、第1のコンタクトプラグ106及び第2のコンタクトプラグ107は、各々、タングステン又はポリシリコンよりなる。

【0086】

次に、図 8 (c) に示すように、第 1 の水素バリア膜 1 0 7 の上に、第 1 のコンタクトプラグ 1 0 6 及び第 2 のコンタクトプラグ 1 0 7 の上面を被覆するように、例えば IrO_2 / Ir / TiAlN の積層構造よりなる導電性の第 1 の酸素バリア膜 1 0 8 及び第 2 の酸素バリア膜 1 0 9 を形成する。このように、第 1 の酸素バリア膜 1 0 8 及び第 2 の酸素バリア膜 1 0 9 を設けることにより、後述する強誘電体膜 1 1 2 を結晶化するために行なう酸素雰囲気中における熱処理において、第 1 のコンタクトプラグ 1 0 6 及び第 2 のコンタクトプラグ 1 0 7 が酸化することを防止できる。但し、強誘電体膜 1 1 2 の結晶化温度が十分に低温である場合には、第 1 の酸素バリア膜 1 0 8 及び第 2 の酸素バリア膜 1 0 9 を配置しない構成を採用してもかまわない。また、第 1 の酸素バリア膜 1 0 8 及び第 2 の酸素バリア膜 1 0 9 を構成する最下層の TiAlN は水素バリア膜としても機能する。

10

【 0 0 8 7 】

次に、図 9 (a) に示すように、第 1 の水素バリア膜 1 0 5 の上に、第 1 の酸素バリア膜 1 0 8 及び第 2 の酸素バリア膜 1 0 9 を覆うように、例えば膜厚が 700 ~ 1000nm である SiO_2 膜よりなる第 2 の絶縁膜 1 1 0 を形成する。次に、第 2 の絶縁膜 1 1 0 に、フォトリソグラフィ法及びエッチング法により、第 1 の酸素バリア膜 1 0 8 の上面を露出させる第 1 の開口部 1 1 0 a と第 2 の酸素バリア膜 1 0 9 の上面を露出させる第 2 の開口部 1 1 0 b を形成する。なお、開口部は、図 9 (a) に示すように、断面においてコンケーブ形状をしており、底部から上方にいくにつれて、その開口径は大きくなっている。また、第 1 の開口部 1 1 0 a、第 1 の酸素バリア膜 1 0 8、及び第 1 のコンタクトプラグ 1 0 6 等は、強誘電体メモリの容量を形成するのに使用されるものであり、図示していないが、図面の右手にはさらに同じ形状を有する構造が複数形成されている。また、第 2 の開口部 1 1 0 b は、後述する上部電極の電位を第 2 の不純物拡散層 1 0 3 に引き出すために形成されているので、前記複数存在する強誘電体メモリに対して（例えばメモリセルのセルプレートに対して）1 つあれば足りる。なお、本実施形態において、第 1 の開口部 1 1 0 a は、フォトリソグラフィ及びエッチング法により形成される場合について説明したが、開口部の形成が可能な方法であれば、例えば、開口部を形成するように絶縁膜を堆積する方法等であってもよい。

20

【 0 0 8 8 】

次に、図 9 (b) に示すように、第 1 の開口部 1 1 0 a の壁部及び底部に、例えば白金若しくはイリジウムに代表される貴金属又はその金属酸化物よりなる筒型形状を有し且つ第 3 の開口部 1 1 1 a を有する第 1 の金属膜 1 1 1 を形成する。具体的には、第 1 の金属膜 1 1 1 を第 1 の開口部 1 1 0 a の壁部及び底部を含む第 2 の絶縁膜 1 1 0 の全面に第 1 の金属膜 1 1 1 を堆積した後に、CMP 又はエッチバック法によって、第 1 の開口部 1 1 0 a の壁部及び底部のみに第 1 の金属膜 1 1 1 を形成する。なお、第 1 の金属膜 1 1 1 は下部電極となる。このようにすると、自己整合的に第 1 の開口部 1 1 0 a の壁部及び底部のみに第 1 の金属膜 1 1 1 を形成でき、半導体装置の微細化に資することができる。

30

【 0 0 8 9 】

但し、ここでは、第 1 の金属膜 1 1 1 を、第 1 の開口部 1 1 0 a の壁部及び底部のみに形成したが、同様に、第 1 の金属膜 1 1 1 を第 1 の開口部 1 1 0 a の壁部及び底部を含む第 2 の絶縁膜 1 1 0 の全面に第 1 の金属膜 1 1 1 を堆積した後に、所望のマスクでパターニングすることにより、前述の図 1 に示す構造のように、第 1 の金属膜 1 1 1 の端部が、第 2 の絶縁膜 1 1 0 の上であって第 1 の開口部 1 1 0 a の開口縁部よりも外側にまで延びるように形成してもよい。このようにすると、第 1 の開口部 1 1 0 a 内に第 1 の金属膜 1 1 1 をパターニングによって形成する際のアライメントマージンを確保することができる。

40

【 0 0 9 0 】

次に、図 1 0 (a) に示すように、第 3 の開口部 1 1 1 a を有する第 1 の金属膜 1 1 1 の上及び第 2 の絶縁膜 1 1 0 の上の全面に、例えば SBT 系、PZT 系、又は BLT 系等よりなり且つ第 4 の開口部 1 1 2 a を有する強誘電体膜 1 1 2 を形成する。なお、強誘電体膜 1 1 2 は容量絶縁膜となる。

50

【0091】

次に、図10(b)に示すように、強誘電体膜112及び第2の絶縁膜110における第2のコンタクトプラグ109の上方に位置する部分を除去して、第2の酸素バリア膜109の上面を露出させる第2の開口部110bを形成する。ここで、第2の開口部110bは、コンケープ型であるが、図10(b)に示すように、第1の開口部110aの大きさよりも小さい。これにより、より微細化が可能になる。

【0092】

次に、図11(a)に示すように、第4の開口部112aの壁部及び底部を含む強誘電体膜112の上並びに第2の開口部110bの壁部及び底部に、例えば、白金若しくはイリジウムに代表される貴金属又はその金属酸化物よりなり且つ第5の開口部113a及び第6の開口部113bを有する第2の金属膜113を形成する。なお、第2の金属膜13は下部電極となる。

10

【0093】

次に、図11(b)に示すように、強誘電体膜112及び第2の金属膜113を同時にパターンニングする。なお、この場合、別マスクを用いて同時に形成しなくてもよいことはいうまでもない。次に、第5の開口部113a及び第6の開口部113bを含む第2の金属膜113の上並びに第2の絶縁膜110の上に、例えば膜厚が50~300nmである第3の絶縁膜114を形成する。次に、第3の絶縁膜114の上に、第2の水素バリア膜115を形成する。耐還元性を有する強誘電体材料よりなる強誘電体膜112を使用した場合に、前記第1の水素バリア膜105及び第2の水素バリア膜115を形成しない構造にしてもよいが、一般的には水素バリア膜の組み合わせによって、例えば第1の水素バリア膜105と第2の水素バリア膜112とをメモリセルの端部で接続することにより、上部電極の電位を第2の不純物拡散層103へ引き出す領域も含めて完全に水素バリア膜で被覆することが可能になるので、強誘電体キャパシタの水素による特性劣化を防止することが可能である。

20

【0094】

次に、第2の水素バリア膜115の上に、例えば膜厚が100~300nmである第4の絶縁膜116を形成する。なお、図示していないが、第4の絶縁膜116の上に、通常配線等を形成する。

【0095】

以上のように、本発明の第2の実施形態に係る半導体装置の製造方法によると、少なくとも第1の開口部110aの内部において、第1の金属膜111よりなる下部電極、強誘電体膜112よりなる容量絶縁膜、及び第2の金属膜113よりなる上部電極からなる強誘電体キャパシタを形成する一方で、第2の金属膜113を第4の開口部112aの壁部及び底部を含む強誘電体膜112の上から第2の開口部110bの壁部及び底部に延びるように形成することにより、上部電極と第2の不純物拡散層103とを、第2の開口部110bの底部の下側に形成されている第2の酸素バリア膜109及び第2のコンタクトプラグ107を介して接続する。このように、上部電極の電位と第2の不純物拡散層103とを、第1及び第2の層間絶縁膜104及び110の内部において、電気的に接続することができる。これにより、上部電極と第2の不純物拡散層103とを直接接続した場合に生じる高アスペクトによるコンタクト歩留まりの低下を抑制できる。また、ストレージノードコンタクトプラグとなる第1のコンタクトプラグ106と同時に形成する第2のコンタクトプラグ107を利用しているので、半導体製造装置の製造工程数の増加を防止することができる。

30

40

【0096】

以下に、本発明の第2の実施形態における各変形例について説明する。

【0097】

<第1の変形例>

図12(a)及び(b)、図13(a)及び(b)、並びに図14(a)及び(b)は、本発明の第2の実施形態における第1の変形例に係る半導体装置の製造方法を示す工程

50

断面図を示している。なお、これらの図面は、前述の第1の実施形態における図3に示した半導体装置を製造する場合の工程断面図を示しているため、これらの図面においては、図3に示す半導体装置の構成要素と対応する部分については同一の符号を付している。

【0098】

まず、図12(a)の工程断面図に示される半導体装置を製造するまでの工程は、前述した図8(a)~(c)、図9(a)及び(b)、並びに図10(a)を用いた説明と同様であるので、ここではその説明は繰り返さない。

【0099】

次に、図12(b)に示すように、第3の開口部112aの壁部及び底部並びに強誘電体膜112のセルプレートを形成するために強誘電体膜112をパターニングする。この際、後に第2の開口部110bが形成される領域である、第2のコンタクトプラグ107の上方に存在している強誘電体膜112を除去する。

【0100】

次に、図13(a)に示すように、第2の絶縁膜110における、上面に強誘電体膜112が存在していない部分を除去することにより、第2の絶縁膜110を貫通すると共に第2の酸素バリア膜109の上面を露出させる第2の開口部110bを形成する。

【0101】

次に、図13(b)に示すように、第2の開口部110bを含む第2の絶縁膜110の上並びに第4の開口部112aの壁部及び底部を含む強誘電体膜112の上に、例えば、白金若しくはイリジウムに代表される貴金属又はその金属酸化物よりなり且つ第5の開口部113a及び第6の開口部113bを有する第2の金属膜113を形成する。

【0102】

次に、図14(a)に示すように、強誘電体膜112は被覆されたままであり且つ第2の開口部110bの壁部及び底部に位置する第2の金属膜113が残存するように、所望のマスクを用いて、第2の金属膜113をパターニングする。

【0103】

次に、図14(b)に示すように、第5の開口部113a及び第6の開口部113bを含む第2の金属膜113並びに第2の絶縁膜110の上に、例えば膜厚が50~300nmである第3の絶縁膜114を形成した後、該第3の絶縁膜114の上に、第2の水素バリア膜115を形成する。これは、前述と同様に、上部電極の電位を第2の不純物拡散層に引き出す領域も含めて完全に水素バリア膜で被覆することが可能になるため、強誘電体キャパシタの水素による特性劣化を確実に防止することが可能になるからである。次に、第2の水素バリア膜115の上に、例えば膜厚が100~300nmである第4の絶縁膜116を形成する。なお、図示していないが、第4の絶縁膜115の上に、通常配線等を形成する。

【0104】

このように、第1の変形例に係る半導体装置の製造方法によると、第2の開口部110bを形成する際に、強誘電体膜112を先にパターニングしているため、第2の絶縁膜110それ自体をパターニングすればよく、強誘電体膜を加工することが不要になるため、強誘電体膜112の加工の自由度(困難性)に制約されることなく、第2の開口部110bの微細化を可能にすることができる。

【0105】

<第2の変形例>

図15(a)及び(b)、図16(a)及び(b)、並びに図17(a)及び(b)は、本発明の第2の実施形態における第2の変形例に係る半導体装置の製造方法を示す工程断面図を示している。なお、これらの図面は、前述の第1の実施形態における図4に示した半導体装置を製造する場合の工程断面図を示しているため、これらの図面においては、図4に示す半導体装置の構成要素と対応する部分については同一の符号を付している。

【0106】

まず、図15(a)の工程断面図に示される半導体装置を製造するまでの工程は、前述した図8(a)~(c)、図9(a)及び(b)、並びに図10(a)を用いた説明と同

10

20

30

40

50

様であるので、ここではその説明は繰り返さない。

【0107】

次に、図15(b)に示すように、後の工程で形成する第2の開口部110bの開口径よりも大きい開口径を有する第7の開口部112cを強誘電体膜112に形成する。なお、第7の開口部112cは、第2のコンタクトプラグ107の上方の第2の絶縁膜110の上面を露出させるように形成されている。

【0108】

次に、図16(a)に示すように、第7の開口部112cに露出している第2の絶縁膜110を除去することにより、第2の絶縁膜110を貫通すると共に第2の酸素バリア膜109の上面を露出させる第2の開口部110bを形成する。

10

【0109】

次に、図16(b)に示すように、第2の開口部110b及び第7の開口部112cを含む第2の絶縁膜110の上並びに第4の開口部112aの壁部及び底部を含む強誘電体膜112の上の全面に、例えば、白金若しくはイリジウムに代表される貴金属又はその金属酸化物よりなり且つ第5の開口部113a及び第6の開口部113bを有する第2の金属膜113を形成する。

【0110】

次に、図17(a)に示すように、強誘電体膜112は被覆されたままであり且つ第2の開口部110bの壁部及び底部に位置する第2の金属膜113が残存するように、第2の金属膜113をパターニングする(セルプレート形成)。

20

【0111】

次に、図17(b)に示すように、第5の開口部113a及び第6の開口部113bを含む第2の金属膜113並びに第2の絶縁膜110の上に、例えば膜厚が50~300nmである第3の絶縁膜114を形成した後、該第3の絶縁膜114の上に、第2の水素バリア膜115を形成する。これは、前述と同様に、上部電極の電位を第2の不純物拡散層に引き出す領域も含めて完全に水素バリア膜で被覆することが可能になるので、強誘電体キャパシタの水素による特性劣化を確実に防止することが可能になるからである。次に、第2の水素バリア膜115の上に、例えば膜厚が100~300nmである第4の絶縁膜116を形成する。なお、図示していないが、第4の絶縁膜115の上に、通常配線等を形成する。

【0112】

30

このように、第2の変形例に係る半導体装置の製造方法によると、強誘電体膜112、第2の金属膜113、第2の開口部110bをパターニングするためのマスク回数は、前記第1の変形例の場合(強誘電体膜112の加工(1回目) 第2の開口部110bの加工(2回目) 第1の金属膜の加工(3回目))と同じ3回であるが、第2の変形例では、強誘電体膜112に形成する第7の開口部112cの加工(1回目)、第2の開口部110bの加工(2回目)の後、強誘電体膜112及び第2の金属膜113の同時加工(3回目)を行なうので、強誘電体膜112と第2の金属膜113とのアライメントマージンを見込む必要がなくなるので、その分だけ微細化することができる。

【0113】

< 第3の変形例 >

40

図18(a)及び(b)、図19(a)及び(b)、図20(a)及び(b)、並びに図20(a)及び(b)は、本発明の第2の実施形態における第3の変形例に係る半導体装置の製造方法を示す工程断面図を示している。なお、これらの図面は、前述の第1の実施形態における図5に示した半導体装置を製造する場合の工程断面図を示しているので、これらの図面においては、図5に示す半導体装置の構成要素と対応する部分については同一の符号を付している。

【0114】

まず、図18(a)~(c)の工程断面図に示す工程は、前述した図8(a)~(c)を用いた説明と同様であるので、ここではその説明は繰り返さない。

【0115】

50

次に、図19(a)に示すように、第2の水素バリア膜105の上に、第1の酸素バリア膜108及び第2の酸素バリア膜109を覆うように、例えば膜厚が700~1000nmである第2の絶縁膜110を形成する。次に、第2の絶縁膜110に、第1の酸素バリア膜108の上面を露出させる第1の開口部110a及び第2の酸素バリア膜109の上面を露出させる第2の開口部110bを同時に形成する。なお、第1の開口部110a、第1の酸素バリア膜108、及び第1のコンタクトプラグ106等は、強誘電体メモリの容量を形成するのに使用されるものであり、図示していないが、図面の右手にはさらに同じ形状を有する構造が複数形成されている。また、第2の開口部110bは、後述する上部電極の電位を第2の不純物拡散層103に引き出すために形成されているので、前記複数存在する強誘電体メモリに対して（例えばメモリセルのセルプレートに対して）1つあれば足りる。なお、第1の開口部110a及び第2の開口部110bは、コンケープ形状をしており、第2の開口部110bは、例えば、図19(a)に示すように、第1の開口部110aよりも小さいサイズにしてもいいし、また、同じサイズにしてもいい。第2の開口部110bは容量素子を形成しないことから、小さく形成することができ、微細化を実現することができる。

10

【0116】

次に、図19(b)に示すように、例えば白金又はイリジウムに代表される貴金属又はその金属酸化物よりなる第2の金属膜113を第1の開口部110a及び第2の開口部110bを含む第2の絶縁膜110上の全面に形成した後、CMP又はエッチバック法によって、第1の開口部110aの壁部及び底部並びに第2の開口部110bの壁部及び底部のみに第3の開口部111a及び第8の開口部111bを有し且つ筒型形状となる第1の金属膜111を形成する。

20

【0117】

次に、図20(a)に示すように、第1の金属膜111及び第2の絶縁膜110の上の全面に、例えばSBT系、PZT系、及びBLT系等よりなる強誘電体膜112を形成する。

【0118】

次に、図20(b)に示すように、強誘電体膜112のセルプレートが形成されるように、強誘電体膜112をパターンニングする。この際、第2の開口部110bの壁部及び底部並びに第2の開口部110bの開口周辺に存在している強誘電体膜112を除去する。

30

【0119】

次に、図21(a)に示すように、第8の開口部111bを含む第1の金属膜111の上、第4の開口部112aの壁部及び底部を含む強誘電体膜112の上並びに第2の絶縁膜110の上の全面に、例えば、白金若しくはイリジウムに代表される貴金属又はその金属酸化物よりなり且つ第5の開口部113a及び第6の開口部113bを有する第2の金属膜113を形成する。

【0120】

次に、図21(b)に示すように、強誘電体膜112は被覆されたままであり且つ第2の開口部110bの壁部及び底部に位置する第2の金属膜113が残存するように、所望のマスクを用いて、第2の金属膜113をパターンニングする。次に、第5の開口部113a及び第6の開口部113bを含む第2の金属膜113並びに第2の絶縁膜110の上に、例えば膜厚が50~300nmである第3の絶縁膜114を形成した後、該第3の絶縁膜114の上に、第2の水素バリア膜115を形成する。これは、前述と同様に、上部電極の電位を第2の不純物拡散層に引き出す領域も含めて完全に水素バリア膜で被覆することが可能になるので、強誘電体キャパシタの水素による特性劣化を確実に防止することが可能になるからである。次に、第2の水素バリア膜115の上に、例えば膜厚が100~300nmである第4の絶縁膜116を形成する。なお、図示していないが、第4の絶縁膜116の上に、通常配線等を形成する。

40

【0121】

このように、第3の変形例に係る半導体装置の製造方法によると、第2の開口部110

50

bの壁部及び底部には、第2の金属膜113の下地となる第1の金属膜111を存在させているので、第1の金属膜111及び第2の金属膜113の密着性が向上し、第2の開口部110bの壁部及び底部に第2の金属膜113を直接形成する場合に懸念される第2の金属膜113と第2の絶縁膜110との剥離を防止することができ、断線を防止できる。このため、上部電極の役割を果たす第2の金属膜の材料を自由に選択することができる。

【0122】

<第4の変形例>

図22(a)及び(b)並びに図23(a)及び(b)は、本発明の第2の実施形態における第4変形例に係る半導体装置の製造方法を示す工程断面図を示している。なお、これらの図面は、前述の第1の実施形態における図6及び図7に示した半導体装置を製造する場合の工程断面図を示しているため、これらの図面においては、図6及び図7に示す半導体装置の構成要素と対応する部分については同一の符号を付している。

【0123】

まず、図22(a)の断面図に示す半導体装置を製造するまでの工程は、前述した図18(a)及び(b)、図19(a)及び(b)、並びに図20(a)を用いた説明と同様であるため、ここではその説明は繰り返さない。

【0124】

次に、図22(b)に示すように、強誘電体膜112のセルプレートが形成されるように、強誘電体膜112をパターニングする。この際、第2の開口部110bの開口周辺に存在している強誘電体膜112を除去して、第1の金属膜111における第2の開口部110bの壁部の端部を露出させる。なお、第2の開口部110bの壁部及び底部には、強誘電体膜112を残存させている。また、図22(b)においては、第2の開口部110bの端部において、第1の金属膜111を露出させたが、例えば、第2の開口部110bの底部等において、第1の金属膜111の一部を露出させてもよい。

【0125】

次に、図23(a)に示すように、第9の開口部112bを含む強誘電体膜112の上並びに第4の開口部112aの壁部及び底部を含む強誘電体膜112の上並びに第2の絶縁膜110の上の全面に、例えば、白金若しくはイリジウムに代表される貴金属又はその金属酸化物よりなり且つ第5の開口部113a及び第6の開口部113bを有する第2の金属膜113を形成する。

【0126】

次に、図23(b)に示すように、強誘電体膜112は被覆されたままであり且つ第2の開口部110bの壁部及び底部に位置する第2の金属膜113が残存するように、所望のマスクを用いて、第2の金属膜113をパターニングする。次に、第5の開口部113a及び第6の開口部113bを含む第2の金属膜113並びに第2の絶縁膜110の上に、例えば膜厚が50~300nmである第3の絶縁膜114を形成した後、該第3の絶縁膜114の上に、第2の水素バリア膜115を形成する。これは、前述と同様に、コンタクト部も含めて完全に水素バリア膜で被覆することが可能になるので、強誘電体キャパシタの水素による特性劣化を確実に防止することが可能になるからである。次に、第2の水素バリア膜115の上に、例えば膜厚が100~300nmである第4の絶縁膜116を形成する。なお、図示していないが、第4の絶縁膜116の上に、通常配線等を形成する。

【0127】

このように、第4の変形例に係る半導体装置の製造方法によると、第1の開口部110a内に順に配置されている材料と第2の開口部110b内に順に配置されている材料とが同一になるので、上部電極の電位を第2の不純物拡散層110bへ落とす構造を容易に実現することができる。また、第1の金属膜111と第2の金属膜113との接触は、第2の開口部110bの開口領域内で接触しているので、第2の開口部110bの開口領域内からはみ出して形成された場合に第1の金属膜111におけるはみ出し部分において接触させる場合と比べて、微細化を実現することができる。

【0128】

なお、以上の各実施形態において、開口部がコンケープ型である場合について図示し、説明したが、本発明は図示した形状の場合に限定されるものではない。

【産業上の利用可能性】

【0129】

以上説明したように、本発明は、立体スタック型の強誘電体メモリを形成するのに有用な技術である。

【図面の簡単な説明】

【0130】

【図1】本発明の第1の実施形態に係る半導体装置の構造を示す腰部断面図である。

【図2】本発明の第1の実施形態における第1の変形例に係る半導体装置の構造を示す腰部断面図である。 10

【図3】本発明の第3の実施形態における第2の変形例に係る半導体装置の構造を示す腰部断面図である。

【図4】本発明の第1の実施形態における第3の変形例に係る半導体装置の構造を示す腰部断面図である。

【図5】本発明の第1の実施形態における第4の変形例に係る半導体装置の構造を示す腰部断面図である。

【図6】本発明の第1の実施形態における第5の変形例に係る半導体装置の構造を示す腰部断面図である。

【図7】本発明の第1の実施形態における第5の変形例に係る半導体装置の構造を示す腰部断面図である。 20

【図8】(a)～(c)は、本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図である。

【図9】(a)及び(b)は、本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図である。

【図10】(a)及び(b)は、本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図である。

【図11】(a)及び(b)は、本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図である。

【図12】(a)及び(b)は、本発明の第2の実施形態における第1の変形例に係る半導体装置の製造方法を示す工程断面図である。 30

【図13】(a)及び(b)は、本発明の第2の実施形態における第1の変形例に係る半導体装置の製造方法を示す工程断面図である。

【図14】(a)及び(b)は、本発明の第2の実施形態における第1の変形例に係る半導体装置の製造方法を示す工程断面図である。

【図15】(a)及び(b)は、本発明の第2の実施形態における第2の変形例に係る半導体装置の製造方法を示す工程断面図である。

【図16】(a)及び(b)は、本発明の第2の実施形態における第2の変形例に係る半導体装置の製造方法を示す工程断面図である。

【図17】(a)及び(b)は、本発明の第2の実施形態における第2の変形例に係る半導体装置の製造方法を示す工程断面図である。 40

【図18】(a)～(c)は、本発明の第2の実施形態における第3の変形例に係る半導体装置の製造方法を示す工程断面図である。

【図19】(a)及び(b)は、本発明の第2の実施形態における第3の変形例に係る半導体装置の製造方法を示す工程断面図である。

【図20】(a)及び(b)は、本発明の第2の実施形態における第3の変形例に係る半導体装置の製造方法を示す工程断面図である。

【図21】(a)及び(b)は、本発明の第2の実施形態における第3の変形例に係る半導体装置の製造方法を示す工程断面図である。

【図22】(a)及び(b)は、本発明の第2の実施形態における第4の変形例に係る半 50

導体装置の製造方法を示す工程断面図である。

【図 2 3】(a) 及び (b) は、本発明の第 2 の実施形態における第 4 の変形例に係る半導体装置の製造方法を示す工程断面図である。

【図 2 4】第 1 の従来例に係る半導体装置の構造を示す断面図である。

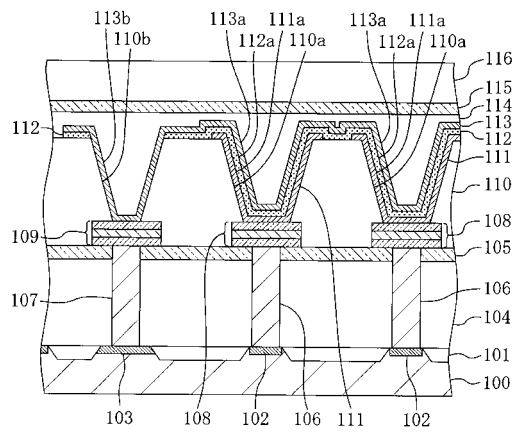
【図 2 5】第 2 の従来例に係る半導体装置の構造を示す断面図である。

【符号の説明】

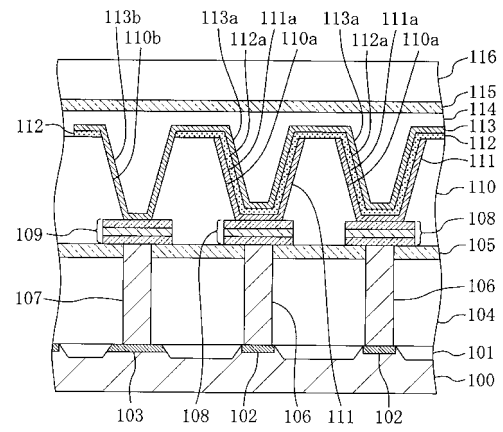
【 0 1 3 1 】

1 0 0	半導体基板	
1 0 1	素子分離領域	
1 0 2	第 1 の不純物拡散層 (第 1 の導電層)	10
1 0 3	第 2 の不純物拡散層 (第 2 の導電層)	
1 0 4	第 1 の絶縁膜	
1 0 5	第 1 の水素バリア膜	
1 0 6	第 1 のコンタクトプラグ (第 1 のプラグ)	
1 0 7	第 2 のコンタクトプラグ (第 2 のプラグ)	
1 0 8	第 1 の酸素バリア膜	
1 0 9	第 2 の酸素バリア膜	
1 1 0	第 2 の絶縁膜	
1 1 1	第 1 の金属膜 (下部電極)	
1 1 2	強誘電体膜 (容量絶縁膜)	20
1 1 3	第 2 の金属膜 (上部電極)	
1 1 4	第 3 の絶縁膜	
1 1 5	第 2 の水素バリア膜	
1 1 6	第 4 の絶縁膜	
1 1 0 a	第 1 の開口部	
1 1 0 b	第 2 の開口部	
1 1 1 a	第 3 の開口部	
1 1 1 b	第 8 の開口部	
1 1 2 a	第 4 の開口部	
1 1 2 b	第 9 の開口部	30
1 1 2 c	第 7 の開口部	
1 1 3 a	第 5 の開口部	
1 1 3 b	第 6 の開口部	

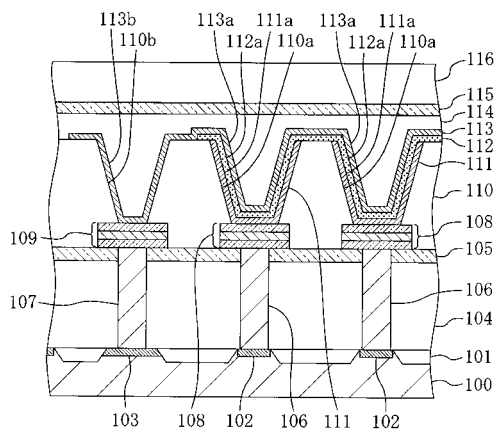
【 図 1 】



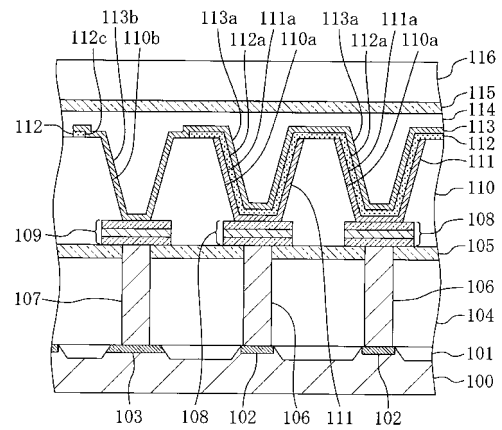
【 図 2 】



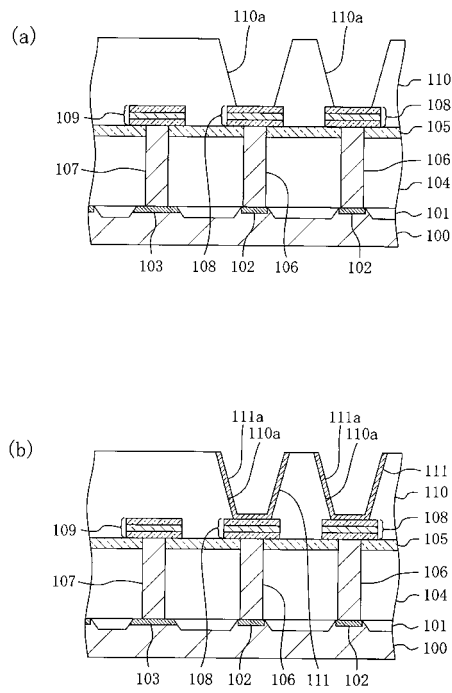
【 図 3 】



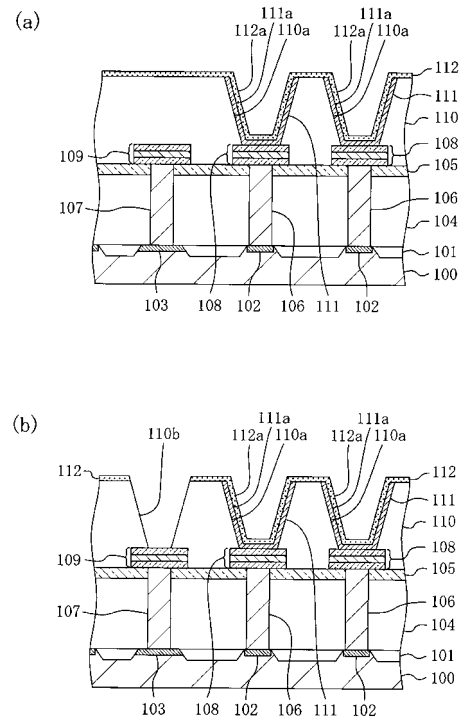
【 図 4 】



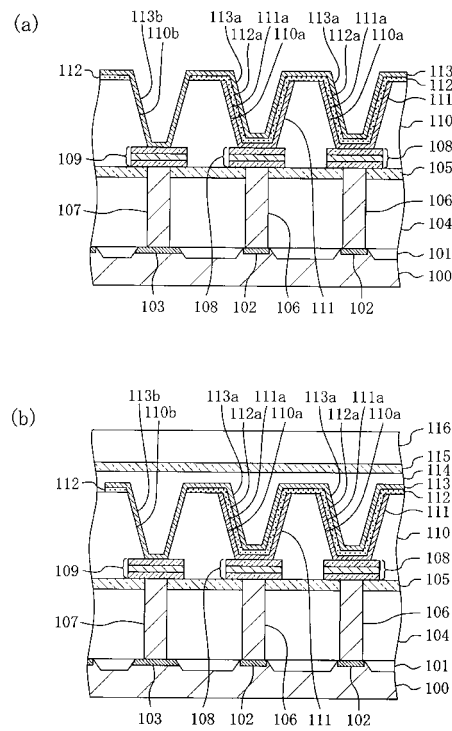
【図 9】



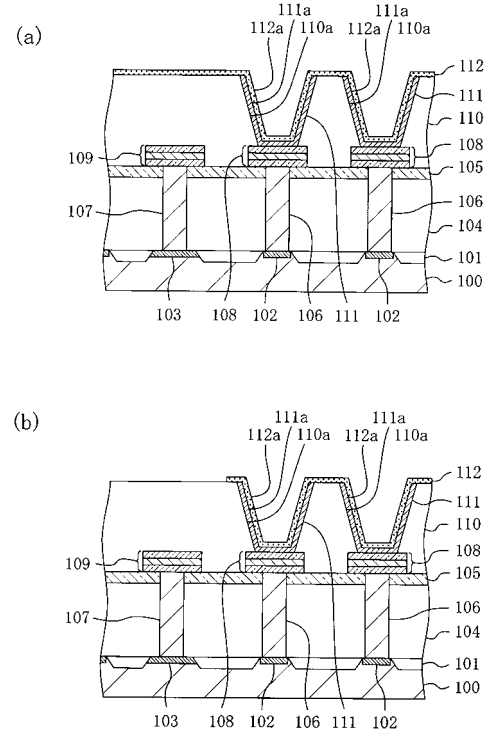
【図 10】



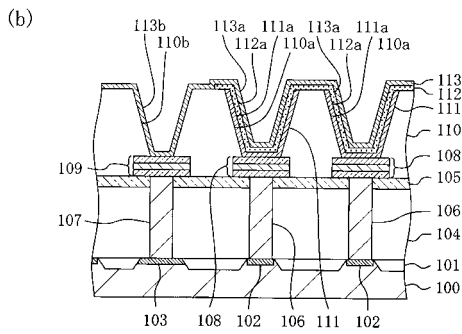
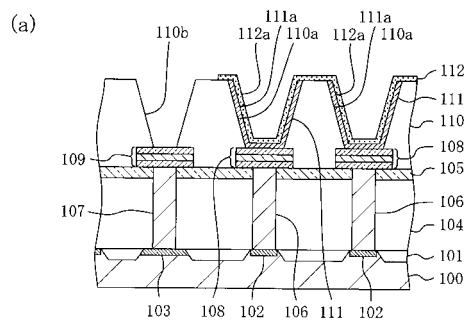
【図 11】



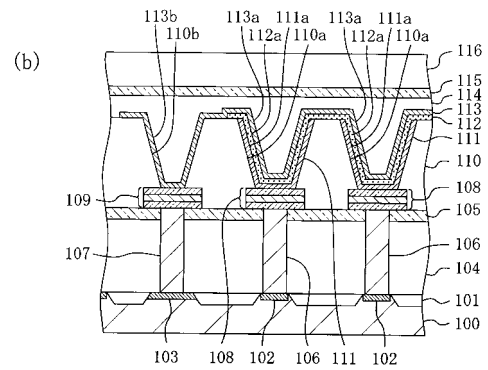
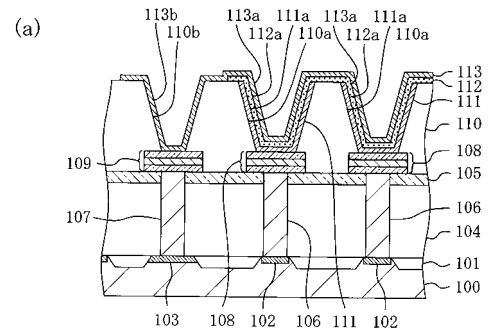
【図 12】



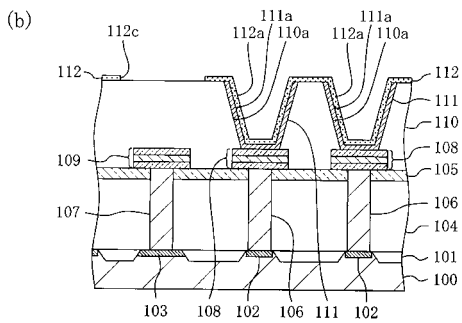
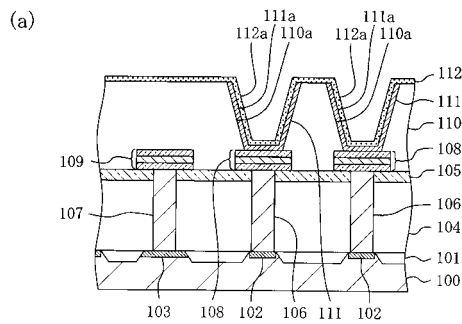
【 図 1 3 】



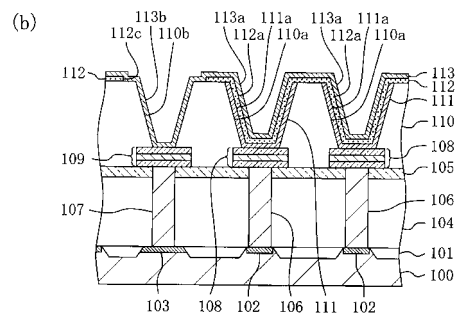
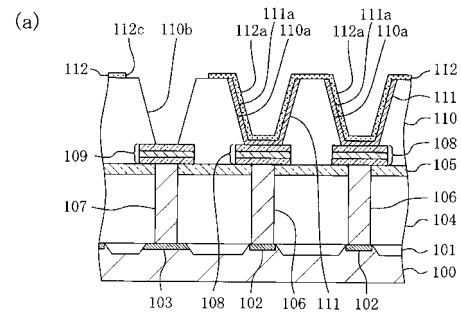
【 図 1 4 】



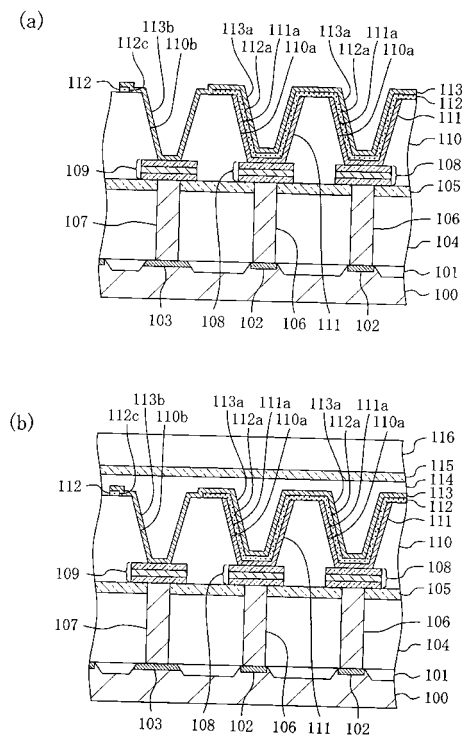
【 図 1 5 】



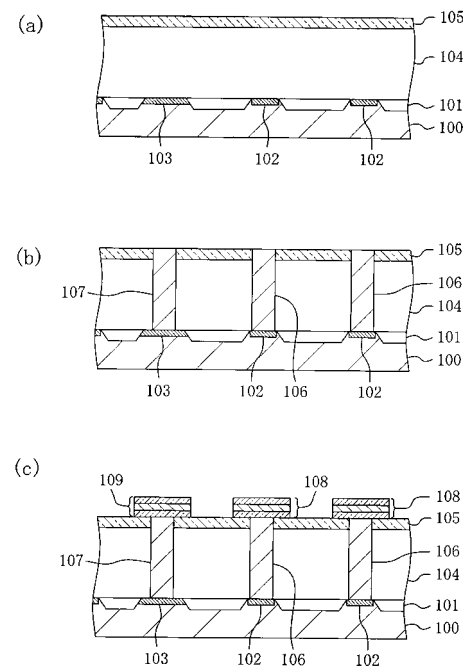
【 図 1 6 】



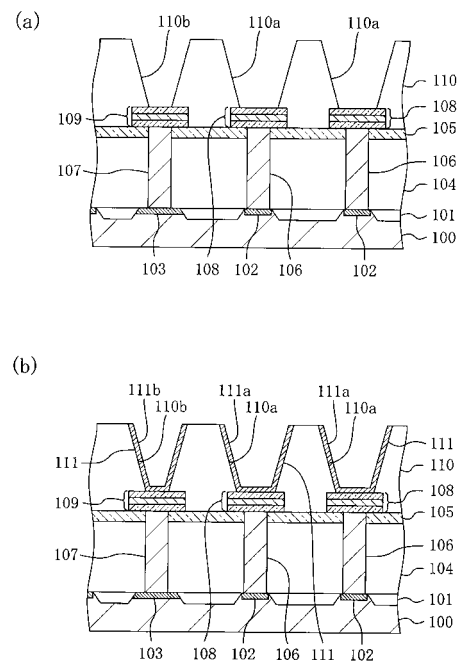
【図 17】



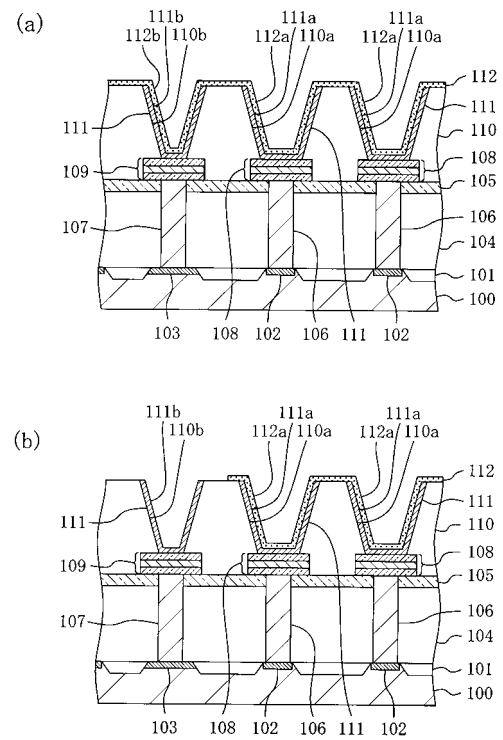
【図 18】



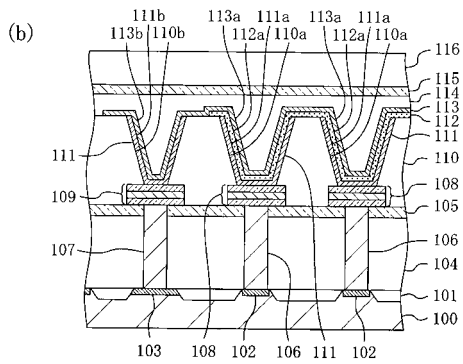
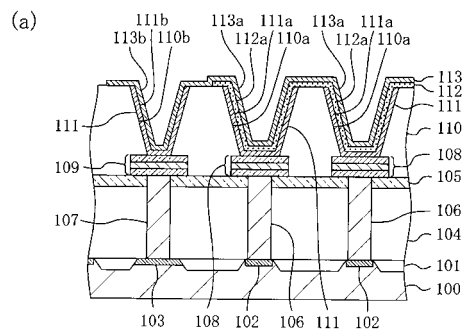
【図 19】



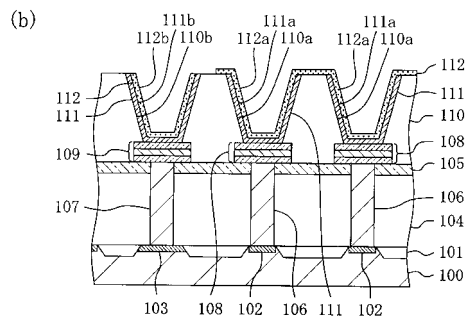
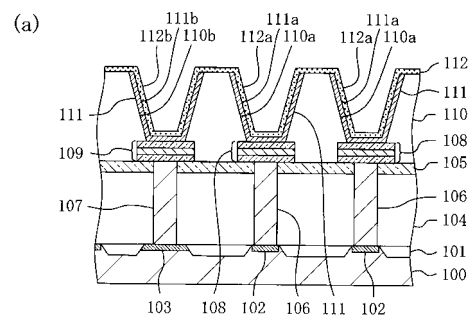
【図 20】



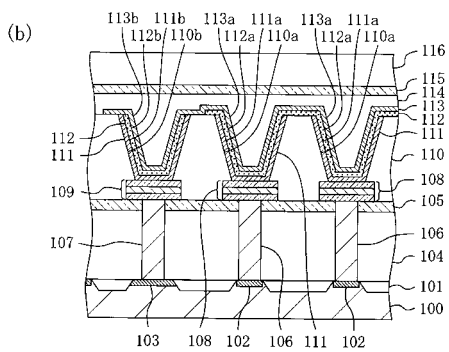
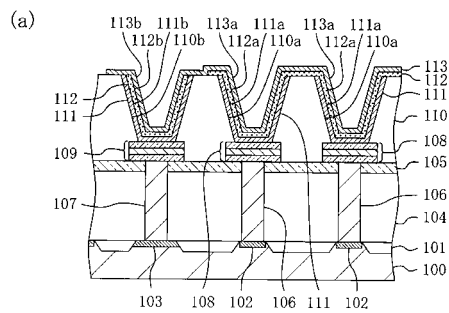
【図 2 1】



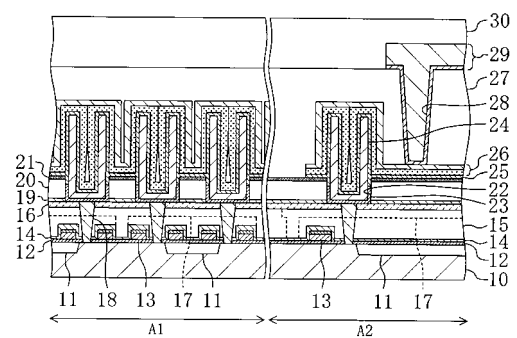
【図 2 2】



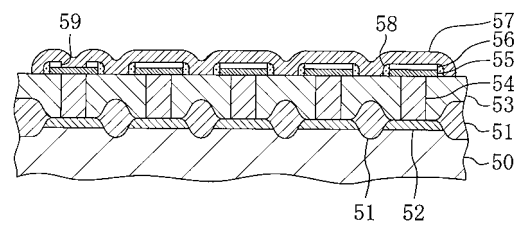
【図 2 3】



【図 2 4】



【図 2 5】



フロントページの続き

- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (72)発明者 三河 巧
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 十代 勇治
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

審査官 北島 健次

- (56)参考文献 特開 2 0 0 3 - 1 7 4 1 4 5 (J P , A)
特開 2 0 0 3 - 2 8 9 1 3 4 (J P , A)

- (58)調査した分野(Int.Cl. , DB名)
- | | |
|---------|---------------|
| H 0 1 L | 2 1 / 8 2 4 6 |
| H 0 1 L | 2 1 / 8 2 4 2 |
| H 0 1 L | 2 7 / 1 0 5 |
| H 0 1 L | 2 7 / 1 0 8 |