

公告本

申請日期：90.7.20	案號：90117754
類別：H01L 21/68	

(以上各欄由本局填註)

發明專利說明書

508742

一、發明名稱	中文	一種改善雙鑲嵌內連線可靠度的方法
	英文	METHOD OF IMPROVING RELIABILITY OF A DUAL DAMASCENE INTERCONNECTION
二、發明人	姓名 (中文)	1. 劉正美 2. 蔡正原
	姓名 (英文)	1. Liu, Jeng-Mei 2. Tsai, Cheng-Yuan
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 新竹市建中一路三七號十五樓之五 2. 雲林縣北港鎮民主路十四號
三、申請人	姓名 (名稱) (中文)	1. 聯華電子股份有限公司
	姓名 (名稱) (英文)	1. UNITED MICROELECTRONICS CORP.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區新竹市力行二路三號
	代表人 姓名 (中文)	1. 曹興誠
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

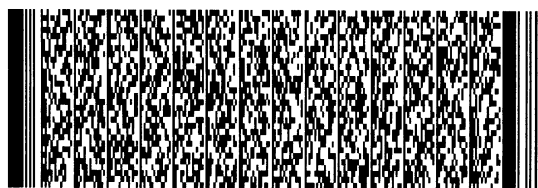
發明之領域

本發明係關於一種雙鑲嵌 (dual damascene) 內連線 (interconnect) 方法，尤指一種具有虛設 (dummy) 接觸窗 (via) 之雙鑲嵌內連線方法，用以改善銅雙鑲嵌內連線的可靠度 (reliability)。

背景說明

銅雙鑲嵌 (dual damascene) 技術搭配低介電常數材料所構成的金屬間介電層 (inter metal dielectric, IMD) 是目前最受歡迎的金屬內連線製程組合，尤其針對高積集度、高速 (high-speed) 邏輯積體電路晶片製造以及 0.18 微米以下的深次微米 (deep sub-micro) 半導體製程。這是由於銅具有低電阻值 (比鋁低 30%) 以及抗電致遷 (electromigration resistance) 的特性，而低介電常數材料則可幫助降低金屬導線之間的 RC 延遲 (RC delay) 效應。因此，銅金屬雙鑲嵌內連線技術在積體電路製程中顯得日益重要，而且勢必將成為下一代半導體製程的標準內連線技術。

請參閱圖一，圖一為一半導體晶片 10 的部份剖面示意圖，顯示一典型的雙鑲嵌結構 11。如圖一所示，雙鑲嵌結構 11 係形成於一介電層 20 中，其包括有一下部接觸窗

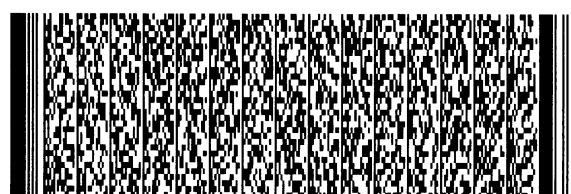
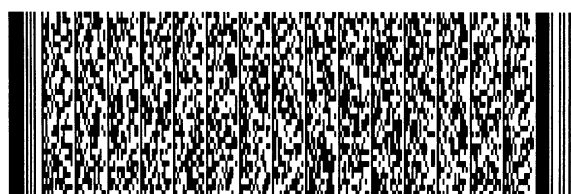


五、發明說明 (2)

(via)結構 22以及一上部溝渠結構 23。一下層導線 14形成於一介電層 12中以及一上層銅導線 24填入於上部溝渠結構 23中。上層銅導線 24以及下層導線 14可藉由一接觸插塞 (via plug) 22a穿過介電層 12以及介電層 20之間保護層 18互相連結。

為了防止填入雙鑲嵌結構 11中的銅金屬擴散至鄰近的介電層 20中，因此習知方法需於雙鑲嵌結構 11表面先形成一阻障 (barrier)層 25。一般，阻障層 25至少需具備有下列條件：(1)良好的擴散阻絕特性；(2)對於銅金屬以及介電層有良好的附著力；(3)電阻值不能過高 ($< 1000 \mu\Omega\text{-cm}$)；(4)良好的階梯覆蓋能力。常用的阻障層材料包括有鈦、氮化鈦 (TiN)、氮化鉭 (TaN)、以及氮化鎢 (WN)等等。

然而，如圖二所示，習知的雙鑲嵌銅製程往往會觀察到有接觸窗打開 (via open) 28的現象發生。接觸窗打開現象主要是由於 (1)阻障層破裂 (barrier broken)，或者是 (2)接觸窗底部架空 (bottom via open)所致。前述第一種情形經常發生在阻障層較為脆弱的時候，而第二種情形則發生在當阻障層採用較為強韌之材質時。前者會造成原先填入於接觸窗中之銅金屬直接經由阻障層 25中的裂縫流失擴散至介電層 20中，造成漏電流 (leakage)情形。後者會因接觸窗底部架空造成金屬斷路。兩者皆會導致上層銅導



五、發明說明 (3)

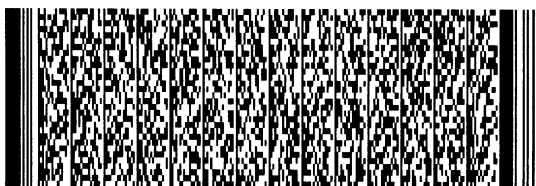
線 24 以及下層導線 14 之間無法導通，構成元件或電路失效。上述這兩種現象在當介電層 20 採用熱膨脹係數 (coefficient of thermal expansion, CTE) 較高的低介電常數材料時，例如 SiLK™ 等聚合物型 (polymer-type) 低介電材料或多孔結構 (porous) 介電層，更顯得特別嚴重。

若以 SiLK™ 作為介電層 20 以及氮化鉭 (TaN) 作為阻障層 25 的銅金屬雙鑲嵌銅製程為例，由於 SiLK™、銅金屬以及氮化鉭 (TaN) 的熱膨脹係數分別為 60ppm/°C、17ppm/°C 以及 3ppm/°C，因此當完成金屬化的半導體晶片 10 再次經歷熱製程之後，SiLK™ 介電層 20 所產生的熱應力會導致熱膨脹係數較低的氮化鉭阻障層 25 破裂 (cracking) 或導致接觸窗底部架空，進而造成接觸窗打開現象。此外，接觸窗打開情形在孤立的接觸窗 (iso-via) 會更顯得惡化。

發明概述

因此，本發明之主要目的在於提供一種改良的雙鑲嵌製程方法，以解決上述問題。

本發明之另一目的在於提供一種利用虛設 (dummy) 接觸窗之雙鑲嵌內連線方法，用以改善銅雙鑲嵌內連線製程的可靠度。

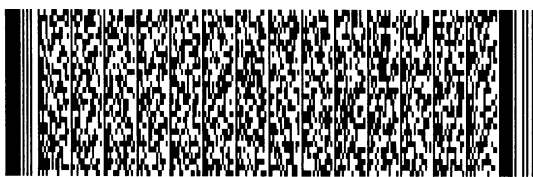


五、發明說明 (4)

依據本發明之較佳實施例，本發明首先提供一半導體晶片，其上包含有一底層以及一介電層形成於該底層上，且該底層中包含有一下層導線；進行一雙鑲嵌製程，以同時於該介電層中形成一雙鑲嵌結構，其中該雙鑲嵌結構包含有一導線槽 (trench) 結構以及一接觸窗 (via) 結構，且該接觸窗結構通達該下層導線；於形成該接觸窗結構的同時，於該介電層中形成複數個虛設 (dummy) 接觸窗結構；同時於該雙鑲嵌結構中以及該複數個虛設接觸窗結構中形成一阻障層；於該阻障層上形成一金屬層，填滿該雙鑲嵌結構以及該複數個虛設接觸窗結構；以及進行一化學機械研磨 (chemical mechanical polishing, CMP) 製程，以於該雙鑲嵌結構中形成一雙鑲嵌銅導線以及一銅接觸插塞，同時於該複數個虛設接觸窗結構中形成虛設插塞 (dummy plug)。

其中該介電層具有一第一熱膨脹係數 (coefficient of thermal expansion, CTE)，該阻障層具有一第二熱膨脹係數，該金屬層具有一第三熱膨脹係數，且該第二熱膨脹係數小於該第一熱膨脹係數，該第三熱膨脹係數大於該第二熱膨脹係數。

使用本發明的優點包括：(1) 虛設接觸窗可以釋放由於介電層的熱膨脹所產生的應力；(2) 虛設接觸窗可以幫助介電層迅速散熱 (dissipate heat)；(3) 虛設接觸

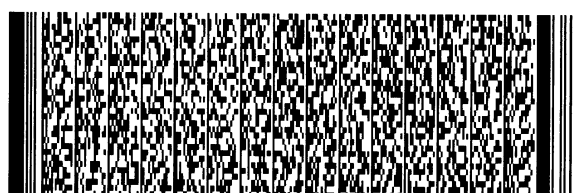
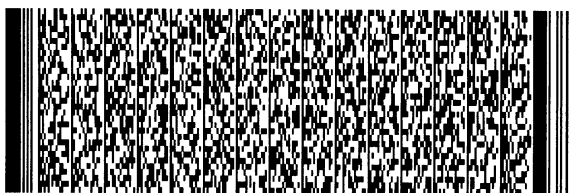


五、發明說明 (5)

窗可以放寬雙鑲嵌結構定義時的黃光製程彈性 (process window); 以及 (4) 虛設接觸窗可以增加孤立接觸窗 (iso-via) 之強度。

發明之詳細說明

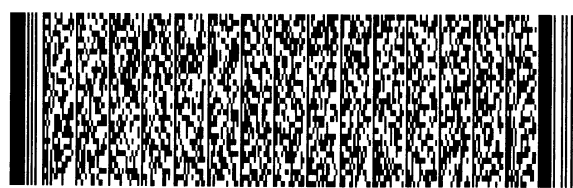
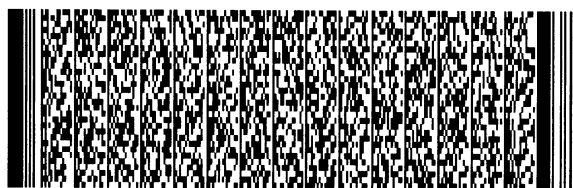
首先請參閱圖三，圖三為本發明較佳實施例中一完成雙鑲嵌內連線製程之部份半導體晶片 40 放大上視圖。如圖三所示，半導體晶片 40 上包含有一介電層 42，一般為 FLARE™ 或 SiLK™ 等旋轉塗佈 (spin-on-coating, SOC) 低介電常數材料。然而，本發明並非只限定在旋轉塗佈 (spin-on-coating, SOC) 低介電常數材料，其它具有高熱膨脹係數 (一般指 CTE 大於 30 或 40 以上) 之介電材料，例如亞芳香基醚類聚合物 (poly (arylene ether) polymer) 或 parylene 類化合物、聚醯亞胺 (polyimide) 系高分子、氟化聚醯亞胺 (fluorinated polyimide)、HSQ 或無機多孔 (porous) 材料等等，皆適用於本發明之範圍。在本發明之較佳實施例中，介電層 42 係由 SiLK™ 所構成，其熱膨脹係數為 60 ppm/°C，約為氮化鈮 (其熱膨脹係數為 3 ppm/°C，後續用來作為阻障層) 的 20 倍。此處構成介電層 42 的低介電常數材料之介電常數一般約小於 3.0，而介電層 42 厚度一般約為數千埃 (angstrom) 至數微米 (micrometer) 之間。為了方便說明本發明之特徵，半導體晶片 40 上之其它元件則不顯示在圖三之中。



五、發明說明 (6)

在圖三中，一雙鑲嵌內連線結構 44 已經預先形成於介電層 42 中，並已經利用金屬 47，例如銅，填滿雙鑲嵌內連線結構 44。此外，阻障層 (未顯示於圖三) 亦在沈積金屬 47 之前預先形成於雙鑲嵌內連線結構 44 中。雙鑲嵌內連線結構 44 包括有一導線槽結構 45 以及一接觸窗結構 46 通達下方之其它導線 (未顯示)。在本發明之較佳實施例中，雙鑲嵌內連線結構 44 係利用導線槽優先 (trench-first) 雙鑲嵌製程形成。然而在其它實施例中，本發明方法亦可以應用於其它不同類型銅金屬內連線雙鑲嵌製程形成，例如接觸窗優先雙鑲嵌製程、自行對準 (self-aligned) 雙鑲嵌製程、埋入蝕刻停止 (buried etch stop) 雙鑲嵌製程、部份接觸窗 (partial-via) 製程或埋入蝕刻遮蔽 (buried etch mask) 雙鑲嵌製程。

仍然參照圖三，於雙鑲嵌內連線結構 44 之周圍介電層 42 中，尚有複數個虛設接觸窗結構 48。虛設接觸窗結構 48 與雙鑲嵌內連線結構 44 之最小距離定義為 L_1 ，而相鄰兩虛設接觸窗結構 48 之最小距離則定義為 L_2 。需注意的是， L_1 與 L_2 需視產品之設計條件，而最佳化，以達到最密排列以及最小的電性干擾。此目的可由 IC 設計工程師藉由經驗以及最佳化模擬程式等電腦輔助工具達到，因此不再贅述。虛設接觸窗結構 48 在佈局時需錯開產品之內連線圖案。更明確的說，虛設接觸窗結構 48 在佈局時只要不同時連接上



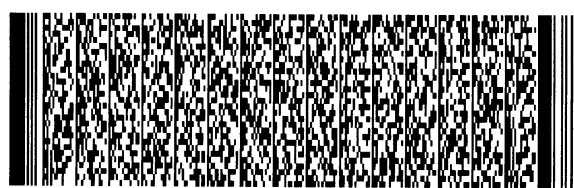
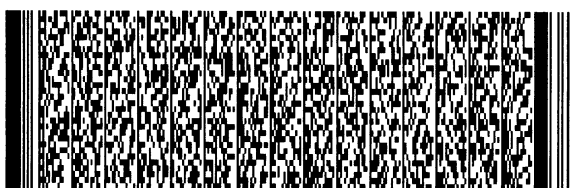
五、發明說明 (7)

下層導線即可。圖四為圖三沿著切線 II' 之剖面示意圖。如圖四所示，由於虛設接觸窗結構 48 與接觸窗結構 46 係同時形成於介電層 42 中，並且同時進行金屬化製程，因此在每一虛設接觸窗結構 48 中均填滿有與填入雙鑲嵌內連線結構 44 相同之阻障層 52 以及金屬 47。

藉由填入虛設接觸窗結構 48 中的金屬 47，本發明方法可以於後續的熱製程中幫助介電層 42 迅速散熱 (dissipate heat)，並且有效釋放由於介電層 42 熱膨脹所產生的應力。此外，除了可以解決介電層 42 的熱膨脹問題，利用本發明方法更可以放寬雙鑲嵌結構定義時的黃光製程彈性 (process window)。

接下來，請參閱圖五至圖七，以下即藉由圖五至圖七說明本發明較佳實施例。首先，如圖五所示，半導體晶片 60 表面包含有一底層 62，其可以為一矽基底或另一低介電常數材料層，一氮化矽層 64 覆蓋於底層 62 表面以及一介電層 70 形成於氮化矽層 64 之上。底層 62 中形成有一導電層 61，例如一下層內連線金屬導線。介電層 70 一般為三層堆疊結構，包括有一停止層 68 介於兩低介電常數材料層 66a 與 b 中。

低介電常數材料層 66a 與 b 一般係利用自旋塗佈 (spin-on coated) 技術形成，可以為業界所常用之有機低

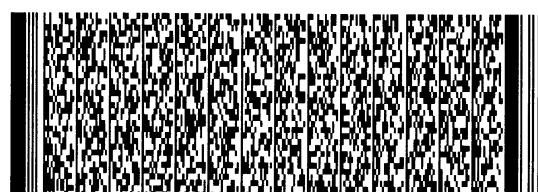
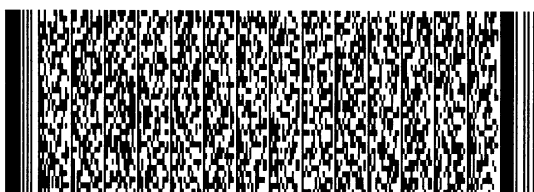


五、發明說明 (8)

介電常數材料，例如 Allied Signal公司所產製之 FLARE™ 系列產品、Dow Chemical公司所產製之 SILK™、亞芳香基醚類聚合物 (poly (arylene ether) polymer) 或 parylene 類化合物等等。然而，本發明並不限定於自旋塗佈介電材料。低介電常數材料層 66a 與 b 的介電常數約小於 3.0，其厚度約為數千埃。此外，於低介電常數材料層 66b 表面形成一保護層 72，例如氮化矽層或氧化矽層，藉以保護介電層 70。

接著，如圖六所示，進行一導線槽優先 (trench-first) 雙鑲嵌製程，先於低介電常數材料層 66b 形成一導線槽結構 75。導線槽結構 75 的形成係利用習知之黃光以及蝕刻製程完成，因此不再贅述。接著，於介電層 70 上方形成一光阻層 79，光阻層 79 包含有接觸窗圖案開口 76 設於導線槽結構 75 中，以及虛設接觸窗圖案開口 78，分別用來於後續蝕刻製程中，於介電層 70 中形成接觸窗結構以及虛設接觸窗結構。

接著，如圖七所示，進行一乾蝕刻製程，同時經由光阻層 79 中的接觸窗圖案開口 76 以及虛設接觸窗圖案開口 78 蝕刻介電層 70，貫穿氮化矽層 64 直至底層 62。隨後去除光阻層 79。此時，介電層 70 中即完成了雙鑲嵌結構 74，包括導線槽結構 75 以及接觸窗結構 76'，同時於雙鑲嵌結構 74 周圍形成虛設接觸窗結構 78'。隨後，於導線槽 75 表面、

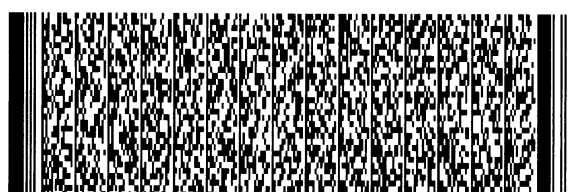
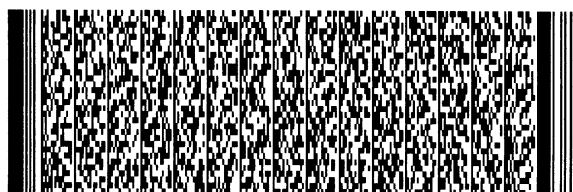


五、發明說明 (9)

接觸窗結構 76' 表面以及虛設接觸窗結構 78' 表面上形成一阻障層 82。

在較佳實施例中，阻障層 82 係由具有良好黏合性質的氮化鈮 (Ta₂N₅) 或氮化鈮 (Ta₂N₅)/鈮 (Ta) 複合層所構成。然而，其它選自於下列材料之任一或其組合：氮化鈦 (TiN)、鈦鎢合金 (TiW alloy)、鈮鎢合金 (TaW alloy)、或其他類似阻障材料亦適用於本發明。阻障層 82 係在溫度約為 300 至 400°C，較佳為 300°C 的環境下，利用物理氣相沈積 (physical vapor deposition, PVD) 或高密度電漿 PVD 技術形成，其厚度約為 100 至 600 埃之間，較佳為 150 至 400 埃之間。此外，形成阻障層 82 的方法可以選擇使用濺鍍或者化學氣相沈積 (CVD) 技術，此為習知該項技藝者所熟知，因此不再贅述。

接著，以電鍍方式於雙鑲嵌結構 74，包括導線槽結構 75 以及接觸窗結構 76' 中填入一銅金屬層 81，例如利用無電極銅沈積 (electroless copper deposition, ECD) 技術，並且覆蓋在保護層 72 之上。一般在電鍍銅金屬之前，會先形成一銅晶種層 (未顯示)。銅晶種層可以利用 PVD 技術或其它習知該項技藝者所熟知之方法形成。最後進行一化學機械研磨 (chemical mechanical polishing, CMP) 製程，去除銅金屬層 81 位於保護層 72 之上的部份，留下填在雙鑲嵌結構 74 以及虛設接觸窗結構 78' 中的銅金屬層 81 部

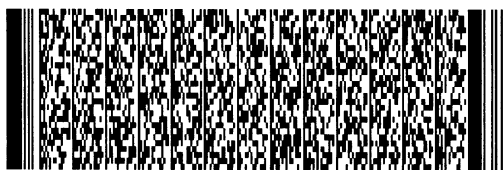


五、發明說明 (10)

份，完成本發明雙鑲嵌內連線的製作。

相較於習知雙鑲嵌內連線方法，本發明方法藉由填入虛設接觸窗結構中的金屬，於後續的熱製程中幫助介電層 70 迅速散熱 (dissipate heat)，並且有效釋放由於介電層 70 熱膨脹所產生的應力。尤其當介電層 70 為熱膨脹係數較高之有機低介電常數材料，例如 SiLK™ 所構成，或由多孔無機低介電常數材料所構成時，本發明方法之優點更為顯著。除了解決了介電層 70 的熱膨脹問題，利用本發明方法可以放寬雙鑲嵌結構定義時的黃光製程彈性 (process window)，降低製程困難度。使用本發明方法能夠有效解決習知技術中常見之接觸窗打開現象。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖示之簡單說明

圖一與圖二為習知雙鑲嵌內連線結構之剖面示意圖。

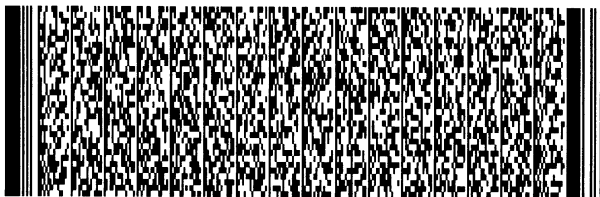
圖三為本發明較佳實施例中一完成雙鑲嵌內連線製程之部份半導體晶片放大上視圖。

圖四為圖三沿著切線 II' 之剖面示意圖。

圖五至圖七為本發明較佳實施例之方法示意圖。

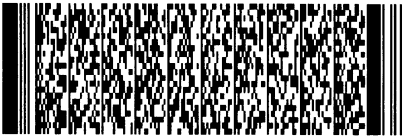
圖示之符號說明

10	半導體晶片	11	雙鑲嵌結構
12	介電層	14	導電層
18	保護層	20	介電層
22	接觸窗結構	22a	接觸插塞
23	導線槽結構	24	上層銅導線
25	阻障層	40	半導體晶片
42	介電層	44	雙鑲嵌結構
45	導線槽結構	46	接觸窗結構
47	金屬	48	虛設接觸窗結構
52	阻障層	60	半導體晶片
61	導電層	62	底層
64	氮化矽層	66a、b	低介電常數材料層
68	停止層	70	介電層
72	保護層	74	雙鑲嵌結構



圖式簡單說明

75	導線槽結構	76'	接觸窗結構
76	接觸窗開口	78'	虛設接觸窗結構
78	虛設接觸窗開口	79	光阻層
81	金屬層	82	阻障層

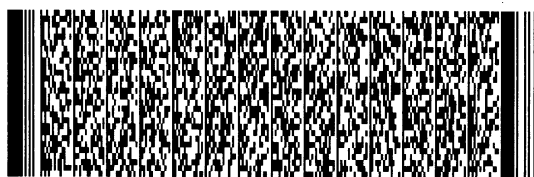


四、中文發明摘要 (發明之名稱：一種改善雙鑲嵌內連線可靠度的方法)

本發明首先提供一半導體晶片，其上包含有一底層以及一介電層形成於該底層上，且該底層中包含有一下層導線；同時於該介電層中形成一鑲嵌開口結構以及複數個虛設(dummy)接觸窗結構環繞於該鑲嵌結構周圍，其中該鑲嵌結構通達該下層導線；同時於該鑲嵌開口結構中以及該複數個虛設接觸窗結構中形成一阻障層；以及於該阻障層上形成一金屬層，填滿該鑲嵌開口結構以及該複數個虛設接觸窗結構；其中該介電層具有一第一熱膨脹係數(coefficient of thermal expansion, CTE)，該阻障層具有一第二熱膨脹係數，該金屬層具有一第三熱膨脹係數，且該第二熱膨脹係數小於該第一熱膨脹係數，該第三熱膨脹係數大於該第二熱膨脹係數。

英文發明摘要 (發明之名稱：METHOD OF IMPROVING RELIABILITY OF A DUAL DAMASCENE INTERCONNECTION)

A method for improving reliability of a dual damascene interconnection is provided. A damascene opening and a plurality of dummy via holes adjacent to the damascene opening are formed simultaneously within a dielectric layer. The damascene opening connects to an underlying conductor or wire line. A barrier layer is formed in the damascene opening and the dummy via holes. A metal layer is formed on the barrier layer to fill both the damascene opening and the dummy via



四、中文發明摘要 (發明之名稱：一種改善雙鑲嵌內連線可靠度的方法)

英文發明摘要 (發明之名稱：METHOD OF IMPROVING RELIABILITY OF A DUAL DAMASCENE INTERCONNECTION)

holes. The dielectric layer has a first coefficient of thermal expansion (CTE) greater than a second CTE of the barrier layer. The metal layer has a third CTE greater than the second CTE.



六、申請專利範圍

1. 一種製作雙鑲嵌 (dual damascene) 內連線的方法，該方法包含有下列步驟：

提供一半導體晶片，其上包含有一底層以及一介電層形成於該底層上，且該底層中包含有一下層導線，該介電層具有一第一熱膨脹係數 (coefficient of thermal expansion, CTE)；

進行一雙鑲嵌製程，依序於該介電層中形成一接觸窗 (via) 通達該下層導線以及一導線槽 (trench)，其中該接觸窗以及該導線槽構成一雙鑲嵌結構；

於形成該接觸窗的同時，於該接觸窗周圍區域之該介電層中形成複數個虛設 (dummy) 接觸窗；

同時於該雙鑲嵌結構中以及該複數個虛設接觸窗中形成至少一阻障層，且該阻障層具有一第二熱膨脹係數 (CTE)；

於該阻障層上形成一金屬層，填滿該雙鑲嵌結構以及該複數個虛設接觸窗；以及

進行一化學機械研磨 (chemical mechanical polishing, CMP) 製程，以於該雙鑲嵌結構中形成一雙鑲嵌銅導線以及一銅接觸插塞，同時於各該複數個虛設接觸窗中形成一虛設插塞 (dummy plug)；

其中該金屬層具有一第三熱膨脹係數 (CTE)，且該第二熱膨脹係數小於該第一熱膨脹係數，該第三熱膨脹係數大於該第二熱膨脹係數，又其中該虛設插塞可於一熱製程中釋放由於該介電層熱膨脹所產生的應力，以避免一接觸



六、申請專利範圍

窗打開 (via open)現象發生。

2. 如申請專利範圍第 1項之方法，其中該介電層係由 SiLKTM所構成。

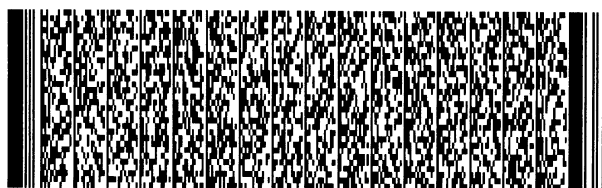
3. 如申請專利範圍第 1項之方法，其中該第一熱膨脹係數大於 50ppm/°C。

4. 如申請專利範圍第 1項之方法，其中該第二熱膨脹係數小於 10ppm/°C。

5. 如申請專利範圍第 1項之方法，其中該阻障層係選自下列組合之一：氮化鉭 (TaN)、氮化鈦 (TiN)、鈦鎢合金 (TiW alloy)、鉭鎢合金 (TaW alloy)、氮化鉭 (TaN)/鉭 (Ta)複合層以及氮化鉭 (TaN)/氮化鈦 (TiN)/鉭 (Ta)複合層。

6. 如申請專利範圍第 5項之方法，其中形成該阻障層的方法係利用一物理氣相沈積 (physical vapor deposition, PVD)技術以及 /或化學氣相沈積 (chemical vapor deposition, CVD)技術。

7. 如申請專利範圍第 1項之方法，其中該接觸窗係為一孤立接觸窗 (iso-via)。



六、申請專利範圍

8. 一種改善鑲嵌內連線可靠度的方法，該方法包含有下列步驟：

提供一半導體晶片，其上包含有一底層以及一介電層形成於該底層上，且該底層中包含有一下層導線；

同時於該介電層中形成一鑲嵌開口結構以及複數個虛設 (dummy) 接觸窗結構環繞於該鑲嵌結構周圍，其中該鑲嵌結構通達該下層導線；

同時於該鑲嵌開口結構中以及該複數個虛設接觸窗結構中形成一阻障層；以及

於該阻障層上形成一金屬層，填滿該鑲嵌開口結構以及該複數個虛設接觸窗結構；

其中該介電層具有一第一熱膨脹係數 (coefficient of thermal expansion, CTE)，該阻障層具有一第二熱膨脹係數，且該第二熱膨脹係數小於該第一熱膨脹係數。

9. 如申請專利範圍第 8 項之方法，其中該介電層係由 SiLKTM 所構成。

10. 如申請專利範圍第 8 項之方法，其中該第一熱膨脹係數大於 50 ppm/°C。

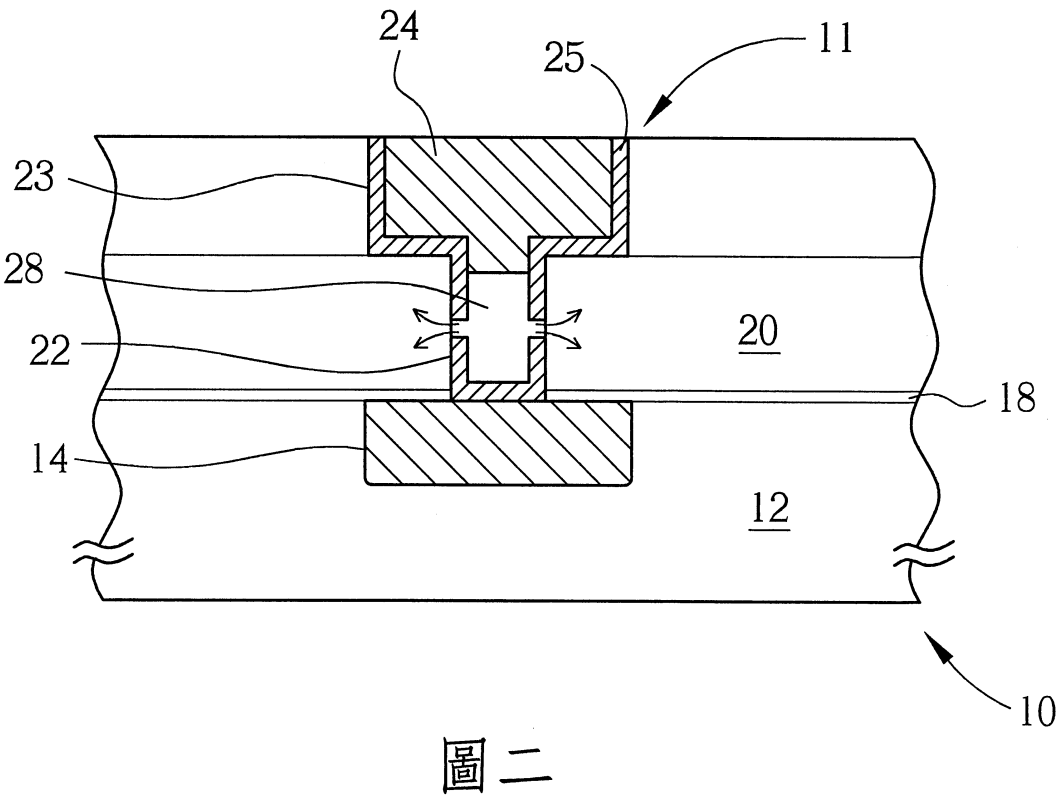
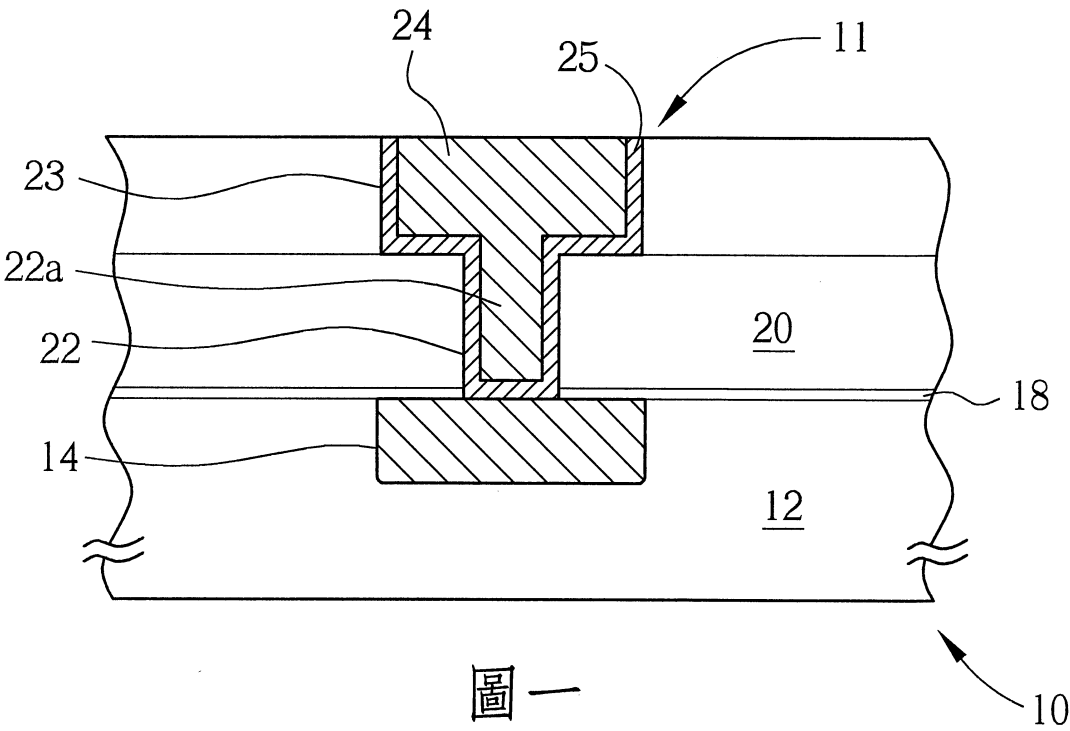
11. 如申請專利範圍第 8 項之方法，其中該第二熱膨脹係數小於 10 ppm/°C。

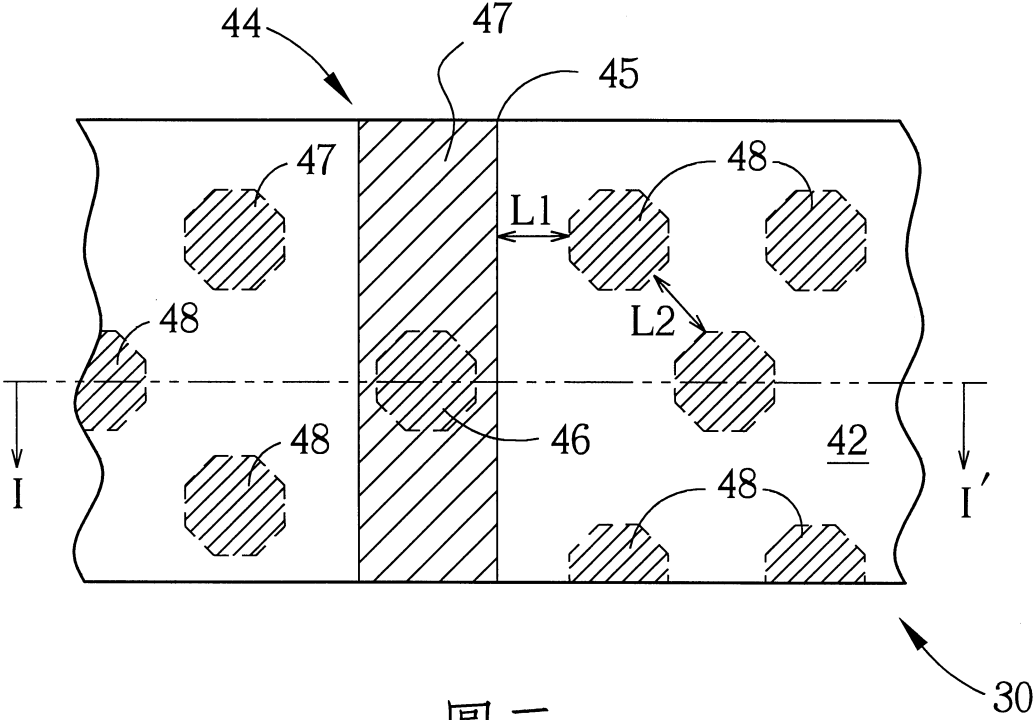


六、申請專利範圍

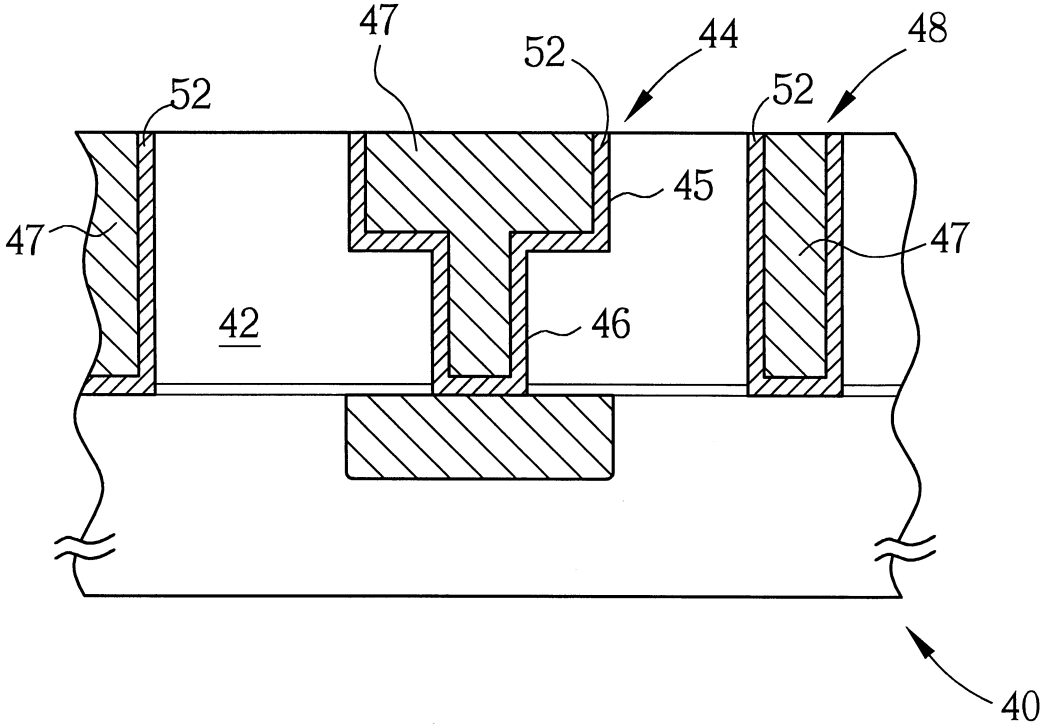
12. 如申請專利範圍第8項之方法，其中該阻障層係選自下列組合之一：氮化鉭 (TaN)、氮化鈦 (TiN)、鈦鎢合金 (TiW alloy)、鉭鎢合金 (TaW alloy)、氮化鉭 (TaN)/鉭 (Ta)複合層以及氮化鉭 (TaN)/氮化鈦 (TiN)/鉭 (Ta)複合層。



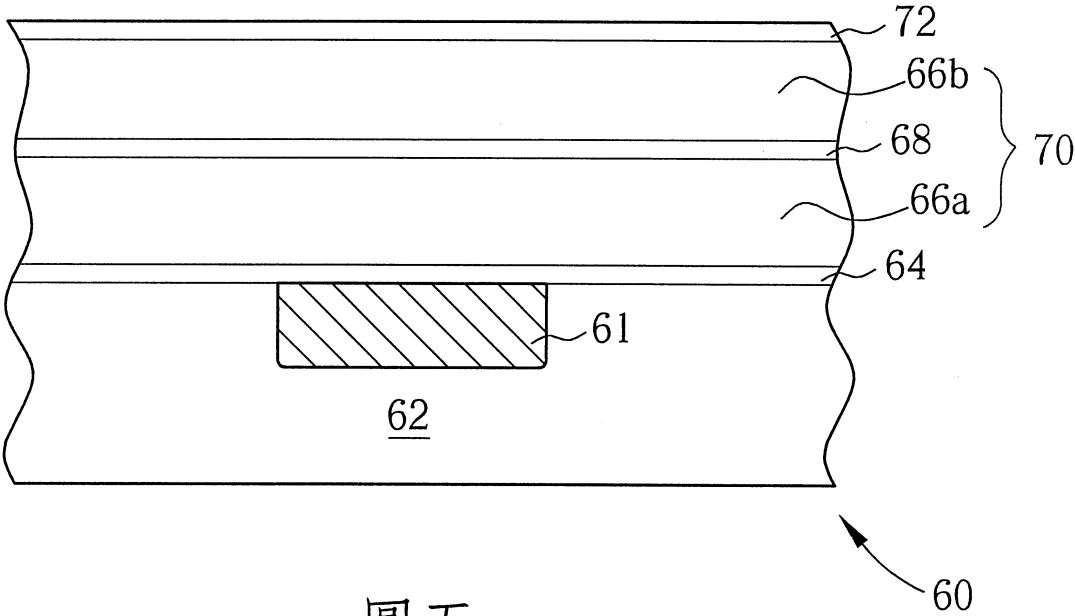




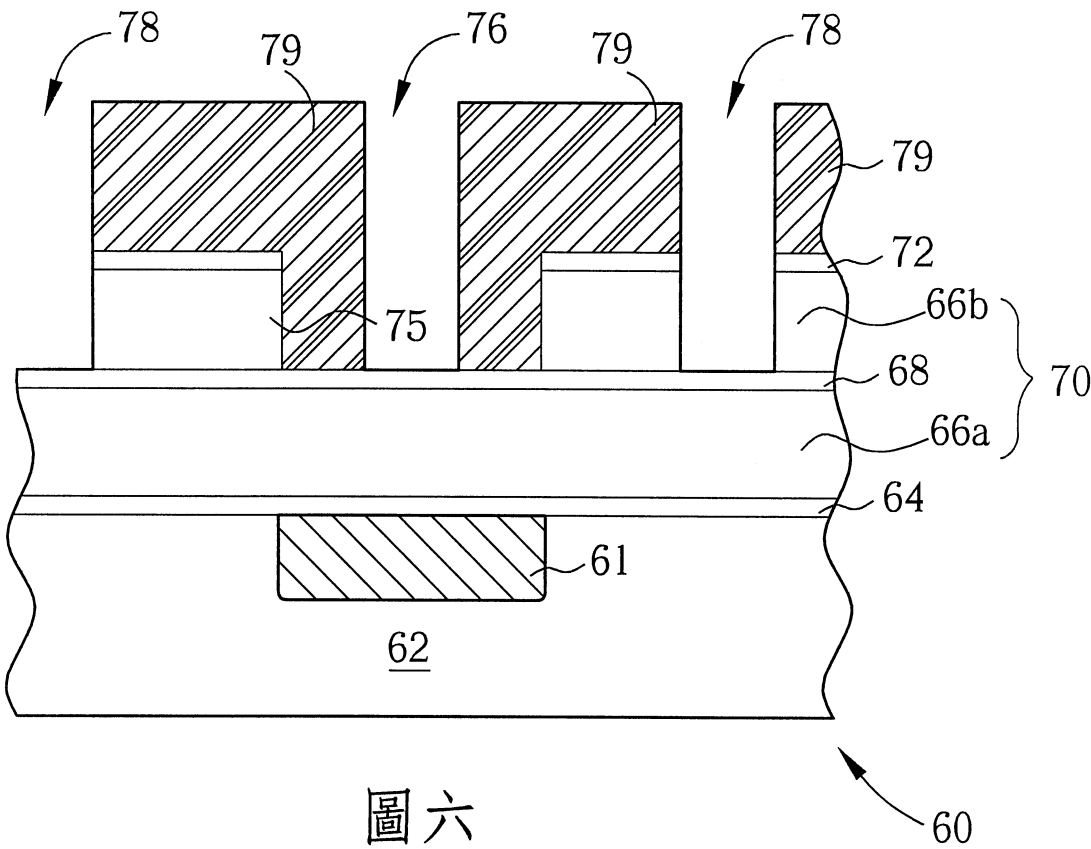
圖三



圖四



圖五



圖六

