

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/268 (2006.01)

H01L 21/336 (2006.01)



[12] 发明专利说明书

专利号 ZL 02821165.0

[45] 授权公告日 2007 年 5 月 16 日

[11] 授权公告号 CN 1316569C

[22] 申请日 2002.10.11 [21] 申请号 02821165.0

[30] 优先权

[32] 2001.10.25 [33] US [31] 09/983,625

[86] 国际申请 PCT/US2002/032555 2002.10.11

[87] 国际公布 WO2003/036701 英 2003.5.1

[85] 进入国家阶段日期 2004.4.23

[73] 专利权人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 B·于 R·B·奥格莱

E·N·佩顿 C·E·塔贝里

奇·相

[56] 参考文献

US 6159856 A 2000.12.12

US 5937315 A 1999.8.10

US 6291278 B1 2001.9.18

US 6287925 B1 2001.9.11

审查员 白 燕

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 戈 泊 程 伟

权利要求书 2 页 说明书 8 页 附图 5 页

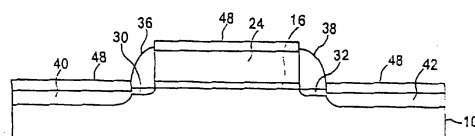
[54] 发明名称

低温的掺杂后活化工序

[57] 摘要

本发明提供一种有关 MOSFET (Metal Oxide Semiconductor FieldEffect Transistor) 半导体装置的制造方法, 该制造方法包括: 在基板 (10) 之上形成栅极电极 (24), 以及于该栅极电极 (24) 和该基板 (10) 之间形成栅极氧化物 (16); 在该基板 (10) 上形成源极/漏极延伸区 (30、32); 形成第一和第二侧墙间隔区 (Side Wall Spacers) (36、38); 在该基板 (10) 之内植入掺杂物 (Dopant) (44), 以在邻近该侧墙间隔区 (36、38) 的该基板 (10) 上, 形成源极/漏极区 (40、42); 施行激光热退火以活化该源极/漏极区 (40、42); 在该源极/漏极区 (40、42) 之上沉积一镍层 (46); 施行退火以形成配置于该源极/漏极区 (40、42) 上的硅化镍层 (46)。 该源极/漏极延伸区 (30、32) 和该侧墙间隔区 (36、38) 是邻接栅极电极 (24)。 该源极/漏极延伸区 (30、32) 可具有 5 到 30

纳米的深度, 而该源极/漏极区 (40、42) 可具有 40 到 100 纳米的深度。 该退火处理的温度是在 350 到 500℃ 之间。



1. 一种半导体装置的制造方法，包括下列步骤：

在基板(10)之上形成栅极电极(24)，以及于该栅极电极(24)和该基板(10)之间形成栅极氧化物(16)；

5 其后，在该基板(10)之内植入掺杂物(44)以在接近该栅极电极(24)的该基板(10)上形成源极/漏极区(40、42)；

施行激光热退火以活化该源极/漏极区(40、42)；

在该源极/漏极区(40、42)之上沉积镍(46)；

10 在 350 到 500℃ 的温度下对该源极/漏极区(40、42)上的该镍(46)施行退火；以及

形成配置于该源极/漏极区(40、42)上的硅化镍层(48)。

2. 如权利要求 1 所述的半导体装置的制造方法，其中，沉积在该源极/漏极区(40、42)之上的该镍(46)具有 8 到 20 纳米的厚度。

15

3. 如权利要求 1 所述的半导体装置的制造方法，还包括下列步骤：

在邻近该栅极电极(24)的该基板(10)上形成源极/漏极延伸区(30、32)；以及

形成邻近该栅极电极(24)的侧墙间隔区(36、38)。

20

4. 如权利要求 3 所述的半导体装置的制造方法，其中，该源极/漏极延伸区(30、32)具有 5 到 30 纳米的深度。

25 5. 如权利要求 1 至 4 中任一项所述的半导体装置的制造方法，其中，该源极/漏极区(40、42)具有 40 到 100 纳米的深度。

30

6. 如权利要求 1 至 4 中任一项所述的半导体装置的制造方法，其中，该形成源极/漏极区(40、42)的步骤对该基板(10)的一区域进行非晶体化。

7. 如权利要求 6 所述的半导体装置的制造方法，其中，该以激光

热退火活化源极/漏极区(40、42)的步骤使非晶体化区熔化，但未使结晶硅熔化。

8. 如权利要求 1 至 4 中任一项所述的半导体装置的制造方法，其中该半导体装置是为 MOSFET 装置。

低温的掺杂后活化工艺

技术领域

- 5 本发明是有关于半导体装置的制造，尤有关于一种可防止掺杂物 (Dopant) 去活化 (Deactivated) 的后激光退火工艺 (Post-Laser Anneal Processes)。

背景技术

- 10 在过去数十年间，半导体工业由于使用半导体技术以制造小型、高整合的电子装置，而经历了一场工业革命，而目前最普遍使用的半导体技术是以硅为基础。至目前已经有许多种类的半导体装置被制造出来，这些半导体装置并在许多规则中具有各种用途。一种以硅为基础的半导体装置是为金属氧化物半导体 (Metal-Oxide-Semiconductor, MOS) 晶体管。由于 MOS 晶体管是为大部份现代电子装置的基本建构块的一，因此非常重要，当增加 MOS 晶体管的性能且降低制造成本时，变可使这些电子装置有改善的性能和较低的成本。

- 典型的 MOS 半导体装置通常包含一半导体基板，而于该半导体基板上配置栅极电极。该栅极电极是作为导体，其可接收输入信号以控制该装置的操作。通常在基板的邻近栅极电极的区域上，藉由对该区域掺杂具有预期的导电性的掺杂物，以形成源极区和漏极区。而该掺杂区的导电性是取决于用以掺杂该区域的不纯物的型式。典型的 MOS 晶体管具有对称性，因此，源极和漏极可互相交换。一区域不论是作为源极或漏极，通常都取决于个别所被施加的电压和装置被制造的型式。于此，使用集合式名词“源极/漏极区”以一般性地描述活性区域 (Active Region)，其中该活性区域是用以形成源极或漏极。

- MOS 装置依据用以形成源极、漏极和信道区的掺杂物型式，通常可归类为两组群的一。该两组群通常称为 n 信道和 p 信道装置。根据在横向电场中所产生的信道导电性型式可判别该信道的型式。例如，
- 30 在 n 信道 MOS (NMOS) 装置中，在横向电场下的信道导电性是为结合 n

型式不纯物(例如砷(Arsenic)或磷(Phosphorous))的导电性。相反地, 在横向电场下, p 信道 MOS(PMOS)的信道是结合 p 型式不纯物(例如硼(Boron))。

一种通常称为 MOS 场效应晶体管(MOSFET)的装置, 包含形成于
5 半导体基板上的栅极区或电极下方, 且介于漏极区和源极区间的信道区。通常将该信道轻微地掺杂一掺杂物, 其中该掺杂物和源极/漏极区具有相反的导电性型式。通常以绝缘层使栅极电极和基板分离, 该绝缘层通常为例如二氧化硅的氧化物层。该绝缘层是用以防止电流在栅极电极和源极、漏极或信道区间流动。在操作时, 通常于源极和漏极
10 端点间产生一电压。当施加一输入电压于栅极电极时, 在信道区会建立一横向电场。藉由变化该横向电场, 而得以调整信道区在源极和漏极区间的传导性。以此方式, 利用电场以控制电流流过信道区。

半导体业界正持续地努力改善 MOSFET 装置的性能当中。制造次微米(Sub-micron)线宽(Feature)装置的能力可因为, 例如, 减少劣化性能
15 的电阻和寄生电容, 而使性能明显地提升。经由在数个半导体制造程序上的进步, 而可达成次微米线宽。例如, 在光刻技术(Photolithography)中更为精密的曝光镜头的发展, 以及更灵敏的光阻材料的使用, 使得在光阻层中可常规性地达成次微米线宽。此外, 更先进的干蚀刻(Dry Etching)工具和工艺的发展使得光阻层上的次微米影像可成功地被转换为 MOSFET 结构所使用的基本材料(Underlying
20 Material)。

当 MOSFET 的尺寸收缩时, 有效栅极长度的减少需要有相称的源极/漏极区的垂直连接深度(Vertical Junction Depth)的缩减。源极/漏极区的连接深度的降低是为了降低短信道效应(Short Channel Effect)。

25 当 MOSFET 的源极区和漏极区间的距离(亦即, 实体信道长度)减少时, 为了增加电路速度和复杂度, 必须也降低源极/漏极区的连接深度以防止不需要的源极/漏极与基板的连接电容。然而, 这些较小连接深度的获取却考验目前工艺技术的能力, 例如, 使用快速热退火(Thermal Annealing)的活化退火的离子植入法(Ion Implantation)的能力。
30 快速热退火技术通常包含在植入后, 于高密度热灯源下对硅晶圆加热。植入或掺杂程序会在硅基板上产生非晶体结构(Amorphitizes), 而使用

活化退火可使非晶体化的硅区再结晶。

由于快速热退火的限制，使激光热退火被业界所应用，尤其用于极浅的连接深度上。可在掺杂物的离子植入后执行激光热退火，其中该激光热退火包含以激光对掺杂区域进行加热。激光射线对曝光硅区快速地加热，使该硅区开始熔化。熔化的硅中的掺杂物扩散性约为 8 阶等级高于固态硅中的扩散性。因此，在熔化的硅中的掺杂物可几近均匀地分布，而该扩散则几近正好停止于液态/固态的交界。在加热硅后为快速冷却的步骤以固化硅，而此工艺容许非平衡(Non-equilibrium)的掺杂物活化程序，其中在该非平衡的掺杂物活化程序中，硅内的掺杂物浓度高于硅的固态溶解度极限。有利的是，该工艺容许极浅的源极/漏极区，其中该极浅的源极/漏极区所具有的电阻值约为由传统快速热退火工艺所获得的电阻的十分之一。

然而，该工艺中所存在的一问题为：随后的高温工艺可能导致源极/漏极区中的掺杂物被去活化。当自晶格(Lattice)点中移除掺杂物时，该掺杂物即被去活化，而掺杂物的去活化通常发生于高于 700℃ 的温度，而此温度会在例如快速热退火的工艺中发生。因此，需要一种改善的掺杂后活化工艺以防止掺杂物去活化。

发明内容

本发明的具体实施例提供一种可减少掺杂物的去活化的半导体装置的制造方法，以满足上述及其它需求。该方法包括：在基板上形成栅极电极，以及在栅极电极和基板间形成栅极氧化物；在基板上形成源极/漏极延伸区(Extensions)；形成第一和第二侧墙(Sidewall)间隔区(Spacer)；在基板内植入掺杂物以在基板上邻接侧墙间隔区处形成源极/漏极区；实行激光热退火以活化源极/漏极区。随后在源极/漏极区上沉积一层镍，并以低温退火以减少掺杂物去活化且在源极/漏极区上形成硅化镍层。

在本发明的另一态样中，源极/漏极延伸区可具有约 5 至 30 纳米的深度，而源极/漏极区可具有约 40 至 100 纳米的深度。此外，形成硅化镍时的温度是为约 350 至 500℃。

由下述的详细说明中，本领域技术人员可轻易地知道本发明的其它优点。其中，在本说明书中，仅以例举实行本发明的预期较佳型式

的方式，仅显示及描述本发明的较佳实施例。应了解本发明可有其它及不同的实施例，而其数个细节在各个明显面上可具有不同的变型，且仍不脱离本发明的范围。因此，本说明书中的图标和描述是用以例释本发明，而非用以限制本发明。

5

附图说明

所附图标中具有参考标号，其中，有相同标号指定的组件代表全文中类似的组件。

第 1A 至 1I 图是为图标依据本发明的实施例的结合使用低温硅化
10 工艺和激光热退火活化工艺的 MOS 制造方法的各连续阶段的显示图。

具体实施方式

本发明针对并解决由于高温的掺杂后活化工艺(例如快速热退火)所造成的掺杂物去活化问题。部份是藉由使用激光热退火以活化源极/漏极区来达成此目的，其中该激光热退火之后是低温硅化形成工艺。
15 尤指，藉由在源极/漏极区上铺设一镍层并随后施以低温加热炉退火(Furnace Anneal)，以在活化的源极/漏极区上形成硅化镍。该温度高到足够可产生硅化镍，但也低到足够可极小化在源极/漏极区内的掺杂物去活化作用。

20 本发明的一实施例如第 1A 至 1I 所示。首先，提供一硅基板，不过，该基板可由适合集成电路制造的任何材料形成。然而，在本发明的一态样中，该基板是由具有<100>晶体定位方向(Crystallographic Orientation)并轻微地掺杂 n 型式或 p 型式的不纯物的单晶硅(Single-Crystal Silicon)所形成。使用例如场式氧化物(Filed Oxide)或浅
25 绝缘沟(Shallow Isolation Trench)的绝缘结构在硅基板上分隔各个 MOS 装置。

举例而言，可藉由湿蚀刻技术的各向同性蚀刻(Isotropic Etch)或干蚀刻技术的各向异性蚀刻(Anisotropic Etch)形成浅绝缘沟。其后，在沟内沉积一氧化物。也可形成一场式氧化物以替代浅绝缘沟。通常在温
30 度为约 850 至 1050℃的高温氧气中，由热氧化作用形成场式氧化物。可使用一图样化、抗氧化的屏蔽(Mask)以防止非绝缘装置区的氧化。

在形成场式氧化物后，再藉由习知的技术，例如用于氮化硅屏蔽的热磷酸或用于垫式氧化物(Pad Oxide)屏蔽的缓冲氢氟酸(Buffered Hydrofluoric Acid)，以移除该屏蔽。

在第 1A 图中，一栅极氧化物 16，其是包括氧化硅，是例如在约 5 700 至 1000℃的温度的高温氧气环境中，使用热氧化作用而形成于基板 10 的上方表面上。栅极氧化物 16 可具有约 3 到 20 纳米的厚度，但并非限于此。在沉积栅极氧化物 16 后，于栅极氧化物 16 之上形成栅极电极。

栅极电极的形成通常包括在栅极氧化物 16 的上方表面，例如在约 10 600 到 800℃的温度下，藉由低压化学气相沉积(LPCVD, Lower Pressure Chemical Vapor Deposition)法沉积一未经掺杂的复晶硅(Polysilicon)18 的覆盖层。复晶硅层 18 可具有约 50 到 500 纳米的厚度，但并非限于此。随后可将复晶硅层 18 植入氮离子，如箭号 20 所示。该植入的氮离子可用以例如延迟硼原子的扩散。该氮离子的植入可为约 5×10^{14} 15 到 5×10^{15} dopants/cm² 的份量，以及约 20 至 200 KeV 的能阶。

在第 1B 图中，蚀刻栅极氧化物 16 的诸上层以形成栅极电极。栅极的蚀刻程序通常包括：在复晶硅层 18 上形成光阻 22，而藉由一光刻系统而选择性地照射该光阻 22，其中在该光刻系统中，例如分步重复光学投影系统(Step and Repeat Optical Projection System)，将水银蒸气 20 灯产生的紫外光投射透过第一光罩(Reticle)和聚焦镜片，以获得第一影像图样。然后该光阻 22 即被显影，并将光阻 22 经照射的部份予以移除，以于光阻 22 中提供开口。该开口可曝露复晶硅层 18 的部份区域，而藉以定义栅极电极。

在第 1C 图中，施加一蚀刻工艺，通常为各向同性式蚀刻，以移除 25 复晶硅层 18 暴露的部份以与门极氧化物 16 于其下的部份。在蚀刻后，复晶硅层 18 的残留部份即为具有对向垂直侧墙 26、28 的栅极电极 24。栅极电极 24 于侧墙 26、28 间的宽度可为约 50 至 250 纳米，但并非限于此。

在第 1D 图中，将光阻 22 剥除，并以离子植入法形成轻度掺杂 30 (Slightly Doped, LDD)的源极/漏极延伸区 30、32，如箭号 34 所示。若想要 NMOSFET，则该离子植入可为 n 型式掺杂物，例如砷或磷。若

想要 PMOSFET, 则该离子植入可为 p 型式掺杂物, 例如硼。掺杂程序的植入能量和份量的例举范例分别在 2 到 20 KeV 以及 5×10^{14} 和 3×10^{15} dopants/cm² 之间。在基板 10 内紧邻着侧墙 26、28 处形成源极/漏极延伸区 30、32, 并自对准(Self-Align)于栅极电极 24。在植入后, 可
5 实施退火工艺以活化源极/漏极延伸区 30、32, 并使延伸区再结晶。或者是, 也可在源极/漏极区形成后再实施该退火工艺。通常而言, 源极/漏极延伸区 30、32 自硅基板 10 表面向下延伸约 5 到 30 纳米的深度。

在第 1E 图中, 在源极/漏极延伸区 30、32 的植入程序后形成侧墙间隔区 36、38。侧墙间隔区 36、38 的形成程序包括在基板 10 上覆盖
10 沉积一间隔材料。该间隔材料可为氮化硅或其它材料, 例如电浆加强氧化物 (Plasma-Enhanced Oxide, PEOX) 或四乙氧化硅烷 (Tetraethoxysilane)。在覆盖沉积后, 施以各向异性蚀刻工艺, 其可移除侧墙间隔区 36、38 之外的间隔材料, 其中侧墙间隔区 36、38 是紧邻着栅极电极 24 的侧墙 26、28 并于基板 10 之上。

15 在形成侧墙间隔区 36、38 后, 藉由第二次离子植入形成重度掺杂 (Heavily Doped, HDD) 或中度掺杂 (Moderately Doped, MDD) 的源极/漏极区 40、42, 如箭号 44 所代表。该源极/漏极区 40、42 形成于基板 10 之内, 并延伸通过紧邻于侧墙间隔区 36、38 的源极/漏极延伸区 30、32。将侧墙间隔区 36、38 作为屏蔽, 以防止源极/漏极延伸区 30、32 的部份被重度掺杂。掺杂程序的植入能量和份量的例举范例分别在 10
20 到 60 KeV 以及 1×10^{14} 和 5×10^{14} dopants/cm² 之间。源极/漏极区 40、42 的掺杂程序使硅非晶体化, 其必须随后施以再结晶化以活化该源极/漏极区 40、42。

在第 1F 图中, 在源极/漏极区 40、42 的植入程序后, 使用激光热
25 退火工艺以活化这些区域。激光所施加的能量, 以箭号 70 代表, 可液化基板 10 至源极/漏极区 40、42 的期望深度。可提供该能量的激光的一范例为空间均匀式 (Spatially Homogenized) 308nm XeCl 脉冲激光, 但是本发明并非限定于此, 且激光的能量和功率可依照不同的应用而变化。通常而言, 源极/漏极区 40、42 自硅基板 10 表面向下延伸约 40
30 到 100 纳米的深度。

在硅于约 30 至 100 奈秒后熔化后, 将硅于约 1 微秒内快速地冷却,

则会晶体同轴化地(Epitaxially)再生成硅。如此, 由植入工艺所造成的损害会被移除。于表面的激光能量通量(Fluence)会决定产生于表面的熔化持续时间, 而该熔化持续时间则相关于最大熔化深度。熔化时间和熔化深度间的关是相关于激光束的时序变化曲线(Temporal Profile)。若于工艺中可量测激光的峰高全幅值(Full Width Height Maximum, FWHM)和表面熔化持续时间, 则可精确地控制连接深度。在能量通量中需要相对较大的改变以产生最大熔化深度中的较小改变。份量是由总熔化时间所控制。而总熔化时间可藉由变换激光脉冲的数目及/或能量而予以变化。举例而言, 由 308 纳米激光分子(Excimer)激光在 9 Hz 的重复率下, 约 750 mJ/cm^2 至 1.3 J/cm^2 的通量范围会导致范围为 20 至 150 纳米的连接深度。

激光射线的通量范围可由约 50 mJ/cm^2 一路延伸至约 1.3 J/cm^2 。然而, 由于非晶硅以相较结晶硅的较高速率吸收能量, 因此可控制激光通量使熔化仅至硅被非晶体化的深度。举例而言, 可使用约 400 mJ/cm^2 的通量以熔化非晶硅, 但不会熔化结晶硅。

在第 1G 图中, 在产生源极/漏极区 40、42 后, 形成硅化镍。该工艺包括在基板 10 的栅极电极 24 和源极/漏极区 40、42 之上覆盖沉积一镍层 46。一可沉积镍层 46 的例举范例为使用镍靶材的物理气相沉积(Physical Vapor Deposition, PVD)。镍层 46 的厚度可为约 8 至 20 纳米, 并以约 12 至 18 纳米为最佳。

在第 1H 图中, 藉由单阶热退火工艺将镍层 46 转换为硅化镍 48, 其中该退火工艺导致基板 10 的源极/漏极区 40、42 上的硅或门极电极 24 上的硅和镍层 46 反应, 而形成硅化镍层 48。通常在氮气环境中, 于约 350 至 500°C 的温度, 施行该热退火工艺约 30 至 60 秒。该热退火工艺宜为加热炉退火工艺, 但并非限定于此。有助益的是, 由于在低温下进行该热退火, 因此于源极/漏极区 40、42 内的掺杂物的去活化可减到最低。

在第 1I 图中, 将侧墙间隔区 36、38 上的未反应镍层 46 予以移除。例如, 可使用湿化学蚀刻移除该未反应镍层 46。相对硅化物 48 而言, 湿化学蚀刻可展现对未反应金属 46 的高选择性。在本发明目前的实施例中, 该蚀刻是于约 100°C 的温度下, 使用硫酸和过氧化氢的混合物

H₂SO₄:H₂O₂(3:1)和去离子水。在3:1比率下,镍的移除速率约为1,000 纳米/分。

藉由在以激光热退火活化的源极/漏极区上形成硅化镍,使源极/漏极区被施以低后活化温度的加热炉退火工艺。有助益的是,该低温
5 工艺可减少于源极/漏极区内的掺杂物的去活化。

可应用传统的材料、方法和设备而实行本发明。因此,类似材料、方法和设备的细节并未于此详细提出。在上述的说明中,为了提供本发明的全盘了解而提出许多特定的细节,例如特定的材料、结构、化学
10 品、工艺等。然而,应了解不须定诉诸该提出的特定细节即可实行本发明。而在其它例子中,并未详细描述众知的工艺结构以免非必要地模糊本发明。

在本揭示中仅显示及描述本发明的较佳实施例以及其多样变型中的仅少数范例。应了解,在于此所述的本发明概念的范畴内,本发明可在各种其它组合和环件下使用,且本发明可具有变化或变型。

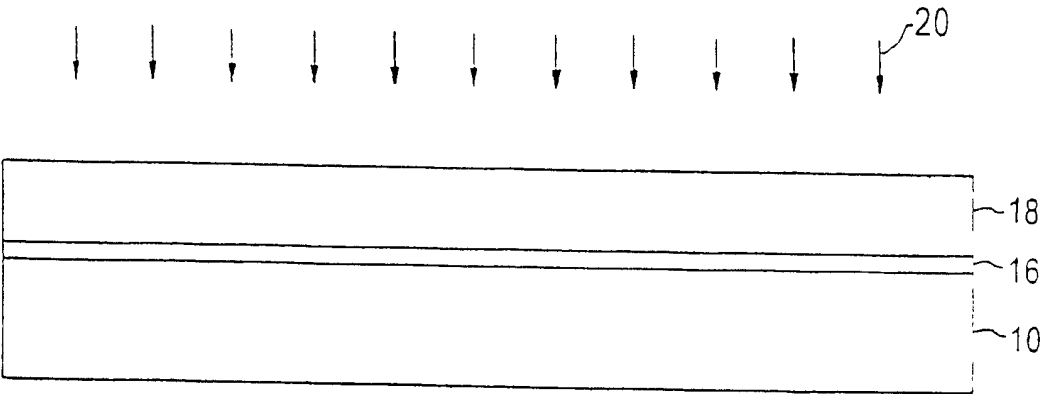


图 1A

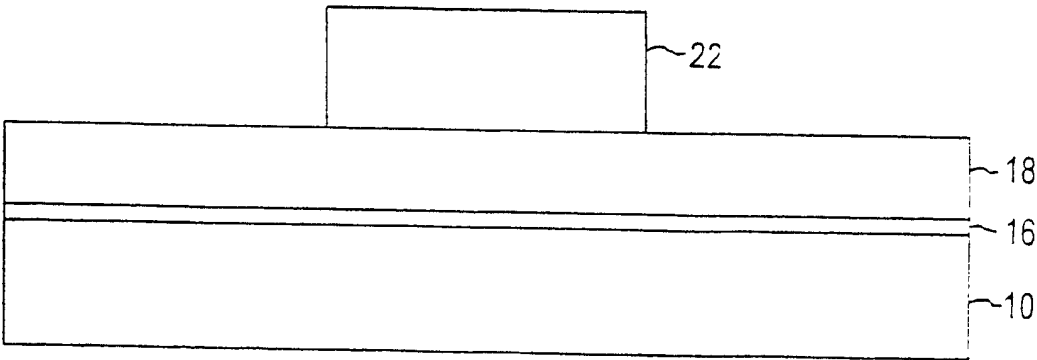


图 1B

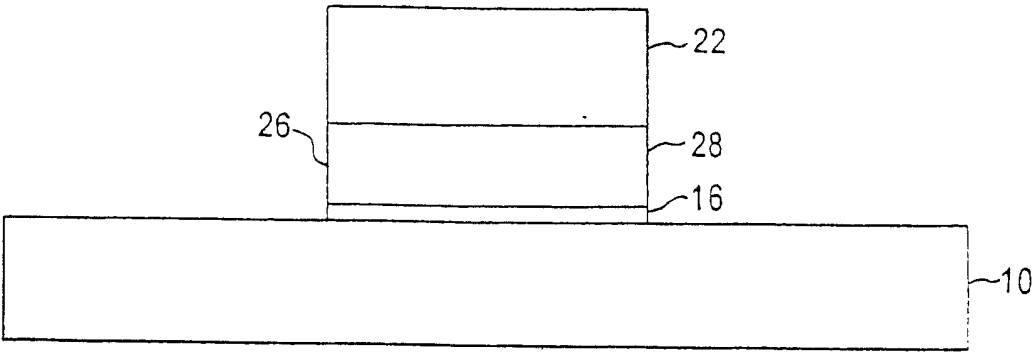


图 1C

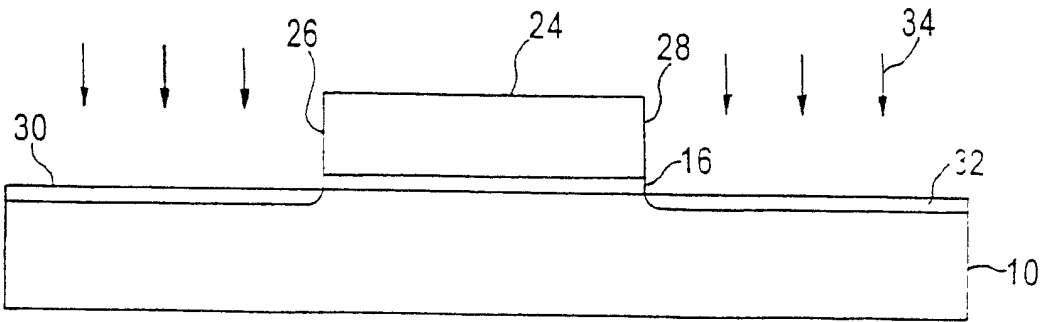


图 1D

3/5

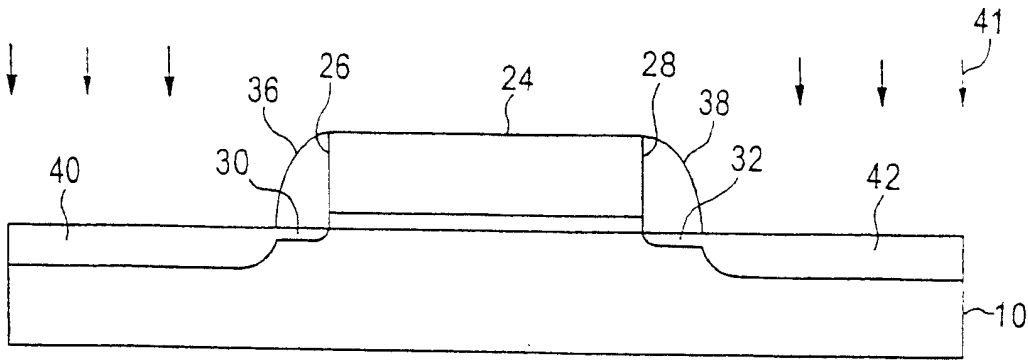


图 1E

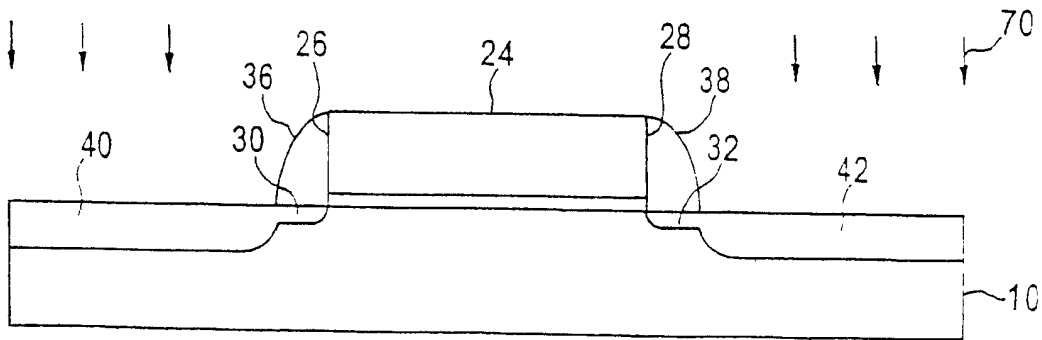


图 1F

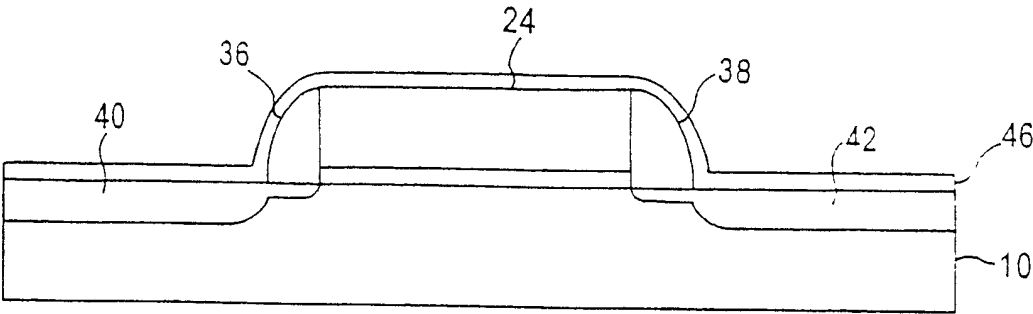


图 1G

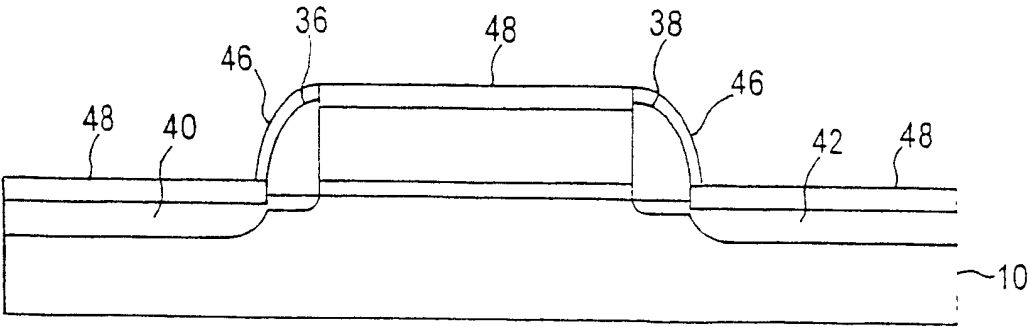


图 1H

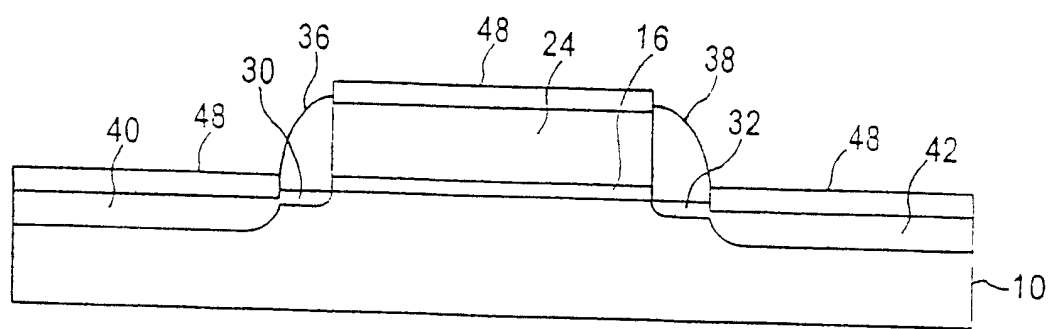


图 11