(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03K 17/695

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0194128
(24) 등록일자 1999년02월08일

| | | | |
|---|---|---|---|
| (21) 출원번호 | 10-1996-0010778 | (65) 공개번호 | 특1996-0039341 |
| (22) 출원일자 | 1996년04월10일 | (43) 공개일자 | 1996년11월25일 |
| (30) 우선권주장 | 8/420194 1995년04월11일 미국(US) | | |

(73) 특허권자 인터내쇼널 렉티파이어 코포레이션 클레버터 레슬리 씨.
미국 캘리포니아 90245 엘 세군도 캔사스 스트리트 233
(72) 발명자 브뤼노 쎄. 나드
프랑스공화국 삐이베르 뤼 삐에르 아귀이똥 6
(74) 대리인 박장원

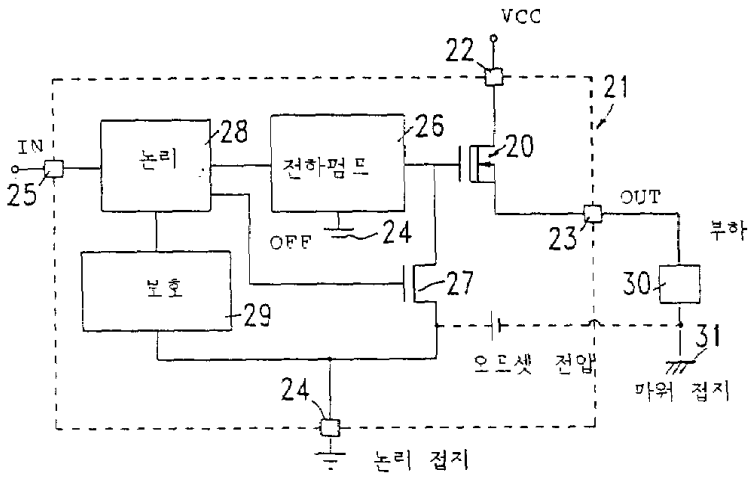
*심사관 : 김재욱*

# (54) 높은 부의 클램프 전압 및 고장시 안전 동작 기능을 갖춘 모스게이트된 집적 파워 반도체 장치

## 요약

모스게이트된 파워 장치를 갖춘 고측부 스위치는 모스게이트된 파워 장치의 게스트 및 소오스 사이에 연결되는 제어 MOSFET을 포함하는 제어 회로를 구비한다. 파워 장치를 온 및 오프시키는 입력 신호는 레벨 토랜슬레이터 회로에 연결되고, 레벨 트랜슬레이터 회로는 제어 MOSFET의 게이트를 구동하는 인버터 회로에 연결된다. 제어 MOSFET은 오프시에 파워 MOSFET이 온되는 것을 방지한다. 높은 부의 클램프 전압으로 인해, 오프시의 전류의 di/dt 감소가 더욱 커져서 오프 시간이 줄어든다. Vcc 가 낮고 출력 전압이 부의 값을 가지면, 파워 MOS 장치는 온될 수 없다.

## 대표도




## 명세서

[발명의 명칭]

높은 부의 클램프 전압 고장시 안전 동작 기능을 갖춘 모스 게이트된 집적 파워 반도체 장치

[도면의 간단한 설명]

제1도는 부하 파워 접지를 갖춘 부하에 연결된 논리 접지를 구비한 종래의 모놀리식 고측부 스위치의 회로도.

제2a도, 제2b도 및 제2c도는 유도 부하를 갖춘, 제1도의 회로의, 공동 시간 베이스에서의 오프 신호, 부하 전압 및 부하 전류의 도시도.

제3도는 부하 상태에서의 오프 시간을 줄이고 오프셋 접지 전압으로 인해 모스게이트된 파워 반도체 장치가 우연히 온되는 것을 막는 제1도의 회로의 변형예의 도시도.

제4a도는 시간 함수로서 제3도의 회로의 오프 신호를 보인 도시도.

제4b도는 제4a도와 동일한 시간 척도로 제3도의 모스게이트된 파워 반도체 장치의 출력 및 게이트 전압을 보인 도시도.

제5a도는 시간 함수로서 제3도의 회로의 오프 신호의 여러 사이클을 보인 도시도.

제5b도는 제5a도와 동일한 시간 척도로 제3도의 회로의 출력 전압과 우연히 온되는 것을 막는 것을 보인 도시도.

제6도는 트랜지스터-저항기 인버터 및 레벨 변환 회로를 채용한, 본 발명의 바람직한 실시예의 회로도.

제7a도는 시간 함수로서 제6도의 회로의 오프 신호를 보인 도시도.

제7b도는 시간 함수로서 제6도의 출력 전압을 보인 도시도.

제8도는 인버터 회로가 CMOS 회로를 사용하는 본 발명의 또다른 실시예의 도시도.

* 도면의 주요부분에 대한 부호의 설명

20,53 : MOSFET　　22 : 입력 전압 단자

23 : 출력 단자　　26 : 전하 펌프 회로

27 : N 채널 MOSFET　　28 : 논리 제어 회로

29 : 보호 회로　　30 : 부하

60,61,62 : 저항기　　63,64,65,66 : MOSFET 트랜지스터

67 : 양극 트랜지스터　　68,69,70 : 제너 다이오드

80,81 : 노드　　90,91,92 : MOSFET 트랜지스터

[발명의 상세한 설명]

본 발명은 모스게이트된 집적 파워 반도체 장치에 관한 것으로, 특히 모스게이트된 파워 장치용 저전력 방열을 갖춘 접지 부하를 구동하는 고측부 스위치를 신속히 오프시키는 새로운 장치에 관한 것이다.

집적 제어 회로를 갖춘 하나 이상의 모스게이트된 파워 반도체 장치를 채용하는 고측부 스위치는 공지되어 있으며, 일예로 본 발명의 양수인인 인터내쇼널 랙티파이어 코포레이션에서 제조된 IR6000장치가 있다. 그러한 장치가, 자동차 분야에서, 유도 부하를 구동할 때, 모스게이트된 파워 장치는 오프시키기 어렵고, 오프시 유도 전류로 인해 사실상 많은 양의 파워가 방열되어야 할 수도 있다. 게다가, 고측부 스위치용 논리 접지가 부하 회로 접지와는 다른 전위에 놓일 때, 모스게이트된 파워 장치는 의도되지 않은 상태로 거동되고 장치를 파괴시킬 수 있는 고전력을 방열할 수도 있다.

이들 문제점을 제거한 회로가 공지 되어 있으나, 그러한 회로는 새로운 문제점을 야기하고 있는 바, 출력 전압이 모스게이트된 주 파워 장치의 게이트를 클램프하는 제어 MOSFET의 문턱 전압보다 낮으면, 주 장치는 명령에 의해 온되지 못한다.

본 발명에 따라, 오프 신호에 응답하여 파워 장치의 게이트를 그 소오스 또는 또다른 파워 전극에 연결하는 제어 MOSFET을 제어하는 새로운 회로가 제공된다. 레벨 트랜슬레이터 회로는 입력 신호를 인버터 회로에 연결하고, 이 인버터 회로는 제어 MOSFET의 게이트에 연결됨으로써, 출력 전압이 부일 때 제어 MOSFET이 온될 수 있도록 한다.

제어 MOSFET의 문턱 전원은 파워 장치의 전압보다 낮게 선택되며, 파워 장치가 동작하기 전에 파워 장치의 게이트를 그 소오스에 단락시킴으로써 오프 공정중에 파워 장치가 우연히 온되는 것을 막는다. 그러면, 더 높은 부의 클램프 전압이 회로에 인가되어 오프시의 di/dt를 증가시켜서 오프 시간을 줄일 수 있다. 제어 MOSFET 장치를 구동하는 레벨 트랜슬레이터 회로의 사용을 통해 의도된 온신호로부터 파워 장치를 온시키는 것 또한 가능하다.

이하, 첨부도면을 참조하여 본 발명을 상세히 설명하기로 한다.

제1도는 모놀리식 칩 안에 형성된 고측부 스위치의 주요 구성요소의 회로도이다. 따라서, 모스게이트된 N 채널 파워 반도체 장치(20)는 주 파워 장치이고, 제어 요소로서 동일한 모놀리식 칩 안에 형성되어 있다. 그런 다음, 모놀리식 칩은 패키지(21)에 내장된다. 파워 반도체(20)는 N 채널 파워 MOSFET으로서 도시되어 있지만, IGBT 따위의 다른 형태의 모스게이트된 장치를 사용할 수 있다.

제1도의 회로는 MOSFET(20)의 드레인에 연결되는 $V_{cc}$ 입력 전압 단자(22)와, MOSFET(20)의 소오스에 연결되는 출력 단자(23)를 구비하고 있다. 단자(22,23)는 논리 접지 핀(24) 및 입력 신호 핀(25)과 함께, 점선으로 개략적으로 표시된, 패키지(21)용 단자 핀일 수도 있다.

MOSFET(20)과 동일한 칩 안에는, 종래의 전하 펌프 회로(26), 오프 N 채널 MOSFET(27), 논리 제어 회로(28) 및 예를 들어 선택된 상태에서 MOSFET(20)을 오프시키기 위해 칩의 전압, 전류 및 온도 상태를 감시할 수 있는 보호 회로(29)가 또한 포함되어 있다. 논리(28)로의 입력 단자(25)는 사용자의 마이크로콘트롤러 등에 연결되어, 주어지 순서로 또는 특정 상태에서 MOSFET을 온 또는 오프 시킨다.

출력 단자(23)는 논리 접지 단자(24)와 동일한 전위에 있는 자체의 파워 접지(31)에 연결되는 부하(30)에 연결될 수 있다. 부하(30)는 전형적으로 자동차 부하일 수도 있고, 자동차 분야에서의 약 12볼트인 전압 $V_{cc}$으로 동작할 수 있다. 전하 펌프(26)는, MOSFET을 온 시킬 수 있도록 $V_{cc}$ 보다 높은 5 내지 10 볼트의 전압을 파워 MOSFET(20)의 게이트에 제공한다.

보조 MOSFET(27)은, MOSFET(27)이 온될 때 그 게이트를 접지에 연결함으로써 MOSFET(20)을 오프시키는데

사용된다.

제1도의 회로는 두가지 중대한 문제점을 가지고 있다. 첫 번째는 부하(30)가 유도 부하일 때 나타난다. 유도 부하를 구동할 때, 출력 전압은 MOSFET(20)의 오프시에 ($-V_{gs}$)로 클램프된다, 여기서, $-V_{gs}$는 부하 전류 전도 동안의 게이트 대 소오스 전압이다. 이 전압은 전형적으로 3 내지 5 볼트이다 오프 중에 부하 인덕턴스에 걸친 부의 전압은 낮아서, 소오스 전류의 di/dt는 낮아지고, 따라서 전류를 0으로 낮추기 위해서는 오랜 시간이 필요하다. 이로 인해, MOSFET(20) 내에서는 더욱 높은 전력이 방열되고, 부하에 대한 응답시간이 길어진다.

이 효과는 제2a도, 제2b도 및 제2c도로부터 알 수 있다. 따라서, 입력 단자가 시간 $t_1$에서 논리 회로(28)에 신호를 인가하며, 논리 회로는 제2a도의 오프 신호(MOSFET(27)의 게이트에서의 높은 신호)를 생성한다. 그러면, MOSFET(27)은 제2a도, 제2b도 및 제2c도의 시간 $t_1$에서 온되고, 부하 전압(제2b도)은 $-V_{gs}$를 향해 떨어지기 시작한다. 부하 전류는, 시간 $t_2$에서 0에 이르고 부하 전압이 0을 복귀할 때까지 서서히 떨어진다.

두 번째 문제점은 제1도의 회로에서 파워 접지(31), 예컨대 자동차 섀시가 논리 접지(24)와는 다른 전위에 있을 때 야기된다. 이것은 기생 인덕턴스, 저항, 부식 또는 유연한 커넥터간의 분리 등으로 인해 발생할 수 있다. 이것은 배터리(40)에 의해 제1도에 개략적으로 도시한 오프셋 전압을 생성한다. 이 오프셋 전압의 결과로서, 논리접지가 파워 접지(31) 이상으로 파워 MOSFET(20)의 1 이상의 문턱 값일 때, 파워 MO SFET(20)은 높은 전류를 $V_{cc}$ 단자(22)에서 접지(31)로 보내기 시작하고, MOSFETFFF(20)안에서는 돔은 전력이 방열됨으로써, 고측부 스위치가 파괴되게 된다.

상기한 결점은 제1도의 회로에 제3도에 도시한 바와 같은 적절한 클램핑 회로를 부가함으로써 해소된다. 따라서, 전하 펌프(26) 및 MOSFET(20) 사이에는 저항기(50), 저항기(51), 제너 다이오드(52) 및 제2 제어 MOSFET 또는 트랜지스터(53)로 구성되는 클램핑 회로가 부가되어 있다. 트랜지스트(53)는 파워 MOSFET(20)의 전압보다 낮은 문턱 전압을 가지도록 설계되어 있다. 이러한 공지된 구조는, 본 발명의 양수인인 인터내쇼널 랙티파이어 코포레이션에서 제조된 IR6000고측부 스위치내에서 서용된다.

제3도의 회로에 있어서는, MOSFET(20)이 온이고 부하(30)는 활성화되어 있는 것으로 가정한다. MOSFET(27)으로 들어가는 오프 신호가 (제4a도 및 제4b도의 시간 $t_1$에서)높아지면, MOSFET(27)은 온된다. 이것은 MOSFET(20)의 게이트를 접지로 방전하고, MOSFET(20)은 오프된다. 부하(30)가 유도 부하인 경우, 또는 파워 접지(31)가 논리 접지(24) 이하이면, 단자(23)의 출력 전압은 부가 된다.

따라서, 제4b도에 도시한 바와 같이, 소오스 전압은 ($-V_{th(53)}$)(MOSFET(53)의 부의 문턱값)으로 감소함으로써, 제4b도의 시간 $t_2$에서 트랜지스터(53)는 온되고, MOSFET(20)의 게이트를 그 소오스에 연결한다. 이것은, MOSFET(53)이 MOSFET(20)보다 낮은 문턱 전압을 가지기 때문에, MOSFET(20)이 전도되기 전에 발생함을 주목할 필요가 있다. 출력 전압이 더욱 부의 전압이 됨에 따라, MOSFET(53)이 온이기 때문에, MOSFET(20)은 오프상태로 유지된다.

상기 처리중에, 저항기(51) 및 제너 다이오드(52)는 MOSFET(53)의 게이트 대 소오스 전압을 안전한 값으로 제한한다. 저항기(50)는 MOSFET(27)을 통해 전류를 제한한다.

출력 전압에 의해 도달되는 실제의 부의 전압 (-V 클램프)(제4b도)은 외부 회로 상태에 따라 달라지며, 접지 오프셋, MOSFET(20)의 쇄도 전압 또는 내부 클램핑 전압의 값일 수도 있다. 이 전압은 제2b도의 $V_{gson}$보다 더 높을 수 있으며, 따라서 제2c도의 경우보다 더 높은 di/dt 및 스위치의 더욱 빠른 오프를 강요한다. 전압 (-V 클램프) 및 그에 의해 생성된 증가된 di/dt가 제2a도 및 제2b도에 각각 점선으로 또한 도시되어 있다.

제3도에 도시한 종래의 회로는, 제1도의 회로와 관련된 두가지 문제점을 해결하고 있지만, 새로운 문제점을 안고 있다. 따라서, 단자(23)에서의 출력 전압이 MOSFET(53)의 부의 문턱 전압($-V_{th}$)이하인 동안에는 파워 MOSFET(20)을 온시킬 수 없다. 이러한 작용은 제5a도 및 제5b도에 도시되어 있다. 제5a도는 MOSFET(27)의 게이트에 인가되는 오프 신호로서의, 입력 신호의 보충을 보여주고 있다. 제5a도에서, 시간 $t_1$에서의 오프 신호는 낮아져서 MOSFET(27)을 오프시키고 MOSFET(20)을 온시키다. 그러나, 제4b도와 관련하여 논의한 바와 같이, 장치는 유도 부하에, 제5b도의 $t_1$에서의 새로운 온신호를 허용하기 전에, 완전히 전류가 통하지 않을 때까지 대기하여야 하며, 시간 $t_3$ 이후의 시간동안, 예를 들어 $t_1$에서는 온될 수 없다, 제3도의 파워 접지(31)가 논리 접지(24) 아래의 MOSFET(53)의 문턱 전압 이상일 경우, MOSFET(20)을 또한 온시킬 수 없다.

제6도의 회로에서 논의되는 본 발명은, 제3도의 회로의 다른 장점은 가지면서도 상기한 문제점을 해소한다. 제1도 및 제3도의 구성요소와 동일한 제6도의 구성요소는 동일한 도면부호와 동일한 기능을 가지고 있다. 부가된 구성요소는 저항기(60,61,62), MOSFET 트랜지스터(63,64,65,66). 양극 트랜지스터(67) 및 제너 다이오드(68,69,70)이다. 구성요소(60,61,63,64,65,68,69)는 MOSFET(53)의 레벨 트랜슬레이터로서 작용한다. 구성요소(62,66,67,70)는 $V_{cc}$에 관련되는 입력 오프 신호의 인버터로서 작용한다.

제6도의 새로운 회로는 다음과 같이 동작한다.

트랜지스터(66,27)로 들어가는 오프 신호가 높으면, 회로는 제3도의 회로처럼 동작한다. 따라서, 트랜지스터(66)는 온되고, 노드(80)는 낮다. 게다가, 노드(81)는 트랜지스터(67)의 $V_{be}$와 제너 다이오드(70)의 제너 전압을 합한 값과 동일한 양만큼의 부의 값을 갖는다. 트랜지스터(64,65)는, 동일한 전류가 동일한 저항기(60,61)내에 각각 흘러서 저항기(60.61)가 동일한 전압을 강하시킬 수 있도록 동일하게 만들어져 있다. 따라서, 노드(82)에서의 전위는 노드(83)에서의 전위보다 낮게 된다. 트랜지스터(65)의 게이트는 그 문턱 전압 $V_{th}$에 가깝게 바이어스되기 때문에, 트랜지스터(63)는 문턱 전압 $V_{th}$ 이하로 바이어스되고,

오프된다. MOSFET 트랜지스터(63)는 오프이기 때문에, 회로의 나머지 부분은 입력 또는 오프 신호가 높을 때, 제3도에서 설명한 바와 같이 동작한다.

이제 제6도의 오프 신호가 낮으면, MOSFET(66)은 오프되고 노드(80)는 높아진다. 제너 다이오드(70)은, 노드(81)가 정이 될 수 있도록 [$v_{cc}$ - $V_{be}$(67)]보다 낮은 제너 전압을 갖는다. 저항기(60,61)는 동일한 전압을 강하시키기 때문에, 노드(82)는 노드(83) 위에 있게 된다. MOSFET(65)의 게이트가 그 문턱 전압 $V_{th}$에 가깝게 편이되기 때문에, MOSFET(64)의 게이트는 문턱 전압 $V_{th}$ 이상으로 편이됨으로서 전도된다. 이에 의해, 제7a도 및 제7b도에 도시한 바와 같이, 출력 전압이 MOSFET(53)의 ($-V_{th}$) 이하이더라도, MOSFET(53)을 오프시켜 파워 MOSFET(20)을 온시키게 된다. 따라서, 제7b도에서, MOSFET(20)은 $t_2$에서 그리고 제7a도에서의 입력 신호가 낮아지자마자 온될 수 있다. 따라서 제3도의 회로에 의해 발생되는 주요한 문제점이 해소된다.

제6도의 회로는 부가적인 보호 기능을 또한 제공한다. 따라서, $V_{cc}$가 트랜지스터(67)의 $V_{be}$ 와 제너 다이오드(70)의 제너 전압을 합한 값보다 낮은 경우, 단자(23)에서의 출력 전압이 부의 값이 될 때마다 노드(81)는 부가 된다. 이것은 $V_{cc}$가 낮고 출력 전압이 부의 값을 가질 때마다 파워 (20)을 오프로 유지한다. 이것은 바람직한 보호 특징이다.

제6도의 회로의 구성요소는 N 채널 MOSFET 및 NPN 양극 트랜지스터로 쉽게 실현될 수 있다. 따라서, 회로는 쉽게 모노리식으로 집적될 수 있다. 명백한 바이지만, 다른 구성요소들은 소정의 기능에 맞게 선택될 수 있다.

본 발명의 또다른 실시예가 제8도에 도시되어 있는 바, 제6도와 동일한 구조와 기능을 갖는 구성요소에는 동일한 도면부호가 부여되어 있다. 입력 오프 신호를 수신하는 인버터 트랜슬레이터는 세 개의 MOSFET 트랜지스터(90.91,92)로 구성되어 있다. 이들은, 제6도의 경우에서처럼, 오프 신호가 낮을 때 노드(81)가 접지 전위 이상이 되고, 오프신호가 높을 때 노드(81)가 접지 전위 이하가 되도록 작용한다. 따라서, 제6도의 회로의 장점은 제8도의 회로에 포함된다.

본 발명이 특정 실시예를 참조하여 설명되었지만, 여러 가지로 변경 및 변형이 가능하며, 다른 용도로 사용될 수 있다. 따라서, 본 발명은 앞서 개시된 내용에 의해 제한되지 않고 이하에 기재하는 특허청구의 범위에 의해서만 제한된다.

## *(57) 청구의 범위*

### 청구항 1

제1 및 제2 파워 전극 및 제어 전극을 갖춘 모스게이트된 반도체 파워 장치와 상기 파워 장치를 온 또는 오프 시키는 신호를 생성하는 입력 회로를 구비하는 고측부 스위치 회로에 있어서, 상기 제1 파워 전극 및 상기 파워 장치의 상기 제어 전극 사이에 연결되어, 주 제어 MOSFET이 온으로 되었을 때 상기 파워 장치를 오프시키는 주 제어 MOSFET과, 신호 레벨 트랜슬레이터 회로와 인버터 회로를 구비하며, 상기 신호 레벨 트랜슬레이터 회로는 상기 입력 회로 및 상기 인버터 회로 사이에 연결되며, 상기 인버터 회로는 상기 주 제어 MOSFET에 연결되어서 입력 오프 신호에 응답하여 상기 제어 MOSFET을 온시키며, 상기 주 제어 MOSFET의 문턱 유도 전압은 상기 모스게이트된 반도체 파워 장치의 문턱 유도 전압보다 낮은 것을 특징으로 하는 고측부 스위치 회로.

### 청구항 2

제1항에 있어서, 상기 파워 장치의 상기 제2 파워 전극에 연결되는 $V_{cc}$ 단자와, 상기 파워 장치의 상기 제 파워 전극에 연결되는 출력 전압 단자와, 논리 접지 단자를 포함하는 것을 특징으로 하는 고측부 스위치 회로.

### 청구항 3

제1항에 있어서, 상기 모스게이트된 파워 장치는 파워 MOSFET인 것을 특징으로 하는 고측부 스위치 회로.

### 청구항 4

제2항에 있어서, 상기 모스게이트된 파워 장치는 파워 MOSFET인 것을 특징으로 하는 고측부 스위치 회로.

### 청구항 5

제2항에 있어서, 상기 파워 장치 및 상기 제어 MOSFET은 공통 반도체 칩에 집적되는 N 채널 장치이고, 상기 인버터 회로 및 트랜슬레이터 회로는 상기 공통 반도체 칩에 또한 집적되는 것을 특징으로 하는 고측부 스위치 회로.

### 청구항 6

제4항에 있어서, 상기 파워 장치 및 상기 제어 MOSFET은 공통 반도체 칩에 집적되는 N 채널 장치이고, 상기 인버터 회로 및 트랜슬레이터 회로는 상기 공통 반도체 칩에 또한 집적되는 것을 특징으로 하는 고측부 스위치 회로.

### 청구항 7

제2항에 있어서, 인버터 회로는 저항기와, 직렬로 연결되며 노드를 갖는 제2 제어 MOSFET으로 구성되며, 상기 제2 MOSFET의 일단부는 상기 출력 전압 단자에 연결되고, 상기 저항기 및 상기 제2 MOSFET 사이의 노드는 상기 주 제어 MOSFET의 게이트에 연결되는 것을 특징으로 하는 고측부 스위치 회로.

**청구항 8**

제7항에 있어서, 상기 제2 제어 MOSFET의 게이트 및 상기 출력 전압 단자 사이에 연결되는 제너 다이오드를 포함하는 것을 특징으로 하는 고측부 스위치 회로.

**청구항 9**

제7항에 있어서, 상기 파워 장치 및 상기 제어 MOSFET은 공통 반도체 칩에 집적되는 N 채널 장치이고, 상기 인버터 회로 및 트랜지스터 회로는 상기 공통 반도체 칩에 또한 집적되는 것을 특징으로 하는 고측부 스위치 회로.

**청구항 10**

제8항에 있어서, 상기 파워 장치 및 상기 제어 MOSFET은 공통 반도체 칩에 집적되는 N 채널 장치이고, 상기 인버터 회로 및 트랜슬레이터 회로는 상기 공통 반도체 칩에 또한 집적되는 것을 특징으로 하는 고측부 스위치 회로.

**청구항 11**

제2항에 있어서, 상기 트랜지스터 회로는 동일한 제1 및 제2 트랜슬레이터 MOSFET과 동일한 제1 및 제2 트랜슬레이터 저항기로 구성되며, 상기 제1 및 제2 트랜슬레이터 MOSFET은 상기 제1 및 제2 트랜슬레이터 저항기와 각각 직렬로 연결되며, 상기 제1 및 제2 트랜슬레이터 MOSFET은 상기 출력 단자에 연결되며, 상기 제1 트랜슬레이터 저항기는 상기 접지 단지에 연결되고, 상기 제1 트랜슬레이터 MOSFET 및 제1 트랜슬레이터 저항기 사이의 노드는 상기 제1 및 제2 트랜슬레이터 MOSFET의 게이트에 연결되며, 상기 제2 트랜슬레이터 MOSFET 및 상기 제2 트랜슬레이터 저항기 사이의 노드는 상기 제2 제어 MOSFET의 게이트에 연결되며, 상기 회로는 상기 제2 트랜슬레이터 저항기를 상기 입력 회로에 연결하는 커플링 회로 수단을 포함하는 것을 특징으로 하는 고측부 스위치 회로.

**청구항 12**

제11항에 있어서, 상기 커플링 회로 수단은 상기 Vcc 단자에 연결되는 풀업 저항기와 직렬로 여결되는 MOSFET 수단을 포함하며, 상기 MOSFET 수단의 게이트는 상기 입력 회로에 연결되고, 상기 MOSFET 수단 및 상기 풀업 저항기 사이의 노드는 양극 트랜지스터의 베이스에 연결되며, 상기 수단은 상기 양극 트랜지스터 및 상기 제2 트랜슬레이터 저항기 사이에 연결되는 제어 다이오드를 포함하는 것을 특징으로 하는 고측부 스위치 회로.

**청구항 13**

제7항에 있어서, 상기 트랜슬레이터 회로는 동일한 제1 및 제2 트랜슬레이터 MOSFET과 동일한 제1 및 제2 트랜슬레이터 저항기로 구성되며, 상기 제1 및 제2 트랜슬레이터 MOSFET은 상기 제1 및 제2 트랜슬레이터 저항기와 각각 직렬로 연결되며, 상기 제1 및 제2 트랜슬레이터 MOSFET은 상기 출력 단자에 연결되며, 상기 제1 트랜슬레이터 저항기는 상기 접지 단자에 연결되고, 상기 제1 트랜슬레이터 MOSFET 및 제1 트랜슬레이터 저항기 사이의 노드는 상기 제1 및 제2 트랜슬레이터 MOSFET의 게이트에 연결되며, 상기 제2 트랜슬레이터 MOSFET 및 상기 제2 트랜슬레이터 저항기 사이의 노드는 제2 제어 MOSFET의 게이트에 연결되며, 상기 회로는 상기 제2 트랜슬레이터 저항기를 상기 입력 회로에 연결하는 커플링 회로 수단을 포함하는 것을 특징으로 하는 고측부 스위치 회로.

**청구항 14**

제13항에 있어서, 상기 제2 제어 MOSFET의 게이트 및 상기 출력 전압 단자 사이에 연결되는 제너 다이오드를 포함하는 것을 특징으로 고측부 스위치 회로.

**청구항 15**

제13항에 있어서, 상기 커플링 회로 수단은 상기 $V_{cc}$ 단자에 연결되는 풀업 저항기와 직렬로 여결되는 MOSFET 수단을 포함하며, 상기 MOSFET 수단의 게이트는 상기 입력 회로에 연결되고, 상기 MOSFET 수단 및 상기 풀업 저항기 사이의 노드는 양극 트랜지스터의 베이스에 연결되며, 상기 수단은 상기 양극 트랜지스터 및 상기 제2 트랜슬레이터 저항기 사이에 연결되는 제너 다이오드를 포함하는 것을 특징으로 하는 고측부 스위치 회로.

**청구항 16**

제7항에 있어서, 제한 저항기를 통과하는 상기 파워 장치의 게이트와 상기 논리 접지 단자 사이에 연결되는 제3 MOSFET 수단을 포함하며, 상기 입력 회로는 상기 제3 MOSFET 수단의 게이트에 연결되는 것을 특징으로 하는 고측부 스위치 회로.

**청구항 17**

제11항에 있어서, 제한 저항기를 통과하는 상기 파워 장치의 게이트와 상기 논리 접지 단자 사이에 연결되는 제3 MOSFET 수단을 포함하며, 상기 입력 회로는 상기 제3 MOSFET 수단의 게이트에 연결되는 것을 특징으로 고측부 스위치 회로.

**청구항 18**

제13항에 있어서, 제한 저항기를 통과하는 상기 파워 장치의 게이트와 상기 논리 접지 단자 사이에 연결되는 제3 MOSFET 수단을 포함하며, 상기 입력 회로는 상기 제3 MOSFET 수단의 게이트에 연결되는 것을 특징으로 하는 고측부 스위치 회로.

**청구항 19**

제18항에 있어서, 상기 제2 제어 MOSFET의 게이트 및 상기 출력 전압 단자 사이에 연결되는 제너 다이오드를 포함하는 것을 특징으로 하는 고측부 스위치 회로.

**청구항 20**

제18항에 있어서, 상기 트랜슬레이터 회로는 동일한 제1 및 제2 트랜슬레이터 MOSFET과 동일한 제1 및 제2 트랜슬레이터 저항기로 구성되며, 상기 제1 및 제2 트랜슬레이터 MOSFET은 상기 제1 및 제2 트랜슬레이터 저항기와 각각 직렬로 연결되며, 상기 제1 및 제2 트랜슬레이터 MOSFET은 상기 출력 단자에 연결되며, 상기 제1 트랜슬레이터 저항기는 상기 접지 단자에 연결되고, 상기 제1 트랜슬레이터 MOSFET 및 제1 트랜슬레이터 저항기 사이의 노드는 상기 제1 및 제2 트랜슬레이터 MOSFET의 게이트에 연결되며, 상기 제2 트랜슬레이터 MOSFET 및 상기 제2 트랜슬레이터 저항기 사이의 노드는 제2 제어 MOSFET의 게이트에 연결되며, 상기 회로는 상기 제2 트랜슬레이터 저항기를 상기 입력 회로에 연결하는 커플링 회로 수단을 포함하는 것을 특징으로 하는 고측부 스위치 회로.

**청구항 21**

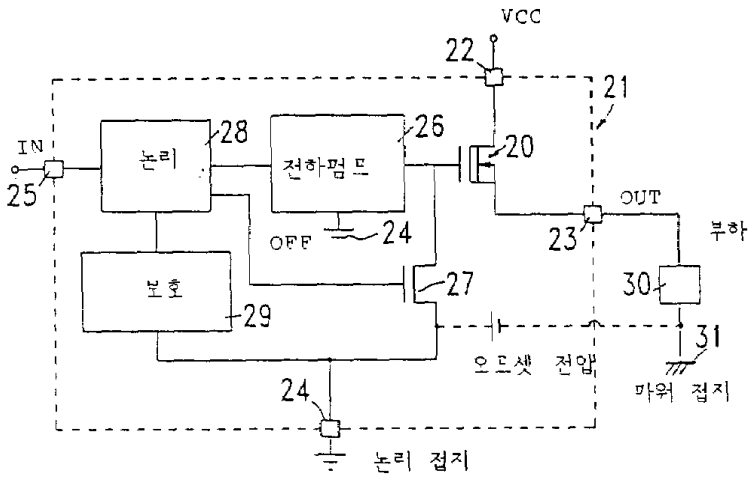
제20항에 있어서, 상기 커플링 회로 수단은 상기 $V_{cc}$ 단자에 연결되는 풀업 저항기와 직렬로 여결되는 MOSFET 수단을 포함하며 상기 MOSFET 수단의 게이트는 상기 입력 회로에 연결되고, 상기 MOSFET 수단 및 상기 풀업 저항기 사이의 노드는 양극 트랜지스터의 베이스에 연결되며, 상기 수단은 상기 양극 트랜지스터 및 상기 제2 트랜슬레이터 저항기 사이에 연결되는 제너 다이오드를 포함하는 것을 특징으로 하는 고측부 스위치 회로.

**청구항 22**

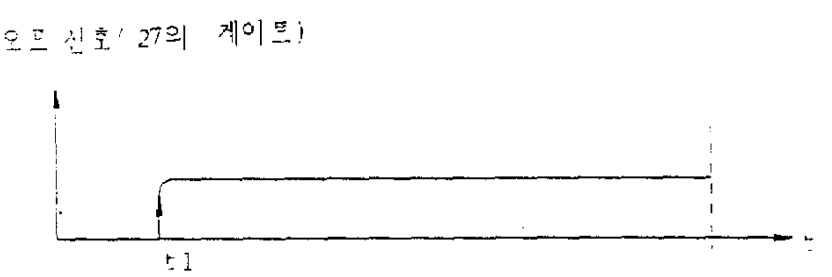
제21항에 있어서, 상기 커플링 회로 수단은 상기 $V_{cc}$에 연결되는 풀업 저항기와 직렬로 연결되는 제1 MOSFET 수단을 포함하며, 상기 제1 MOSFET 수단의 게이트는 상기 입력 회로에 연결되고, 상기 제1 MOSFET 및 상기 풀업 저항기 사이의 노드는 더 높은 트랜지스터의 베이스에 연결되며, 상기 수단은 상기 양극 트랜지스터의 에미터 및 상기 제2 트랜슬레이터 저항기 사이에 연결되는 제2 MOSFET 수단을 포함하며, 상기 제2 MOSFET 트랜지스터의 게이트는 그 드레인에 연결되는 것을 특징으로 하는 고측부 스위치 회로.

## *도면*

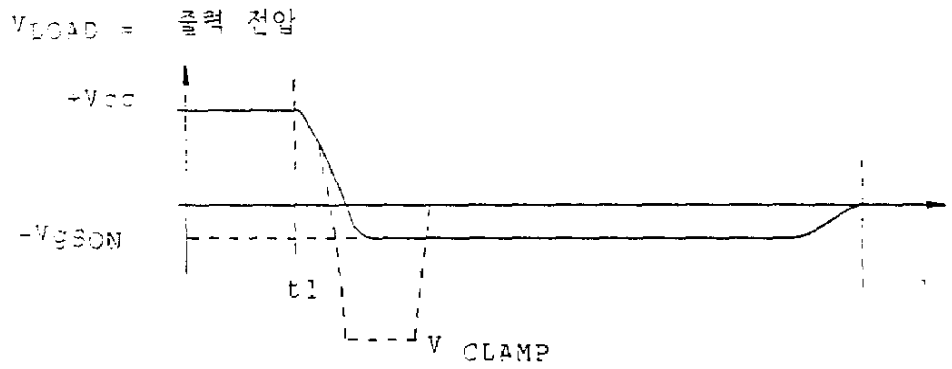
### *도면1*



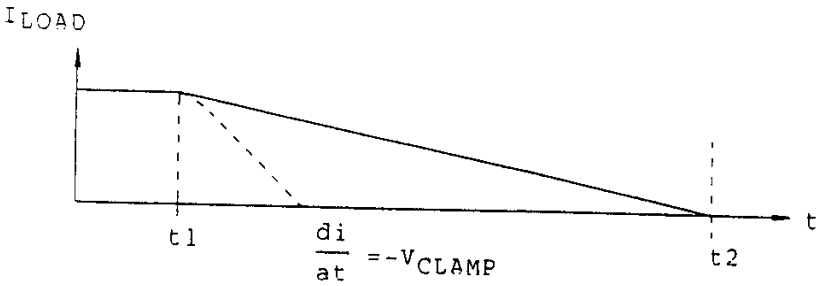

### *도면2a*



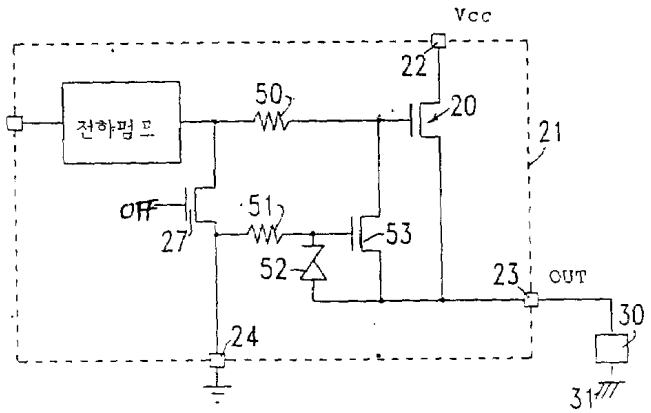
도면2b



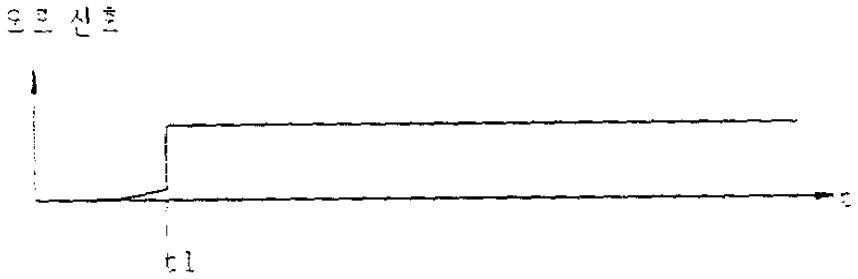

도면2c



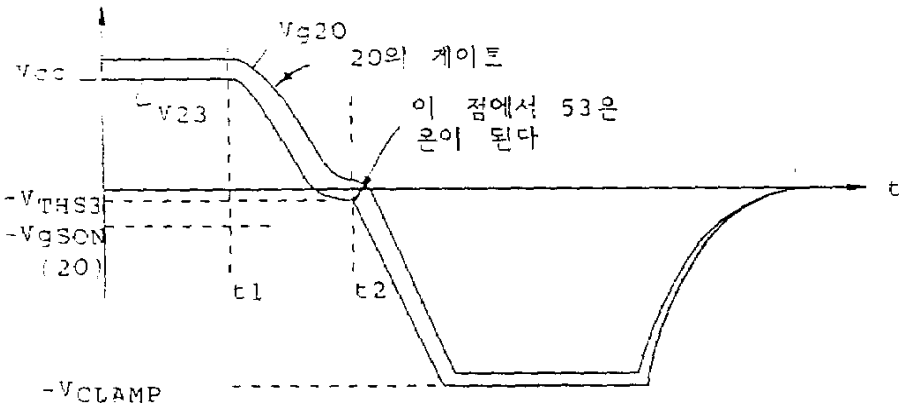

도면3



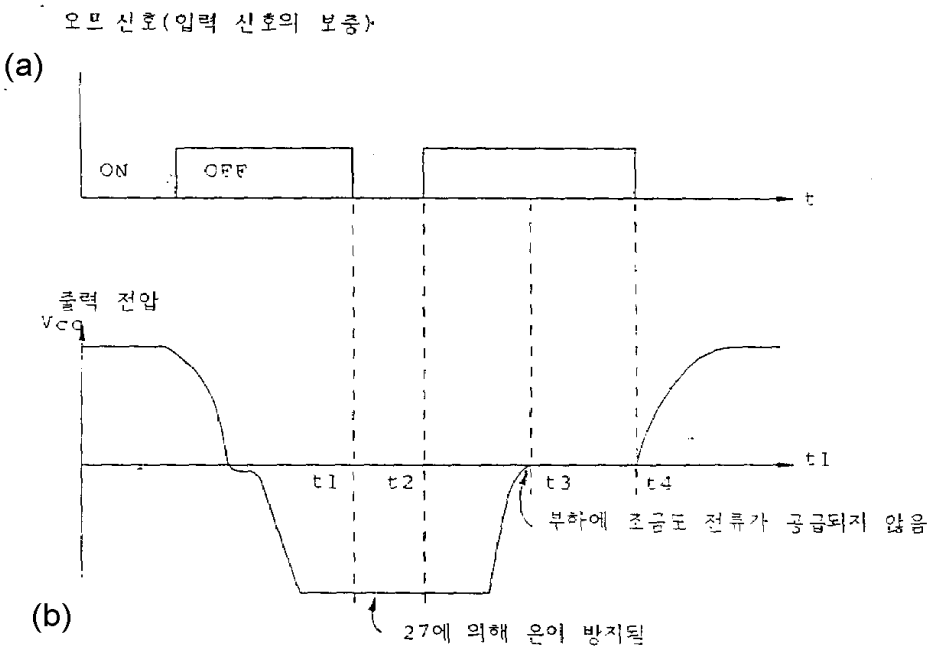
도면4a



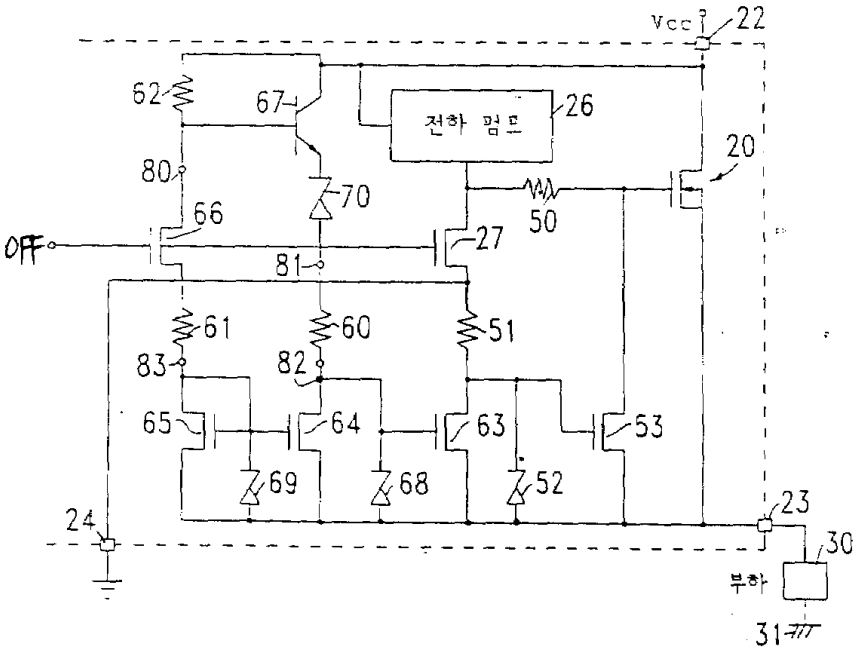

도면4b



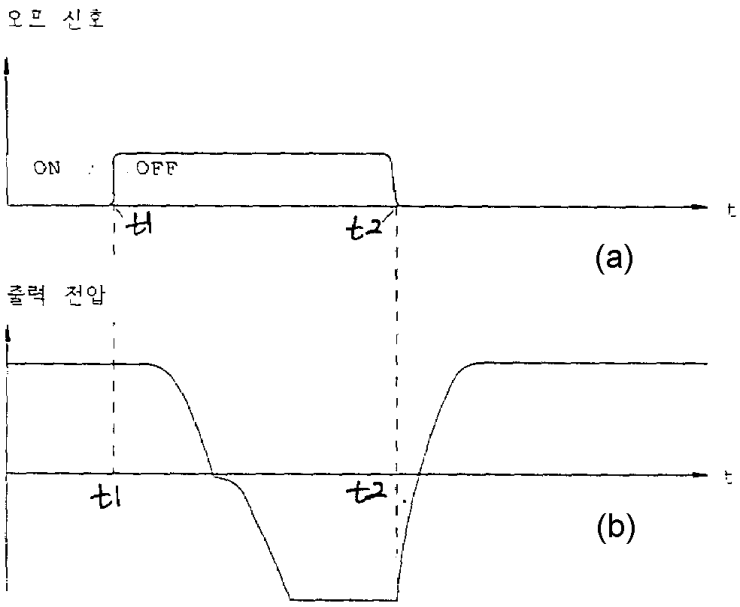

도면5



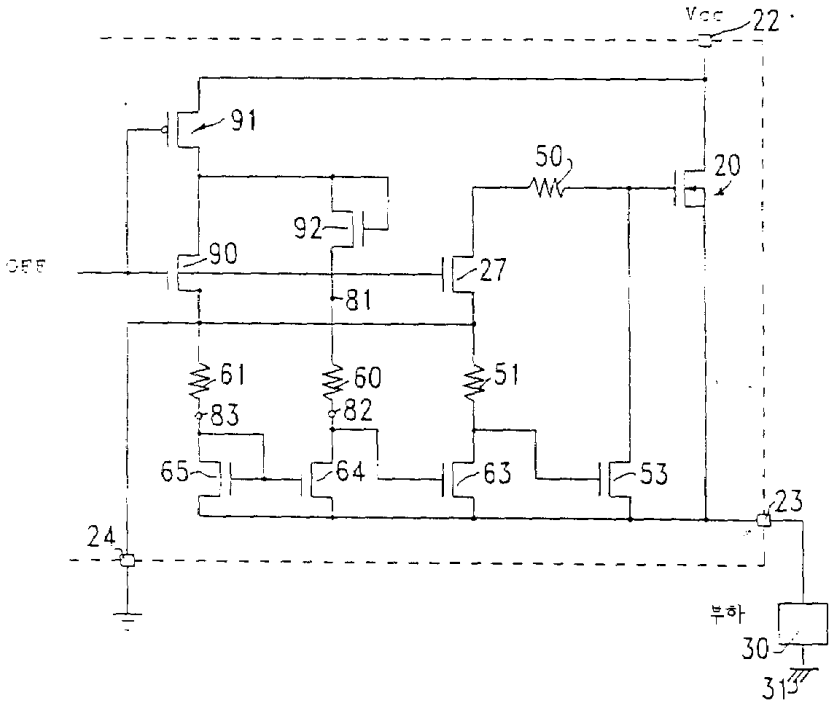
도면6


Vcc
22
62
67
전하 펌프
26
20
80
70
50
66
OFF
27
81
61
60
51
83
82
65
64
63
53
69
68
52
24
23
30
부하
31

도면7


오프 신호
ON
OFF
t1
t2
t
(a)
출력 전압
t1
t2
t
(b)

도면8


Vcc
22
91
50
20
92
OFF
90
27
81
61
60
51
83
82
65
64
63
53
23
24
부하
30
31